



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I474175 B

(45) 公告日：中華民國 104 (2015) 年 02 月 21 日

(21) 申請案號：100147903

(22) 申請日：中華民國 100 (2011) 年 12 月 22 日

(51) Int. Cl. : **G06F13/14 (2006.01)**

(30) 優先權：2011/11/17 美國 13/299,014

2010/12/22 美國 61/426,470

(71) 申請人：威盛電子股份有限公司 (中華民國) VIA TECHNOLOGIES, INC. (TW)

新北市新店區中正路 533 號 8 樓

(72) 發明人：嘉斯金斯 達魯斯 D GASKINS, DARIUS D. (US)

(74) 代理人：洪澄文；顏錦順

(56) 參考文獻：

TW 200945048A CN 101000596A

CN 101901177A US 7533316B2

審查人員：簡大翔

申請專利範圍項數：34 項 圖式數：8 共 43 頁

(54) 名稱

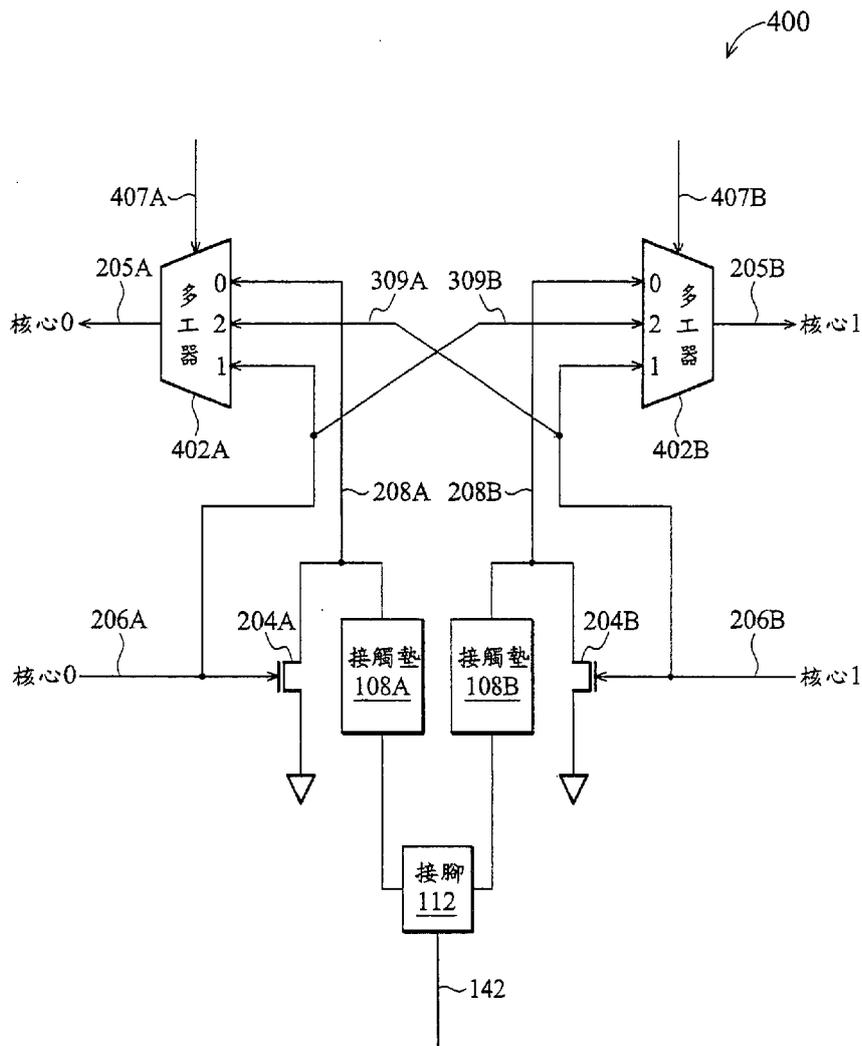
核心處理器之內部旁路匯流排

MULTI-CORE MICROPROCESSOR INTERNAL BYPASS BUS

(57) 摘要

一種微處理器，包括：複數接腳，耦接微處理器至耦接一晶片組的一雙向處理器匯流排；一晶片，具有複數核心，每一核心具有一匯流排介面分別耦接核心的複數輸入端與複數輸出端至處理器匯流排之對應的複數雙向線；以及一旁路匯流排，配置在晶片上，用以使晶片的至少一第一與一第二互補核心旁路處理器匯流排而直接互相通訊，旁路匯流排提供對應於複數處理器匯流排線的複數匯流排線；其中旁路匯流排不會將訊號傳送至晶片的外部、驅動處理器匯流排上的訊號至晶片組或接收來自處理器匯流排的晶片組驅動的訊號。

A microprocessor comprises a plurality of physical pins for coupling the microprocessor to a bidirectional processor bus coupled to a chipset, a die having a plurality of processing cores, each core having a bus interface coupling respective inputs and outputs of the core to corresponding bidirectional lines of the processor bus, and a bypass bus on the die that enables at least first and second complementary cores of the die to bypass the processor bus in order to communicate directly with each other, the bypass bus providing bus lines corresponding to processor bus lines, wherein the bypass bus does not carry signals off the die, drive signals on the processor bus to the chipset, or receive chipset-drive signals from the processor bus.



- 400 . . . 匯流排介面
電路
- 108A、108B . . . 接
觸墊
- 112 . . . 接腳
- 142 . . . 處理器匯流
排
- 402A、402B . . . 多
工器
- 204A、204B . . . 電
晶體
- 205A、205B、
206A、206B、
208A、208B . . . 訊
號
- 407A、407B . . . 選
擇訊號
- 309A、309B . . . 旁
路匯流排訊號

第 4 圖

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：100147903

※申請日：100.12.22 ※IPC 分類：G06F 13/14 (2006.01)

一、發明名稱：(中文/英文)

核心處理器之內部旁路匯流排/Multi-Core Microprocessor
Internal Bypass Bus

二、中文發明摘要：

一種微處理器，包括：複數接腳，耦接微處理器至耦接一晶片組的一雙向處理器匯流排；一晶片，具有複數核心，每一核心具有一匯流排介面分別耦接核心的複數輸入端與複數輸出端至處理器匯流排之對應的複數雙向線；以及一旁路匯流排，配置在晶片上，用以使晶片的至少一第一與一第二互補核心旁路處理器匯流排而直接互相通訊，旁路匯流排提供對應於複數處理器匯流排線的複數匯流排線；其中旁路匯流排不會將訊號傳送至晶片的外部、驅動處理器匯流排上的訊號至晶片組或接收來自處理器匯流排的晶片組驅動的訊號。

三、英文發明摘要：

A microprocessor comprises a plurality of physical pins for coupling the microprocessor to a bidirectional processor bus coupled to a chipset, a die having a plurality of processing cores, each core having a bus interface coupling respective inputs and outputs of the core to corresponding bidirectional lines of the processor bus, and a bypass bus on

the die that enables at least first and second complementary cores of the die to bypass the processor bus in order to communicate directly with each other, the bypass bus providing bus lines corresponding to processor bus lines, wherein the bypass bus does not carry signals off the die, drive signals on the processor bus to the chipset, or receive chipset-drive signals from the processor bus.

四、指定代表圖：

(一)本案指定代表圖為：第(4)圖。

(二)本代表圖之元件符號簡單說明：

400~匯流排介面電路；

108A、108B~接觸墊；

112~接腳；

142~處理器匯流排；

402A、402B~多工器；

204A、204B~電晶體；

205A、205B、206A、206B、208A、208B~訊號；

407A、407B~選擇訊號；

309A、309B~旁路匯流排訊號。

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

略

六、發明說明：

【相關申請案之參考文獻】

本申請案優先權之申請係根據該美國專利臨時申請案，案號：61/426,470，申請日：12/22/2010，名稱為多核心內之旁路匯流排（MULTI-CORE INTERNAL BYPASS BUS），該案整體皆納入本案參考。

本申請案與下列同在申請中之美國專利申請案有關，都具有相同的申請日，每一申請案整體皆納入本案參考。

案號	申請日	名稱
TBD (CNTR.2518)	12/22/2010	多核心處理器內之同步電源 狀態同步機制 Power State Synchronization in a Multi-core Processor
TBD (CNTR.2527)	12/22/2010	多處理器核心間之分散式電 源管理 Decentralized Power Management Distributed Among Multiple Processor Cores
TBD (CNTR.2528)	12/22/2010	產生多核心晶片之光罩組改良 Reticle Set Modification to Producer Multi-core Dies
TBD (CNTR.2533)	12/22/2010	多核心動態配置發現方法及其 微處理器 Dynamic Multiple-Core

		Microprocessor Configuration Discovery
TBD (CNTR.2534)	12/22/2010	多核心微處理器之共享電源 的分散式管理 Distributed Management of a Shared Power Source to a Multi-Core Microprocessor
TBD (CNTR.2536)	12/22/2010	可動態和選擇性地停用核心 以及重新設定一多核心微處 理器 Dynamic and Selective Core Disablement and Reconfiguration in a Multi-Core Processor

【發明所屬之技術領域】

本發明係有關於多核心微處理器，特別是有關於多核心共享之匯流排上的訊號品質。

【先前技術】

當複數核心之一者驅動處理器匯流排時，本發明之發明者觀察到由多核心微處理器之其他核心從處理器匯流排所接收到的訊號品質不良，而使得系統不可靠，其中多核心微處理器之所有核心藉由處理器匯流排共享一晶片組，如下第 1 圖與第 2 圖中詳細說明。因此，急需一種方法以解決訊號品質不良的問題。

【發明內容】

在一實施例中，本發明提供具有多核心晶片的微處理器。該晶片具有複數核心，並且核心的輸出訊號耦接至晶片的接觸墊。晶片係安裝在一封裝體上，該封裝體用以將晶片(以及其他晶片)的接觸墊耦接至封裝體的接腳。封裝體的接腳將封裝體耦接至一處理器匯流排，而處理器匯流排耦接至一晶片組。

晶片具有一旁路匯流排，用以致能多核心晶片的互補處理核心或互補雙核心對以旁路處理器匯流排而能直接與其他核心互相通訊。在此處“互補”所指為晶片的核心或雙核心對係藉由旁路匯流排所連接。旁路匯流排具有配置在晶片上的複數佈線網路，且佈線網路傳遞來自每一核心或雙核心對之複數輸出訊號至與其相對應的互補核心或互補雙核心對之輸入端。旁路匯流排經由中介匯流排介面邏輯之隔離而不與晶片的接觸墊或多核心微處理器的接腳相連接，因此旁路匯流排不會將訊號傳送至雙核心晶片的外部。此外，旁路匯流排線藉由中介匯流排介面邏輯之保護而隔絕相對應處理器匯流排線上的雜訊。

在另一實施例中，旁路匯流排提供對應每一處理器匯流排線的匯流排線。其中在每一旁路處理器匯流排線中，一第一單向旁路匯流排線用以提供訊號從一第一核心(或第一雙核心對)至互補的第二核心(或第二雙核心對)，一第二單向旁路匯流排線用以提供訊號從第二核心(或第二雙核心對)至第一核心(或第一雙核心對)。

在另一實施例中，每一核心包括匯流排介面電路用以透過旁路線改善旁路匯流排通訊。在一般的處理器匯流排通訊中，每一核心耦接至對應的處理器匯流排線以驅動一輸出訊號至處理器匯流排線或接收來自處理器匯流排線的輸入訊號。為了改善雙向通訊，核心的匯流排介面電路提供中介輸入與輸出匯流排線介面邏輯，以耦接每一核心之輸入與輸出訊號至相對應之晶片輸入/輸出接觸墊。

在另一實施例中，中介輸出邏輯包括耦接至核心之輸出訊號線的匯流排線介面電晶體。在另一實施例中，一雙核心對共享晶片的輸入/輸出接觸墊，其透過對雙核心對之運算輸出訊號進行布林運算(如 OR)再予以輸出。中介輸入邏輯包括匯流排線介面多工器，用以在其輸入端接收在一相對應處理器匯流排線上的晶片驅動訊號以及相同核心或相同對核心之一相對應輸出訊號。

在另一實施例中，旁路匯流排在各個端點藉由導線或佈線耦接互補核心或雙核心對，其中導線或佈線的兩端係耦接在核心或雙核心對之輸出或輸入訊號線與中介匯流排線介面邏輯間，而中介匯流排線介面邏輯耦接輸出或輸入訊號線至對應的實體輸入/輸出接觸墊。在另一實施例中，每一旁路匯流排線的輸入端耦接至對應匯流排線介面電晶體的閘極，每一旁路匯流排線的輸出端耦接至對應匯流排線介面多工器的輸入端。電晶體與多工器個別地暫存來自對應處理器匯流排之旁路匯流排線的輸入與輸出訊號。

在另一實施例中，本發明亦提供多核心晶片之核心間通訊的方法。一核心或雙核心對的匯流排介面從連接多核

心晶片至晶片組之處理器匯流排接受訊號，以及從對應的連接核心或雙核心對至多核心晶片之互補核心或雙核心對(經由旁路匯流排所連接)之對應旁路匯流排的訊號。旁路匯流排不會將訊號傳送至晶片的外部或接收來自處理器匯流排的晶片組驅動訊號，也不會驅動處理器匯流排上的訊號至晶片組。核心或雙核心對中之一者偵測晶片組或互補核心或互補雙核心對的一核心是否正在驅動處理器匯流排。當互補核心或互補雙核心對的一核心正在驅動處理器匯流排時，匯流排介面選擇來自旁路匯流排的訊號而非來自處理器匯流排的訊號以驅動對應的核心輸入。

在另一實施例中，在多核心半導體晶片上的每一互補核心或雙核心對包括複數中介輸入邏輯多工器。每一中介輸入邏輯多工器接收一控制輸入訊號以及複數可選擇的輸入訊號並提供一輸出訊號。一第一可選擇輸入端耦接至核心之複數接觸墊的相對應一者，該相對應接觸墊耦接至處理器匯流排。一第二可選擇輸入端耦接至核心的輸出，且在雙核心對時，核心的輸出端耦接至一布林運算邏輯。一第三選擇輸入耦接至一相對應旁路匯流排線，旁路匯流排線用以傳送來自互補核心或一對核心的輸出訊號，多工器可選擇輸入中之一者傳遞至核心。一控制輸入用以使多工器進行選擇何者作為其輸出。當晶片組驅動處理器匯流排時，多工器選擇第一輸入作為其輸出。當核心或雙核心對驅動處理器匯流排時，多工器選擇第二輸入作為其輸出。當互補核心或互補雙核心對中之一核心驅動處理器匯流排時，多工器選擇第三輸入作為其輸出。多工器輸出耦接至

傳送訊號至核心或雙核心對之各自的輸入訊號線。

此外，每一核心或雙核心對包括複數中介輸出邏輯電晶體，每一中介輸出邏輯電晶體具有閘極、源極與汲極。源極接地且汲極耦接至核心或雙核心對之輸入/輸出接觸墊之相對應一者。閘極耦接至核心的輸出訊號線且由核心的輸出訊號線驅動。在雙核心對的實施例中，閘極耦接至執行布林運算(如 OR)的運算輸出訊號線。閘極還耦接至對應的中介輸出邏輯電晶體的第二選擇輸入，並透過旁路匯流排線耦接至互補核心(或雙核心對)之中介輸出邏輯電晶體的第三選擇輸入。

【實施方式】

為了解決上述在多核心微處理器中不良訊號品質的問題，發明者根據一實施例在雙核心微處理器的兩個核心之間提供內部旁路匯流排，並且根據另一實施例在四核心微處理器的四個核心之間提供內部旁路匯流排。然而，此處先對典型雙核心微處理器作描述，以使本發明實施例能更加淺顯易懂。

第 1 圖所示係包括傳統雙核心微處理器封裝體的電子系統 100 的示意圖。電子系統 100 具有雙核心微處理器封裝體，雙核心微處理器封裝體藉由處理器匯流排 142 耦接至晶片組 144。雙核心微處理器 102 具有兩個處理核心，分別為核心 0 106A 與核心 1 106B，統稱為核心 106。晶片組 144 包括已知電路如一記憶體控制器，用以控制系統記憶體，以及一匯流排橋接器，用以橋接處理器匯流排 142 至周圍匯流排如 ISA、PCI、PCI-Express 等。

核心 0 106A 與核心 1 106B 各自包括複數區塊用以執行已儲存程式的指令，複數區塊可為例如指令擷取單元、指令解碼單元、通用與特定用途暫存器、位址產生單元、快取記憶體、執行單元、引退單元(retire unit)、以及匯流排介面，該匯流排介面用以作為核心與處理器匯流排 142 間的介面。核心 106 具有多種架構特徵，如依序執行或非循序執行、純量或超純量架構、複雜指令集 (complicated instruction set computer, CISC) 巨結構或精簡指令集 (reduced instruction set computer, RISC) 微結構。

如圖所示，核心 0 106A 與核心 1 106B 各自位於獨立的半導體晶片 104 之上，而雙核心微處理器 102 的兩個晶片 104 被包括在單一個封裝體內。核心 0 106A 與核心 1 106B 各自包括複數接觸墊 108，接觸墊 108 用以將來自核心 0 106A 與核心 1 106B 內部電路的訊號傳送至處理器匯流排 142，以及將來自處理器匯流排 142 的訊號傳送至核心 0 106A 與核心 1 106B。核心 0 106A 的接觸墊為接觸墊 108A，核心 1 106B 的接觸墊為接觸墊 108B。雙核心微處理器封裝體包括一基板，晶片 104 位於該基板的上面，該基板具有位於核心 106 的接觸墊 108 與雙核心微處理器封裝體的接腳 112 之間的複數內連線，其中內連線用以連接雙核心微處理器 102 至電子系統 100 的其他元件，例如透過主機板連接至晶片組 144。雖然第 1 圖中所示的接觸墊 108 只位於晶片 104 的一邊，典型上來說接觸墊 108 也會位於晶片 104 的其他邊上。此外，雖然第 1 圖中所示的晶片 104 只具有三個接觸墊 108，典型上來說晶片 104 具有

數百個接觸墊 108。如第 1 圖所示，核心 106 的接觸墊 108A/108B 耦接到相同的接腳 112，因為雙核心微處理器封裝體係用單一組接腳 112 將它們連接至處理器匯流排 142；也就是說，核心 0 106A 與核心 1 106B 都耦接至共用接腳 112，其中接腳 112 用以連接雙核心微處理器封裝體至處理器匯流排 142。

第 2 圖所示係第 1 圖之典型雙核心微處理器 102 的匯流排介面電路 200 的示意圖。匯流排介面電路 200 包括耦接至外部處理器匯流排 142 之接腳 112 的接觸墊 108A，接觸墊 108A 為一實體位置用以附接連接線至雙核心微處理器封裝體的接腳 112；也就是說，接觸墊 108A 不包括任何主動式的電子裝置。接觸墊 108A 也耦接訊號 208A，訊號 208A 耦接至電晶體 204A 的汲極，其中電晶體 204A 的源極接地，電晶體 204A 的閘極用以接收來自核心 0 106A 之訊號 206A。訊號 206A 可為一資料訊號、一位址訊號或一控制訊號，用以透過訊號 208A 與接觸墊 108A 提供一數值，該數值用以被驅動至對應處理器匯流排 142 的訊號上。因此，雖然第 2 圖只顯示處理器匯流排 142 之單一訊號的配置，處理器匯流排 142 的每一訊號也具有相同配置。匯流排介面電路 200 包括具有兩個輸入端的多工器 202A，多工器 202A 的輸入端 0 接收訊號 208A，多工器 202A 的輸入端 1 接收訊號 206A。多工器 202A 的輸出端輸出訊號 205A 至核心 0 106A，用以作為核心 0 106A 的一輸入。訊號 205A 可為對應於處理器匯流排 142 之一訊號的一資料訊號、一位址訊號或一控制訊號。訊號 205A 可透過接

觸墊 108A 與訊號 208A 傳遞來自電子系統 100 之其他處理單元(核心 1 106B 或晶片組 144)的數值。此外，訊號 205A 可透過訊號 206A 傳遞來自核心 0 106A 的數值以窺探其快取記憶體。選擇訊號 207A 用以使多工器 202A 依表 1 所示之方式，選擇多工器 202A 的輸入端以在輸出端提供訊號 205A。

驅動處理器匯流排的單元	被選擇的輸入端
晶片組	輸入端 0(來自外部處理器匯流排 142 的訊號 208A)
核心 0 106A	輸入端 1(來自核心 0 106A 的訊號 206A)
核心 1 106B	輸入端 0(來自外部處理器匯流排 142 的訊號 208A)

表 1

匯流排介面電路 200 包括耦接至外部處理器匯流排 142 之接腳 112 的接觸墊 108B，接觸墊 108B 亦耦接訊號 208B，其中訊號 208B 耦接至電晶體 204B 的汲極，且電晶體 204B 的源極接地。電晶體 204B 的閘極用以接收來自核心 1 106B 的訊號 206B，訊號 206B 可為一資料訊號、一位址訊號或一控制訊號，用以透過訊號 208B 與接觸墊 108B 提供一數值，以便被驅動至對應處理器匯流排 142 的訊號上。匯流排介面電路 200 包括具有兩個輸入端的多工器 202B，多工器 202B 的輸入端 0 接收訊號 208B，多工器 202B 的輸入端 1 接收訊號 206B。多工器 202B 的輸出端輸出訊號 205B 至核心 1 106B 用以作為核心 1 106B 的一輸入。訊

號 205B 可為對應於處理器匯流排 142 之一訊號的一資料訊號、一位址訊號或一控制訊號。訊號 205B 可透過接觸墊 108B 與訊號 208B 傳遞來自電子系統 100 的另一處理單元 (核心 0 106A 或晶片組 144) 的數值。此外，訊號 205B 可透過訊號 206B 傳遞來自核心 1 106B 的值以窺探其快取記憶體。選擇訊號 207B 用以使多工器 202B 依表 2 所示方式選擇多工器 202B 的輸入端以在輸出端提供訊號 205B。

驅動處理器匯流排的單元	被選擇的輸入端
晶片組	輸入端 0(來自外部處理器匯流排 142 的訊號 208B)
核心 0 106A	輸入端 0(來自外部處理器匯流排 142 的訊號 208B)
核心 1 106B	輸入端 1(來自核心 0 106A 的訊號 206B)

表 2

雖然並未顯示於第 2 圖中，一端點電阻可耦接至每一接觸墊 108A 與 108B。保險絲可耦接在中斷電阻與電源之間。為了選擇性地耦接中斷電阻至接觸墊 108A 與 108B，在微處理器的製造過程中保險絲可選擇性地燒斷或保留。

發明者發現當核心 1 106B 驅動處理器匯流排 142 時訊號 208A 的訊號品質不良，反之，當核心 0 106A 驅動處理器匯流排 142 時，訊號 208B 的訊號品質亦不良，兩者皆使得系統不可靠。因此，極需一種方法解決此問題。

第 3 圖所示係根據本發明實施例之包括雙核心處理器封裝體的電子系統 300 的示意圖。電子系統 300 包括相似

於第 1 圖所示之晶片組 144 與處理器匯流排 142。電子系統 300 也包括雙核心微處理器封裝體，雙核心微處理器 302 藉由處理器匯流排 142 耦接至晶片組 144。雙核心微處理器 302 包括兩個處理核心，分別為核心 0 306A 與核心 1 306B，統稱為核心 306。

核心 306 相似於第 1 圖之核心 106，然而，第 3 圖核心 306 的構造如下所示。不同於第 1 圖所示之雙核心微處理器 102 的核心 106，第 3 圖所示之雙核心微處理器 302 的核心 306 位於雙核心微處理器封裝體中的單一半導體晶片 304 之中。也就是說，製作第 3 圖雙核心微處理器 302 的製造者於半導體晶圓上以矩陣排列的方式製造複數晶片 304，再將這些晶片 304 切割成實體塊。也就是說，不同於第 1 圖所示之雙核心微處理器 102 是將兩個實體晶片 104 安裝在一封裝體基板上，且兩個實體晶片 104 藉由封裝體基板上的訊號導線連接在一起，第 3 圖的雙核心微處理器 302 為具有核心 306A 與 306B 之一單一實體晶片 304。此外，如同第 1 圖之雙核心微處理器 102，雙核心微處理器 302 的核心 306A 與 306B 皆包括連接至處理器匯流排 142 之相對應接腳 112 的接觸墊 108A 與 108B，且核心 306A 與 306B 的接觸墊 108A 與 108B 透過基板導線與對應接腳 112 的耦接在一起，如第三圖所示。

在一實施例中，第 3 圖之具有單一晶片 304 的雙核心微處理器 302 以專利號 61/426,470 “改良光罩組以生產多核心晶片” (CNTR.2528) 中所描述的方式被設計與製造。簡略而言，製造者根據 CNTR.2528 所提出的方法設計一第一

光罩組用以印出一組單一核心晶片(如第 1 圖之單一核心晶片 104)。第一光罩組定義複數切割線用以分離單核心晶片，且該等切割線定義圍繞每一雙核心晶片的密封環(seal ring)。製造者將第一光罩組的部分光罩修正為第二光罩組，該第二光罩組可以用以印出一組雙核心晶片(如第 3 圖之雙核心晶片 304)。製造者移除該第一光罩組的至少一切割線，且該第一光罩組的對應改良部分用以定義旁路匯流排 309(CNTR.2528 中之核心間通訊線 212)。接著，製造者使用第二光罩組製造晶圓以及沿著剩餘的切割線切割雙核心晶片 304 以生產雙核心晶片 304。

旁路匯流排 309 在晶圓上連接相鄰的核心 306A 與 306B，核心 306A 與 306B 係被預先設計的切割線所分開，但該切割線由旁路匯流排 309 所取代以使得該兩核心 306 在運作期間能進行通訊。因為核心 0 306A 與核心 1 306B 藉由旁路匯流排 309 所連接，因此核心 0 306A 與核心 1 306B 可視為互補關係。因為旁路匯流排 309 並無連接到接觸墊 108，因此旁路匯流排 309 不會將訊號傳送至雙核心晶片 304 外部。

第 4 圖所示係根據第 3 圖之雙核心微處理器 302 的匯流排介面電路 400 的示意圖。具有單一晶片 304 的匯流排介面電路 400 係由第 2 圖之匯流排介面電路 200 改良而得，用以容納旁路匯流排 309 以及提供處理器匯流排 142 改善的訊號品質。

第 4 圖的匯流排介面電路 400 許多地方與第 2 圖的匯流排介面電路 200 相似，元件的數目也相似。然而，以下

將針對不同的地方進行描述。

在第 4 圖中，具有三個輸入端的多工器 402A 取代第 2 圖中之具有兩個輸入端的多工器 202A。第 4 圖中多工器 402A 的第三個輸入端為輸入端 2，且輸入端 2 耦接至旁路匯流排訊號 309A，其中旁路匯流排訊號 309A 即為來自核心 1 306B 的訊號 206B。多工器 402A 的選擇輸入端接收選擇訊號 407A，且選擇訊號 407A 用以使多工器 402A 依表 3 所示的方式選擇多工器 402A 的輸入端。

驅動處理器匯流排的單元	被選擇的輸入端
晶片組	輸入端 0(來自外部處理器匯流排 142 的訊號 208A)
核心 0 306A	輸入端 1(來自核心 0 306A 的訊號 206A)
核心 1 306B	輸入端 2(來自互補核心 1 306B 的訊號 309A)

表 3

同樣地，具有三個輸入端的多工器 402B 取代第 2 圖之具有兩個輸入端的多工器 202B。在第 4 圖中多工器 402B 的第三個輸入端稱作輸入端 2，且輸入端 2 耦接至旁路匯流排訊號 309B，其中旁路匯流排訊號 309B 即為來自核心 0 306A 的訊號 206A。多工器 402B 的選擇輸入端接收選擇訊號 407B，且選擇訊號 407B 用以使多工器 402B 依表 4 所示的方式選擇多工器 402B 的輸入端。

驅動處理器匯流排的單元	被選擇的輸入端
-------------	---------

晶片組	輸入端 0(來自外部處理器匯流排 142 的訊號 208B)
核心 0 306A	輸入端 2(來自互補核心 0 306A 的訊號 309B)
核心 1 306B	輸入端 1(核心 1 306B 的訊號 206B)

表 4

從第 4 圖中可看到的有利狀況是，當核心 0 306A 驅動處理器匯流排 142 時，核心 1 306B 可直接從內部旁路匯流排 309B 監測由核心 0 306A 驅動的數值，而非透過訊號 208B 由外部處理器匯流排 142 所監測，因從外部處理器匯流排 142 所監測到的訊號品質會比從內部旁路匯流排 309B 所監測到的訊號品質差上許多；當核心 1 306B 驅動處理器匯流排 142 時，核心 0 306A 可直接從內部旁路匯流排 309A 監測由核心 1 306B 驅動的數值，而非透過訊號 208A 由外部處理器匯流排 142 所監測，因從外部處理器匯流排 142 所監測到的訊號品質會比於從內部旁路匯流排 309A 所監測到的訊號品質差上許多。

另一個好處是第 3 圖與第 4 圖的實施例可藉由內部旁路匯流排達到提供具有改善的訊號品質的雙核心微處理器，以及可避免需要外加接觸墊以在兩核心之間建立旁路匯流排，在有限接觸墊(pad-limited)之設計中，不需要外加接觸墊是特別有用的好處。

在一實施例中，處理器匯流排 142 上的資料與位址訊號為對應於處理器匯流排 142 之控制訊號為兩倍頻訊號與

四倍頻訊號。發明人觀察到當核心 1 106B 驅動處理器匯流排 142 時訊號 208A 的訊號品質不良，反之，當核心 0 106A 驅動處理器匯流排 142 時訊號 208B 的訊號品質亦不良，特別對兩倍頻訊號與四倍頻訊號的資料與位址訊號更是如此。然而，單一速度(亦即正常的匯流排時鐘速度)控制訊號的訊號品質較為可靠，且產生選擇訊號 407 之匯流排介面電路 400 的控制邏輯可用以觀察單一速度之處理器匯流排 142 的控制訊號，以便可靠地決定哪一單元(即核心 0 306A、核心 1 306B 或晶片組 144)正在驅動處理器匯流排 142。

四核心實施例

第 5 圖所示係包括傳統雙核心微處理器封裝體之電子系統 500 的示意圖。電子系統 500 相似於第 3 圖的電子系統 300；然而第 5 圖之具有單一晶片 504 的雙核心微處理器 502 不同於第 3 圖之具有單一晶片 304 的雙核心微處理器 302 之處，在於單一晶片 504 只包括單一接觸墊 108A 用以對應至處理器匯流排 142 的每一接腳 112。也就是說，第 5 圖之雙核心微處理器 502 的核心 0 506A 與核心 1 506B 共享一組接觸墊 108A，而非如第 3 圖的雙核心微處理器 302 各自擁有接觸墊 108A 與 108B。因此，核心 0 506A 與核心 1 506B 可為一雙核心對。第 5 圖之具有單一晶片 504 的雙核心微處理器 502 可包括被核心 0 506A 與核心 1 506B 共享的一快取記憶體。

第 6 圖所示係根據第 5 圖之傳統的雙核心微處理器 502 的匯流排介面電路 600 的示意圖。匯流排介面電路 600 包

括耦接至外部處理器匯流排 142 之接腳 112 的接觸墊 108A。接觸墊 108A 耦接至訊號 208，而訊號 208 耦接至電晶體 204 的汲極，且電晶體 204 的源極接地。電晶體 204 的閘極用以接收具有兩個輸入端之 OR 閘 603 的輸出訊號 601，OR 閘 603 的輸入端接收來自核心 0 506A 的訊號 206A 與來自核心 1 506B 的訊號 206B。當核心 0 506A 驅動處理器匯流排 142 時，核心 1 506B 產生具有錯誤值(false value)的訊號 206B，以使核心 0 506A 可控制 OR 閘 603 的輸出訊號 601、電晶體 204、接腳 112 上的輸出值與處理器匯流排 142。相反地，當核心 1 506B 驅動處理器匯流排 142 時，核心 0 506A 產生具有錯誤值的訊號 206A，以使核心 1 506B 可控制 OR 閘 603 的輸出訊號 601、電晶體 204、接腳 112 上的輸出值與處理器匯流排 142。每一輸出訊號 206A 與 206B 可為資料訊號、位址訊號或控制訊號，用以透過訊號 208 與接觸墊 108A 提供一數值，用以被驅動至處理器匯流排 142 之對應的訊號。因此，雖然第 6 圖僅表示處理器匯流排 142 之單一訊號的配置，處理器匯流排 142 之每一訊號具有第 6 圖所示的配置。

匯流排介面電路 600 還包括一具有兩個輸入端的多工器 602，多工器 602 在輸入端 0 接收訊號 208，且在輸入端 1 接收輸出訊號 601。多工器 602 的輸出端提供訊號 205A 與訊號 205B 傳分別送至核心 0 506A 與核心 1 506B 作為核心 0 506A 與核心 1 506B 的輸入訊號。訊號 205A 與 205B 可為對應處理器匯流排 142 之一訊號的資料訊號、位址訊號或控制訊號。訊號 205A 與 205B 可透過接觸墊 108A 與

訊號 208 傳遞來自電子系統 500 另一處理單元(晶片組 144)的數值。此外，訊號 205A 與訊號 205B 可透過 OR 閘 603 與輸出訊號 601 傳遞來自核心 1 506B 的值、或透過 OR 閘 603 與輸出訊號 601 傳送來自核心 0 506A 的值以窺探其快取記憶體。選擇訊號 607 控制多工器 602 以表 5 所示的方式選擇多工器 602 的輸入端，以提供訊號 205A。

驅動處理器匯流排的單元	被選擇的輸入端
晶片組	輸入端 0(來自外部處理器匯流排 142 的訊號 208)
核心 0 506A	輸入端 1(來自該對核心之核心 0 506A 的輸出訊號 601)
核心 1 506B	輸入端 1(來自該對核心之核心 1 506B 的輸出訊號 601)

表 5

第 7 圖所示係根據本發明實施例之電子系統 700，電子系統 700 包括一四核心微處理器封裝體。電子系統 700 包括晶片組 144 與處理器匯流排 142，相似於第 1 圖中所示之晶片組 144 與處理器匯流排 142。電子系統 700 包括藉由處理器匯流排 142 耦接至晶片組 144 的四核心微處理器封裝體。四核心微處理器 702 包括四個處理核心，統稱為核心 706，其分別為核心 0 706A、核心 1 706B、核心 2 706C 與核心 3 706D。

核心 0 706A 與核心 1 706B 形成一雙核心對，相似於由核心 0 506A 與核心 1 506B 所形成的一雙核心對。仔細而言，核心 0 706A 與核心 1 706B 共享一組接觸墊 108A，

該組接觸墊 108A 透過基板導線耦接至對應的處理器匯流排 142 的接腳 112。同樣地，核心 2 706C 與核心 3 706D 共享一組接觸墊 108B，該組接觸墊 108B 透過基板導線耦接至對應的處理器匯流排 142 的接腳 112。四核心微處理器 702 的四個核心 706 皆位於單一晶片 704 之上。

製作第 7 圖四核心微處理器 702 的製造者於半導體晶圓上以矩陣排列的方式製造複數晶片 704，再將這些晶片 704 切割成實體塊。在一實施例中，第 7 圖之具有單一晶片 704 的四核心微處理器 702 以 CNTR.2528 中所描述的方式被設計與製造。也就是說，製造者設計一第一光罩組 (reticle set) 用以印出一組雙核心晶片 (如第 5 圖之雙核心晶片 504)。第一光罩組定義切割線以分離雙核心晶片，且該切割線定義圍繞每一雙核心晶片的密封環 (seal ring)。製造者將第一光罩組的部分光罩藉由使用旁路匯流排 709 替換第一光罩組的至少一切割線以修正為第二光罩組，該第二光罩組可以用以印出一組四核心晶片 (如第 7 圖之四核心晶片 704)。旁路匯流排 709 包括核心間通訊線以連接在晶圓上相鄰的雙核心對或雙核心組，其中該雙核心對或雙核心組被預先設計為被切割線所分離。一旦該切割線被移除，且該光罩組被修正以定義旁路匯流排 709 時，四個核心在運作期間便能藉由旁路匯流排 709 進行通訊。接著，製造者使用第二光罩組製造晶圓，並以及沿著剩餘的切割線切割四核心晶片 704 以生產四核心晶片 704。

因為核心 0 706A 與核心 1 706B 所形成雙核心對經由旁路匯流排 709 連接至由核心 2 706C 與核心 3 706D 所形

成的雙核心對，因此核心 0 706A 與核心 1 706B 所形成的雙核心對與核心 2 706C 與核心 3 706D 所形成的雙核心對為互補關係。因旁路匯流排 709 未連接至接觸墊 108，因此旁路匯流排 709 不會將訊號傳送至四核心晶片 704 外部。

第 8 圖所示係根據第 7 圖四核心微處理器 702 之匯流排介面電路 800 的示意圖。單一晶片 704 的匯流排介面電路 800 係改良後之第 6 圖的匯流排介面電路 600，以容納旁路匯流排 709 並提供處理器匯流排 142 改良的訊號品質。

第 8 圖之匯流排介面電路 800 的多處相似於第 6 圖的匯流排介面電路 600，且在其他多處相似於第 4 圖的匯流排介面電路 400，如元件使用的數目。下面進行描述不同之處。第 6 圖的 OR 閘 603 在第 8 圖中為 OR 閘 603A，而第 6 圖的輸出訊號 601 在第 8 圖中為輸出訊號 601A。第 6 圖的訊號 208 在第 8 圖中為訊號 208A(如第 4 圖所示)。第 6 圖的電晶體 204 在第 8 圖中為電晶體 204A(如第 4 圖所示)。此外，具有三個輸入端的多工器 802A(如第 4 圖所示之具有三個輸入端的多工器 402A)取代第 6 圖之具有兩個輸入端的多工器 602。第 8 圖與第 4 圖相同的是，多工器 802A 的第三個輸入端為輸入端 2，且輸入端 2 耦接旁路匯流排訊號 709A，其中旁路匯流排訊號 709A 耦接至號 601B，輸出訊號 601B 與輸出訊號 601A 具有相同的功用，不同之處為輸出訊號 601B 與核心 2 706C 與核心 3 706D 有關，在下面進行討論。多工器 802A 的選擇輸入端接收選擇訊號 807A，選擇訊號 807A 用以使多工器 802A 依表 6 所示的方式選擇多工器 802A 的輸入端。

驅動處理器匯流排的單元	被選擇的輸入端
晶片組	輸入端 0(來自外部處理器匯流排 142 的訊號 208A)
核心 0 706A 或核心 1 706B	輸入端 1(來自該對核心之核心 0 706A 或核心 1 706B 的輸出訊號 601A)
核心 2 706C 或核心 3 706D	輸入端 2(來自該對互補核心之核心 2 706C 或核心 3 706D 的旁路匯流排訊號 709A)

表 6

第 8 圖之匯流排介面電路 800 也包括核心 2 706C 與核心 3 706D 的一匯流排介面電路，其係核心 0 706A 與核心 1 706B 之匯流排介面電路以映射方式進行複製(mirroring)。也就是對於核心 2 706C 與核心 3 706D 來說，匯流排介面電路 800 包括耦接至外部處理器匯流排 142 之接腳 112 的接觸墊 108B。接觸墊 108B 耦接訊號 208B，其中訊號 208B 耦接至電晶體 204B 的汲極，電晶體 204B 的源極接地。電晶體 204B 的閘極用以接收具有兩個輸入端之 OR 閘 603B 的運算輸出訊號 601B。OR 閘 603B 的輸入端接收來自核心 2 706C 的訊號 206C 與來自核心 3 706D 的訊號 206D，其相似於相對應核心 0 706A 與核心 1 706B 的訊號 206A 與 206B。匯流排介面電路 800 包括具有三個輸入端的多工器 802B，多工器 802B 的輸入端 0 接收訊號 208B、輸入端 1 接收輸出訊號 601B 且輸入端 2 接收旁路匯流排訊

號 709B。旁路匯流排訊號 709B 耦接至輸出訊號 601A。多工器 802B 的選擇輸入端接收訊號 807B 以使多工器 802B 依表 7 所示的方式選擇多工器 802B 的輸入端。

驅動處理器匯流排的單元	被選擇的輸入端
晶片組	輸入端 0(來自外部處理器匯流排 142 的訊號 208A)
核心 0 706A 或核心 1 706B	輸入端 2(來自該對互補核心之核心 0 706A 或核心 1 706B 的旁路匯流排訊號 709B)
核心 2 706C 或核心 3 706D	輸入端 1(來自該對核心之核心 2 706C 或核心 3 706D 的輸出訊號 601B)

表 7

多工器 802B 輸出訊號 205C 至核心 2 706C 以作為核心 2 706C 的輸入訊號，以及輸出訊號 205D 至核心 3 706D 以作為核心 3 706D 的輸入訊號。訊號 205C 與 205D 相似於核心 0 706A 與核心 1 706B 的訊號 205A 與 205B。

從第 8 圖中可看到有利的狀況是，當核心 0 706A 或核心 1 706B 驅動處理器匯流排 142 時，核心 2 706C 或核心 3 706D 可直接從內部旁路匯流排 709B 監測由核心 0 706A 或核心 1 706B 驅動的數值，而非透過訊號 208B 由外部處理器匯流排 142 所監測，而從外部處理器匯流排 142 所監測到的訊號品質會比從內部旁路匯流排 709B 所監測到的訊號品質差上許多；當核心 2 706C 或核心 3 706D 驅動處理

器匯流排 142 時，核心 0 706A 或核心 1 706B 可直接從內部旁路匯流排 709A 監測由核心 2 706C 或核心 3 706D 驅動的數值，而非透過訊號 208A 由外部處理器匯流排 142 所監測，從外部處理器匯流排 142 所監測到的訊號品質會比從內部旁路匯流排 709A 所監測到的訊號品質差上許多。

應注意的是在說明書中使用的名詞“訊號”在此指的是電路元件，係指用以傳遞數位電子訊號的導線。

雖然在此只描述雙核心與四核心微處理器包括內部旁路匯流排用以改良有關處理器匯流排訊號的品質，在其他實施例中可包括多核心微處理器利用相同的方式以改良有關處理器匯流排訊號的品質，如六核心或八核心微處理器。

此外，雖然於上述實施例中核心間通訊線用以從每一核心或每一雙核心對的輸出端耦接至處理器匯流排與互補的一核心或一雙核心對的輸入端，且為雙向通訊。但在其他實施例中，核心間通訊線只從一核心或一雙核心對耦接至其他核心，此非反之亦然。此外，其他實施例中核心間通訊線只提供給所選擇之處理器匯流排的輸入與輸出。

應注意的是，在說明書中的核心間通訊線都稱作“旁路匯流排”，從一核心或一雙核心對至另一核心或另一雙核心對的每一組核心間通訊線可以稱做可辨識的“旁路匯流排”。此外，兩個組以上的結合，包括一組從一方向(第 1 核心至第 2 核心)與另一組從反方向(即第 2 核心至第 1 核心)亦可為“旁路匯流排”或“複數旁路匯流排”。

本發明雖以較佳實施例揭露如上，然其並非用以限定本發明的範圍，任何熟習此項技藝者，在不脫離本發明

之精神和範圍內，當可做些許的更動與潤飾。舉例來說，除了以硬體（例如耦接至或在一中央處理單元內、微處理器、微控制器、數位訊號處理器、處理器核心、系統晶片或任何其它裝置）來實現外，也可用軟體（例如電腦可讀碼、程式碼、或任何形式之指令，例如原始語言、目標語言或機械語言）來實現，例如，在一電腦可用（例如可讀取）媒體內儲存該軟體。舉例來說，此種軟體可以使功能執行、製造、製造模型、模擬、敘述或測試這裡所提及的裝置及方法，例如，可用通常之程式語言（例如 C 或 C++）、硬體描述語言（例如 Verilog HDL、VHDL）或其它程式來完成；此種軟體可被安裝於任何電腦可用媒體，例如半導體、磁碟或光碟（例如 CD-ROM、DVD-ROM 等）。本發明之實施例包括提供一微處理器之方法，此係藉由提供描述有微處理器之設計之軟體，並將該軟體以電腦資料訊號之方式透過通訊網路（包括網際網路及區域網路）傳送出去。本發明之裝置與方法亦可被用於一半導體智慧財產核心（semiconductor intellectual property core），例如一個微處理器核心（以 HDL 實現），之後再以積體電路的方式轉換成硬體，另外，本發明之裝置與方法亦可由硬體及軟體來組合實現。因此，本發明不該被侷限於所揭露之實施例，本發明之保護範圍當視後附之申請專利範圍所指定者為準。本發明係實現於一微處理器裝置中，且該微處理器裝置係被應用於一般的電腦。

【圖式簡單說明】

第 1 圖所示係具有傳統雙核心微處理器封裝體之電子系統的示意圖；

第 2 圖所示係第 1 圖之傳統雙核心微處理器之匯流排介面電路的示意圖；

第 3 圖所示係根據本發明之具有雙核心微處理器封裝體之電子系統的示意圖；

第 4 圖所示係第 3 圖之雙核心微處理器之匯流排介面電路的示意圖；

第 5 圖所示係具有傳統雙核心微處理器封裝體之電子系統的示意圖；

第 6 圖所示係第 5 圖之傳統雙核心微處理器之匯流排介面電路的示意圖；

第 7 圖示係根據本發明之具有四核心微處理器封裝體之電子系統的示意圖；

第 8 圖示係第 7 圖之四核心微處理器之匯流排介面電路的示意圖。

【主要元件符號說明】

100、300、500、700~電子系統；

200、400、600、800~匯流排介面電路；

102、302、502~雙核心微處理器；

106A、306A、506A、706A~核心 0；

106B、306B、506B、706B~核心 1；

108A、108B~接觸墊；

112~接腳；

142~處理器匯流排；

144~晶片組；

202A、202B、402A、402B、602、802A、802B~多工器；

204A、204B、204~電晶體；

205A、205B、205C、205D、206A、206B、206C、206D、208A、208B、208~訊號；

207A、207B、407A、407B、607、807A、807B~選擇訊號；

309、309A、309B、709、709A、709B~旁路匯流排訊號；

601、601A、601B~輸出訊號；

603、603A、603B~OR 閘；

702~四核心微處理器；

706C~核心 2；

706D~核心 3。

第 100147903 號申請專利範圍修正

七、申請專利範圍：

1. 一種微處理器，包括：

複數接腳，耦接上述微處理器至耦接一晶片組的一雙向處理器匯流排；

一晶片，具有複數核心，每一核心具有一匯流排介面分別耦接上述核心的複數輸入端與複數輸出端至上述處理器匯流排之對應的複數雙向線；以及

一旁路匯流排，配置在上述晶片上，用以使上述晶片的至少一第一與一第二互補核心旁路上述處理器匯流排而直接互相通訊，上述旁路匯流排提供對應於複數處理器匯流排線的複數匯流排線；

其中上述旁路匯流排不會將訊號傳送至上述晶片的外部、驅動上述處理器匯流排上的訊號至上述晶片組或接收來自上述處理器匯流排的晶片組驅動的訊號，其中在上述第一與第二核心所耦接至的每一處理器匯流排中，上述核心提供一匯流排介面作為一接收端以接收一匯流排線介面多工器的一輸出，上述匯流排介面多工器接收上述處理器匯流排線與來自上述互補核心之一對應旁路匯流排線的一輸出端中之輸入。

2. 如申請專利範圍第 1 項所述之微處理器，其中上述旁路匯流排包括配置在上述晶片上的複數佈線網路，且上述佈線網路傳遞來自上述第一核心之複數輸出訊號至上述第二核心之對應的上述輸入端，以及傳遞來自上述第二核心之複數輸出訊號至上述第一核心之對應的上述輸入端。

3. 如申請專利範圍第 2 項所述之微處理器，其中在上

第 100147903 號申請專利範圍修正本

述第一與第二核心所耦接的每一處理器匯流排線中，對應的複數旁路匯流排線用以連接上述第一與第二核心。

4. 如申請專利範圍第 3 項所述之微處理器，其中在上述第一與第二核心所耦接至的每一處理器匯流排線中，一對應之一第一單向旁路匯流排線用以提供訊號從上述第一核心至上述第二核心，一對應之一第二單向旁路匯流排線用以提供訊號從上述第二核心至上述第一核心。

5. 如申請專利範圍第 1 項所述之微處理器，其中每一旁路匯流排線具有耦接至上述第一與第二核心之對應匯流排介面的輸入端與輸出端。

6. 如申請專利範圍第 1 項所述之微處理器，其中上述匯流排線介面多工器接收的是上述晶片組或一互補核心正在驅動上述處理器匯流排所對應的一控制輸入。

7. 如申請專利範圍第 6 項所述之微處理器，其中提供上述匯流排介面多工器的上述核心用以：

透過解析上述處理器匯流排的訊號偵測正在驅動上述處理器匯流排的是上述晶片組或上述互補核心；以及

提供一對應控制輸入至上述核心的上述匯流排線介面多工器。

8. 如申請專利範圍第 1 項所述之微處理器，其中在上述第一與第二核心所耦接至的每一處理器匯流排線中，上述匯流排介面邏輯包括一匯流排線介面電晶體用以驅動一核心訊號至一處理器匯流排線上，其中一對應之旁路匯流排線的一輸入端直接耦接至一核心驅動的輸出訊號線，其中上述核心驅動的輸出訊號線耦接上述匯流排線介面電晶

第 100147903 號申請專利範圍修正本

體的閘極。

9. 一種微處理器，包括：

一晶片，具有至少兩核心且至少兩組接觸墊，其中上述兩組接觸墊中之複數對接觸墊用以耦接上述微處理器至耦接至一晶片組的一雙向處理器匯流排；

複數匯流排介面，分別耦接每一核心的複數輸入端與複數輸出端至上述晶片之對應的接觸墊；以及

一旁路匯流排，配置於上述晶片上，用以使上述晶片的至少一第一與一第二互補核心組旁路上述處理器匯流排而直接互相通訊，上述旁路匯流排提供對應於複數處理器匯流排線的複數匯流排線；

其中上述旁路匯流排不會將訊號傳送至上述晶片的外部、在上述處理器匯流排驅動訊號至上述晶片組或接收來自上述處理器匯流排的晶片組驅動的訊號，其中在上述第一與第二組核心所耦接至的每一處理器匯流排中，上述對應核心組提供一匯流排介面作為一接收端以接收一匯流排線介面多工器的一輸出，上述匯流排介面多工器接收上述處理器匯流排線與來自上述互補核心之一對應旁路匯流排線的一輸出端中之輸入。

10. 如申請專利範圍第 9 項所述之微處理器，其中上述第一與第二互補核心組各包括一雙核心對，該雙核心對共享上述晶片之對應的一組接觸墊。

11. 如申請專利範圍第 10 項所述之微處理器，其中在上述第一與第二互補核心組所耦接的每一處理器匯流排線中，對應的複數旁路匯流排線用以連接上述第一與第二互

第 100147903 號申請專利範圍修正本

補核心組。

12. 如申請專利範圍第 11 項所述之微處理器，其中在上述第一與第二互補核心組所耦接至的每一處理器匯流排線中，一對應之一第一單向旁路匯流排線用以提供訊號從上述第一互補核心組至上述第二互補核心組，一對應之一第二單向旁路匯流排線用以提供訊號從上述第二互補核心組至上述第一互補核心組。

13. 如申請專利範圍第 9 項所述之微處理器，其中每一旁路匯流排線具有耦接至上述第一與第二互補核心組之對應匯流排介面的輸入端與輸出端。

14. 如申請專利範圍第 9 項所述之微處理器，其中上述匯流排介面多工器接收的是上述晶片組或上述核心之一互補核心組的一核心正在驅動上述處理器匯流排所對應的一控制輸入。

15. 如申請專利範圍第 14 項所述之微處理器，其中提供上述匯流排介面多工器的上述核心組的上述核心之一者係：

透過解析上述處理器匯流排的訊號偵測正在驅動上述處理器匯流排的是上述晶片組或上述核心之一互補核心組的一核心；以及

提供一對應控制輸入至上述核心的上述匯流排線介面多工器。

16. 如申請專利範圍第 9 項所述之微處理器，其中在上述第一與第二互補核心組所耦接至的每一處理器匯流排中，上述匯流排介面邏輯包括一匯流排線介面電晶體用以

第 100147903 號申請專利範圍修正本

驅動一核心訊號至一處理器匯流排線上，其中一相對應之旁路匯流排線的一輸入端直接耦接至一核心驅動的輸出訊號線並耦接至上述匯流排線介面電晶體的閘極，其中上述核心驅動的輸出訊號線傳送相對應互補核心組的輸出訊號線的一布林 OR 的運算輸出訊號。

17. 一種多核心晶片之核心間通訊方法，包括：

在一核心的一匯流排介面上接收來自一處理器匯流排與來自一相對應旁路匯流排的訊號，上述處理器匯流排連接上述多核心晶片至一晶片組，上述旁路匯流排連接上述核心至上數多核心晶片的一互補核心，其中上述旁路匯流排不會將訊號傳送至上述晶片的外部、在上述處理器匯流排驅動訊號至上述晶片組或接收來自上述處理器匯流排的晶片組驅動的訊號；

偵測上述處理器匯流排是否被上述晶片組或被上述互補核心所驅動；以及

當上述處理匯流排被上述互補核心所驅動時，使上述匯流排介面選擇來自上述旁路匯流排的訊號，而不選擇來自上述處理器匯流排的訊號，以驅動對應的核心輸入端。

18. 一種多核心晶片之核心間通訊方法，包括：

在一雙核心對所共享的一匯流排介面上接收來自一處理器匯流排與來自一對應旁路匯流排的訊號，上述處理器匯流排連接上述多核心晶片至一晶片組，上述旁路匯流排連接上述雙核心對至上數多核心晶片的一互補核心組，其中上述旁路匯流排不會將訊號傳送至上述晶片的外部、在上述處理器匯流排驅動訊號至上述晶片組或接收來自上述

第 100147903 號申請專利範圍修正本

處理器匯流排的晶片組驅動的訊號；

偵測上述處理器匯流排是否被上述晶片組或被上述互補核心組的一核心所驅動；以及

當上述處理匯流排被上述互補核心組的一核心所驅動時，使上述匯流排介面選擇來自上述旁路匯流排的訊號，而不選擇來自上述處理器匯流排的訊號，以驅動相對應的核心輸入端。

19. 一種微處理器，包括：

複數接腳，耦接上述微處理器至耦接一晶片組的一雙向處理器匯流排；

一晶片，具有複數核心，每一核心具有一匯流排介面分別耦接上述核心的複數輸入端與複數輸出端至上述處理器匯流排之對應的複數雙向線；以及

一旁路匯流排，配置在上述晶片上，用以使上述晶片的至少一第一與一第二互補核心旁路上述處理器匯流排而直接互相通訊，上述旁路匯流排提供對應於複數處理器匯流排線的複數匯流排線；

其中上述旁路匯流排不會將訊號傳送至上述晶片的外部、驅動上述處理器匯流排上的訊號至上述晶片組或接收來自上述處理器匯流排的晶片組驅動的訊號，其中每一旁路匯流排線具有耦接至上述第一與第二核心之對應匯流排介面的輸入端與輸出端，其中每一旁路匯流排線具有一輸入端，用以連接到上述第一與第二核心之一者的一對應匯流排線介面電晶體的閘極，以及一輸出端，用以連接到上述第一與第二核心之另一者的一對應匯流排線介面多工器

第 100147903 號申請專利範圍修正

的一輸入端。

20. 如申請專利範圍第 19 項所述之微處理器，其中上述旁路匯流排包括配置在上述晶片上的複數佈線網路，且上述佈線網路傳遞來自上述第一核心之複數輸出訊號至上述第二核心之對應的上述輸入端，以及傳遞來自上述第二核心之複數輸出訊號至上述第一核心之對應的上述輸入端。

21. 如申請專利範圍第 20 項所述之微處理器，其中在上述第一與第二核心所耦接的每一處理器匯流排線中，對應的複數旁路匯流排線用以連接上述第一與第二核心。

22. 如申請專利範圍第 21 項所述之微處理器，其中在上述第一與第二核心所耦接至的每一處理器匯流排線中，一對應之一第一單向旁路匯流排線用以提供訊號從上述第一核心至上述第二核心，一對應之一第二單向旁路匯流排線用以提供訊號從上述第二核心至上述第一核心。

23. 如申請專利範圍第 19 項所述之微處理器，其中在上述第一與第二核心所耦接至的每一處理器匯流排中，上述核心提供一匯流排介面作為一接收端以接收一匯流排線介面多工器的一輸出，上述匯流排介面多工器接收上述處理器匯流排線與來自上述互補核心之一對應旁路匯流排線的一輸出端中之輸入。

24. 如申請專利範圍第 23 項所述之微處理器，其中上述匯流排線介面多工器接收的是上述晶片組或一互補核心正在驅動上述處理器匯流排所對應的一控制輸入。

25. 如申請專利範圍第 24 項所述之微處理器，其中提

第 100147903 號申請專利範圍修正本

供上述匯流排介面多工器的上述核心用以：

透過解析上述處理器匯流排的訊號偵測正在驅動上述處理器匯流排的是上述晶片組或上述互補核心；以及

提供一對應控制輸入至上述核心的上述匯流排線介面多工器。

26. 如申請專利範圍第 23 項所述之微處理器，其中在上述第一與第二核心所耦接至的每一處理器匯流排線中，上述匯流排介面邏輯包括一匯流排線介面電晶體用以驅動一核心訊號至一處理器匯流排線上，其中一對應之旁路匯流排線的一輸入端直接耦接至一核心驅動的輸出訊號線，其中上述核心驅動的輸出訊號線耦接上述匯流排線介面電晶體的閘極。

27. 一種微處理器，包括：

一晶片，具有至少兩核心且至少兩組接觸墊，其中上述兩組接觸墊中之複數對接觸墊用以耦接上述微處理器至耦接至一晶片組的一雙向處理器匯流排；

複數匯流排介面，分別耦接每一核心的複數輸入端與複數輸出端至上述晶片之對應的接觸墊；以及

一旁路匯流排，配置於上述晶片上，用以使上述晶片的至少一第一與一第二互補核心組旁路上述處理器匯流排而直接互相通訊，上述旁路匯流排提供對應於複數處理器匯流排線的複數匯流排線；

其中上述旁路匯流排不會將訊號傳送至上述晶片的外部、在上述處理器匯流排驅動訊號至上述晶片組或接收來自上述處理器匯流排的晶片組驅動的訊號，其中每一旁路

第 100147903 號申請專利範圍修正

匯流排線具有耦接至上述第一與第二互補核心組之對應匯流排介面的輸入端與輸出端，其中每一旁路匯流排線具有輸入端，用以連接到上述互補核心組之一者的一對應匯流排線介面電晶體的閘極，以及一輸出端，用以連接到上述互補核心組之另一者的一對應匯流排線介面多工器的一輸入端。

28. 如申請專利範圍第 27 項所述之微處理器，其中上述第一與第二互補核心組各包括一雙核心對，該雙核心對共享上述晶片之對應的一組接觸墊。

29. 如申請專利範圍第 28 項所述之微處理器，其中在上述第一與第二互補核心組所耦接的每一處理器匯流排線中，對應的複數旁路匯流排線用以連接上述第一與第二互補核心組。

30. 如申請專利範圍第 29 項所述之微處理器，其中在上述第一與第二互補核心組所耦接至的每一處理器匯流排線中，一對應之一第一單向旁路匯流排線用以提供訊號從上述第一互補核心組至上述第二互補核心組，一對應之一第二單向旁路匯流排線用以提供訊號從上述第二互補核心組至上述第一互補核心組。

31. 如申請專利範圍第 27 項所述之微處理器，其中在上述第一與第二組核心所耦接至的每一處理器匯流排中，上述對應核心組提供一匯流排介面作為一接收端以接收一匯流排線介面多工器的一輸出，上述匯流排介面多工器接收上述處理器匯流排線與來自上述互補核心之一對應旁路匯流排線的一輸出端中之輸入。

第 100147903 號申請專利範圍修正本

32. 如申請專利範圍第 31 項所述之微處理器，其中上述匯流排介面多工器接收的是上述晶片組或上述核心之一互補核心組的一核心正在驅動上述處理器匯流排所對應的一控制輸入。

33. 如申請專利範圍第 32 項所述之微處理器，其中提供上述匯流排介面多工器的上述核心組的上述核心之一者係：

透過解析上述處理器匯流排的訊號偵測正在驅動上述處理器匯流排的是上述晶片組或上述核心之一互補核心組的一核心；以及

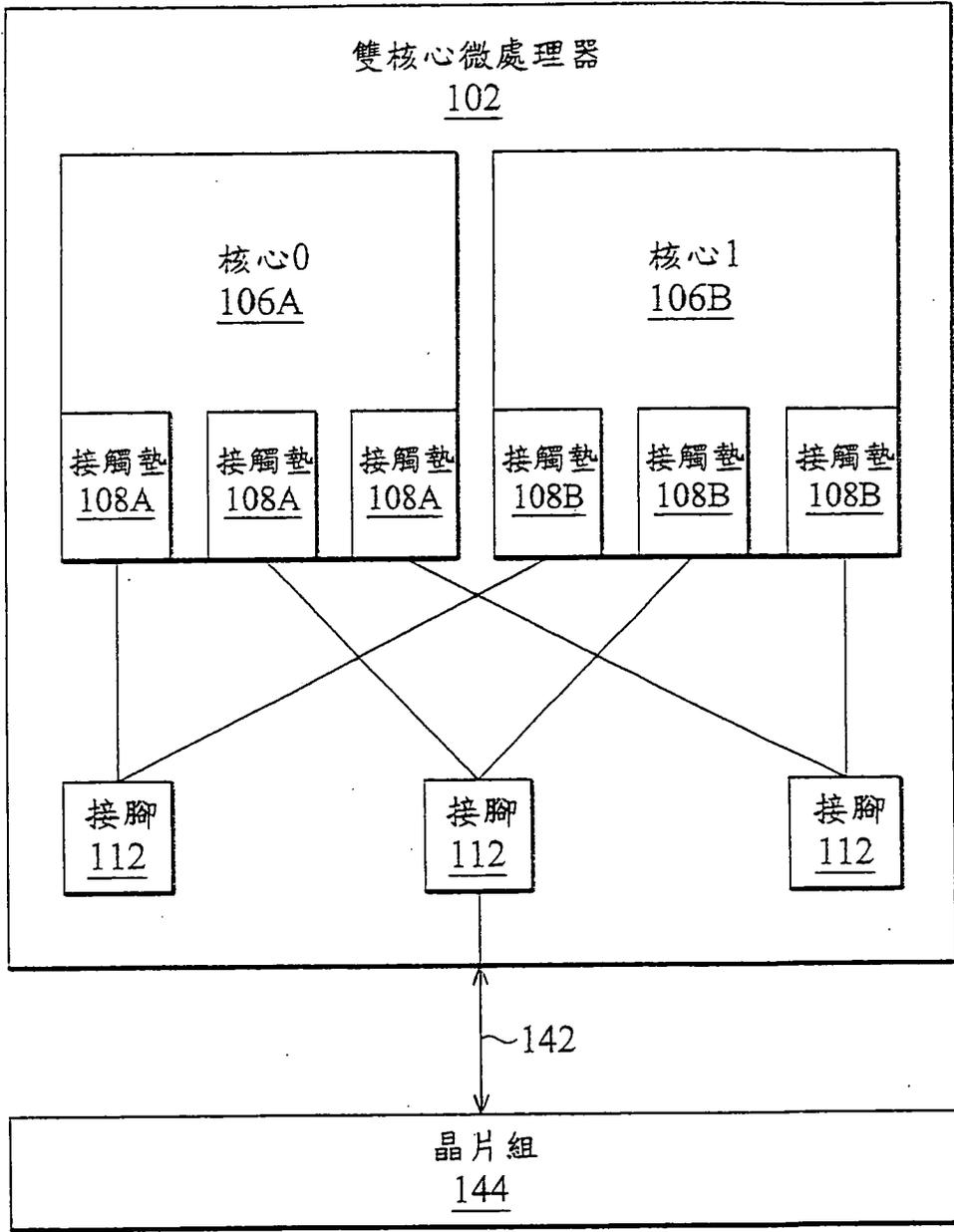
提供一對應控制輸入至上述核心的上述匯流排線介面多工器。

34. 如申請專利範圍第 31 項所述之微處理器，其中在上述第一與第二互補核心組所耦接至的每一處理器匯流排中，上述匯流排介面邏輯包括一匯流排線介面電晶體用以驅動一核心訊號至一處理器匯流排線上，其中一相對應之旁路匯流排線的一輸入端直接耦接至一核心驅動的輸出訊號線並耦接至上述匯流排線介面電晶體的閘極，其中上述核心驅動的輸出訊號線傳送相對應互補核心組的輸出訊號線的一布林 OR 的運算輸出訊號。

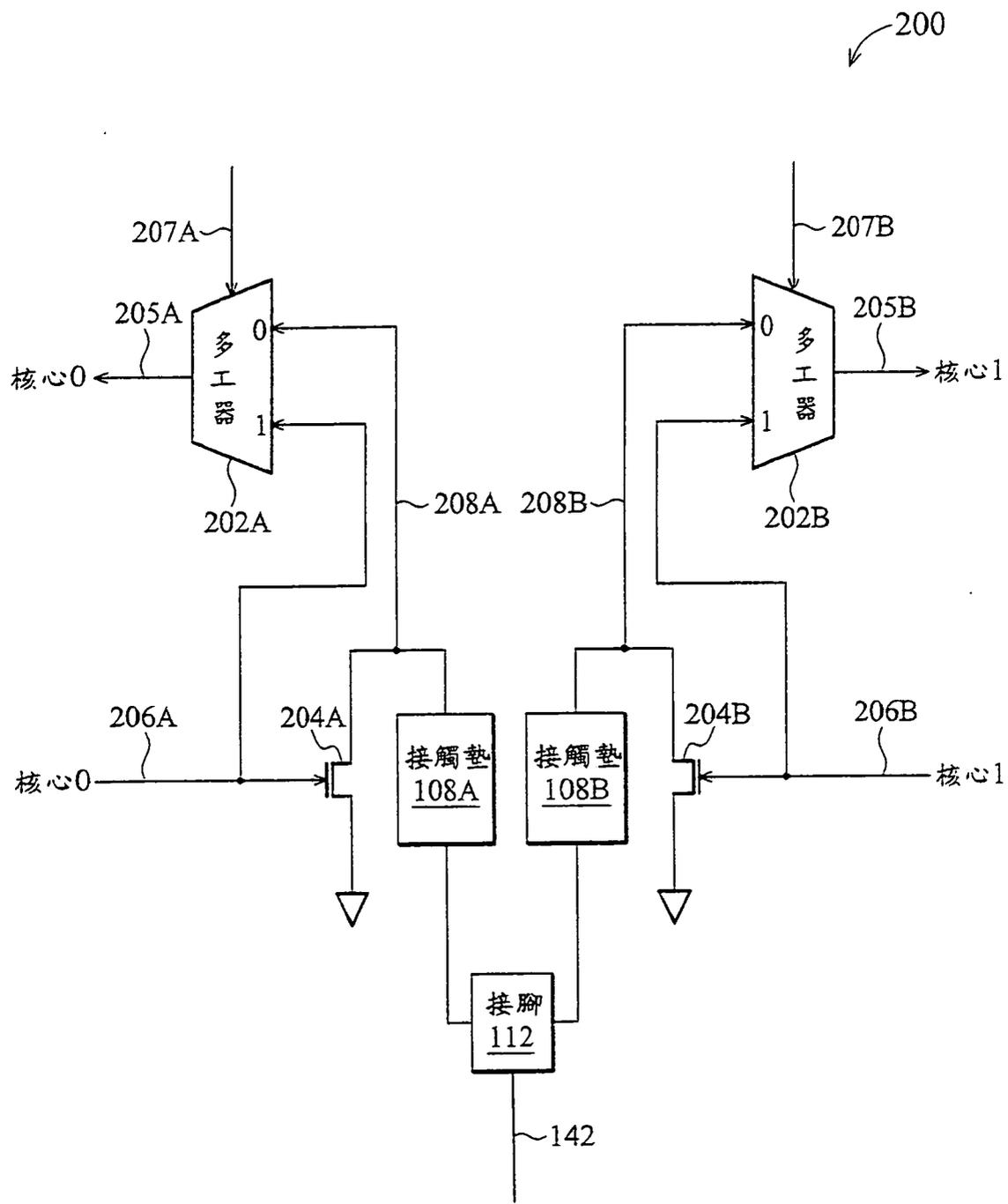
未下
1

八、圖式：

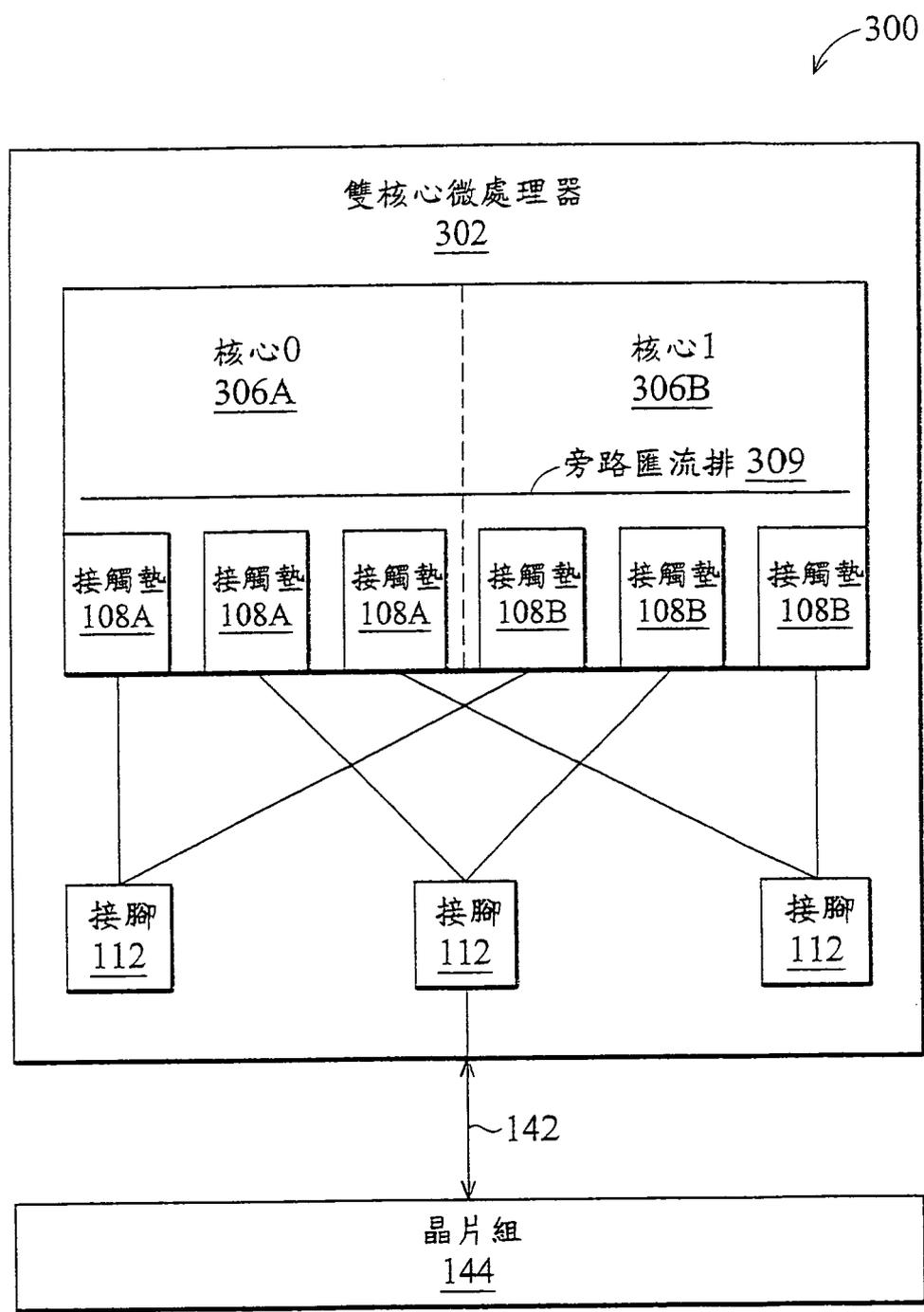
100



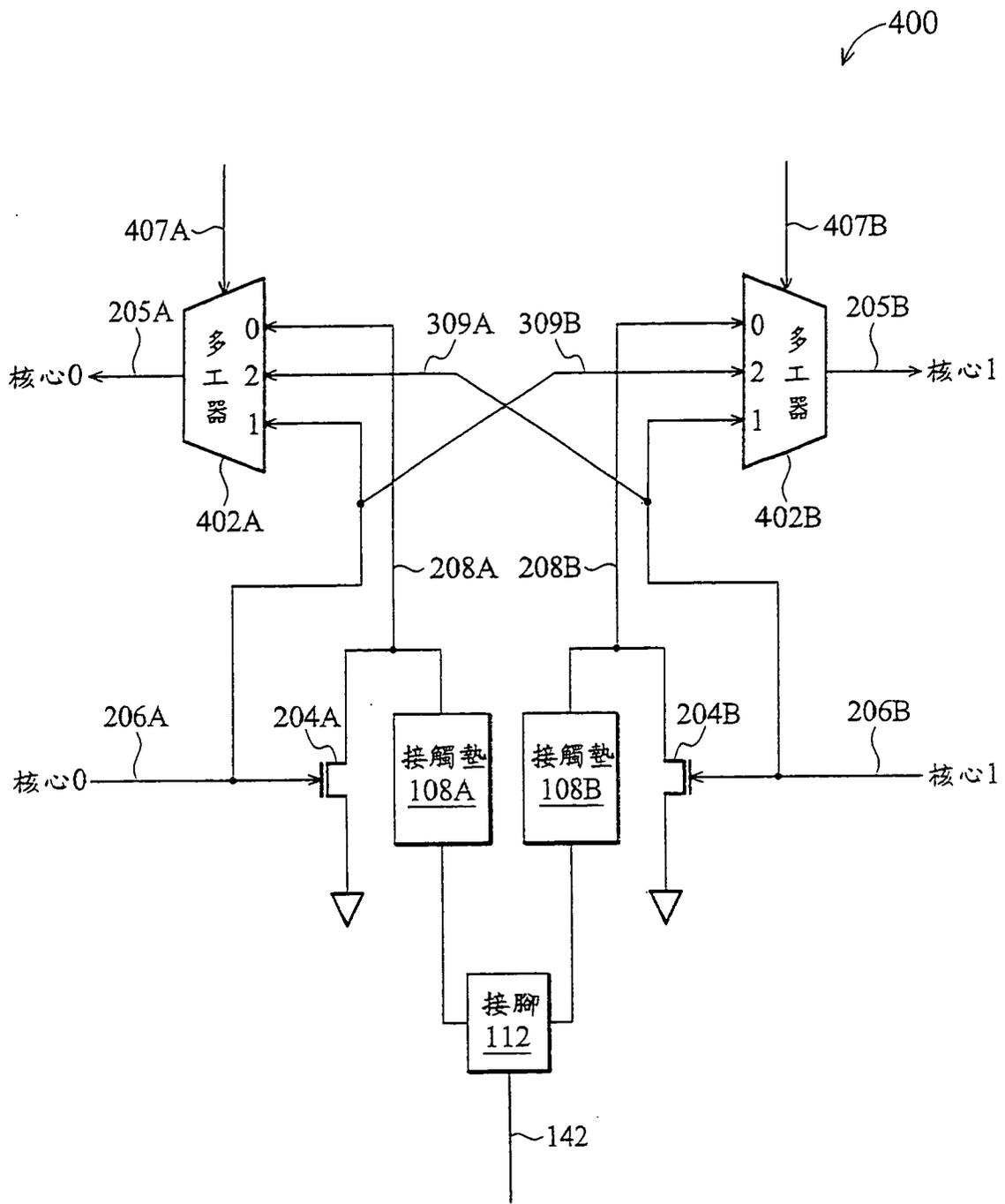
第 1 圖



第 2 圖

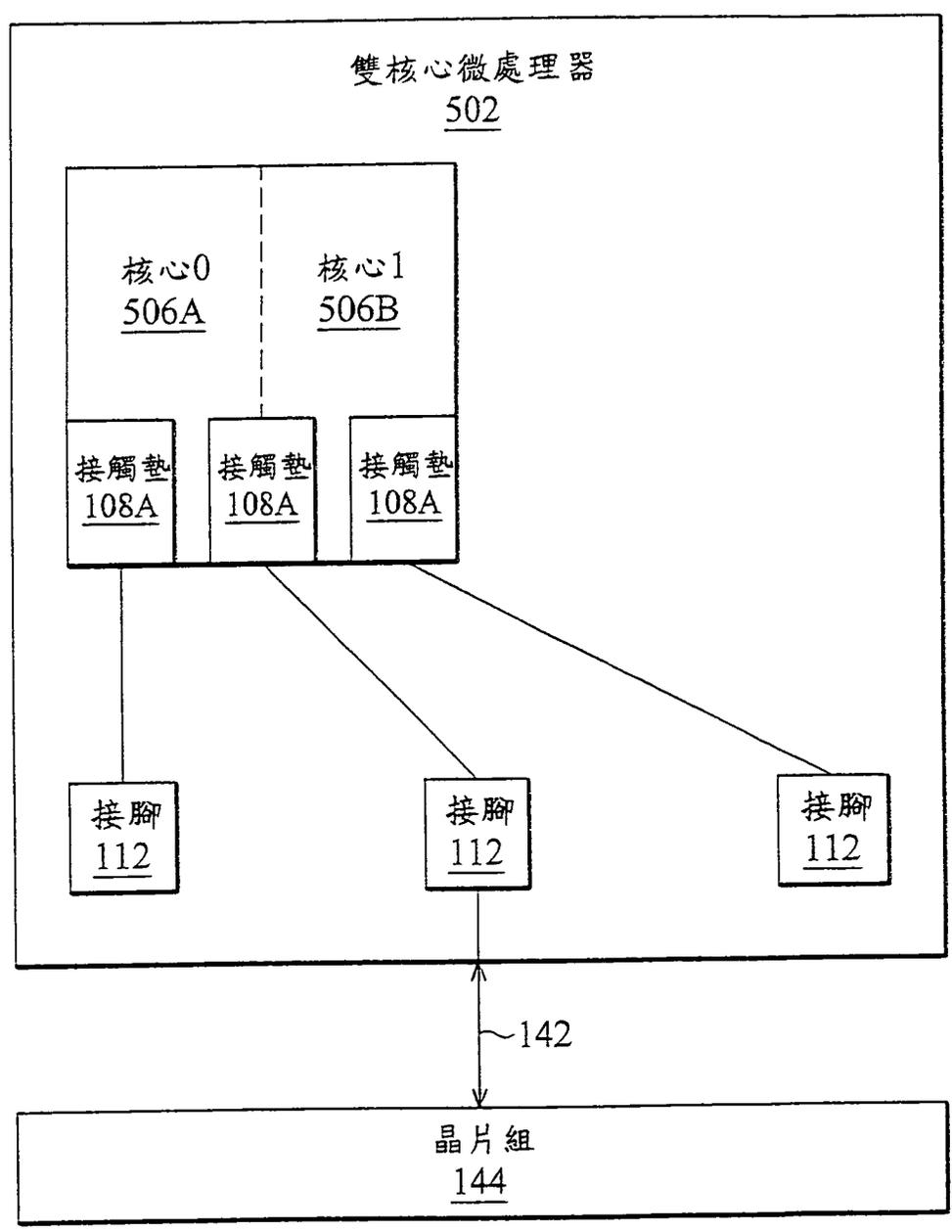


第 3 圖



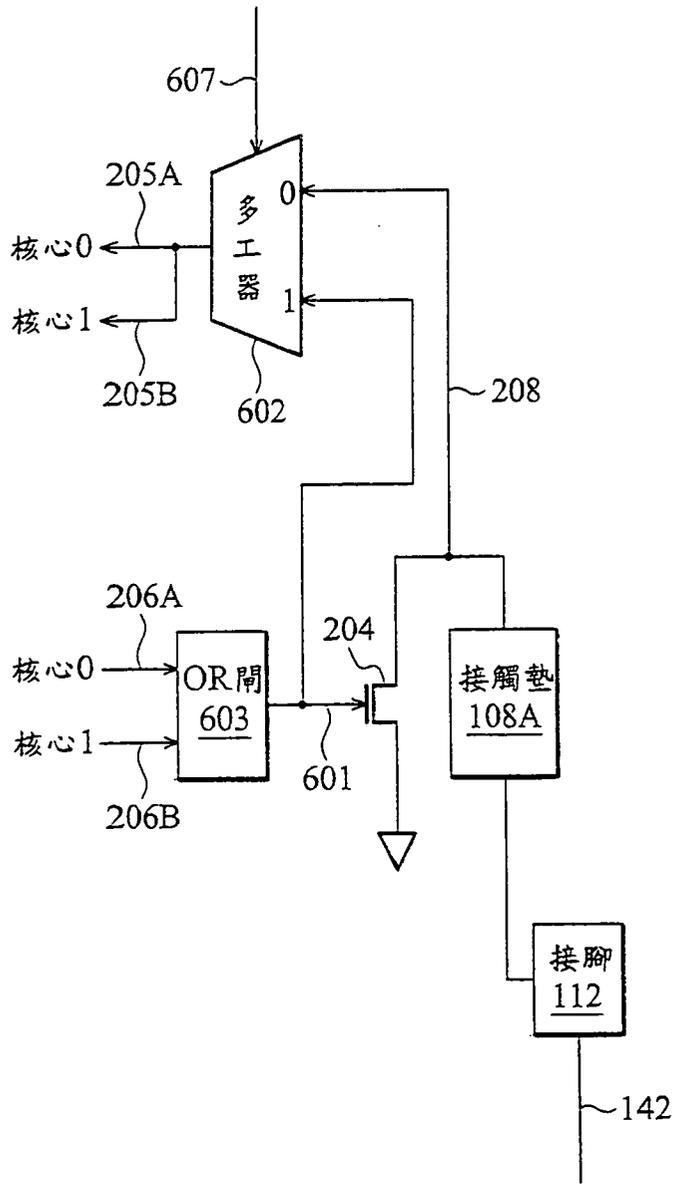
第 4 圖

500

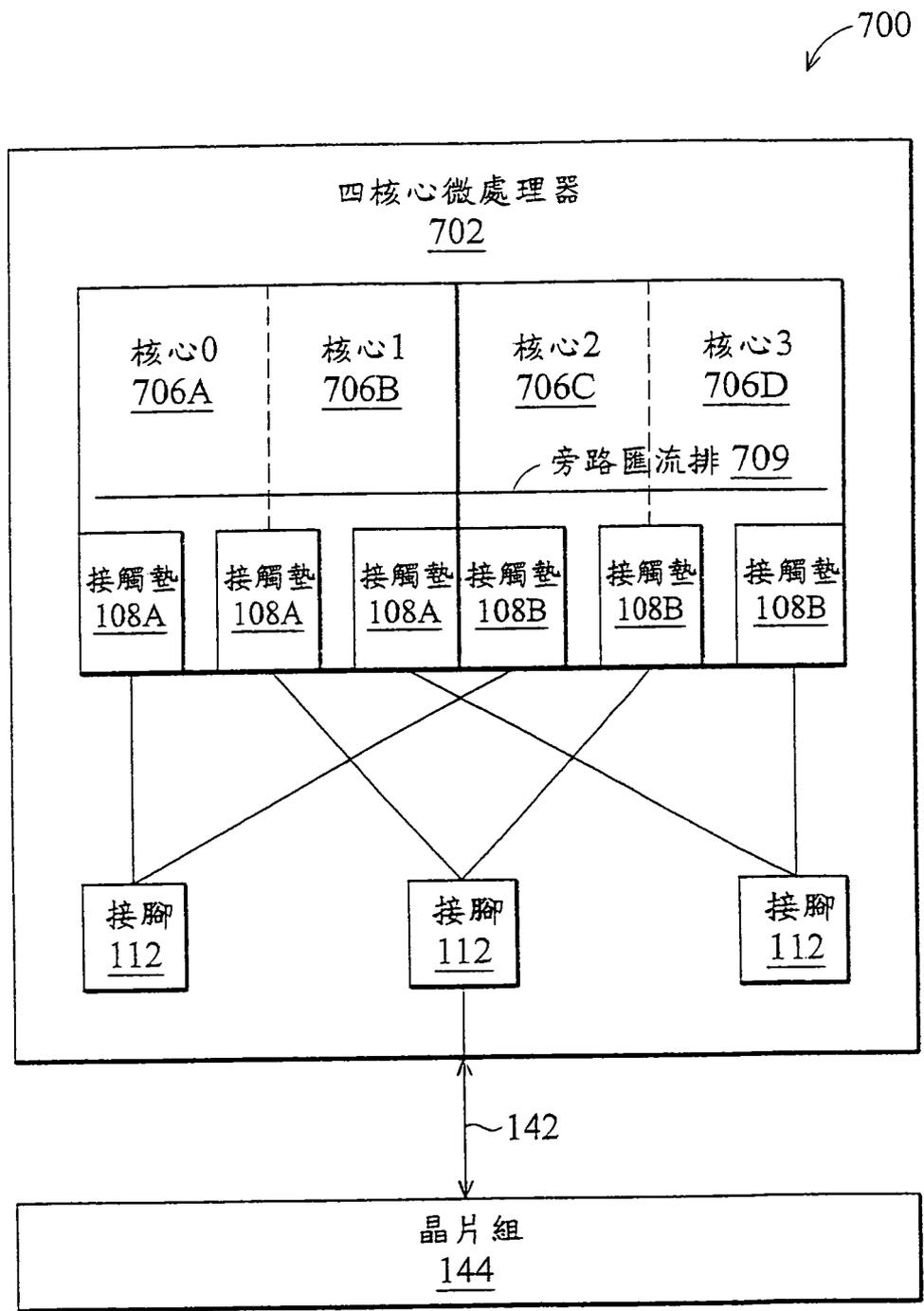


第 5 圖

600



第 6 圖



第 7 圖

