(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.[7]
H01L 21/8242

(45) 공고일자 2003년10월01일
(11) 등록번호 10-0400247
(24) 등록일자 2003년09월20일

(21) 출원번호 10-2000-0086435
(22) 출원일자 2000년12월29일

(65) 공개번호 특2002-0058367
(43) 공개일자 2002년07월12일

(73) 특허권자 주식회사 하이닉스반도체
경기 이천시 부발읍 아미리 산136-1

(72) 발명자 장민식
경기도이천시부발읍아미리699-7현대3차아파트302동1205호

기영종
경기도이천시부발읍신하리148-1삼익아파트101-701

(74) 대리인 특허법인아주

심사관 : 반성원

(54) 반도체 메모리장치의 커패시터 하부전극 제조방법

요약

본 발명은 반도체 메모리장치의 커패시터 하부전극 제조방법에 관한 것으로서, 특히 이 방법은 반도체 기판에 희생 절연막을 형성한 후에 하부전극이 형성될 예정 부위를 식각해서 개구부를 형성하고, 희생 절연막에 도전체막 및 개구부를 매립하는 갭필막을 형성하고, 희생 절연막이 드러날 때까지 평탄화 공정으로 적층된 갭필막 및 도전체막을 연마하고, H_2 어닐링 공정으로 도전체막의 첨점을 제거한 후에, 갭필막 및 희생 절연막을 제거하여 커패시터의 하부전극을 형성한다. 그러므로, 본 발명은 고집적 메모리장치의 3차원 구조의 하부전극 제조 공정시 셀 들 사이의 도전체막을 분리하기 위한 평탄화 공정 후에 바로 H_2 어닐링 공정을 진행하여 도전체막의 첨점을 제거함으로써 하부전극 사이의 브릿지를 막을 수 있어 커패시터의 전기적 특성을 향상시킨다.

대표도

도 2

명세서

도면의 간단한 설명

도 1은 종래 기술에 의한 반도체 메모리장치의 하부전극의 제조 공정 중에서 평탄화 공정으로 하부전극의 패턴 상부면에서 발생하는 첨점 현상을 나타낸 수직 단면도,
도 2는 본 발명의 일실시예에 따른 반도체 메모리장치의 커패시터 하부전극 제조 방법에 따라 패턴 상부면에서 첨점 현상이 제거된 하부전극의 구조를 나타낸 수직 단면도,
도 3a 내지 도 3e는 본 발명의 일실시예에 따른 반도체 메모리장치의 하부전극 제조 공정을 순차적으로 나타낸 공정 순서도,
도 4는 본 발명의 반도체 메모리장치에서 셀 들 사이의 하부전극 구조를 나타낸 수직 단면도,

도 5a 및 도 5b는 본 발명의 하부전극 제조 공정시 실시되는 H_2 어닐링 공정 전과 후의 도전체막의 상부 형태를 비교 도시한 SEM 도면들이다.
* 도면의 주요 부분에 대한 부호 설명 *
100 : 실리콘기판의 하부 구조물 110 : 콘택 플러그
112 : 희생 절연막 120a : 하부전극
122 : 요철 표면 130' : 표면이 평탄화된 갭필막
t' : 첨점이 제거된 하부전극의 상부 단면

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체장치의 커패시터 제조방법에 관한 것으로서, 특히 DRAM 등의 메모리소자에서 3차원 구조의 하부전극 제조 공정시 실시되는 평탄화 공정에 의해 하부전극의 패턴 상부에 발생되는 첨점을 제거하여 하부전극 사이의 브릿지를 방지하는 방법에 관한 것이다.
현재, 반도체 메모리 소자는 고집적화를 달성하기 위하여 셀 면적의 감소 및 동작 전압의 저전압화에 관한 연구/개발이 활발하게 진행되고 있다. 더구나, 반도체 소자의 고집적화가 이루어질수록 커패시터의 면적은 급격하게 감소하고 있기 때문에 기억소자의 동작에 필요한 전하 즉, 단위 면적에 확보되는 커패시턴스를 더욱 증가시켜야만 한다.
한편, 메모리 셀에 사용되는 커패시터의 기본 구조는 스토리지노드(storage node)용 하부전극, 유전체막 및 플레이트노드(plate node)용 상부전극으로 구성된 다. 이러한 구조를 가지는 커패시터는 작은 면적 내에서 보다 큰 고정전용량을 얻기 위해서 첫째 얇은 유전체막 두께를 확보하거나, 둘째 3차원적인 커패시터의 구조를 통해서 유효 면적을 증가하거나, 셋째 유전율이 높은 물질을 사용하여 유전체막을 형성하는 등의 몇 가지 조건이 만족되어야만 한다.
그 중에서도, 3차원 구조로 하부전극의 단면적을 증가시켜 고정전용량을 확보하기 위한 하부전극의 구조는 스택(stack), 트렌치(trench), 실린더(cylinder), 핀(fin), 스택실린더(stack cylinder) 등이 있다.
한편, 커패시터의 유효 면적을 증가시키기 위한 방법으로는 하부전극의 실리콘을 반구형 요철(凹凸)로 성장시켜 표면적으로 증가시키는 선택적 MPS(Selective Meta-stable Polysilicon) 성장 기술이 있다. 이러한 선택적 MPS 기술은 510 530°C에서 저농도 도프트(low doped) 또는 언도프트(undoped) 비정질 실리콘막을 증착시키고 Si_2H_6 가스를 이용하여 비정질 실리콘막 표면에 실리콘을 시딩(seeding)한 후에 고진공에서 어닐링 공정을 실시하면 실리콘 원자의 이동 성질에 의해 실리콘 박막의 표면이 요철화된 하부전극을 형성할 수 있다. 그리고, MPS 공정 이후에는 추가적으로 실리콘막내에 부족한 도전성을 보충하기 위해서 P이온 도핑 처리공정을 실시한다.
도 1은 종래 기술에 의한 반도체 메모리장치의 하부전극의 제조 공정 중에서 평탄화 공정으로 하부전극의 패턴 상부면에서 발생하는 첨점 현상을 나타낸 수직 단면도이다. 도 1을 참조하면, 종래의 실린더형 하부전극의 제조 방법은 다음과 같다.
우선, 반도체 기판의 하부 구조물에 USG(Undoped Silicate Glass), BPSG(Boro Phospho Silicate Glass), SiON 등의 층간절연막(10)을 형성한다. 그 다음, 층간절연막(10)내에 콘택홀을 형성하고 도프트 폴리실리콘을 매립한 후에 이를 화학기계적연마(Chemical Mechanical Polishing)하여 기판의 활성 영역(소스/드레인 영역)에 접하는 콘택 플러그(20)를 형성한다.
그리고, 상기 기판 전면에 실린더 구조의 하부전극을 형성하기 위하여 상기 콘택 플러그(20)가 형성된 층간절연막(10) 상부에 희생절연막(미도시함)을 형성하고,
그 다음, 하부전극 영역을 정의하기 위한 마스크를 이용한 사진 및 식각 공정으로 희생절연막내에 콘택 플러그(20)가 노출되는 개구부를 형성한다.
그리고나서, 희생절연막 전면에 도전체막으로서 폴리실리콘(30)을 증착하고, 개구부를 매립하도록 갭필막(미도시함)을 형성한다.
이어서, 화학기계적연마(chemical mechanical polishing) 또는 전면 식각(etch back) 등의 평탄화 공정으로 희생절연막이 드러날 때까지 폴리실리콘(30)을 연마하여 셀 사이의 도전체막을 분리한다.
그 다음, 갭필막 및 희생 절연막을 제거하고, 도전체막(30)에 선택적 MPS 공정을 실시하여 요철 표면(32)을 갖는 실린더 구조의 하부전극을 완성한다. 그리고, 하부전극에 부족한 도펀트를 보충하면서 정전용량을 높이기 위하여 P 도핑처리를 실시한다.
그러나, 상기와 같은 종래 기술의 하부전극 제조 방법에 있어서, 희생 절연 막 표면의 갭필막 및 도전체막을 제거하는 평탄화 공정시 도면 부호 t와 같이 개구부에 있는 도전체막의 수직 패턴 상부에서 모서리가 날카롭게(sharp) 연마되어 첨점을 만들게 되는 문제점이 있었다.
더욱이, 메모리소자의 고집적화에 따라 셀 사이가 축소됨에 따라 하부전극 사이의 간격이 좁아질 경우 이러한 하부전극의 수직 패턴의 첨점이 외부 압력에 의해 쉽게 쓰러지게(broken) 되어 셀 들의 하부전극 사이에서 브릿지(bridge)가 발생하게 된다.

발명이 이루고자 하는 기술적 과제

본 발명의 목적은 종래 기술의 문제점이 해결하기 위하여 3차원 구조의 하부전극 제조 공정시 요구되는 평탄화 공정 후에 바로 H_2 어닐링 공정으로 도전체막의 첨점을 제거함으로써 하부전극 사이의 브릿지를 막을 수 있어 커패시터의 전기적 특성을 향상시킬 수 있는 반도체 메모리장치의 커패시터 하부전극 제조방법을 제공하는데 있다.

발명의 구성 및 작용

상기 목적을 달성하기 위하여 본 발명은 고집적 반도체 메모리장치의 커패시터의 하부전극 제조방법에 있어서, 반도체 기판에 희생 절연막을 형성한 후에 하부전극이 형성될 예정 부위를 식각해서 개구부를 형성하는 단계와, 개구부를 갖는 희생 절연막에 도전체막을 형성하는 단계와, 도전체막 상부에 개구부를 매립하는 갭 필막을 형성하는 단계와, 희생 절연막이 드러날 때까지 평탄화 공정으로 적층된 갭필막 및 도전체막을 연마하는 단계와, 결과물에 H_2 어닐링 공정으로 도전체막의 첨점을 제거하는 단계와, 갭필막 및 희생 절연막을 제거하여 커패시터의 하부전극을 형성하는 단계를 포함하여 이루어진다.

이하, 도면을 참조하여 본 발명의 바람직한 실시예에 대해 상세하게 설명하고자 한다.

도 2는 본 발명의 일실시예에 따른 반도체 메모리장치의 커패시터 하부전극 제조 방법에 따라 패턴 상부면에서 첨점 현상이 제거된 하부전극의 구조를 나타낸 수직 단면도이다.

도 2에 도시된 바와 같이, 본 발명의 커패시터의 3차원 하부전극(120a)은 셀 사이의 도전체막(하부전극용) 및 갭필막을 분리하기 위한 평탄화 공정이후에 H_2 어닐링 공정을 실시함에 따라 하부전극(120a)의 첨점이 도면 부호 t'와 같이 완만한 형태를 갖게 된다.

도 3a 내지 도 3e는 본 발명의 일실시예에 따른 반도체 메모리장치의 하부전극 제조 공정을 순차적으로 나타낸 공정 순서도이다.

먼저, 반도체 기판에 소정의 소자 공정을 진행하는데, 필드 산화막(미도시함)과 게이트산화막, 게이트전극, 스페이서 및 소스/드레인 영역을 갖는 트랜지스터(미도시)를 형성한다.

그리고, 도 3a에 도시된 바와 같이 상기 기판 전면에 USG(Undoped Silicate Glass), BPSG(Boro Phospho Silicate Glass) 및 SiON 등의 층간절연막(100)을 형성한다. 그 다음, 층간절연막(100)내에 콘택홀을 형성하고 도프트 폴리실리콘을 매립한 후에 이를 화학기계적연마하여 기판의 활성 영역(소스/드레인 영역)에 접하는 콘택 플러그(110)를 형성한다.

그 다음, 상기 기판 전면에 실린더 구조의 하부전극을 형성하기 위하여 희생절연막(112)을 형성한다. 여기서, 희생절연막(112)은 USG, PSG, BPSG, PE-TEOS(Plasma Enhanced Tetra Ethly Ortho Silicate), LP-TEOS(Plasma Pressure TEOS) 중에서 어느 한 물질을 이용하는 것이 바람직하다. 그리고, 하부전극 영역을 정의하기 위한 마스크를 이용한 사진 및 식각 공정으로 희생절연막(112)에 콘택 플러그(110) 표면이 개방되는 개구부(114)를 형성한다.

그리고나서, 도 3b에 도시된 바와 같이, 상기 개구부(114)를 갖는 희생 절연막(112)에 도전체막(120)으로서, 폴리실리콘을 형성한 후에 도전체막(120) 상부에 개구부(112)를 매립하는 갭필막(130)을 형성한다. 여기서, 갭필막(130)은 산화물질 및 포토레지스트 중에서 어느 하나로 한다.

이어서 도 3c에 도시된 바와 같이, 희생 절연막(112)이 드러날 때까지 평탄화 공정으로 적층된 갭필막(130) 및 도전체막(120)을 연마한다.

도 3d에 도시된 바와 같이, H_2 어닐링 공정으로 평탄화 공정시 발생된 도전체막(130)의 첨점(t)을 제거한다. 이때 H_2 어닐링 공정은 600℃ 1100℃의 온도, 10Torr 300Torr의 압력, H_2 가스량을 1 50 slm로 하는 것이 바람직하다. 공정 시간은 온도에 따라 정해진다. 본 발명의 H_2 어닐링 공정에 의해 도전체막(120)의 실리콘(Si)은 표면에너지가 최소화되는 방향으로 이동되어 평탄화 공정으로 인해 발생된 도전체막의 상부 첨점(t)이 도면부호 t'와 같이 완만해진다.

이어서, 도 3e에 도시된 바와 같이, 첨점이 제거(t')된 도전체막인 폴리실리콘막에 선택적 MPS 공정을 실시하여 그 표면을 요철 형태(122)로 만든다. 이로인해, 3차원구조로서 실린더형 하부전극(120a)이 완성된다.

더 이상 도면에 도시되지는 않았지만, 상기 표면이 평탄화된 갭필막(130') 및 희생 절연막(112)을 제거하여 커패시터의 하부전극 제조 공정을 종료한다.

도 4는 본 발명의 반도체 메모리장치에서 셀 들 사이의 하부전극 구조를 나타낸 수직 단면도로서, 본 발명의 평탄화 공정이후 진행되는 H_2 어닐링 공정에 의해 하부전극의 수직 패턴의 첨점이 제거되어 셀 들 사이의 하부 전극 사이(b)에서 브릿지가 발생되지 않는다.

도 5a 및 도 5b는 본 발명의 하부전극 제조 공정시 실시되는 H_2 어닐링 공정 전과 후의 도전체막의 상부 형태를 비교 도시한 SEM 도면들이다.

도 5a에 도시된 바와 같이, 하부 전극 제조 공정시 셀 들 사이의 도전체막(하부전극용)을 분리하기 위해 진행되는 평탄화 공정에 의해 도전체막의 수직 패턴 상부에서 첨점(t)이 발생하게 된다. 반면에, 도 5b에 도시된 바와 같이, 본 발명은 평탄화 공정이후에 H_2 어닐링 공정을 실시하기 때문에 도전체막의 수직 패턴 상 부면에 존재하는 첨점이 어닐에 의한 실리콘 이동으로 완만한 형태(t')를 취하게 된다.

발명의 효과

상술한 바와 같이 본 발명에 따른 하부전극 제조 방법을 고집적 반도체 메모리장치의 제조 공정에 적용하게 되면, 셀 사이의 도전체막을 분리하는 평탄화 공정에 의해 발생되는 도전체막의 수직 패턴 상부의 첨점이 추가의 H_2 어닐링 공정에 의해 제거되므로 셀들 사이의 하부전극 브릿지 현상을 방지하여 커패시터의 제조 수율을 높인다.

(57) 청구의 범위

청구항 1.

반도체 메모리장치의 커패시터의 하부전극 제조방법에 있어서,
반도체 기판에 희생 절연막을 형성한 후에 하부전극이 형성될 예정 부위를 식각해서 개구부를 형성하는 단계;
상기 개구부를 갖는 희생 절연막에 도전체막을 형성하는 단계;
상기 도전체막 상부에 상기 개구부를 매립하는 갭필막을 형성하는 단계;
상기 희생 절연막이 드러날 때까지 평탄화 공정으로 상기 적층된 갭필막 및 도전체막을 연마하는 단계;
상기 결과물에 H_2 어닐링 공정으로 상기 도전체막의 첨점을 완화하는 단계; 및
상기 갭필막 및 희생 절연막을 제거하여 커패시터의 하부전극을 형성하는 단계를 포함하여 이루어진 것을 특징으로 하는 반도체 메모리장치의 커패시터 하부전극 제조방법.

청구항 2.

제 1항에 있어서, 상기 도전체막은 폴리실리콘인 것을 특징으로 하는 반도체 메모리장치의 커패시터 하부전극 제조방법.

청구항 3.

제 1항에 있어서, 상기 갭필막은 산화물질 및 포토레지스트 중에서 어느 하나인 것을 특징으로 하는 반도체 메모리장치의 커패시터 하부전극 제조방법.

청구항 4.

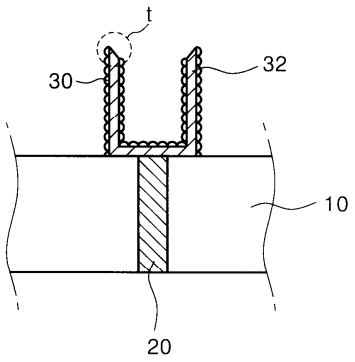
제 1항에 있어서, 상기 H_2 어닐링 공정은 600℃ 1100℃의 온도, 10Torr 300Torr의 압력, H_2 가스량을 150 slm로 하는 것을 특징으로 하는 반도체 메모리장치의 커패시터 하부전극 제조방법.

청구항 5.

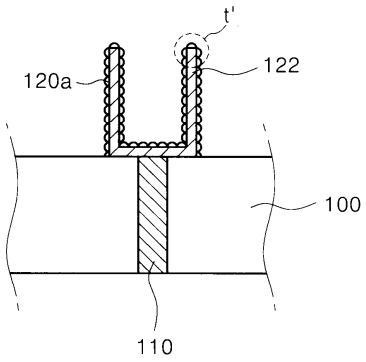
제 1항에 있어서, 상기 H_2 어닐링 공정을 실시한 후에 도전체막의 표면을 요철 형태로 만드는 단계를 더 포함하는 것을 특징으로 하는 반도체 메모리장치의 커패시터 하부전극 제조방법.

도면

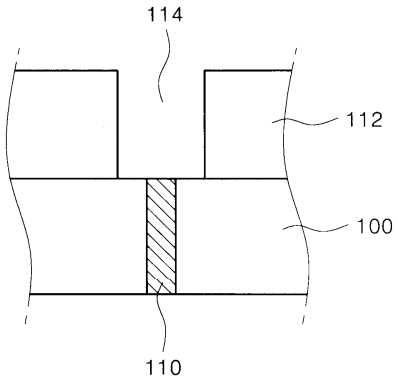
도면1



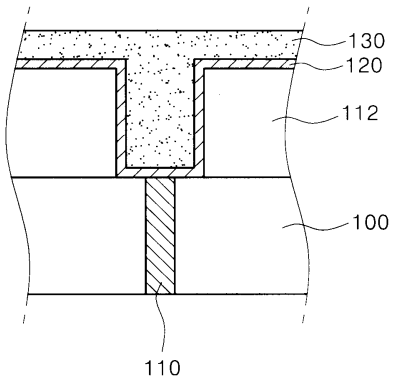
도면2



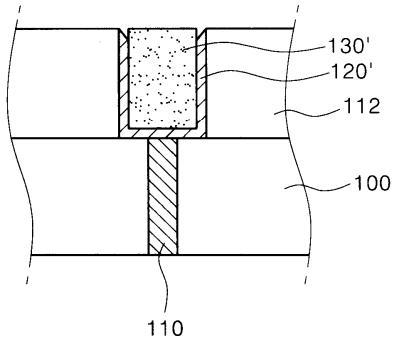
도면3a



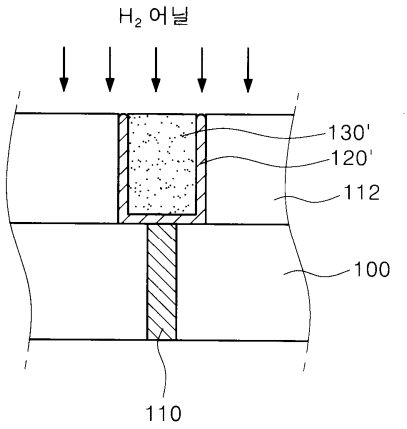
도면3b



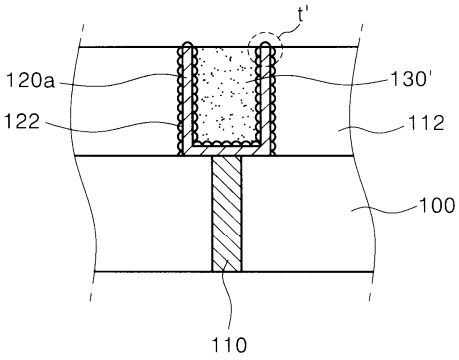
도면3c



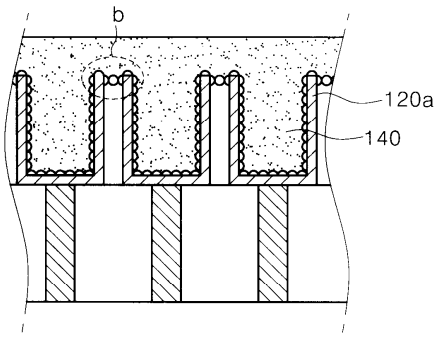
도면3d



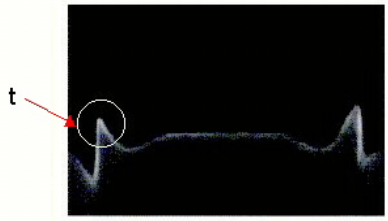
도면3e



도면4



도면5a



도면5b

