

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-47884
(P2008-47884A)

(43) 公開日 平成20年2月28日(2008.2.28)

(51) Int.Cl.	F 1	テーマコード (参考)
HO1L 21/336 (2006.01)	HO1L 29/78	617V 5B035
HO1L 29/786 (2006.01)	HO1L 27/10	434 5F048
HO1L 21/8247 (2006.01)	HO1L 29/78	371 5F058
HO1L 27/115 (2006.01)	HO1L 27/10	481 5F083
HO1L 29/788 (2006.01)	HO1L 27/10	461 5F101

審査請求 未請求 請求項の数 15 O L (全 56 頁) 最終頁に続く

(21) 出願番号	特願2007-183835 (P2007-183835)	(71) 出願人	000153878 株式会社半導体エネルギー研究所 神奈川県厚木市長谷398番地
(22) 出願日	平成19年7月13日 (2007.7.13)	(72) 発明者	掛端 哲弥 神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内
(31) 優先権主張番号	特願2006-199740 (P2006-199740)	(72) 発明者	横井 智和 神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内
(32) 優先日	平成18年7月21日 (2006.7.21)	F ターム (参考)	5B035 AA04 BB09 CA23 5F048 AB01 AB03 AC04 BA01 BA16 BB01 BB06 BB07 BB09 BB11 BB13 BC06 BC16 BE03 BF02 BF07 BF12 BG12 BG14 DA25 DA27 DA30
(33) 優先権主張国	日本国 (JP)		最終頁に続く

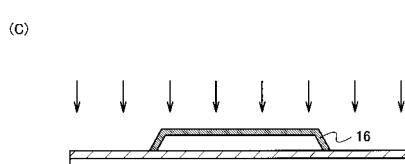
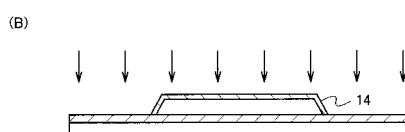
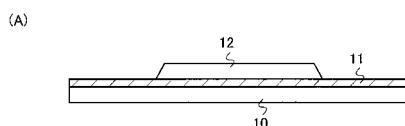
(54) 【発明の名称】半導体装置の作製方法及び不揮発性半導体記憶装置の作製方法

(57) 【要約】

【課題】絶縁耐圧の良好な絶縁層を製造する技術を提供することを目的とする。また、絶縁耐圧の良好な絶縁層を有する半導体装置を製造する技術を提供することを目的とする。

【解決手段】シリコンを主成分とする半導体層若しくは半導体基板に対して高密度プラズマ処理を行うことにより、半導体層の表面若しくは半導体基板の上面に絶縁層を形成する。このとき、供給ガスを希ガス、酸素及び水素を含むガスから希ガス及び酸素を含むガスに途中で切り替えて高密度プラズマ処理を行う。

【選択図】図1



【特許請求の範囲】**【請求項 1】**

基板上にシリコンを主成分とする半導体層を形成し、
前記半導体層に対して、供給ガスを希ガス、酸素及び水素を含むガスとして高密度プラズマ処理を行い、前記供給ガスを希ガス及び酸素を含むガスに切り替えて高密度プラズマ処理を行うことにより、前記半導体層の表面に絶縁層を形成することを特徴とする半導体装置の作製方法。

【請求項 2】

シリコンを主成分とする半導体基板に対して、供給ガスを希ガス、酸素及び水素を含むガスとして高密度プラズマ処理を行い、前記供給ガスを希ガス及び酸素を含むガスに切り替えて高密度プラズマ処理を行うことにより、前記半導体基板の上面に絶縁層を形成することを特徴とする半導体装置の作製方法。 10

【請求項 3】

請求項 1 又は請求項 2 において、
前記絶縁層として酸化シリコン層が形成されることを特徴とする半導体装置の作製方法。
。

【請求項 4】

シリコンを主成分とする半導体基板に複数の溝を設け、前記溝及び前記半導体基板上に第 1 の絶縁層を形成し、

前記第 1 の絶縁層を前記半導体基板の上面が露出するまで研削して、素子分離のための第 2 の絶縁層を形成し、 20

前記半導体基板に対して、供給ガスを希ガス、酸素及び水素を含むガスとして高密度プラズマ処理を行い、前記供給ガスを希ガス及び酸素を含むガスに切り替えて高密度プラズマ処理を行うことにより、前記半導体基板の上面に第 3 の絶縁層を形成することを特徴とする半導体装置の作製方法。

【請求項 5】

請求項 4 において、
前記第 3 の絶縁層として酸化シリコン層が形成されることを特徴とする半導体装置の作製方法。 30

【請求項 6】

請求項 1 乃至請求項 5 のいずれか一において、
前記高密度プラズマ処理は、高周波を用いて励起され、電子密度が $1 \times 10^{11} \text{ cm}^{-3}$ 以上、且つ電子温度が 1.5 eV 以下のプラズマを用いることを特徴とする半導体装置の作製方法。

【請求項 7】

請求項 1 乃至請求項 6 のいずれか一において、
前記供給ガスを切り替える際に、大気に曝すことなく連続して高密度プラズマ処理を行うことを特徴とする半導体装置の作製方法。

【請求項 8】

基板上にシリコンを主成分とする半導体層を形成し、
前記半導体層に対して、供給ガスを希ガス、酸素及び水素を含むガスとして高密度プラズマ処理を行い、前記供給ガスを希ガス及び酸素を含むガスに切り替えて高密度プラズマ処理を行うことにより、前記半導体層の表面に第 1 の絶縁層を形成し、 40

前記半導体層上に前記第 1 の絶縁層を介して第 1 のゲート電極を形成し、
前記第 1 のゲート電極上に第 2 の絶縁層を形成し、
前記第 1 のゲート電極上に前記第 2 の絶縁層を介して第 2 のゲート電極を形成し、
前記第 2 のゲート電極をマスクとして不純物元素を添加することにより、前記半導体層に不純物領域を形成することを特徴とする不揮発性半導体記憶装置の作製方法。

【請求項 9】

シリコンを主成分とする半導体基板に対して、供給ガスを希ガス、酸素及び水素を含む 50

ガスとして高密度プラズマ処理を行い、前記供給ガスを希ガス及び酸素を含むガスに切り替えて高密度プラズマ処理を行うことにより、前記半導体基板の上面に第1の絶縁層を形成し、

前記半導体基板上に前記第1の絶縁層を介して第1のゲート電極を形成し、

前記第1のゲート電極上に第2の絶縁層を形成し、

前記第1のゲート電極上に前記第2の絶縁層を介して第2のゲート電極を形成し、

前記第2のゲート電極をマスクとして不純物元素を添加することにより、前記半導体基板に不純物領域を形成することを特徴とする不揮発性半導体記憶装置の作製方法。

【請求項10】

請求項8又は請求項9において、

10

前記第1の絶縁層として酸化シリコン層が形成されることを特徴とする不揮発性半導体記憶装置の作製方法。

【請求項11】

シリコンを主成分とする半導体基板に複数の溝を設け、前記溝及び前記半導体基板上に第1の絶縁層を形成し、

前記第1の絶縁層を前記半導体基板の上面が露出するまで研削して、素子分離のための第2の絶縁層を形成し、

前記半導体基板に対して、供給ガスを希ガス、酸素及び水素を含むガスとして高密度プラズマ処理を行い、前記供給ガスを希ガス及び酸素を含むガスに切り替えて高密度プラズマ処理を行うことにより、前記半導体基板の上面に第3の絶縁層を形成し、

20

前記半導体基板上に前記第3の絶縁層を介して第1のゲート電極を形成し、

前記第1のゲート電極上に第4の絶縁層を形成し、

前記第1のゲート電極上に前記第4の絶縁層を介して第2のゲート電極を形成し、

前記第2のゲート電極をマスクとして不純物元素を添加することにより、前記半導体基板に不純物領域を形成することを特徴とする不揮発性半導体記憶装置の作製方法。

【請求項12】

請求項11において、

前記第3の絶縁層として酸化シリコン層が形成されることを特徴とする不揮発性半導体記憶装置の作製方法。

【請求項13】

30

請求項8乃至請求項12のいずれか一において、

前記高密度プラズマ処理は、高周波を用いて励起され、電子密度が $1 \times 10^{11} \text{ cm}^{-3}$ 以上、且つ電子温度が1.5eV以下のプラズマを用いることを特徴とする半導体装置の作製方法。

【請求項14】

請求項8乃至請求項13のいずれか一において、

前記供給ガスを切り替える際に、大気に曝すことなく連続して高密度プラズマ処理を行うことを特徴とする半導体装置の作製方法。

【請求項15】

40

請求項8乃至請求項14のいずれか一において、

前記第1のゲート電極は浮遊ゲート電極として機能し、

前記第2のゲート電極は制御ゲート電極として機能することを特徴とする不揮発性半導体記憶装置の作製方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置又は不揮発性半導体記憶装置の作製方法に関する。特に、半導体装置又は不揮発性半導体記憶装置を構成する絶縁層の作製方法に関する。

【背景技術】

【0002】

50

近年、集積回路や様々な高機能素子などの発展に伴い、素子の微細化が進んでいる。それに伴い、トランジスタのゲート絶縁層に代表される絶縁層の薄膜化が検討されている。しかし、ゲート絶縁層を薄膜化すると、ゲート絶縁層の絶縁破壊による影響が顕著になる。したがって、絶縁耐圧の良好な絶縁層が求められている。

【0003】

一般に、熱酸化法を用いれば良好な絶縁層が得られることが知られているが、1000程度の高温処理が必要となるため、熱に脆弱なガラス基板は用いることができない。

【0004】

そこで、酸素ラジカルを用いることで、比較的低温処理で薄膜な絶縁層を作製する技術が研究されている。例えば、特許文献1では、マイクロ波等の高周波を用い、少なくとも酸素を含む混合ガスを用いて高密度な酸素プラズマを生成し、当該酸素プラズマによって生成された酸素ラジカルを用いてシリコン膜表面に絶縁膜を形成することが記載されている。また、酸素プラズマは、酸素の他に希ガス、水(H_2O)等を含むガスとすることで、酸化レートを上昇させることができることが記載されている。10

【特許文献1】特開2002-170820号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

しかし、酸素と希ガスとを含む混合ガスを用いて絶縁層を形成する場合は、膜厚10nm程度の膜を形成することが難しかった。また、酸素と希ガスと水素とを含む混合ガスを用いて絶縁層を形成する場合は、絶縁層の絶縁耐圧が悪かった。20

【0006】

本発明は、上記問題を鑑み、所望の膜厚を有し、絶縁耐圧の良好な絶縁層を形成することを課題とする。

【課題を解決するための手段】

【0007】

ゲート絶縁層の絶縁破壊については、Aモード、Bモード、Cモードの3種類の絶縁破壊モードがあることが知られている。具体的には、絶縁破壊電界が1MV/cm以下で、ピンホール等による短絡に起因するAモードと、絶縁破壊電界が8MV/cm以下で、局所的なリーク電流等の電気的に弱い欠陥に起因するBモードと、絶縁破壊電界が8MV/cm以上で、絶縁層自身の真性絶縁破壊によるCモードである。Aモードの不良は歩留まりを低下させる大きな要因となり、Bモードの不良は信頼性を低下させる大きな要因となる。したがって、本発明では、特にAモード及びBモードで絶縁破壊が起きない絶縁耐圧を有する半導体装置を作製することを特徴とする。以下、具体的な方法を記す。30

【0008】

本発明は、シリコンを主成分とする半導体層若しくは半導体基板に対して高密度プラズマ処理を行うことにより、半導体層の表面若しくは半導体基板の上面に絶縁層を形成することを特徴とする。さらに、本発明は、供給ガスを希ガス、酸素及び水素を含むガスから希ガス及び酸素を含むガスに途中で切り替えて高密度プラズマ処理を行うことを特徴とする。40

【0009】

高密度プラズマ処理は、高周波で励起され、電子密度が $1 \times 10^{11} \text{ cm}^{-3}$ 以上、且つ電子温度が1.5eV以下のプラズマを利用する方が好ましい。具体的には、マイクロ波(代表的には2.45GHz)等の高周波を用いて励起され、電子密度が $1 \times 10^{11} \text{ cm}^{-3}$ 以上 $1 \times 10^{13} \text{ cm}^{-3}$ 以下、且つ電子温度が0.5eV以上1.5eV以下のプラズマを利用してプラズマ処理を行う方が好ましい。

【0010】

また、高密度プラズマ処理において、供給ガスを希ガス、酸素及び水素を含むガスから希ガス及び酸素を含むガスに切り替える際は、高周波を入力し、プラズマを生成し続けたままでよいし、一旦高周波の入力を停止することでプラズマの生成を止めた後にガスを50

切り替え、再び高周波を入力してもよい。なお、高密度プラズマ処理においてガスを切り替える際には、大気に曝すことなく、連続して行うことが好ましい。

【0011】

本発明の具体的な構成は、基板上にシリコンを主成分とする半導体層を形成し、半導体層に対して、供給ガスを希ガス、酸素及び水素を含むガスとして高密度プラズマ処理を行い、供給ガスを希ガス及び酸素を含むガスに切り替えて高密度プラズマ処理を行うことにより、半導体層の表面に絶縁層を形成することを特徴とする。

【0012】

本発明の他の構成は、シリコンを主成分とする半導体基板に対して、供給ガスを希ガス、酸素及び水素を含むガスとして高密度プラズマ処理を行い、供給ガスを希ガス及び酸素を含むガスに切り替えて高密度プラズマ処理を行うことにより、半導体基板の上面に絶縁層を形成することを特徴とする。

10

【0013】

本発明の他の構成は、シリコンを主成分とする半導体基板に複数の溝を設け、溝及び半導体基板上に第1の絶縁層を形成し、第1の絶縁層を半導体基板の上面が露出するまで研削して、素子分離のための第2の絶縁層を形成し、半導体基板に対して、供給ガスを希ガス、酸素及び水素を含むガスとして高密度プラズマ処理を行い、供給ガスを希ガス及び酸素を含むガスに切り替えて高密度プラズマ処理を行うことにより、半導体基板の上面に第3の絶縁層を形成することを特徴とする。

20

【0014】

また、本発明は、半導体層の表面又は半導体基板の上面に形成される絶縁層は酸化シリコン層であることを特徴とする。

【0015】

また、本発明は、高周波を用いて励起され、電子密度が $1 \times 10^{11} \text{ cm}^{-3}$ 以上、且つ電子温度が1.5eV以下のプラズマを用いて高密度プラズマ処理を行うことを特徴とする。

30

【0016】

また、本発明は、供給ガスを切り替える際に、大気に曝すことなく連続して高密度プラズマ処理を行うことを特徴とする。

【0017】

また、本発明の構成は、基板上にシリコンを主成分とする半導体層を形成し、半導体層に対して、供給ガスを希ガス、酸素及び水素を含むガスとして高密度プラズマ処理を行い、供給ガスを希ガス及び酸素を含むガスに切り替えて高密度プラズマ処理を行うことにより、半導体層の表面に第1の絶縁層を形成し、半導体層上に第1の絶縁層を介して第1のゲート電極を形成し、第1のゲート電極上に第2の絶縁層を形成し、第1のゲート電極上に第2の絶縁層を介して第2のゲート電極を形成し、第2のゲート電極をマスクとして不純物元素を添加することにより、半導体層に不純物領域を形成することを特徴とする。

【0018】

また、他の構成は、シリコンを主成分とする半導体基板に対して、供給ガスを希ガス、酸素及び水素を含むガスとして高密度プラズマ処理を行い、供給ガスを希ガス及び酸素を含むガスに切り替えて高密度プラズマ処理を行うことにより、半導体基板の上面に第1の絶縁層を形成し、半導体基板上に第1の絶縁層を介して第1のゲート電極を形成し、第1のゲート電極上に第2の絶縁層を形成し、第1のゲート電極上に第2の絶縁層を介して第2のゲート電極を形成し、第2のゲート電極をマスクとして不純物元素を添加することにより、半導体基板に不純物領域を形成することを特徴とする。

40

【0019】

また、他の構成は、シリコンを主成分とする半導体基板に複数の溝を設け、溝及び半導体基板上に第1の絶縁層を形成し、第1の絶縁層を半導体基板の上面が露出するまで研削して、素子分離のための第2の絶縁層を形成し、半導体基板に対して、供給ガスを希ガス、酸素及び水素を含むガスとして高密度プラズマ処理を行い、供給ガスを希ガス及び酸素

50

を含むガスに切り替えて高密度プラズマ処理を行うことにより、半導体基板の上面に第3の絶縁層を形成し、半導体基板上に第3の絶縁層を介して第1のゲート電極を形成し、第1のゲート電極上に第4の絶縁層を形成し、第1のゲート電極上に第4の絶縁層を介して第2のゲート電極を形成し、第2のゲート電極をマスクとして不純物元素を添加することにより、半導体基板に不純物領域を形成することを特徴とする。

【0020】

また、本発明は、半導体層の表面若しくは半導体基板の上面に形成される絶縁層は酸化シリコン層であることを特徴とする。

【0021】

また、本発明は、高周波を用いて励起され、電子密度が $1 \times 10^{11} \text{ cm}^{-3}$ 以上、且つ電子温度が1.5eV以下のプラズマを用いて高密度プラズマ処理を行うことを特徴とする。

【0022】

また、本発明は、供給ガスを切り替える際に、大気に曝すことなく連続して高密度プラズマ処理を行うことを特徴とする。

【0023】

また、本発明は、第1のゲート電極は浮遊ゲート電極として機能し、第2のゲート電極は制御ゲート電極として機能することを特徴とする。

【発明の効果】

【0024】

本発明を用いることで、絶縁耐圧の良好な絶縁層を形成することができる。よって、高耐圧な絶縁層をゲート絶縁層として形成することで、信頼性の高い半導体装置又は不揮発性半導体記憶装置を作製することができる。また、半導体装置又は不揮発性半導体記憶装置の歩留まりを向上することができる。

【発明を実施するための最良の形態】

【0025】

本発明の実施の形態について、図面を用いて以下に説明する。ただし、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更しうることは当業者であれば容易に理解される。したがって、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する本発明の構成において、同じものを指す符号は異なる図面間で共通して用いる場合がある。

【0026】

(実施の形態1)

本発明は、シリコンを主成分とする半導体層若しくは半導体基板に対して高密度プラズマ処理を行うことにより半導体層若しくは半導体基板の表面に絶縁層を形成する際に、供給ガスを切り替えることを特徴としている。ここでは、半導体層に対して高密度プラズマ処理を行う例について、図1を用いて説明する。

【0027】

まず、基板10上に、下地絶縁層11を介して半導体層12を形成する(図1(A)参照)。基板10としては、絶縁表面を有する基板を用いる。例えば、ガラス基板、石英基板、サファイア基板、セラミック基板、表面に絶縁層が形成された金属基板等を用いることができる。

【0028】

下地絶縁層11は、CVD法やスパッタリング法を用いて、酸化シリコン(SiO_x)、窒化シリコン(SiN_x)、酸化窒化シリコン(SiO_xN_y)(x>y>0)、窒化酸化シリコン(SiN_xO_y)(x>y>0)等の絶縁材料を用いて形成する。また、下地絶縁層11は、単層構造でも積層構造でもよい。下地絶縁層11は、基板10から半導体層12へアルカリ金属等の不純物が拡散し、半導体層12が汚染することを防ぐプロッキング層として機能する。また、基板10の表面に凹凸がある場合、平坦化する層として機能することもできる。なお、下地絶縁層11は、基板10からの不純物拡散や凹凸が問

10

20

30

40

50

題とならなければ、形成しなくともよい。

【0029】

半導体層12は、CVD法やスパッタリング法を用いて、シリコンを主成分とする材料を用いて形成する。例えば、シリコンを主成分とする材料として、シリコン(Si)、シリコンゲルマニウム(Si_xGe(1-x))を用いる。例えば、半導体層12としては、シリコンを主成分とする材料を用いて非晶質半導体層を形成し、当該非晶質半導体層を結晶化させた結晶質半導体層を選択的にエッチングすることによって島状の半導体層を形成することができる。非晶質半導体層を結晶化する場合は、レーザ結晶化法、RTA又はファーネスアニール炉を用いる熱結晶化法、結晶化を助長する金属元素を用いる熱結晶化法またはこれらの方を組み合わせた方法等により行うことができる。

10

【0030】

次に、半導体層12に対して、高密度プラズマ処理を行うことにより、半導体層12表面に絶縁層を形成する。本発明では、まず供給ガスを希ガス、酸素及び水素を含むガスとして高密度プラズマ処理を行い、絶縁層14を形成する(図1(B)参照)。さらに、供給ガスを希ガス及び酸素を含むガスに切り替えて高密度プラズマ処理を行い、絶縁層16を形成する(図1(C)参照)。

【0031】

ここで、高密度プラズマ処理を行うためのプラズマ処理装置80の構成例を図2に示す。当該プラズマ処理装置80は、支持台88と、ガスを供給するためのガス供給部84、ガスを排気するために真空ポンプに接続する排気口86、アンテナ98、誘電体板82、プラズマ発生用の高周波を入力する高周波供給部92を有している。基板10は、支持台88によって保持される。また、支持台88に温度制御部90を設けることによって、基板10の温度を制御することも可能である。

20

【0032】

以下、図2に示すプラズマ処理装置80を用いて半導体層表面に絶縁層を形成する具体例を述べる。

【0033】

まず、図2に示すプラズマ処理装置80の処理室内を真空にする。そして、ガス供給部84から希ガス、酸素及び水素を含むガス(以下、第1の供給ガスともいう)を供給する。第1の供給ガスは、希ガス:酸素:水素の流量比率が100:1:1乃至200:1:1の範囲で供給することが好ましい。

30

【0034】

基板10は室温、若しくは温度制御部90により100以上550以下の範囲で加熱する。基板10と誘電体板82との間隔(以下、電極間隔ともいう)は、20mm以上200mm以下(好ましくは20mm以上60mm以下)程度である。

【0035】

次に、高周波供給部92からアンテナ98に高周波を入力する。ここでは、高周波としてマイクロ波(周波数2.45GHz)を入力する。そしてマイクロ波をアンテナ98から誘電体板82を通して処理室内に入力することによって、プラズマ94を生成し、当該プラズマ94によって酸素ラジカルを生成する。このとき、プラズマ94は、供給された第1の供給ガスによって生成される。

40

【0036】

マイクロ波の入力によりプラズマ94を生成すると、低電子温度(3eV以下、好ましくは1.5eV以下)で高電子密度($1 \times 10^{11} \text{ cm}^{-3}$ 以上)のプラズマを生成することができる。具体的には、電子温度が0.5eV以上1.5eV以下、且つ電子密度が $1 \times 10^{11} \text{ cm}^{-3}$ 以上 $1 \times 10^{13} \text{ cm}^{-3}$ 以下のプラズマ生成することが好ましい。なお、本明細書では、マイクロ波の入力により生成された低電子温度で高電子密度のプラズマを高密度プラズマともいう。そして、プラズマ94により生成された酸素ラジカルによって、図1(B)に示すように半導体層12の表面に絶縁層14を形成する。ここでの希ガス、酸素及び水素を含むガスを用いた高密度プラズマ処理では、膜厚8nm以上の絶縁

50

層14を形成することが好ましい。

【0037】

続けて、ガス供給部84からの水素ガスの供給を止め、供給ガスを希ガス及び酸素を含むガス（以下、第2の供給ガスともいう）に切り替える。第2の供給ガスは、希ガス：酸素の流量比率が100：1乃至200：1の範囲で供給することが好ましい。また、第2の供給ガスは、酸素に対する比率が5分の1以下の範囲であれば、水素を含んでいてもよい。この場合、第1の供給ガスの水素量よりも第2の供給ガスの水素量の方が少ないことになる。

【0038】

そして、マイクロ波の入力によってプラズマ94を生成し、当該プラズマ94によって酸素ラジカルを生成する。このとき、プラズマ94は、供給された第2の供給ガスによって生成される。そして、酸素ラジカルによって、図1(C)に示すように半導体層12の表面に絶縁層16を形成する。第2の供給ガスを用いたプラズマ処理時間は60sec以上を行うことが好ましい。ここでの希ガス及び酸素を含むガスを用いた高密度プラズマ処理で、絶縁層14の膜質を改善した絶縁層16を得ることができる。具体的には、絶縁耐圧が良好な絶縁層16を得ることができる。なお、第2の供給ガスを用いた高密度プラズマ処理により、絶縁層の膜厚が増加する場合もある。最終的に、膜厚8nm以上20nm以下の絶縁層16を形成することが好ましい。

【0039】

なお、供給ガスを第1の供給ガスから第2の供給ガスへ切り替える際は、高周波供給部92からマイクロ波を入力し、プラズマを生成し続けたままでよいし、一旦マイクロ波の供給を停止することでプラズマの生成を止め、ガス供給部84からの水素ガスの供給を止めた後に、再びマイクロ波を入力してプラズマを生成してもよい。また、高密度プラズマ処理中に供給ガスを切り替える際には、大気に曝すことなく連続して行うことが好ましい。

【0040】

また、供給ガスに用いる希ガス供給源としては、ヘリウム(He)、ネオン(Ne)、アルゴン(Ar)、クリプトン(Kr)、キセノン(Xe)の少なくとも1つを用いる。酸素供給源としては、酸素(O₂)、オゾン(O₃)、亜酸化窒素(N₂O)、一酸化窒素(NO)又は二酸化窒素(NO₂)を用いる。水素供給源としては、水素(H₂)、水(H₂O)又は過酸化水素(H₂O₂)を用いる。なお、供給ガスに希ガスを用いる場合、形成された絶縁層に希ガスが含まれる場合がある。

【0041】

例えば、第1の供給ガスとしてアルゴン(Ar)、酸素(O₂)及び水素(H₂)を含むガスを用い、第2の供給ガスとしてアルゴン(Ar)及び酸素(O₂)を含むガスを用いて高密度プラズマ処理を行う場合、マイクロ波によって、第1の供給ガス(Arガス、O₂ガス、H₂ガス)を用いた高密度プラズマが生成される。当該高密度プラズマ中では、入力されたマイクロ波によりArガスが励起しアルゴンラジカルが生成する。同様に、H₂ガスが励起し水素ラジカルが生成する。そして、アルゴンラジカル又は水素ラジカルとO₂分子とが衝突することにより、酸素ラジカル(ヒドロキシ(OH)ラジカルを含む場合もある)が発生する。そして、発生した酸素ラジカルが、半導体層12の表面に到達し、図1(B)に示すように半導体層12の表面を酸化して絶縁層14を形成する。

【0042】

続けて、供給ガスを第1の供給ガスから第2の供給ガスに切り替えると、マイクロ波によって、第2の供給ガス(Arガス及びO₂ガス)が混合された高密度プラズマが生成される。当該高密度プラズマ中では、導入されたマイクロ波により、Arガスが励起しアルゴンラジカルが生成する。アルゴンラジカルとO₂分子とが衝突することにより、酸素ラジカルが発生する。そして、発生した酸素ラジカルが、絶縁層14又は半導体層12の表面に到達し、図1(C)に示すように絶縁層16を形成する。

【0043】

10

20

30

40

50

なお、図1(B)、(C)に示す絶縁層14、16としては、半導体層12を構成する材料の酸化物が形成される。例えば、シリコン(Si)を用いて半導体層12を形成した場合は、絶縁層14、16として酸化シリコン層が形成される。

【0044】

以上の工程で、半導体層の表面に絶縁層を形成することができる。このように、半導体層に対して高密度プラズマ処理を行うことにより当該半導体層の表面に絶縁層を形成することで、半導体層の端部における被覆不良を防止することができる。また、半導体層の表面に高密度プラズマ処理を行う際に、供給ガスを希ガス、酸素及び水素を含むガスから希ガス及び酸素を含むガスに切り替えることで、所望の膜厚を有し、且つ絶縁耐圧の良好な絶縁層を形成することができる。

10

【0045】

なお、本実施の形態では、半導体層表面に絶縁層を作製する方法について説明したが、もちろん半導体基板表面に絶縁層を形成する場合も同様にして作製することができる。その場合は、半導体基板に対して上述の高密度プラズマ処理を行うことにより、当該半導体基板の上面に絶縁層を形成することができる。

【0046】

(実施の形態2)

本実施の形態では、本発明を用いた半導体装置の作製方法の一例について説明する。ここでは、本発明を用いて薄膜トランジスタ(以下、TFTともいう)のゲート絶縁層を作製する場合について、図3を用いて説明する。

20

【0047】

まず、基板300上に絶縁層302を介して半導体層304、半導体層306を形成する(図3(A)参照)。基板300としては、ガラス基板、石英基板、セラミック基板、金属基板などを用いることができる。また、ポリエチレンテレフタレート(PET)、ポリエチレンナフタレート(PNT)、ポリエーテルサルファン、アクリル等のプラスチック基板を用いることもできる。その他、少なくともプロセス中に発生する熱に耐えうる基板であれば用いることができる。ここでは、基板300としてガラス基板を用いる。

【0048】

絶縁層302は、CVD法やスパッタリング法を用いて、酸化シリコン(SiO_x)、窒化シリコン(SiN_x)、酸化窒化シリコン(SiO_xN_y)(x>y>0)、窒化酸化シリコン(SiN_xO_y)(x>y>0)等の材料を用いて形成する。また、絶縁層302は、単層構造でも積層構造でもよい。絶縁層302は、下地絶縁層として機能し、基板300から半導体層304、306への不純物の拡散を防止することができる。また、基板300の凹凸を平坦化することもできる。もちろん、基板300からの不純物拡散や凹凸が問題とならなければ、形成しなくともよい。

30

【0049】

また、絶縁層302は、CVD法やスパッタリング法を用いて絶縁層を形成した後、当該絶縁層に高密度プラズマ処理を行うことで形成してもよい。この場合は、酸素雰囲気下又は窒素雰囲気下で、高周波で励起され、電子密度が $1 \times 10^{11} \text{ cm}^{-3}$ 以上で、プラズマの電子温度が1.5eV以下のプラズマを利用して高密度プラズマ処理を行う。具体的には、電子密度が $1 \times 10^{11} \text{ cm}^{-3}$ 以上 $1 \times 10^{13} \text{ cm}^{-3}$ 以下で、プラズマの電子温度が0.5eV以上1.5eV以下のプラズマを利用することが好ましい。また、酸素雰囲気下で高密度プラズマ処理を行う場合は、供給ガスとして少なくとも酸素を用い、その他希ガス(He、Ne、Ar、Kr、Xeの少なくとも一つを含む)、又は水素等を用いればよい。また、供給ガスに用いる酸素供給源として、酸素の他、オゾン(O₃)、亜酸化窒素(N₂O)、一酸化窒素(NO)、又は二酸化窒素(NO₂)を用いることができる。また、水素供給源として、水素の他、水(H₂O)、過酸化水素水(H₂O₂)を用いることができる。窒素雰囲気下で高密度プラズマ処理を行う場合は、供給ガスとして少なくとも窒素若しくはアンモニアを用い、その他希ガス(He、Ne、Ar、Kr、Xeの少なくとも一つを含む)等を用いればよい。

40

50

【0050】

半導体層304、半導体層306としては、シリコンを主成分とする材料（例えばSi、 Si_xGe ($1 - x$) 等）を用いて非晶質半導体層を形成し、当該非晶質半導体層を結晶化させた結晶質半導体層を選択的にエッチングすることによって形成することができる。非晶質半導体層は、CVD法やスパッタリング法を用いて形成することができる。また、非晶質半導体層は、結晶化しなくともよい。その場合、非晶質半導体層を形成した後、当該非晶質半導体層を選択的にエッチングすることによって、島状の半導体層304、306を形成する。

【0051】

非晶質半導体層を結晶化する場合は、レーザ結晶化法、RTA又はファーネスアニール炉を用いる熱結晶化法、結晶化を助長する金属元素を用いる熱結晶化法またはこれらの方10法を組み合わせた方法等により行うことができる。

【0052】

また、レーザ光の照射によって半導体層の結晶化若しくは再結晶化を行う場合には、レーザ光の光源として半導体レーザ（LD）励起の連続発振（CW）レーザ（YVO₄）の第2高調波（波長532nm）を用いることができる。特に第2高調波に限定する必要はないが、第2高調波はエネルギー効率の点で、さらに高次の高調波より優れている。CWレーザを半導体層に照射すると、連続的に半導体層にエネルギーが与えられるため、一旦半導体層を溶融状態にすると、溶融状態を継続させることができる。さらに、CWレーザを走査することによって半導体層の固液界面を移動させ、この移動の方向に沿って一方向に長い結晶粒を形成することができる。また、固体レーザを用いるのは、気体レーザ等と比較して、出力の安定性が高く、安定した処理が見込まれるためである。なお、CWレーザに限らず、繰り返し周波数が10MHz以上のパルスレーザを用いることも可能である。繰り返し周波数が高いパルスレーザを用いると、半導体層が溶融してから固化するまでの時間よりもレーザのパルス間隔が短ければ、常に半導体層を溶融状態にとどめることができ、固液界面の移動により一方向に長い結晶粒で構成される半導体層を形成することができる。その他のCWレーザ及び繰り返し周波数が10MHz以上のパルスレーザを使用することもできる。例えば、気体レーザとしては、Arレーザ、Krレーザ、CO₂レーザ等がある。また、気体レーザとしてヘリウムカドミウムレーザ等の金属蒸気レーザが挙げられる。固体レーザとしては、YAGレーザ、YLFレーザ、YAlO₃レーザ、GdVO₄レーザ、KGWレーザ、KYWレーザ、アレキサンドライトレーザ、Ti:サファイアレーザ、Y₂O₃レーザ、YVO₄レーザ等がある。また、固体レーザには、YAGレーザ、Y₂O₃レーザ、GdVO₄レーザ、YVO₄レーザなどのセラミックスレーザもある。また、レーザ発振器において、レーザ光をTEM₀₀（シングル横モード）で発振して射出すると、被照射面において得られる線状のビームスポットのエネルギー均一性を上げるので好ましい。その他にも、パルス発振のエキシマレーザを用いてもよい。ここでは、結晶質シリコンからなる半導体層304、306を形成する。

【0053】

次に、半導体層304、306に対して高密度プラズマ処理を行い、絶縁層308、絶縁層310を形成する（図3（A）参照）。高密度プラズマ処理は、まず、希ガス、酸素及び水素を含む第1の供給ガスを用いて行った後、希ガス及び酸素を含む第2の供給ガスに切り替えて行う。第1の供給ガスは、希ガス：酸素：水素の流量比率が100：1：1乃至200：1：1の範囲で供給することが好ましい。また、第1の供給ガスを用いた高密度プラズマ処理では、膜厚8nm以上の絶縁層を形成することが好ましい。第2の供給ガスは希ガス：酸素の流量比率が100：1乃至200：1の範囲で供給することが好ましい。なお、第2の供給ガスにおいて、酸素に対する比率が5分の1以下の範囲であれば、水素が含まれていてもよい。また、第2の供給ガスを用いた高密度プラズマ処理時間は60sec以上行うことが好ましい。ここで第2の供給ガスを用いた高密度プラズマ処理で、第1の供給ガスを用いた高密度プラズマ処理で形成した絶縁層の膜質を改善して、絶縁層308、310を得ることができる。具体的には、絶縁耐圧が良好な絶縁層を得る

10

20

30

40

50

ことができる。なお、第2の供給ガスを用いた高密度プラズマ処理により、第1の供給ガスを用いて形成した絶縁層から膜厚が増加する場合もある。最終的に、膜厚8nm以上の絶縁層308、310を形成することが好ましい。

【0054】

高密度プラズマ処理は、マイクロ波（代表的には2.45GHz）等の高周波で励起され、電子密度が $1 \times 10^{11} \text{ cm}^{-3}$ 以上で、プラズマの電子温度が1.5eV以下のプラズマを利用する。具体的には、電子密度が $1 \times 10^{11} \text{ cm}^{-3}$ 以上 $1 \times 10^{13} \text{ cm}^{-3}$ 以下で、プラズマの電子温度が0.5eV以上1.5eV以下のプラズマを利用することが好ましい。

【0055】

供給ガスとして用いる希ガス供給源としては、ヘリウム(He)、ネオン(Ne)、アルゴン(Arg)、クリプトン(Kr)、キセノン(Xe)の少なくとも1つを用いることができる。酸素供給源としては、酸素(O₂)、オゾン(O₃)、亜酸化窒素(N₂O)、一酸化窒素(NO)、又は二酸化窒素(NO₂)を用いることができる。水素供給源としては、水素(H₂)、水(H₂O)又は過酸化水素(H₂O₂)を用いることができる。なお、供給ガスに希ガスを用いる場合、形成された絶縁層に希ガスが含まれる場合がある。

【0056】

本実施の形態では、第1の供給ガスとしてArガス500sccm乃至1000sccm、O₂ガス5sccm、H₂ガス5sccmを供給して高密度プラズマ処理を行い、膜厚8nm以上の絶縁層を形成する。また、第2の供給ガスとしてArガス500sccm乃至1000sccm、O₂ガス5sccmを供給し、60sec以上の処理を行い、膜厚8nm以上20nm以下の酸化シリコンを含む絶縁層308、310を形成する。

【0057】

上記のように供給ガスを切り替えて高密度プラズマ処理を行うことにより、絶縁耐圧の良好な絶縁層を形成することができる。また、プラズマの電子温度が1.5eV以下と低いため、従来のプラズマ処理や熱酸化法と比較して、低温度で被処理物の酸化処理を行うことができる。例えば、ガラス基板の歪点よりも100度以上低い温度で、半導体層の表面に接する絶縁層を形成することができる。また、高密度プラズマ処理を行うことにより、半導体層端部における絶縁層の被覆不良を防止することができる。なお、絶縁層308、310は、後に完成するTFTのゲート絶縁層として機能する。

【0058】

また、高密度プラズマ処理により半導体層304、306の表面に絶縁層を形成した後、当該絶縁層上にCVD法やスパッタリング法を用いて、さらに絶縁層を形成してもよい。

【0059】

次に、絶縁層308、310を覆うように導電層を形成する（図3(B)参照）。ここでは、導電層として導電層312、導電層314の積層構造を形成する例を示す。もちろん、導電層は単層又は3層以上の積層構造で形成してもよい。

【0060】

導電層312、314は、タンタル(Ta)、タンゲステン(W)、チタン(Ti)、モリブデン(Mo)、アルミニウム(Al)、銅(Cu)、クロム(Cr)、ニオブ(Nb)等から選択された元素、またはこれらの元素を主成分とする合金材料若しくはこれらの元素を主成分とする化合物材料を用いて形成することができる。また、これらの元素を窒化した金属窒化膜で形成することもできる。他にも、リン等の不純物元素をドーピングした多結晶シリコンに代表される半導体材料により形成することもできる。導電層312、314は、これらの材料を用いてCVD法やスパッタリング法等により形成することができる。

【0061】

ここでは、窒化タンタルを用いて導電層312を形成し、当該導電層312上にタンゲ

10

20

30

40

50

ステンを用いて導電層314を形成する。また、他にも、導電層312として、窒化タンゲステン、窒化モリブデン又は窒化チタンから選択された材料を用いて形成される単層膜又は積層膜を用い、導電層314として、タンタル、モリブデン、チタンから選択された材料を用いて形成される単層膜又は積層膜を用いることができる。

【0062】

次に、導電層312、314を選択的にエッチングすることによって、半導体層304、306の上方に導電層312、314を残存させ、ゲート電極316、ゲート電極318を形成する(図3(C)参照)。ここでは、ゲート電極316、318を構成する2層の導電層の端部が概略一致するように形成する。なお、ゲート電極を2層の導電層の積層構造とする場合、下層の導電層の幅(キャリアがチャネル形成領域を流れる方向(ソース領域とドレイン領域とを結ぶ方向)にほぼ平行な方向の長さ)が、上層の導電層の幅よりも大きくなるように形成してもよい。

10

【0063】

次に、ゲート電極316、318をマスクとして半導体層304、306に低濃度の不純物元素を選択的に添加し、不純物領域320、不純物領域322を形成する(図3(C)参照)。ここでは、半導体層304と半導体層306に相異なる導電型の不純物元素を添加する。具体的には、半導体層304にn型を付与する低濃度の不純物元素を添加して、不純物領域320を形成する。半導体層306にはp型を付与する低濃度の不純物元素を添加して、不純物領域322を形成する。n型を付与する不純物元素としては、リン(P)やヒ素(A s)等を用いることができる。p型を付与する不純物元素としては、ボロン(B)やアルミニウム(A l)やガリウム(G a)等を用いることができる。なお、不純物領域320、322の一部は、後に形成されるLDD(Lightley Doped Drain)領域を形成する。

20

【0064】

次に、ゲート電極316、ゲート電極318の側面に接する絶縁層324、絶縁層326を形成する(図3(D)参照)。絶縁層324、326はサイドウォールともいわれる。絶縁層324、326は、CVD法やスパッタリング法により、酸化シリコン(SiO_x)、窒化シリコン(SiNx)、酸化窒化シリコン(SiO_xNy)(x > y > 0)、窒化酸化シリコン(SiN_xO_y)(x > y > 0)等の無機材料や、有機樹脂などの有機材料を用いて、単層膜又は積層膜でなる絶縁層を形成する。そして、当該絶縁層を、垂直方向を主体とした異方性エッチングにより選択的にエッチングして、ゲート電極316、318の側面に接するように形成することができる。なお、絶縁層324、326は、LDD領域を形成する際のドーピング用のマスクとして用いる。

30

【0065】

次に、ゲート電極316及び絶縁層324、並びにゲート電極318及び絶縁層326をマスクとして、半導体層304、306に高濃度の不純物元素を選択的に添加する。そして、半導体層304に、ソース領域又はドレイン領域として機能する不純物領域328と、LDD領域として機能する低濃度不純物領域330と、チャネル形成領域332を形成する。また、半導体層306に、ソース領域又はドレイン領域として機能する不純物領域334と、LDD領域として機能する低濃度不純物領域336と、チャネル形成領域338を形成する(図3(D)参照)。ここでは、半導体層304にn型を付与する高濃度の不純物元素を添加し、半導体層306にp型を付与する高濃度の不純物元素を添加する。n型を付与する不純物元素としては、リン(P)やヒ素(A s)等を用いることができる。p型を付与する不純物元素としては、ボロン(B)やアルミニウム(A l)やガリウム(G a)等を用いることができる。

40

【0066】

次に、絶縁層308、絶縁層310、ゲート電極316、318、絶縁層324、326等を覆うように絶縁層を形成する(図3(E)参照)。ここでは、絶縁層として絶縁層340、絶縁層342の積層膜を形成する。なお、絶縁層は単層膜又は3層以上の積層膜で形成してもよい。

50

【0067】

絶縁層340、342としては、酸化シリコン(SiO_x)、窒化シリコン(SiNx)、酸化窒化シリコン(SiO_xNy)(x>y>0)、窒化酸化シリコン(SiN_xO_y)(x>y>0)等の酸素または窒素を含む無機材料、DLC(ダイヤモンドライカーボン)等の炭素を含む材料、エポキシ、ポリイミド、ポリアミド、ポリビニルフェノール、ベンゾシクロブテン、アクリル等の有機材料またはシロキサン樹脂等のシロキサン材料を用いて形成することができる。なお、シロキサン材料とは、Si-O-Si結合を含む材料に相当する。シロキサンは、シリコン(Si)と酸素(O)との結合で骨格構造が構成される。置換基として、少なくとも水素を含む有機基(例えばアルキル基、芳香族炭化水素)が用いられる。置換基として、フルオロ基を用いることもできる。または置換基として、少なくとも水素を含む有機基と、フルオロ基とを用いてもよい。絶縁層340、342は、これらの材料を用い、CVD法、スパッタリング法、塗布法等を用いて形成することができる。なお、絶縁層は有機材料またはシロキサン材料で形成することで、半導体層やゲート電極等による段差を平坦化することができる。ただし、有機材料またはシロキサン材料を用いて形成された絶縁層は水分を吸収、通過しやすい。したがって、半導体層、ゲート絶縁層、ゲート電極等に接して水分に対するプロッキング効果が高い無機材料を用いた絶縁層を形成し、当該無機材料を用いた絶縁層上有機材料又はシロキサン材料を用いた絶縁層を形成するのが好ましい。ここでは、窒化シリコン又は窒化酸化シリコンを用いて絶縁層340を形成し、アクリル又はシロキサン樹脂を用いて絶縁層342を形成する。

10

20

【0068】

また、絶縁層340、342は、CVD法やスパッタリング法を用いて絶縁層を形成した後、当該絶縁層に高密度プラズマ処理を行うことで形成してもよい。この場合は、酸素雰囲気下又は窒素雰囲気下で、高周波で励起され、電子密度が $1 \times 10^{11} \text{ cm}^{-3}$ 以上で、プラズマの電子温度が1.5eV以下のプラズマを利用して行う。具体的には、電子密度が $1 \times 10^{11} \text{ cm}^{-3}$ 以上 $1 \times 10^{13} \text{ cm}^{-3}$ 以下で、プラズマの電子温度が0.5eV以上1.5eV以下のプラズマを利用する方が好ましい。また、酸素雰囲気下で高密度プラズマ処理を行う場合は、供給ガスとして少なくとも酸素を用い、他希ガス(He、Ne、Ar、Kr、Xeの少なくとも一つを含む)、又は水素等を用いればよい。酸素供給源としては、酸素の他、オゾン(O₃)亜酸化窒素(N₂O)、一酸化窒素(NO)、又は二酸化窒素(NO₂)を用いることができる。水素供給源としては、水素の他、水(H₂O)、過酸化水素(H₂O₂)を用いることができる。窒素雰囲気下で高密度プラズマ処理を行う場合は、供給ガスとして少なくとも窒素若しくはアンモニアを用い、他希ガス(He、Ne、Ar、Kr、Xeの少なくとも一つを含む)等を用いればよい。

30

【0069】

次に、絶縁層340、342に、半導体層304に形成された不純物領域328、半導体層306に形成された不純物領域334に達する開口部を設ける。そして、不純物領域328、334と電気的に接続する導電層344、導電層346を形成する(図3(E)参照)。ここでは、導電層を単層で形成する例を示すが、もちろん2層以上の積層構造で形成することもできる。なお、導電層344、346は、TFTのソース配線又はドレイン配線として機能する。

40

【0070】

導電層344、346は、CVD法やスパッタリング法により、アルミニウム(Al)、タンゲステン(W)、チタン(Ti)、タンタル(Ta)、モリブデン(Mo)、ニッケル(Ni)、白金(Pt)、銅(Cu)、金(Au)、銀(Ag)、マンガン(Mn)、ネオジウム(Nd)、炭素(C)、シリコン(Si)から選択された元素、又はこれらの元素を主成分とする合金材料若しくはこれらの元素を主成分とする化合物材料を用いて形成することができる。例えば、アルミニウムを主成分とする合金材料としては、アルミニウムを主成分としニッケルを含む材料、又はアルミニウムを主成分とし、ニッケルと、炭素とシリコンの一方又は両方とを含む合金材料が挙げられる。導電層344、346は

50

、例えば、バリア層とアルミニウムシリコン（Al-Si）層とバリア層の積層構造、バリア層とアルミニウムシリコン（Al-Si）層と窒化チタン層とバリア層の積層構造を採用するとよい。なお、バリア層とは、チタン、チタンの窒化物、モリブデン、又はモリブデンの窒化物からなる薄膜に相当する。アルミニウムやアルミニウムシリコンは抵抗値が低く、安価であるため、導電層344、346を形成する材料として最適である。また、上層と下層のバリア層を設けると、アルミニウムやアルミニウムシリコンのヒロックの発生を防止することができる。また、還元性の高い元素であるチタンからなるバリア層を形成すると、結晶質半導体層上に薄い自然酸化膜ができていたとしても、この自然酸化膜を還元し、結晶質半導体層と良好なコンタクトをとることができる。

【0071】

10

以上の工程により、半導体層304を用いて形成されたnチャネル薄膜トランジスタと、半導体層306を用いて形成されたpチャネル薄膜トランジスタとを具備した半導体装置を得ることができる。なお、本実施の形態で示したTFTの構造は一例であり、図示した構造に限定されるものではない。例えば、逆スタガ構造、ダブルゲート構造等のTFTの構造を取り得る。また、LDD領域を形成しない構造としてもよい。

【0072】

20

本発明を用いてゲート絶縁層として機能する絶縁層を形成すると、絶縁耐圧の良好なゲート絶縁層を実現できる。特に、Aモード及びBモードでの初期耐圧不良が少ない絶縁耐圧を有するゲート絶縁層を実現できる。また、高温の加熱処理をせずとも、膜特性の良好なゲート絶縁層を実現できる。さらに、半導体層端部における被覆不良も防止することができる。したがって、ゲート絶縁層の耐圧不良を防止でき、信頼性の高い半導体装置を作製することができる。また、半導体装置の歩留まりを向上させることができる。

【0073】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせができる。

【0074】

30

(実施の形態3)

本実施の形態では、本発明を用いた半導体装置の作製方法の一例について説明する。ここでは、本発明を用いて、半導体基板上にMOSトランジスタを作製する例について、図4、図5を用いて説明する。

【0075】

まず、半導体基板400に素子分離領域404、素子分離領域406（以下、領域404、406とも記す）を形成する（図4（A）参照）。半導体基板400に設けられた領域404、406は、それぞれ絶縁層402（フィールド酸化膜ともいう）によって分離されている。また、ここでは、半導体基板400としてn型の導電型を有する単結晶Si基板を用い、半導体基板400の領域406にpウェル408を設けた例を示している。

【0076】

40

また、基板400は、半導体基板であれば基板は特に限定されず用いることができる。例えば、n型又はp型の導電型を有する単結晶Si基板、化合物半導体基板（GaAs基板、InP基板、SiC基板等）、貼り合わせ法またはSIMOX（Separation by Implanted Oxygen）法を用いて作製されたSOI（Silicon on Insulator）基板等を用いることができる。

【0077】

50

領域404、406は、選択酸化法（LOCOS（Local Oxidation of Silicon）法）又はトレンチ分離法等を適宜用いることができる。

【0078】

また、半導体基板400の領域406に形成されたpウェル408は、半導体基板400にp型を付与する不純物元素を選択的に添加することによって形成することができる。p型を付与する不純物元素としては、ボロン（B）やアルミニウム（Al）やガリウム（Ga）等を用いることができる。

【0079】

なお、本実施の形態では、半導体基板400としてn型の導電型を有する半導体基板を用いているため、領域404には不純物元素の添加を行っていないが、n型を付与する不純物元素を添加することにより領域404にnウェルを形成してもよい。n型を付与する不純物元素としては、リン(P)やヒ素(As)等を用いることができる。一方、p型の導電型を有する半導体基板を用いる場合には、領域404にn型を付与する不純物元素を添加してnウェルを形成し、領域406には不純物元素の添加を行わない構成としてもよい。

【0080】

次に、基板400の領域404、406の表面上に絶縁層410、絶縁層412をそれぞれ形成する(図4(B)参照)。

10

【0081】

絶縁層410、412は、半導体基板400に設けられた領域404、406に対して高密度プラズマ処理を行うことにより形成する。高密度プラズマ処理は、まず、希ガス、酸素及び水素を含む第1の供給ガスを用いて行った後、希ガス及び酸素を含む第2の供給ガスに切り替えて行う。第1の供給ガスは、希ガス：酸素：水素の流量比率が100:1:1乃至200:1:1の範囲で供給することが好ましい。また、第1の供給ガスを用いた高密度プラズマ処理では、膜厚8nm以上の絶縁層を形成することが好ましい。第2の供給ガスは希ガス：酸素の流量比率が100:1乃至200:1の範囲で供給することが好ましい。なお、第2の供給ガスにおいて、酸素に対する比率が5分の1以下の範囲であれば、水素が含まれていてもよい。この場合、第1の供給ガスの水素量よりも第2の供給ガスの水素量の方が少ないことになる。また、第2の供給ガスを用いた高密度プラズマ処理時間は60sec以上行なうことが好ましい。

20

【0082】

高密度プラズマ処理は、マイクロ波(代表的には2.45GHz)等の高周波で励起され、電子密度が $1 \times 10^{11} \text{ cm}^{-3}$ 以上で、プラズマの電子温度が1.5eV以下のプラズマを利用する。具体的には、電子密度が $1 \times 10^{11} \text{ cm}^{-3}$ 以上 $1 \times 10^{13} \text{ cm}^{-3}$ 以下で、プラズマの電子温度が0.5eV以上1.5eV以下のプラズマを利用することが好ましい。

30

【0083】

供給ガスとして用いる希ガス供給源としては、ヘリウム(He)、ネオン(Ne)、アルゴン(Ar)、クリプトン(Kr)、キセノン(Xe)の少なくとも1つを用いることができる。酸素供給源としては、酸素(O₂)、オゾン(O₃)、亜酸化窒素(N₂O)、一酸化窒素(NO)、二酸化窒素(NO₂)を用いることができる。水素供給源としては、水素(H₂)、水(H₂O)又は過酸化水素(H₂O₂)を用いることができる。なお、供給ガスに希ガスを用いる場合、形成された絶縁層に希ガスが含まれる場合がある。

【0084】

本実施の形態では、第1の供給ガスとしてArガス500sccm乃至1000sccm、O₂ガス5sccm、H₂ガス5sccmを供給して高密度プラズマ処理を行い、膜厚8nm以上の絶縁層を形成する。また、第2の供給ガスとしてArガス500sccm乃至1000sccm、O₂ガス5sccmを供給し、60sec以上の高密度プラズマ処理を行う。そして、最終的に、膜厚8nm以上20nm以下の酸化シリコンを含む絶縁層410、412を形成する。

40

【0085】

上記のように供給ガスを切り替えて高密度プラズマ処理を行うことにより、絶縁耐圧の良好な絶縁層を形成することができる。絶縁層410、412は、後に完成するトランジスタのゲート絶縁層として機能する。

【0086】

次に、領域404、406の上方に形成された絶縁層410、412を覆うように導電層を形成する(図4(C)参照)。ここでは、導電層として、導電層414と導電層41

50

6とを順に積層して形成した例を示している。もちろん、導電層は、単層又は3層以上の積層構造で形成してもよい。

【0087】

導電層414、416としては、タンタル(Ta)、タングステン(W)、チタン(Ti)、モリブデン(Mo)、アルミニウム(Al)、銅(Cu)、クロム(Cr)、ニオブ(Nb)等から選択された元素、またはこれらの元素を主成分とする合金材料若しくは化合物材料で形成することができる。また、これらの元素を窒化した金属窒化物で形成することもできる。他にも、リン等の不純物元素をドーピングした多結晶シリコンに代表される半導体材料により形成することもできる。

10

【0088】

ここでは、導電層414として窒化タンタルを用いて形成し、その上に導電層416としてタングステンを用いて積層構造で設ける。また、他にも、導電層414として、窒化タングステン、窒化モリブデン又は窒化チタンから選ばれた単層膜又は積層膜を用い、導電層416として、タンタル、モリブデン、チタンから選ばれた単層膜又は積層膜を用いることができる。

20

【0089】

次に、積層して設けられた導電層414、416を選択的にエッチングすることによって、領域404、406の上方に導電層414、416を残存させ、それぞれゲート電極418、ゲート電極420を形成する(図4(D)参照)。ここでは、ゲート電極418、420を構成する2層の導電層の端部が概略一致するように形成する。なお、ゲート電極を2層の導電層の積層構造とする場合、下層の導電層の幅が、上層の導電層の幅よりも大きくなるように形成してもよい。

20

【0090】

次に、ゲート電極418、420をマスクとして、領域404、406に不純物元素を選択的に添加する。そして、領域404にソース領域又はドレイン領域として機能する不純物領域422と、チャネル形成領域424を形成する。また、領域406にソース領域又はドレイン領域として機能する不純物領域426、チャネル形成領域428を形成する(図5(A)参照)。ここでは、領域404と領域406に相異なる導電型の不純物元素を添加する。具体的には、領域404にp型を付与する不純物元素を添加し、領域406にn型を付与する不純物元素を添加する。n型を付与する不純物元素としては、リン(P)やヒ素(As)等を用いることができる。p型を付与する不純物元素としては、ボロン(B)やアルミニウム(Al)やガリウム(Ga)等を用いることができる。

30

【0091】

次に、絶縁層410、412、ゲート電極418、420を覆うように絶縁層430を形成する。そして、当該絶縁層430上に領域404に形成された不純物領域422と電気的に接続する導電層432と、領域406に形成された不純物領域426と電気的に接続する導電層434を形成する(図5(B)参照)。

【0092】

絶縁層430は、CVD法やスパッタリング法等により、酸化シリコン(SiO_x)、窒化シリコン(SiN_x)、酸化窒化シリコン(SiO_xN_y)(x>y)、窒化酸化シリコン(SiN_xO_y)(x>y)等の酸素または窒素を含む無機材料やDLC(ダイヤモンドライクarbon)等の炭素を含む材料、エポキシ、ポリイミド、ポリアミド、ポリビニルフェノール、ベンゾシクロオクテン、アクリル等の有機材料またはシロキサン樹脂等のシロキサン材料を用いて、単層または積層構造で設けることができる。なお、シロキサン材料とは、Si-O-Si結合を含む材料に相当する。シロキサンは、シリコン(Si)と酸素(O)との結合で骨格構造が構成される。置換基として、少なくとも水素を含む有機基(例えばアルキル基、芳香族炭化水素)が用いられる。置換基として、フルオロ基を用いることもできる。または置換基として、少なくとも水素を含む有機基と、フルオロ基とを用いてもよい。

40

【0093】

50

また、絶縁層430は、CVD法やスパッタリング法を用いて絶縁層を形成した後、当該絶縁層に高密度プラズマ処理を行うことで形成してもよい。この場合は、酸素雰囲気下又は窒素雰囲気下で、高周波で励起され、電子密度が $1 \times 10^{11} \text{ cm}^{-3}$ 以上で、プラズマの電子温度が 1.5 eV 以下のプラズマを利用して行う。具体的には、電子密度が $1 \times 10^{11} \text{ cm}^{-3}$ 以上 $1 \times 10^{13} \text{ cm}^{-3}$ 以下で、プラズマの電子温度が 0.5 eV 以上 1.5 eV 以下のプラズマを利用することが好ましい。また、酸素雰囲気下で高密度プラズマ処理を行う場合は、供給ガスとして少なくとも酸素を用い、他希ガス(H_e、N_e、Ar、Kr、Xeの少なくとも一つを含む)、又は水素等を用いればよい。このとき、酸素供給源としては、酸素の他、オゾン(O₃)、亜酸化窒素(N₂O)、一酸化窒素(NO)、二酸化窒素(NO₂)を用いることができる。水素供給源としては、水素の他、水(H₂O)、過酸化水素(H₂O₂)を用いることができる。窒素雰囲気下で高密度プラズマ処理を行う場合は、供給ガスとして少なくとも窒素若しくはアンモニアを用い、他希ガス(H_e、N_e、Ar、Kr、Xeの少なくとも一つを含む)等を用いればよい。

【0094】

導電層432、434は、CVD法やスパッタリング法等により、アルミニウム(Al)、タンゲステン(W)、チタン(Ti)、タンタル(Ta)、モリブデン(Mo)、ニッケル(Ni)、白金(Pt)、銅(Cu)、金(Au)、銀(Ag)、マンガン(Mn)、ネオジウム(Nd)、炭素(C)、シリコン(Si)から選択された元素、又はこれらの元素を主成分とする合金材料若しくは化合物材料で、単層又は積層構造で形成する。アルミニウムを主成分とする合金材料とは、例えば、アルミニウムを主成分としニッケルを含む材料、又は、アルミニウムを主成分とし、ニッケルと、炭素とシリコンの一方又は両方とを含む合金材料に相当する。導電層432、434は、例えば、バリア層とアルミニウムシリコン(Al-Si)層とバリア層の積層構造、バリア層とアルミニウムシリコン(Al-Si)層と窒化チタン層とバリア層の積層構造を採用するとよい。なお、バリア層とは、チタン、チタンの窒化物、モリブデン、又はモリブデンの窒化物からなる薄膜に相当する。アルミニウムやアルミニウムシリコンは抵抗値が低く、安価であるため、導電層432、434を形成する材料として最適である。また、上層と下層のバリア層を設けると、アルミニウムやアルミニウムシリコンのヒロックの発生を防止することができる。なお、導電層432、434は、トランジスタのソース配線又はドレイン配線として機能する。

【0095】

以上の工程により、基板400の領域404に形成されたpチャネルトランジスタと、領域406に形成されたnチャネルトランジスタとを具備した半導体装置を得ることができる。

【0096】

なお本実施の形態で示したトランジスタの構造は一例であり、図示した構造に限定されるものではない。例えば、ダブルゲート構造、フィン型FET構造等のトランジスタの構造を取り得る。また、LDD領域を形成してもよい。フィン型FET構造であることでトランジスタサイズの微細化に伴う短チャネル効果を抑制することができるため好適である。

【0097】

本発明を用いてゲート絶縁層として機能する絶縁層を形成すると、絶縁耐圧の良好なゲート絶縁層を実現できる。特に、Aモード及びBモードでの初期耐圧不良が少ない絶縁耐圧を有するゲート絶縁層を実現できる。したがって、ゲート絶縁層の耐圧不良を防止でき、信頼性の高い半導体装置を作製することができる。また、半導体装置の歩留まりを向上させることができる。

【0098】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせができる。

【0099】

10

20

30

40

50

(実施の形態4)

本実施の形態では、本発明を用いた半導体装置の作製方法の一例について説明する。ここでは、上記実施の形態3と異なる作製方法でMOSトランジスタを作製する例について、図6～図8を用いて説明する。

【0100】

まず、基板600上に絶縁層を形成する。ここでは、n型の導電型を有する単結晶Si基板を基板600として用い、当該基板600上に絶縁層602と絶縁層604を形成する(図6(A)参照)。例えば、基板600に熱処理を行うことにより絶縁層602として酸化シリコン(SiO_x)を形成し、当該絶縁層602上にCVD法を用いて窒化シリコン(SiNx)を形成する。なお、基板600上に設ける絶縁層は単層又は3層以上の積層構造で設けてもよい。

10

【0101】

また、基板600は、半導体基板であれば特に限定されず用いることができる。例えば、n型又はp型の導電型を有する単結晶Si基板、化合物半導体基板(GaAs基板、InP基板、SiC基板等)、貼り合わせ法またはSIMOX(Separation by Implanted Oxygen)法を用いて作製されたSOI(Silicon on Insulator)基板等を用いることができる。

【0102】

次に、絶縁層604上に選択的にレジストマスク606のパターンを形成し、当該レジストマスク606をマスクとして選択的にエッチングを行うことによって、基板600に選択的に凹部608を形成する(図6(B)参照)。基板600、絶縁層602、604のエッチングとしては、プラズマを利用したドライエッチングにより行うことができる。

20

【0103】

次に、レジストマスク606のパターンを除去した後、基板600に形成された凹部608を充填するように絶縁層610を形成する(図6(C)参照)。

【0104】

絶縁層610は、CVD法やスパッタリング法を用いて、酸化シリコン(SiO_x)、窒化シリコン(SiNx)、酸化窒化シリコン(SiO_xN_y)(x>y>0)、窒化酸化シリコン(SiN_xO_y)(x>y>0)等の絶縁材料を用いて形成する。ここでは、絶縁層610として、常圧CVD法または減圧CVD法によりTEOS(テトラエチルオルソシリケート)ガスを用いて酸化シリコン層を形成する。

30

【0105】

次に、研削処理、研磨処理又はCMP(Chemical Mechanical Polishing)処理を行うことによって、基板600の表面を露出させる。ここでは、基板600の表面を露出させることにより、基板600の凹部608に形成された絶縁層612間に領域614、領域616が設けられる。なお、絶縁層612は、基板600の表面に形成された絶縁層610が研削処理、研磨処理又はCMP処理により除去されることにより得られたものである。続いて、p型を付与する不純物元素を選択的に添加することによって、基板600の領域616にpウェル618を形成する(図6(D)参照)。

40

【0106】

p型を付与する不純物元素としては、ボロン(B)やアルミニウム(Al)やガリウム(Ga)等を用いることができる。ここでは、不純物元素として、ボロン(B)を領域616に添加する。

【0107】

なお、本実施の形態では、基板600としてn型の導電型を有する半導体基板を用いているため、領域614には不純物元素の添加を行っていないが、n型を付与する不純物元素を添加することにより領域614にnウェルを形成してもよい。n型を付与する不純物元素としては、リン(P)やヒ素(As)等を用いることができる。

【0108】

50

一方、p型の導電型を有する半導体基板を用いる場合には、領域614にn型を付与する不純物元素を添加してnウェルを形成し、領域616には不純物元素の添加を行わない構成としてもよい。

【0109】

次に、基板600の領域614、616の表面上に絶縁層620、絶縁層622をそれぞれ形成する(図7(A)参照)。

【0110】

絶縁層620、絶縁層622は、半導体基板600に設けられた領域614、616に對して高密度プラズマ処理を行うことで形成する。高密度プラズマ処理は、まず、希ガス、酸素及び水素を含む第1の供給ガスを用いて行った後、希ガス及び酸素を含む第2の供給ガスに切り替えて行う。第1の供給ガスは、希ガス：酸素：水素の流量比率が100:1:1乃至200:1:1の範囲で供給することが好ましい。また、第1の供給ガスを用いた高密度プラズマ処理では、膜厚8nm以上の絶縁層を形成することが好ましい。第2の供給ガスは希ガス：酸素の流量比率が100:1乃至200:1の範囲で供給することが好ましい。なお、第2の供給ガスにおいて、酸素に対する比率が5分の1の範囲であれば、水素が含まれていてもよい。この場合、第1の供給ガスの水素量よりも第2の供給ガスの水素量の方が少ないとなる。また、第2の供給ガスを用いた高密度プラズマ処理時間は60sec以上行なうことが好ましい。

10

【0111】

高密度プラズマ処理は、マイクロ波(代表的には2.45GHz)等の高周波で励起され、電子密度が $1 \times 10^{11} \text{ cm}^{-3}$ 以上で、プラズマの電子温度が1.5eV以下のプラズマを利用する。具体的には、電子密度が $1 \times 10^{11} \text{ cm}^{-3}$ 以上 $1 \times 10^{13} \text{ cm}^{-3}$ 以下で、プラズマの電子温度が0.5eV以上1.5eV以下のプラズマを利用することが好ましい。

20

【0112】

供給ガスとして用いる希ガス供給源としては、ヘリウム(He)、ネオン(Ne)、アルゴン(Arg)、クリプトン(Kr)、キセノン(Xe)の少なくとも1つを用いることができる。酸素供給源としては、酸素(O₂)、オゾン(O₃)、亜酸化窒素(N₂O)、一酸化窒素(NO)、二酸化窒素(NO₂)を用いることができる。水素供給源としては、水素(H₂)、水(H₂O)又は過酸化水素(H₂O₂)を用いることができる。なお、供給ガスに希ガスを用いる場合、形成された絶縁層に希ガスが含まれる場合がある。

30

【0113】

本実施の形態では、第1の供給ガスとしてArガス500scm乃至1000scm、O₂ガス5scm、H₂ガス5scmを供給して高密度プラズマ処理を行い、膜厚8nmの絶縁層を形成する。また、第2の供給ガスとしてArガス500scm乃至1000scm、O₂ガス5scmを供給し、60sec以上の高密度プラズマ処理を行う。そして、膜厚8nm以上20m以下の酸化シリコンを含む絶縁層620、622を形成する。

【0114】

なお、基板600の領域614、616に形成された絶縁層620、622は、後に完成するトランジスタにおいてゲート絶縁層として機能する。

40

【0115】

次に、基板600に設けられた領域614、616の上方に形成された絶縁層620、622を覆うように導電層を形成する(図7(B)参照)。ここでは、導電層として、導電層624と導電層626を順に積層して形成した例を示している。もちろん、導電層は、単層又は3層以上の積層構造で形成してもよい。

【0116】

導電層624、626としては、タンタル(Ta)、タングステン(W)、チタン(Ti)、モリブデン(Mo)、アルミニウム(Al)、銅(Cu)、クロム(Cr)、ニオブ(Nb)等から選択された元素またはこれらの元素を主成分とする合金材料若しくは化

50

合物材料で形成することができる。また、これらの元素を窒化した金属窒化物で形成することもできる。他にも、リン等の不純物元素をドーピングした多結晶シリコンに代表される半導体材料により形成することもできる。

【0117】

ここでは、導電層624として窒化タンタルを用いて形成し、その上に導電層626としてタングステンを用いて積層構造で設ける。また、他にも、導電層624として、窒化タンタル、窒化タングステン、窒化モリブデン又は窒化チタンから選ばれた単層又は積層膜を用い、導電層626として、タングステン、タンタル、モリブデン、チタンから選ばれた単層又は積層膜を用いることができる。

【0118】

次に、積層して設けられた導電層624、626を選択的にエッチングすることによって、基板600の領域614、616の上方に導電層624、626を残存させ、それぞれゲート電極628、ゲート電極630を形成する(図7(C)参照)。また、ここでは、基板600において、ゲート電極628、630と重ならない領域614、616の表面が露出するようにする。

【0119】

具体的には、基板600の領域614において、ゲート電極628の下方に形成された絶縁層620のうち当該ゲート電極628と重ならない部分を選択的に除去し、ゲート電極628と絶縁層620の端部が概略一致するように形成する。また、基板600の領域616において、ゲート電極630の下方に形成された絶縁層622のうち当該ゲート電極630と重ならない部分を選択的に除去し、ゲート電極630と絶縁層622の端部が概略一致するように形成する。

【0120】

この場合、ゲート電極628、630の形成と同時に重ならない部分の絶縁層620、622等を除去してもよいし、ゲート電極628、630を形成後、残存したレジストマスク又は当該ゲート電極628、630をマスクとして重ならない部分の絶縁層620、622等を除去してもよい。

【0121】

次に、ゲート電極628、630をマスクとして、基板600の領域614、616に低濃度の不純物元素を選択的に添加し、不純物領域632、不純物領域634を形成する(図7(D)参照)。ここでは、領域616にゲート電極630をマスクとしてn型を付与する低濃度の不純物元素を選択的に添加して不純物領域634を形成し、領域614にゲート電極628をマスクとしてp型を付与する低濃度の不純物元素を選択的に添加して不純物領域632を形成する。n型を付与する不純物元素としては、リン(P)やヒ素(As)等を用いることができる。p型を付与する不純物元素としては、ボロン(B)やアルミニウム(Al)やガリウム(Ga)等を用いることができる。ここで形成される不純物領域632、634の一部は、後に形成されるLDD領域を構成する。

【0122】

次に、ゲート電極628、630の側面に接する絶縁層636、絶縁層638を形成する。絶縁層636、638は、サイドウォールともいわれる。絶縁層636、638は、CVD法やスパッタリング法により、酸化シリコン(SiO_x)、窒化シリコン(SiN_x)、酸化窒化シリコン(SiO_xN_y)(x>y>0)、窒化酸化シリコン(SiNxOy)(x>y>0)等の窒素又は酸素を含む無機材料や有機樹脂などの有機材料を用いて、単層又は積層構造の絶縁層を形成し、当該絶縁層を、垂直方向を主体とした異方性エッチングにより選択的にエッチングして、ゲート電極628、630の側面に接するようになに形成することができる。なお、絶縁層636、638は、LDD領域を形成する際のドーピング用のマスクとして用いる。また、ここでは、絶縁層636、638は、ゲート電極628、630の下方に形成された絶縁層620、622の側面にも接するようになに形成されている。

【0123】

10

20

30

40

50

次に、ゲート電極 628 及び絶縁層 636、並びにゲート電極 630 及び絶縁層 638 をマスクとして基板 600 の領域 614、616 に高濃度の不純物元素を選択的に添加する。そして、領域 614 に、ソース領域又はドレイン領域として機能する不純物領域 640 と、LDD 領域として機能する低濃度不純物領域 642 と、チャネル形成領域 644 を形成する。また、領域 616 に、ソース領域又はドレイン領域として機能する不純物領域 646 と、LDD 領域として機能する不純物領域 648 と、チャネル形成領域 650 を形成する（図 8（A）参照）。ここでは、基板 600 の領域 616 に n 型を付与する高濃度の不純物元素を添加し、領域 614 に p 型を付与する高濃度の不純物元素を添加する。n 型を付与する不純物元素としては、リン（P）やヒ素（As）等を用いることができる。p 型を付与する不純物元素としては、ボロン（B）やアルミニウム（Al）やガリウム（Ga）等を用いることができる。ソース領域又はドレイン領域として機能する不純物領域は、LDD 領域として機能する不純物領域よりも高濃度の不純物元素が添加されている。

10

【0124】

なお、本実施の形態では、ゲート電極 628、630 と重ならない基板 600 の領域 614、616 を露出させた状態で不純物元素の添加を行っている。従って、基板 600 の領域 614、616 にそれぞれ形成されるチャネル形成領域 644、チャネル形成領域 650 はゲート電極 628、630 と自己整合的に形成することができる。

20

【0125】

次に、基板 600 の領域 614、616 上に設けられたゲート電極 628、630 や絶縁層 636、638 等を覆うように絶縁層 654 を形成する。そして、当該絶縁層 654 上に領域 614 に形成された不純物領域 640 と電気的に接続する導電層 652 と、領域 616 に形成された不純物領域 646 と電気的に接続する導電層 656 を形成する（図 8（B）参照）。

20

【0126】

絶縁層 654 は、CVD 法やスパッタリング法等により、酸化シリコン（SiO_x）、窒化シリコン（SiN_x）、酸化窒化シリコン（SiO_xN_y）（x > y > 0）、窒化酸化シリコン（SiN_xO_y）（x > y > 0）等の無機材料や DLC（ダイヤモンドライカーボン）等の炭素を含む材料、エポキシ、ポリイミド、ポリアミド、ポリビニルフェノール、ベンゾシクロブテン、アクリル等の有機材料またはシロキサン樹脂等のシロキサン材料を用いて、単層または積層構造で設けることができる。なお、シロキサン材料とは、Si-O-Si 結合を含む材料に相当する。シロキサンは、シリコン（Si）と酸素（O）との結合で骨格構造が構成される。置換基として、少なくとも水素を含む有機基（例えばアルキル基、芳香族炭化水素）が用いられる。置換基として、フルオロ基を用いることもできる。または置換基として、少なくとも水素を含む有機基と、フルオロ基とを用いてもよい。

30

【0127】

また、絶縁層 654 は、CVD 法やスパッタリング法を用いて絶縁層を形成した後、当該絶縁層に高密度プラズマ処理を行うことで形成してもよい。この場合は、酸素雰囲気下又は窒素雰囲気下で、高周波で励起され、電子密度が $1 \times 10^{11} \text{ cm}^{-3}$ 以上で、プラズマの電子温度が 1.5 eV 以下のプラズマを利用して行う。具体的には、電子密度が $1 \times 10^{11} \text{ cm}^{-3}$ 以上 $1 \times 10^{13} \text{ cm}^{-3}$ 以下で、プラズマの電子温度が 0.5 eV 以上 1.5 eV 以下のプラズマを利用することが好ましい。また、酸素雰囲気下で高密度プラズマ処理を行う場合は、供給ガスとして少なくとも酸素を用い、その他希ガス（He、Ne、Ar、Kr、Xe の少なくとも一つを含む）、水素等を用いればよい。このとき、酸素供給源としては、酸素の他、オゾン（O₃）、亜酸化窒素（N₂O）、一酸化窒素（NO）、二酸化窒素（NO₂）を用いることができる。また、水素供給源として、水素の他、水（H₂O）、過酸化水素（H₂O₂）を用いることができる。窒素雰囲気下で高密度プラズマ処理を行う場合は、供給ガスとして少なくとも窒素若しくはアンモニアを用い、その他希ガス（He、Ne、Ar、Kr、Xe の少なくとも一つを含む）等を用いればよい。

40

50

【0128】

導電層 652、656 は、CVD 法やスパッタリング法等により、アルミニウム (Al)、タンゲステン (W)、チタン (Ti)、タンタル (Ta)、モリブデン (Mo)、ニッケル (Ni)、白金 (Pt)、銅 (Cu)、金 (Au)、銀 (Ag)、マンガン (Mn)、ネオジウム (Nd)、炭素 (C)、シリコン (Si) から選択された元素、又はこれらの元素を主成分とする合金材料若しくは化合物材料で、単層又は積層構造で形成する。アルミニウムを主成分とする合金材料とは、例えば、アルミニウムを主成分としニッケルを含む材料、又は、アルミニウムを主成分とし、ニッケルと、炭素とシリコンの一方又は両方とを含む合金材料に相当する。導電層 652、656 は、例えば、バリア層とアルミニウムシリコン (Al-Si) 層とバリア層の積層構造、バリア層とアルミニウムシリコン (Al-Si) 層と窒化チタン層とバリア層の積層構造を採用するとよい。なお、バリア層とは、チタン、チタンの窒化物、モリブデン、又はモリブデンの窒化物からなる薄膜に相当する。アルミニウムやアルミニウムシリコンは抵抗値が低く、安価であるため、導電層を形成する材料として最適である。また、上層と下層のバリア層を設けると、アルミニウムやアルミニウムシリコンのヒロックの発生を防止することができる。ここでは、導電層 652、656 は CVD 法によりタンゲステン (W) を選択成長することにより形成することができる。

10

【0129】

以上の工程により、基板 600 の領域 614 に形成された p チャネルトランジスタと、領域 616 に形成された n チャネルトランジスタとを具備した半導体装置を得ることができる。

20

【0130】

なお本実施の形態で示したトランジスタの構造は一例であり、図示した構造に限定されるものではない。例えば、ダブルゲート構造、フィン型 FET 構造等のトランジスタの構造を取り得る。また、LDD 領域を形成しない構造としてもよい。フィン型 FET 構造であることでトランジスタサイズの微細化に伴う短チャネル効果を抑制することができるので好適である。

30

【0131】

本発明を用いてゲート絶縁層として機能する絶縁層を形成すると、絶縁耐圧の良好なゲート絶縁層を実現できる。特に、A モード及び B モードでの初期耐圧不良が少ない絶縁耐圧を有するゲート絶縁層を実現できる。したがって、ゲート絶縁層の耐圧不良を防止でき、信頼性の高い半導体装置を作製することができる。また、半導体装置の歩留まりを向上させることができる。

【0132】

また、本実施の形態では、半導体基板に複数の溝を設け、当該溝に絶縁層を設けることで素子分離を実現している。このような構成にすることで、選択酸化法で問題となる素子分離するための絶縁層の周縁部に鳥のくちばしや頭の形に似た分離領域 (bird's beak や bird's headともいわれる) ができてしまう不良を防ぐことができる。

40

【0133】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせができる。

【0134】

(実施の形態 5)

本実施の形態では、不揮発性半導体記憶装置の一例について説明する。ここでは、不揮発性半導体記憶装置において、メモリ部を構成する不揮発性メモリ素子と、当該メモリ部と同一の基板上に設けられメモリ部の制御等を行うロジック部を構成する薄膜トランジスタ (TFT) 等の素子とを同時に形成する場合を示す。

【0135】

不揮発性メモリ素子は、MOSFET (Metal Oxide Semiconductor)

50

ctor Field effect transistor)と類似の構造を有し、電荷を長期間蓄積することのできる領域がチャネル形成領域上に設けられているところに特徴がある。この電荷蓄積領域は絶縁層上に形成され、周囲と絶縁分離されていることから浮遊ゲート電極とも呼ぶ。また浮遊ゲート電極は電荷を蓄積する機能を有するので電荷蓄積層ともよぶ。本明細書では主に浮遊ゲート電極を含むこの電荷蓄積領域を電荷蓄積層ともいう。浮遊ゲート電極上には、さらに絶縁層を介して制御ゲート電極を備えている。

【0136】

このような構造を有する所謂浮遊ゲート型の不揮発性半導体記憶装置は、制御ゲート電極に印加する電圧により、電荷蓄積層に電荷を蓄積させ、また放出させる動作が行われる。すなわち電荷蓄積層に保持させる電荷の出し入れにより、データを記憶する仕組みになっている。具体的に、電荷蓄積層への電荷の注入や引き抜きは、チャネル形成領域が形成される半導体層若しくは半導体基板と、制御ゲート電極の間に高電圧を印加して行われている。このときチャネル形成領域上の絶縁層には、ファウラー・ノルドハイム(Fowler-Nordheim)型(F-N型)トンネル電流(NAND型)や、熱電子(NOR型)が流れると言われている。このことよりチャネル形成領域上の絶縁層は、トンネル絶縁層と呼ばれる場合もある。

【0137】

図9～図12には、本発明の不揮発性半導体記憶装置の作製方法の一例を示す。なお、図9～図12において、A-B間及びC-D間はロジック部に設けられるトランジスタを示し、E-F間はメモリ部に設けられる不揮発性メモリ素子を示し、G-H間はメモリ部に設けられるトランジスタを示している。また、本実施の形態では、A-B間に設けられるトランジスタをpチャネルトランジスタ、C-D間、G-H間に設けるトランジスタをnチャネルトランジスタ、E-F間に設けられる不揮発性メモリ素子のキャリアの移動を電子で行う場合に関して説明するが、本発明の不揮発性半導体記憶装置はこれに限られるものでない。

【0138】

なお、メモリ部に設けられる制御用のトランジスタは、ロジック部に設けられるトランジスタと比較して駆動電圧が高いため、メモリ部に設けるトランジスタとロジック部に設けるトランジスタのゲート絶縁層等を異なる厚さで形成することが好ましい。例えば、駆動電圧が小さくしきい値電圧のばらつきを小さくしたい場合にはゲート絶縁層が薄いトランジスタを設けることが好ましく、駆動電圧が大きくゲート絶縁層の耐圧性が求められる場合にはゲート絶縁層が厚いトランジスタを設けることが好ましい。

【0139】

従って、本実施の形態では、駆動電圧が小さくしきい値電圧のばらつきを小さくしたいロジック部の薄膜トランジスタに対しては膜厚が小さいゲート絶縁層を形成し、駆動電圧が大きく耐圧性が求められるメモリ部の薄膜トランジスタに対しては膜厚が大きいゲート絶縁層を形成する場合に関して以下に図面を参照して説明する。

【0140】

まず、基板100上に下地絶縁層102を介して島状の半導体層104、106、108、110を形成し、当該島状の半導体層104、106、108、110を覆うように第1の絶縁層112、114、116、118をそれぞれ形成する。そして、第1の絶縁層112、114、116、118を覆うように電荷蓄積層120を形成する(図9(A)参照)。島状の半導体層104、106、108、110は、基板100上にあらかじめ形成された下地絶縁層102上にCVD法、スパッタリング法を用いてシリコン(Si)を主成分とする材料(例えばSi、 $Si_xGe_{(1-x)}$ 等)等を用いて非晶質半導体層を形成し、当該非晶質半導体層を結晶化させた後に選択的にエッチングすることにより設けることができる。また、非晶質半導体層を結晶化せずに選択的にエッチングし、非晶質半導体層からなる島状の半導体層104、106、108、110を形成してもよい。

【0141】

非晶質半導体層の結晶化は、レーザ結晶化法、RTA又はファーネスアーナー炉を用い

10

20

30

40

50

る熱結晶化法、結晶化を助長する金属元素を用いる熱結晶化法またはこれら方法を組み合わせた方法等により行うことができる。

【0142】

また、レーザ光の照射によって半導体層の結晶化若しくは再結晶化を行う場合には、レーザ光の光源としてLD励起の連続発振(CW)レーザ(YVO₄)の第2高調波(波長532nm)を用いることができる。特に第2高調波に限定する必要はないが、第2高調波はエネルギー効率の点で、さらに高次の高調波より優れている。CWレーザを半導体層に照射すると、連続的に半導体層にエネルギーが与えられるため、一旦半導体層を溶融状態にすると、溶融状態を継続させることができる。さらに、CWレーザを走査することによって半導体層の固液界面を移動させ、この移動の方向に沿って一方に向長い結晶粒を形成することができる。また、固体レーザを用いるのは、気体レーザ等と比較して、出力の安定性が高く、安定した処理が見込まれるためである。なお、CWレーザに限らず、繰り返し周波数が10MHz以上のパルスレーザを用いることも可能である。繰り返し周波数が高いパルスレーザを用いると、半導体層が溶融してから固化するまでの時間よりもレーザのパルス間隔が短ければ、常に半導体層を溶融状態にとどめることができ、固液界面の移動により一方に向長い結晶粒で構成される半導体層を形成することができる。その他のCWレーザ及び繰り返し周波数が10MHz以上のパルスレーザを使用することもできる。例えば、気体レーザとしては、Arレーザ、Krレーザ、CO₂レーザ等がある。また、気体レーザとしてヘリウムカドミウムレーザ等の金属蒸気レーザが挙げられる。固体レーザとして、YAGレーザ、YLFレーザ、YAlO₃レーザ、GdVO₄レーザ、KGWレーザ、KYWレーザ、アレキサンドライトレーザ、Ti:サファイアレーザ、Y₂O₃レーザ、YVO₄レーザ等がある。また、固体レーザにはYAGレーザ、Y₂O₃レーザ、GdVO₄レーザ、YVO₄レーザなどのセラミックスレーザもある。また、レーザ発振器において、レーザ光をTEM₀₀(シングル横モード)で発振して射出すると、被照射面において得られる線状のビームスポットのエネルギー均一性を上げることができるので好ましい。その他にも、パルス発振のエキシマレーザを用いても良い。

【0143】

基板100としては、ガラス基板、石英基板、サファイア基板、セラミック基板、金属基板などを用いることができる。他にもプラスチック基板として、ポリエチレンテレフタレート(PET)、ポリエチレンナフタレート(PNT)、ポリエーテルサルファン(PE-S)、アクリルなどの基板を選択することもでき、少なくともプロセス中に発生する熱に耐えうる基板であれば用いることができる。ここでは、基板100としてガラス基板を用いる。

【0144】

下地絶縁層102は、CVD法やスパッタリング法を用いて、酸化シリコン(SiO_x)、窒化シリコン(SiNx)、酸化窒化シリコン(SiO_xNy)(x>y>0)、窒化酸化シリコン(SiNxOy)(x>y>0)等の無機材料を用いて形成する。例えば、下地絶縁層102を2層の積層構造とする場合、第1層目の絶縁層として窒化酸化シリコン層を用いて形成し、第2層目の絶縁層として酸化窒化シリコン層を形成するとよい。また、第1層目の絶縁層として窒化シリコン層を形成し、第2層目の絶縁層として酸化シリコン層を形成してもよい。このように、ブロッキング層として機能する下地絶縁層102を形成することによって、基板100からNaなどのアルカリ金属やアルカリ土類金属が、基板上に形成する素子に悪影響を与えることを防ぐことができる。なお、基板100として石英を用いるような場合には下地絶縁層102を省略してもよい。

【0145】

第1の絶縁層112、114、116、118は、半導体層104、106、108、110に対して高密度プラズマ処理を行うことにより形成する。高密度プラズマ処理は、まず、希ガス、酸素及び水素を含む第1の供給ガスを用いて行った後、希ガス及び酸素を含む第2の供給ガスに切り替えて行う。第1の供給ガスは、希ガス：酸素：水素の流量比率が100:1乃至200:1の範囲で供給することが好ましい。また、第1の供給ガス

10

20

30

40

50

を用いた高密度プラズマ処理では、膜厚8 nm以上の絶縁層を形成することが好ましい。第2の供給ガスは希ガス：酸素の流量比率が100:1乃至200:1の範囲で供給することが好ましい。なお、第2の供給ガスにおいて、酸素に対する比率が5分の1以下の範囲であれば、水素が含まれていてもよい。この場合、第1の供給ガスの水素量よりも第2の供給ガスの水素量の方が少ないことになる。また、第2の供給ガスを用いた高密度プラズマ処理時間は60 sec以上行なうことが好ましい。

【0146】

また、高密度プラズマ処理は、マイクロ波（代表的には2.45 GHz）等の高周波で励起され、電子密度が $1 \times 10^{11} \text{ cm}^{-3}$ 以上で、プラズマの電子温度が1.5 eV以下のプラズマを利用する。具体的には、電子密度が $1 \times 10^{11} \text{ cm}^{-3}$ 以上 $1 \times 10^{13} \text{ cm}^{-3}$ 以下で、プラズマの電子温度が0.5 eV以上1.5 eV以下のプラズマを利用することが好ましい。10

【0147】

供給ガスとして用いる希ガス供給源としては、ヘリウム(He)、ネオン(Ne)、アルゴン(Ar)、クリプトン(Kr)、キセノン(Xe)の少なくとも1つを用いることができる。酸素供給源としては、酸素(O₂)、オゾン(O₃)、亜酸化窒素(N₂O)、一酸化窒素(NO)、二酸化窒素(NO₂)を用いることができる。水素供給源としては、水素(H₂)、水(H₂O)又は過酸化水素(H₂O₂)を用いることができる。なお、供給ガスに希ガスを用いる場合、形成された絶縁層に希ガスが含まれる場合がある。20

【0148】

ここでは、第1の供給ガスとしてArガス500 sccm乃至1000 sccm、O₂ガス5 sccm、H₂ガス5 sccmを供給して高密度プラズマ処理を行い、膜厚8 nm以上の酸化シリコン層を形成する。また、第2の供給ガスとしてArガス500 sccm乃至1000 sccm、O₂ガス5 sccmを供給し、60 sec以上の高密度プラズマ処理を行う。そして、半導体層の表面を高密度プラズマ処理で酸化することにより、最終的に、第1の絶縁層112、114、116、118として、膜厚8 nm以上20 nm以下の酸化シリコン層を形成することができる。

【0149】

また、第1の絶縁層112、114、116、118は、CVD法やスパッタリング法を用いて、酸化シリコン(SiO_x)、窒化シリコン(SiN_x)、酸化窒化シリコン(SiO_xN_y)($x > y > 0$)、窒化酸化シリコン(SiN_xO_y)($x > y > 0$)、酸化アルミニウム(Al_xO_y)、酸化タンタル(Ta_xO_y)、酸化ハフニウム(HfO_x)等の材料を用いて形成してもよい。さらに、当該絶縁層に対して、高密度プラズマ処理を行ってもよい。この場合は、酸素雰囲気下又は窒素雰囲気下で、高周波で励起され、電子密度が $1 \times 10^{11} \text{ cm}^{-3}$ 以上で、プラズマの電子温度が1.5 eV以下のプラズマを利用して行う。具体的には、電子密度が $1 \times 10^{11} \text{ cm}^{-3}$ 以上 $1 \times 10^{13} \text{ cm}^{-3}$ 以下で、プラズマの電子温度が0.5 eV以上1.5 eV以下のプラズマを利用することが好ましい。また、酸素雰囲気下で高密度プラズマ処理を行う場合は、供給ガスとして少なくとも酸素を用い、その他に希ガス(He、Ne、Ar、Kr、Xeの少なくとも一つを含む)、又は水素等を用いればよい。このとき、酸素供給源としては、酸素の他、オゾン、亜酸化窒素、一酸化窒素、二酸化窒素を用いることができる。また、水素供給源として、水素の他、水(H₂O)、過酸化水素(H₂O₂)を用いることができる。窒素雰囲気下で高密度プラズマ処理を行う場合は、供給ガスとして少なくとも窒素若しくはアンモニアを用い、その他希ガス(He、Ne、Ar、Kr、Xeの少なくとも一つを含む)等を用いればよい。第1の絶縁層112、114、116、118は、膜厚1 nm以上20 nm以下、好ましくは膜厚8 nm以上10 nm以下で形成するのが望ましい。3040

【0150】

本発明で行なう高密度プラズマ処理は、プラズマの電子密度が $1 \times 10^{11} \text{ cm}^{-3}$ 以上と高密度であり、被処理物である半導体層付近での電子温度が低いため、半導体層がプラズマにより損傷することを防止することができる。50

【0151】

本実施の形態において、メモリ部に設けられた半導体層108上に形成される第1の絶縁層116は、後に完成する不揮発性メモリ素子において、トンネル絶縁層として機能する。従って、第1の絶縁層116の膜厚が薄いほど、トンネル電流が流れやすく、メモリとして高速動作が可能となる。また、第1の絶縁層116の膜厚が薄いほど、後に形成される浮遊ゲート電極に低電圧で電荷を蓄積させることができるとなるため、不揮発性半導体記憶装置の消費電力を低減することができる。そのため、第1の絶縁層112、114、116、118は、膜厚を薄く形成することが好ましい。

【0152】

一般的に、半導体層上に絶縁層を薄く形成する方法として熱酸化法があるが、基板100としてガラス基板等の融点が十分に高くない基板を用いる場合には、熱酸化法により第1の絶縁層112、114、116、118を形成することは非常に困難である。また、CVD法やスパッタリング法により形成した絶縁層は、膜の内部に欠陥を含んでいるため膜質が十分でなく、膜厚を薄く形成した場合にはピンホール等の欠陥が生じる問題がある。また、CVD法やスパッタリング法により絶縁層を形成した場合には、特に半導体層の端部の被覆が十分でなく、後に第1の絶縁層116上に形成される電荷蓄積層等と半導体層とが短絡する場合がある。従って、半導体層に対して高密度プラズマ処理を行うことにより第1の絶縁層116を形成することによって、CVD法やスパッタリング法により形成した絶縁層より緻密な絶縁層を形成することができる。また、高密度プラズマ処理において、供給ガスを水素を含むガスから水素を含まないガスへ途中で切り替えることで、絶縁耐圧の良好な絶縁層を形成することができる。さらに、半導体層108に対して直接高密度プラズマ処理を行うことにより、当該半導体層108の端部を第1の絶縁層116で十分に被覆することができる。その結果、メモリとして高速動作や電荷保持特性を向上させることができる。

10

20

30

40

【0153】

電荷蓄積層120は、単層または2層以上の積層構造で形成することができる。具体的には、電荷蓄積層120は、シリコン(Si)、ゲルマニウム(Ge)、タンゲステン(W)、チタン(Ti)、タンタル(Ta)、モリブデン(Mo)等から選択された元素、またはこれらの元素を主成分とする合金材料若しくはこれらの元素を主成分とする化合物材料(例えば、窒化物、酸化物等)を用いて形成することができる。前記元素の化合物としては、窒化シリコン、窒化酸化シリコン、炭化シリコン、ゲルマニウムを10原子%未満の濃度で含むシリコンゲルマニウム、窒化タンタル、酸化タンタル、窒化タンゲステン、窒化チタン、酸化チタン、酸化スズ等を用いることができる。また、前記元素のシリサイド(例えば、タンゲステンシリサイド、チタンシリサイド、ニッケルシリサイド)を用いることができる。また、シリコンを用いる場合は、リンやボロンなどの不純物元素を添加してもよい。ここでは、電荷蓄積層120として、ゲルマニウム元素を含む雰囲気中(例えば、GeH₄)でプラズマCVD法を行うことにより、ゲルマニウムを主成分とする膜を1nm以上20nm以下、好ましくは5nm以上10nm以下で形成する。メモリ部に設けられた半導体層108上に形成される電荷蓄積層120は、後に完成する不揮発性半導体記憶装置において、浮遊ゲート電極として機能する。例えば、半導体層としてSiを主成分とする材料を用いて形成し、当該半導体層上にトンネル絶縁層として機能する第1の絶縁層を介して浮遊ゲート電極として機能するSiよりエネルギー・ギャップの小さいゲルマニウムを含む導電層を設けた場合は、半導体層の電荷に対する絶縁層により形成される第1の障壁に対して浮遊ゲート電極の電荷に対する絶縁層により形成される第2の障壁がエネルギー的に高くなる。その結果、半導体層から浮遊ゲート電極へ電荷を注入しやすくすることができ、浮遊ゲート電極から電荷が消失することを防ぐことができる。つまり、メモリとして動作する場合に、低電圧で高効率な書き込みをすることが出来、且つ電荷保持特性を向上させることができる。

【0154】

次に、半導体層104、106、110上に形成された、第1の絶縁層112、114

50

、118と電荷蓄積層120を選択的に除去し、半導体層108上に形成された第1の絶縁層116と電荷蓄積層120を残存させる。ここでは、メモリ部に設けられた半導体層108、第1の絶縁層116、電荷蓄積層120を選択的にレジストマスクで覆い、半導体層104、106、110上に形成された第1の絶縁層112、114、118と電荷蓄積層120をエッティングすることによって選択的に除去する(図9(B)参照)。

【0155】

次に、半導体層104、106、110と、半導体層108の上方に形成された電荷蓄積層120の一部を選択的に覆うようにレジストマスク122を形成し、当該レジストマスク122に覆われていない電荷蓄積層120をエッティングして選択的に除去することによって、電荷蓄積層120の一部を残存させ、電荷蓄積層121を形成する(図9(C)参照)。

10

【0156】

次に、半導体層110の特定の領域に不純物領域を形成する。ここでは、レジストマスク122を除去後、半導体層104、106、108と、半導体層110の一部を選択的に覆うようにレジストマスク124を形成し、当該レジストマスク124に覆われていない半導体層110に低濃度の純物元素を添加することによって、不純物領域126を形成する(図10(A)参照)。不純物元素としては、n型を付与する不純物元素又はp型を付与する不純物元素を用いる。n型を付与する不純物元素としては、リン(P)やヒ素(As)等を用いることができる。p型を付与する不純物元素としては、ボロン(B)やアルミニウム(Al)やガリウム(Ga)等を用いることができる。ここでは、不純物元素として、リン(P)を半導体層110に導入する。なお、不純物領域126の一部は、後に形成されるLDD領域を形成する。

20

【0157】

次に、半導体層104、106、110と、半導体層108の上方に形成された第1の絶縁層116と電荷蓄積層121を覆うように第2の絶縁層128を形成する(図10(B)参照)。

【0158】

第2の絶縁層128は、CVD法やスパッタリング法を用いて、酸化シリコン(SiO_x)、酸化窒化シリコン(SiO_xN_y)(x > y > 0)、窒化酸化シリコン(SiNxO_y)(x > y > 0)、酸化アルミニウム(Al_xO_y)、酸化タンタル(Ta_xO_y)、酸化ハフニウム(HfO_x)等の材料を用いて、単層又は積層構造で形成する。例えば、第2の絶縁層128を単層膜で形成する場合には、CVD法により酸化窒化シリコン層又は窒化酸化シリコン層を5nm以上50nm以下の膜厚で形成する。また、第2の絶縁層128を3層の積層膜で形成する場合には、第1層目の絶縁層として酸化窒化シリコン層を形成し、第2層目の絶縁層として窒化シリコン層を形成し、第3層目の絶縁層として酸化窒化シリコン層を形成する。他にも第2の絶縁層128として、ゲルマニウムの酸化物又は窒化物等の材料を用いてもよい。第2の絶縁層128は、膜厚1nm以上100nm以下、好ましくは膜厚20nm以上60nm以下で形成するのが望ましい。

30

【0159】

また、第2の絶縁層128は、CVD法やスパッタリング法を用いて絶縁層を形成した後、当該絶縁層に高密度プラズマ処理を行うことで形成してもよい。この場合は、酸素雰囲気下又は窒素雰囲気下で、高周波で励起され、電子密度が $1 \times 10^{11} \text{ cm}^{-3}$ 以上で、プラズマの電子温度が1.5eV以下のプラズマを利用して行う。具体的には、電子密度が $1 \times 10^{11} \text{ cm}^{-3}$ 以上 $1 \times 10^{13} \text{ cm}^{-3}$ 以下で、プラズマの電子温度が0.5eV以上1.5eV以下のプラズマを利用することが好ましい。また、酸素雰囲気下で高密度プラズマ処理を行う場合は、供給ガスとして少なくとも酸素を用い、その他希ガス(He、Ne、Ar、Kr、Xeの少なくとも一つを含む)、又は水素等を用いればよい。このとき、酸素供給源としては、酸素の他、オゾン(O₃)、亜酸化窒素(N₂O)、一酸化窒素(NO)、二酸化窒素(NO₂)を用いることができる。水素供給源としては、水素の他、水(H₂O)、過酸化水素(H₂O₂)を用いることができる。窒素雰囲気

40

50

下で高密度プラズマ処理を行う場合は、供給ガスとして少なくとも窒素若しくはアンモニアを用い、その他希ガス(He、Ne、Ar、Kr、Xeの少なくとも一つを含む)等を用いればよい。

【0160】

さらに、第2の絶縁層128は、高密度プラズマ処理を用いて絶縁層を形成した後、当該絶縁層上にCVD法やスパッタリング法を用いて絶縁層を形成して所望の厚さにすることができる。この場合、半導体層108の上方に形成する電荷蓄積層はシリコンで形成する。高密度プラズマ処理は、上記第1の絶縁層116の形成方法で示した方法を用いればよい。

【0161】

なお、半導体層108の上方に形成された第2の絶縁層128は、後に完成する不揮発性メモリ素子においてコントロール絶縁層として機能する。半導体層110の上方に形成された第2の絶縁層128は、後に完成するトランジスタにおいてゲート絶縁層として機能する。なお、本明細書で「コントロール絶縁層」とは浮遊ゲート電極として機能する電極と、制御ゲート電極として機能する電極との間に設けられた絶縁層のことを示す。

【0162】

次に、半導体層108、110の上方に形成された第2の絶縁層128を覆うようにレジストマスク130を選択的に形成し、半導体層104、106上に形成された第2の絶縁層128を選択的に除去する(図10(C)参照)。

【0163】

次に、半導体層104、106を覆うように第3の絶縁層132、134をそれぞれ形成する(図11(A)参照)。

【0164】

第3の絶縁層132、134は、上記第1の絶縁層112、114、116、118の形成方法で示したいずれかの方法を用いて形成する。例えば、半導体層104、106に対して高密度プラズマ処理を行うことにより、第3の絶縁層132、134として酸化シリコンを含む層を形成することができる。また、第3の絶縁層132、134は、CVD法又はスパッタリング法を用いて、酸化シリコン(SiO_x)、酸化窒化シリコン(SiO_xN_y)(x>y>0)、窒化酸化シリコン(SiN_xO_y)(x>y>0)等の材料を用いて形成してもよい。第3の絶縁層は、膜厚1nm以上20nm以下、好ましくは膜厚8nm以上10nm以下で形成するのが望ましい。半導体層104、106の上方に形成された第3の絶縁層132、134は、後に完成するトランジスタにおいてゲート絶縁層として機能する。

【0165】

次に、半導体層104、106の上方に形成された第3の絶縁層132、134、半導体層108、110の上方に形成された第2の絶縁層128を覆うように導電層を形成する(図11(B)参照)。ここでは、導電層として、導電層136と導電層138を順に積層して形成した例を示している。もちろん、導電層は、単層膜又は3層以上の積層膜で形成してもよい。

【0166】

導電層136、138としては、タンタル(Ta)、タンゲステン(W)、チタン(Ti)、モリブデン(Mo)、アルミニウム(Al)、銅(Cu)、クロム(Cr)、ニオブ(Nb)等から選択された元素、またはこれらの元素を主成分とする合金材料若しくはこれらの元素を主成分とする化合物材料で形成することができる。また、これらの元素を窒化した金属窒化膜で形成することもできる。他にも、リン等の不純物元素をドーピングした多結晶シリコンに代表される半導体材料により形成することもできる。

【0167】

ここでは、導電層136として窒化タンタルを用いて形成し、その上に導電層138としてタンゲステンを用いて形成する。また、他にも、導電層136として、窒化タンゲステン、窒化モリブデン又は窒化チタンを用いて形成される单層膜又は積層膜を用い、導電

10

20

30

40

50

層 138 として、タンタル、モリブデン、又はチタンを用いて形成される単層膜又は積層膜を用いることができる。

【0168】

次に、積層して設けられた導電層 136、138 を選択的にエッチングして除去することによって、半導体層 104、106、108、110 の上方の一部に導電層 136、138 を残存させ、それぞれゲート電極 140、ゲート電極 142、ゲート電極 144、ゲート電極 146 を形成する（図 11（C）参照）。なお、メモリ部に設けられた半導体層 108 の上方に形成されるゲート電極 144 は、後に完成する不揮発性メモリ素子において制御ゲート電極として機能する。また、ゲート電極 140、142、146 は、後に完成するトランジスタのゲート電極として機能する。

10

【0169】

なお、本実施の形態ではゲート電極 140、142、144、146 を形成する際に、残存する導電層 136 と導電層 138 の端部が概略一致するようエッチングしたが、本発明は特に限定されない。例えば、ゲート電極を 2 層の積層構造とする場合、下層の導電層の幅が上層の導電層の幅より大きくなるようにしてもよい。また、ゲート電極を形成した後、ゲート電極の側面にサイドウォールといわれる絶縁層を形成してもよい。

【0170】

次に、半導体層 104 を覆うようにレジストマスク 148 を選択的に形成し、当該レジストマスク 148、ゲート電極 142、144、146 をマスクとして半導体層 106、108、110 に高濃度の不純物元素を添加することによって不純物領域を形成する（図 12（A）参照）。不純物元素としては、n 型を付与する不純物元素又は p 型を付与する不純物元素を用いる。n 型を付与する不純物元素としては、リン（P）やヒ素（As）等を用いることができる。p 型を付与する不純物元素としては、ボロン（B）やアルミニウム（Al）やガリウム（Ga）等を用いることができる。ここでは、不純物元素として、リン（P）を添加する。

20

【0171】

図 12（A）においては、不純物元素を添加することによって、半導体層 106 にソース領域又はドレイン領域を形成する高濃度不純物領域 152 とチャネル形成領域 150 が形成される。また、半導体層 108 には、ソース領域又はドレイン領域を形成する高濃度不純物領域 156 と LDD 領域を形成する低濃度不純物領域 158 とチャネル形成領域 154 が形成される。また、半導体層 110 には、ソース領域又はドレイン領域を形成する高濃度不純物領域 162 と LDD 領域を形成する低濃度不純物領域 164 とチャネル形成領域 160 が形成される。ソース領域又はドレイン領域として機能する高濃度不純物領域は、LDD 領域を形成する低濃度不純物領域よりも、高濃度の不純物元素が添加されている。

30

【0172】

また、半導体層 108 に形成される低濃度不純物領域 158 は、図 12（A）において添加された不純物元素が浮遊ゲート電極として機能する電荷蓄積層 121 を突き抜けることによって形成される。従って、半導体層 108 において、ゲート電極 144 及び電荷蓄積層 121 の双方と重なる領域にチャネル形成領域 154 が形成され、電荷蓄積層 121 と重なりゲート電極 144 と重ならない領域に低濃度不純物領域 158 が形成され、電荷蓄積層 121 及びゲート電極 144 の双方と重ならない領域に高濃度不純物領域 156 が形成される。

40

【0173】

次に、半導体層 106、108、110 を覆うようにレジストマスク 166 を選択的に形成し、当該レジストマスク 166、ゲート電極 140 をマスクとして半導体層 104 に高濃度の不純物元素を添加することによって不純物領域を形成する（図 12（B）参照）。不純物元素としては、n 型を付与する不純物元素又は p 型を付与する不純物元素を用いる。n 型を付与する不純物元素としては、リン（P）やヒ素（As）等を用いることができる。p 型を付与する不純物元素としては、ボロン（B）やアルミニウム（Al）やガリ

50

ウム(Ga)等を用いることができる。ここでは、図12(A)で半導体層106、108、110に導入した不純物元素と相異なる導電型を有する不純物元素(例えば、ボロン(B))を導入する。その結果、半導体層104にソース領域又はドレイン領域を形成する高濃度不純物領域170とチャネル形成領域168が形成される。

【0174】

次に、第2の絶縁層128、第3の絶縁層132、134、ゲート電極140、142、144、146を覆うように絶縁層172を形成し、当該絶縁層172上に半導体層104、106、108、110にそれぞれ形成された不純物領域152、156、162、170と電気的に接続する導電層174を形成する(図12(C)参照)。

【0175】

絶縁層172は、CVD法やスパッタリング法等により、酸化シリコン(SiO_x)、窒化シリコン(SiNx)、酸化窒化シリコン(SiO_xNy)(x>y>0)、窒化酸化シリコン(SiNxOy)(x>y>0)等の酸素または窒素を含む材料やDLC(ダイヤモンドライクカーボン)等の炭素を含む材料、エポキシ、ポリイミド、ポリアミド、ポリビニルフェノール、ベンゾシクロブテン、アクリル等の有機材料またはシロキサン樹脂等のシロキサン材料を用いて、単層膜または積層膜を形成する。なお、シロキサン材料とは、Si-O-Si結合を含む材料に相当する。シロキサンは、シリコン(Si)と酸素(O)との結合で骨格構造が構成される。置換基として、少なくとも水素を含む有機基(例えばアルキル基、芳香族炭化水素)が用いられる。置換基として、フルオロ基を用いることもできる。または置換基として、少なくとも水素を含む有機基と、フルオロ基と用いてもよい。また、絶縁層172は、CVD法やスパッタリング法を用いて絶縁層を形成した後、当該絶縁層に酸素雰囲気下又は窒素雰囲気下で高密度プラズマ処理を行うことにより形成してもよい。

【0176】

導電層174は、CVD法やスパッタリング法等により、アルミニウム(Al)、タンゲステン(W)、チタン(Ti)、タンタル(Ta)、モリブデン(Mo)、ニッケル(Ni)、白金(Pt)、銅(Cu)、金(Au)、銀(Ag)、マンガン(Mn)、ネオジウム(Nd)、炭素(C)、シリコン(Si)から選択された元素、又はこれらの元素を主成分とする合金材料若しくはこれらの元素を主成分とする化合物材料を用いた単層膜又は積層膜で形成する。アルミニウムを主成分とする合金材料とは、例えば、アルミニウムを主成分としニッケルを含む材料、又は、アルミニウムを主成分とし、ニッケルと、炭素とシリコンの一方又は両方とを含む合金材料に相当する。導電層174は、例えば、バリア層とアルミニウムシリコン(Al-Si)層とバリア層の積層構造、バリア層とアルミニウムシリコン(Al-Si)層と窒化チタン層とバリア層の積層構造を採用するとよい。なお、バリア層とは、チタン、チタンの窒化物、モリブデン、又はモリブデンの窒化物からなる薄膜に相当する。アルミニウムやアルミニウムシリコンは抵抗値が低く、安価であるため、導電層174を形成する材料として最適である。また、上層と下層のバリア層を設けると、アルミニウムやアルミニウムシリコンのヒロックの発生を防止することができる。また、還元性の高い元素であるチタンからなるバリア層を形成すると、結晶質半導体層上に薄い自然酸化膜ができていたとしても、この自然酸化膜を還元し、結晶質半導体層と良好なコンタクトをとることができること。

【0177】

以上の工程により、半導体層104を用いて形成されたpチャネル薄膜トランジスタと、半導体層106を用いて形成されたnチャネル薄膜トランジスタと、半導体層108を用いて形成された不揮発性メモリ素子と、半導体層110を用いて形成されたnチャネル薄膜トランジスタを具備した不揮発性半導体記憶装置を得ることができる。なお、本実施の形態で示したTFTの構造は一例であり、図示した構造に限定されるものではない。例えば、逆スタガ構造、ダブルゲート構造等のTFTの構造を取り得る。また、不揮発性メモリ素子の構造も一例であり、各種公知の構造を適用することができるのはいうまでもない。

10

20

30

40

50

【0178】

本発明を用いてトランジスタのゲート絶縁層として機能する絶縁層を形成すると、絶縁耐圧の良好なゲート絶縁層を実現できる。特に、Aモード及びBモードでの初期耐圧不良が少ない絶縁耐圧を有するゲート絶縁層を実現できる。また、高温の加熱処理をせずとも、膜特性の良好なゲート絶縁層を実現できる。さらに、半導体層端部における被覆不良も防止することができる。したがって、ゲート絶縁層の耐圧不良を防止でき、信頼性の高い不揮発性半導体記憶装置を作製することができる。また、不揮発性半導体記憶装置の歩留まりを向上させることができる。

【0179】

また、本発明を用いて不揮発性メモリ素子のトンネル絶縁層として機能する絶縁層を形成すると、絶縁耐圧の良好なトンネル絶縁層を実現できる。特に、Aモード及びBモードでの初期耐圧不良が少ない絶縁耐圧を有するトンネル絶縁層を実現できる。また、高温の加熱処理をせずとも、膜特性の良好なトンネル絶縁層を実現できる。さらに、半導体層端部における絶縁層の被覆不良を防止することができる。したがって、トンネル絶縁層の耐圧不良、又はトンネル絶縁層の被覆不良による浮遊ゲート電極とチャネル形成領域との短絡及びリーク電流等の不良を防止することができる。その結果、不揮発性メモリ素子として、高速動作や電荷保持特性を向上させることができ、信頼性の高い不揮発性半導体記憶装置を作製することができる。また、不揮発性半導体記憶装置の歩留まりを向上させることができる。

10

【0180】

20

なお、本実施の形態は、本明細書で示した他の実施の形態と適宜組み合わせて行うことができる。

【0181】

20

(実施の形態6)

本実施の形態では、上記実施の形態5と異なる不揮発性半導体記憶装置の一例について説明する。ここでは、不揮発性半導体記憶装置において、半導体基板上にメモリ部を構成する不揮発性メモリ素子と、当該メモリ部の制御等を行うロジック部を構成するトランジスタ等の素子とを同時に形成する場合を示す。なお、図13～図16において、A-B間及びC-D間はロジック部に設けられるトランジスタを示し、E-F間はメモリ部に設けられる不揮発性メモリ素子を示し、G-H間はメモリ部に設けられるトランジスタを示している。また、本実施の形態では、A-B間に設けられるトランジスタをpチャネルトランジスタ、C-D間、G-H間に設けるトランジスタをnチャネルトランジスタ、E-F間に設けられる不揮発性メモリ素子のキャリアの移動を電子で行う場合に関して説明するが、本発明の不揮発性半導体記憶装置はこれに限定されるものでない。

30

【0182】

30

まず、基板200に素子を分離した領域204、206、208、210を形成し、当該領域204、206、208、210の表面に第1の絶縁層212、214、216、218を形成する。そして、当該第1の絶縁層212、214、216、218を覆うように、電荷蓄積層を形成する(図13(A)参照)。ここでは、電荷蓄積層は、電荷蓄積層220、電荷蓄積層223の積層構造で形成する。また、電荷蓄積層220、電荷蓄積層223の積層構造は、浮遊ゲート電極として機能する。基板200に設けられた領域204、206、208、210は、それぞれ絶縁層202(フィールド酸化膜ともいう)によって分離されている。また、ここでは、基板200としてn型の導電型を有する単結晶Si基板を用い、基板200の領域206、208、210にpウェル207を設けた例を示している。

40

【0183】

40

また、基板200は、半導体基板であれば特に限定されず用いることができる。例えば、n型又はp型の導電型を有する単結晶Si基板、化合物半導体基板(GaAs基板、InP基板、SiC基板等)、貼り合わせ法またはSIMOX(Separation by Implanted Oxygen)法を用いて作製されたSOI(Silicon

50

on Insulator) 基板等を用いることができる。

【0184】

素子が分離された領域 204、206、208、210は、選択酸化法 (LOCOS (Local Oxidation of Silicon) 法) 又はトレンチ分離法等を適宜用いることができる。

【0185】

また、基板 200 の領域 206、208、210 に形成された p ウエルは、基板 200 に p 型の導電型を有する不純物元素を選択的に添加することによって形成することができる。p 型を付与する不純物元素としては、ボロン (B) やアルミニウム (Al) やガリウム (Ga) 等を用いることができる。

10

【0186】

なお、本実施の形態では、基板 200 として n 型の導電型を有する半導体基板を用いているため、領域 204 には不純物元素の添加を行っていないが、n 型を付与する不純物元素を添加することにより領域 204 に n ウエルを形成してもよい。n 型を付与する不純物元素としては、リン (P) やヒ素 (As) 等を用いることができる。一方、p 型の導電型を有する半導体基板を用いる場合には、領域 204 に n 型を付与する不純物元素を添加して n ウエルを形成し、領域 206、208、210 には不純物元素の添加を行わない構成としてもよい。

【0187】

第 1 の絶縁層 212、214、216、218 は、高密度プラズマ処理を用いて基板 200 に設けられた領域 204、206、208、210 の表面を酸化させ、酸化シリコン層で形成することができる。第 1 の絶縁層 212、214、216、218 は、膜厚 1 nm 以上 20 nm 以下、好ましくは膜厚 8 nm 以上 10 nm 以下で形成するのが望ましい。ここでの高密度プラズマ処理は、まず、希ガス、酸素及び水素を含む第 1 の供給ガスを用いて行った後、希ガス及び酸素を含む第 2 の供給ガスに切り替えて行う。第 1 の供給ガスは、希ガス : 酸素 : 水素の流量比率が 100 : 1 : 1 乃至 200 : 1 : 1 の範囲で供給することが好ましい。また、第 1 の供給ガスを用いた高密度プラズマ処理では、膜厚 8 nm 以上の絶縁層を形成することが好ましい。第 2 の供給ガスは希ガス : 酸素の流量比率が 100 : 1 乃至 200 : 1 の範囲で供給することが好ましい。なお、第 2 の供給ガスにおいて、酸素に対する比率が 5 分の 1 以下の範囲であれば、水素が含まれていてもよい。この場合、第 1 の供給ガスの水素量よりも第 2 の供給ガスの水素量の方が少ないとなる。また、第 2 の供給ガスを用いた高密度プラズマ処理時間は 60 sec 以上行なうことが好ましい。

20

30

【0188】

また、高密度プラズマ処理は、マイクロ波 (代表的には 2.45 GHz) 等の高周波で励起され、電子密度が $1 \times 10^{11} \text{ cm}^{-3}$ 以上で、プラズマの電子温度が 1.5 eV 以下のプラズマを利用する。具体的には、電子密度が $1 \times 10^{11} \text{ cm}^{-3}$ 以上 $1 \times 10^{13} \text{ cm}^{-3}$ 以下で、プラズマの電子温度が 0.5 eV 以上 1.5 eV 以下のプラズマを利用することが好ましい。

40

【0189】

供給ガスとして用いる希ガス供給源としては、ヘリウム (He)、ネオン (Ne)、アルゴン (Ar)、クリプトン (Kr)、キセノン (Xe) の少なくとも 1 つを用いることができる。酸素供給源としては、酸素 (O₂)、オゾン (O₃)、亜酸化窒素 (N₂O)、一酸化窒素 (NO)、二酸化窒素 (NO₂) を用いることができる。水素供給源としては、水素 (H₂)、水 (H₂O) 又は過酸化水素 (H₂O₂) を用いることができる。なお、供給ガスに希ガスを用いる場合、形成された絶縁層に希ガスが含まれる場合がある。

【0190】

ここでは、第 1 の供給ガスとして Ar ガス 500 sccm 乃至 1000 sccm、O₂ ガス 5 sccm、H₂ ガス 5 sccm を供給して高密度プラズマ処理を行い、膜厚 8 nm の絶縁層を形成する。また、第 2 の供給ガスとして Ar ガス 500 sccm 乃至 1000

50

sccm、O₂ガス5sccmを供給し、60sec以上の高密度プラズマ処理を行う。そして、基板200に設けられた領域204、206、208、210の表面を高密度プラズマ処理で酸化することにより、膜厚8nm以上20nm以下の酸化シリコン層を形成することができる。

【0191】

また、第1の絶縁層212、214、216、218は、熱酸化法を用いて基板200に設けられた領域204、206、208、210の表面を酸化させることにより酸化シリコン層で形成することもできる。

【0192】

本実施の形態では、基板200において、メモリ部に設けられた領域208上に形成される第1の絶縁層216は、後に完成する不揮発性メモリ素子において、トンネル絶縁層として機能する。従って、第1の絶縁層216の膜厚が薄いほど、トンネル電流が流れやすく、メモリとして高速動作が可能となる。また、第1の絶縁層216の膜厚が薄いほど、後に形成される浮遊ゲート電極に低電圧で電荷を蓄積させることができるとなるため、不揮発性半導体記憶装置の消費電力を低減することができる。そのため、第1の絶縁層212、214、216、218は、膜厚を薄く形成することが好ましい。

【0193】

また、後に完成する不揮発性半導体記憶装置は、メモリ部に設けられた領域208上に形成され、トンネル絶縁層として機能する第1の絶縁層216を介して電子を注入することによって情報を記憶する。

【0194】

第1の絶縁層212、214、216、218上に形成する電荷蓄積層は、単層膜または2層以上の積層膜で形成することができる。具体的には、電荷蓄積層は、シリコン(Si)、ゲルマニウム(Ge)、タンクステン(W)、チタン(Ti)、タンタル(Ta)、モリブデン(Mo)等から選択された元素、またはこれらの元素を主成分とする合金材料若しくはこれらの元素を主成分とする化合物材料(例えば、窒化物、酸化物等)を用いて形成することができる。前記元素の化合物としては、窒化シリコン、窒化酸化シリコン、炭化シリコン、ゲルマニウムを10原子%未満の濃度で含むシリコングルマニウム、窒化タンタル、酸化タンタル、窒化タンクステン、窒化チタン、酸化チタン、酸化スズ等を用いることができる。また、前記元素のシリサイド(例えば、タンクステンシリサイド、チタンシリサイド、ニッケルシリサイド)を用いることができる。また、シリコンを用いる場合は、リンやボロンなどの不純物を添加してもよい。本実施の形態では、電荷蓄積層220、223は、ゲルマニウムを含む膜とシリコン(Si)を含む膜の積層構造で形成する。ゲルマニウムを含む膜としては、ゲルマニウム膜又はシリコングルマニウム合金を含む膜等が挙げられる。ここでは、電荷蓄積層220として、ゲルマニウム元素を含む雰囲気中(例えば、GeH₄)でプラズマCVD法を行うことにより、ゲルマニウムを主成分とする膜を1nm以上20nm以下、好ましくは5nm以上10nm以下で形成後、電荷蓄積層223としてシリコン元素を含む雰囲気中(例えば、SiH₄)でプラズマCVD法を行うことにより、シリコンを主成分とする膜を1nm乃至50nm、好ましくは1nm乃至20nmで形成することによって、ゲルマニウムとシリコンの積層構造で設ける。例えば、基板200として単結晶Si基板を用い、当該Si基板の領域上にトンネル絶縁層として機能する第1の絶縁層を介してSiよりエネルギー的に高いゲルマニウムを含む導電層を設けた場合は、Si基板の領域の電荷に対する絶縁層により形成される第1の障壁に対して浮遊ゲート電極の電荷に対する絶縁層により形成される第2の障壁がエネルギー的に高くなる。その結果、Si基板の領域から浮遊ゲート電極へ電荷を注入しやすくなることができ、浮遊ゲート電極から電荷が消失することを防ぐことができる。つまり、メモリとして動作する場合に、低電圧で高効率な書き込みを出来、且つ電荷保持特性を向上させることができる。なお、基板200において、メモリ部に設けられた領域208上に形成される電荷蓄積層220及び電荷蓄積層223を含む積層構造は、後に完成する不揮発性メモリ素子において、浮遊ゲート電極として機能する。また

10

20

30

40

50

、ゲルマニウムを含む膜とシリコンゲルマニウム合金を順に積層させて設けてもよい。

【0195】

次に、基板200の領域204、206、210上に形成された、第1の絶縁層212、214、218と電荷蓄積層220、223を選択的に除去し、領域208上に形成された、第1の絶縁層216と電荷蓄積層220及び電荷蓄積層223を含む積層構造を残存させる。ここでは、基板200において、メモリ部に設けられた領域208、第1の絶縁層216、電荷蓄積層220及び電荷蓄積層223を含む積層構造を選択的にレジストマスクで覆い、領域204、206、210上に形成された、第1の絶縁層212、214、218と電荷蓄積層220及び電荷蓄積層223を含む積層構造をエッチングすることによって選択的に除去する(図13(B)参照)。

10

【0196】

次に、基板200の領域204、206、210と、領域208の上方に形成された第1の絶縁層216と電荷蓄積層220、223を含む積層構造を覆うように第2の絶縁層228を形成する(図13(C)参照)。

【0197】

第2の絶縁層228は、CVD法、スパッタリング法等を用いて、酸化シリコン(SiO_x)、酸化窒化シリコン(SiO_xN_y)(x>y>0)、窒化酸化シリコン(SiN_xO_y)(x>y>0)、酸化アルミニウム(Al_xO_y)、酸化タンタル(Ta_xO_y)、酸化ハフニウム(HfO_x)等の材料を用いて形成する。また、当該絶縁層に対して、酸素雰囲気下又は窒素雰囲気下で、高密度プラズマ処理を行ってもよい。第2の絶縁層228は、膜厚1nm以上100nm以下、好ましくは膜厚20nm以上60nm以下で形成するのが望ましい。

20

【0198】

また、第2の絶縁層228は、高密度プラズマ処理を用いて絶縁層を形成した後、当該絶縁層上にCVD法やスパッタリング法を用いて絶縁層を形成して所望の厚さにすることで得ることができる。この場合、領域208の上方に形成する電荷蓄積層はシリコンで形成する。高密度プラズマ処理は、上記第1の絶縁層216の形成方法で示した方法を用いればよい。

【0199】

なお、領域208の上方に形成された第2の絶縁層228は、後に完成する不揮発性メモリ素子においてコントロール絶縁層として機能する。領域210の上方に形成された第2の絶縁層228は、後に完成するトランジスタにおいてゲート絶縁層として機能する。

30

【0200】

次に、領域208、210の上方に形成された第2の絶縁層228を覆うようにレジストマスク230を選択的に形成し、領域204、206上に形成された第2の絶縁層228を選択的に除去する(図14(A)参照)。

【0201】

次に、領域204、206を覆うように第3の絶縁層232、234をそれぞれ形成する(図14(B)参照)。

【0202】

第3の絶縁層232、234は、上記第1の絶縁層212、214又は第2の絶縁層228の形成方法で示したいずれかの方法を用いて形成する。例えば、高密度プラズマ処理、熱酸化法、CVD法又はスパッタリング法を用いて形成することができる。第3の絶縁層232、234は、膜厚1nm以上20nm以下、好ましくは膜厚8nm以上10nm以下で形成する。基板200の領域204、206に形成された第3の絶縁層232、234は、後に完成するトランジスタにおいてゲート絶縁層として機能する。

40

【0203】

次に、領域204、206の上方に形成された第3の絶縁層232、234、領域208、210の上方に形成された第2の絶縁層228を覆うように導電層を形成する(図14(C)参照)。ここでは、導電層として、導電層236と導電層238を順に積層して

50

形成した例を示している。もちろん、導電層は、単層又は3層以上の積層構造で形成してもよい。

【0204】

導電層236、238としては、タンタル(Ta)、タングステン(W)、チタン(Ti)、モリブデン(Mo)、アルミニウム(Al)、銅(Cu)、クロム(Cr)、ニオブ(Nb)等から選択された元素、またはこれらの元素を主成分とする合金材料若しくはこれらの元素を主成分とする化合物材料で形成することができる。また、これらの元素を窒化した金属窒化物で形成することもできる。他にも、リン等の不純物元素を添加した多結晶シリコンに代表される半導体材料により形成することもできる。

【0205】

ここでは、導電層236として窒化タンタルを用いて形成し、その上に導電層238としてタングステンを用いて形成する。また、他にも、導電層236として、窒化タングステン、窒化モリブデン又は窒化チタンから選ばれた単層又は積層膜を用い、導電層238として、タンタル、モリブデン、チタンから選ばれた単層又は積層膜を用いることができる。

10

【0206】

次に、積層して設けられた導電層236、238を選択的にエッチングして除去することによって、領域204、206、208、210の上方の一部に導電層236、238を残存させ、それぞれゲート電極240、242、244、246を形成する(図15(A)参照)。また、本実施例では、ゲート電極240、242、244、246と重ならない領域204、206、208、210の表面を露出させる。

20

【0207】

具体的には、領域204において、ゲート電極240の下方に形成された第3の絶縁層232のうち当該ゲート電極240と重ならない部分を選択的に除去し、ゲート電極240と第3の絶縁層232の端部が概略一致するように形成する。また、領域206において、ゲート電極242の下方に形成された第3の絶縁層234のうち当該ゲート電極242と重ならない部分を選択的に除去し、ゲート電極242と第3の絶縁層234の端部が概略一致するように形成する。また、領域208において、ゲート電極244の下方に形成された第2の絶縁層228、電荷蓄積層220及び電荷蓄積層223を含む積層構造、第1の絶縁層216のうち当該ゲート電極244と重ならない部分を選択的に除去し、ゲート電極244と第2の絶縁層228、電荷蓄積層221及び電荷蓄積層225を含む積層構造及び第1の絶縁層216の端部が概略一致するように形成する。また、領域210において、ゲート電極246の下方に形成された第2の絶縁層228うち当該ゲート電極246と重ならない部分を選択的に除去し、ゲート電極246と第2の絶縁層228の端部が概略一致するように形成する。

30

【0208】

この場合、ゲート電極240、242、244、246の形成と同時に重ならない部分の絶縁層等を除去してもよいし、ゲート電極240、242、244、246を形成後、残存したレジストマスク又は当該ゲート電極240、242、244、246をマスクとして重ならない部分の絶縁層等を除去してもよい。なお、基板200においてメモリ部に設けられた領域208の上方に形成されるゲート電極244は、後に完成する不揮発性メモリ素子において制御ゲート電極として機能する。また、ゲート電極240、242、246は、後に完成するトランジスタのゲート電極として機能する。

40

【0209】

次に、基板200の領域204、206、208に不純物元素を選択的に添加する(図15(B)参照)。ここでは、領域206、208、210にゲート電極242、244、246をマスクとしてn型を付与する低濃度の不純物元素を選択的に添加し、領域204にゲート電極240をマスクとしてp型を付与する低濃度の不純物元素を選択的に添加する。n型を付与する不純物元素としては、リン(P)やヒ素(As)等を用いることができる。p型を付与する不純物元素としては、ボロン(B)やアルミニウム(Al)やガ

50

リウム (Ga) 等を用いることができる。

【0210】

次に、ゲート電極240、242、244、246の側面に接する絶縁層280（サイドウォールともよばれる）を形成する（図16（A）参照）。具体的には、CVD法やスパッタリング法等により、酸化シリコン（SiO_x）、窒化シリコン（SiN_x）、酸化窒化シリコン（SiO_xN_y）（x > y > 0）、窒化酸化シリコン（SiN_xO_y）（x > y > 0）等の無機材料や、有機樹脂などの有機材料を用いて、単層膜又は積層膜の絶縁層を形成する。そして、当該絶縁層を、垂直方向を主体とした異方性エッチングにより選択的にエッチングして、ゲート電極240、242、244、246の側面に接する絶縁層280を形成することができる。なお、絶縁層280は、LDD領域を形成する際のドーピング用のマスクとして用いる。また、ここでは、絶縁層280は、ゲート電極240、242、244、246の下方に形成された絶縁層や電荷蓄積層の側面にも接するよう10に形成されている。

【0211】

次に、当該絶縁層280、ゲート電極240、242、244、246をマスクとして基板200の領域204、206、208、210に不純物元素を添加することによって、ソース領域又はドレイン領域として機能する不純物領域を形成する（図16（A）参照）。ここでは、基板200の領域206、208、210に絶縁層280とゲート電極242、244、246をマスクとして高濃度のn型を付与する不純物元素を添加し、領域204に絶縁層280とゲート電極240をマスクとして高濃度のp型を付与する不純物元素を添加する。20

【0212】

その結果、基板200の領域204には、ソース領域又はドレイン領域を形成する不純物領域269と、LDD領域を形成する低濃度不純物領域267と、チャネル形成領域266が形成される。また、基板200の領域206には、ソース領域又はドレイン領域を形成する不純物領域253と、LDD領域を形成する低濃度不純物領域251と、チャネル形成領域250が形成される。また、基板200の領域208には、ソース領域又はドレイン領域を形成する不純物領域257と、LDD領域を形成する低濃度不純物領域255と、チャネル形成領域254が形成される。また、基板200の領域210には、ソース領域又はドレイン領域を形成する不純物領域263と、LDD領域を形成する低濃度不純物領域261と、チャネル形成領域260が形成される。ソース領域又はドレイン領域を形成する不純物領域は、LDD領域を形成する不純物領域よりも、高濃度の不純物元素が添加されている。30

【0213】

なお、本実施の形態では、ゲート電極240、242、244、246と重ならない基板200の領域204、206、208、210を露出させた状態で不純物元素の導入を行っている。従って、基板200の領域204、206、208、210にそれぞれ形成されるチャネル形成領域266、250、254、260はゲート電極240、242、244、246と自己整合的に形成することができる。

【0214】

次に、基板200の領域204、206、208、210上に設けられた絶縁層や電荷蓄積層等を覆うように絶縁層272を形成し、当該絶縁層272上に領域204、206、208、210にそれぞれ形成された不純物領域269、253、257、263と電気的に接続する導電層274を形成する（図16（B）参照）。40

【0215】

絶縁層272は、CVD法やスパッタリング法により、酸化シリコン（SiO_x）、窒化シリコン（SiN_x）、酸化窒化シリコン（SiO_xN_y）（x > y > 0）、窒化酸化シリコン（SiN_xO_y）（x > y > 0）等の酸素若しくは窒素を含む材料や DLC（ダイヤモンドライクカーボン）等の炭素を含む材料、エポキシ、ポリイミド、ポリアミド、ポリビニルフェノール、ベンゾシクロブテン、アクリル等の有機材料またはシロキサン樹50

脂等のシロキサン材料を用いて、単層膜または積層膜を設けることができる。なお、シロキサン材料とは、Si-O-Si結合を含む材料に相当する。シロキサンは、シリコン(Si)と酸素(O)との結合で骨格構造が構成される。置換基として、少なくとも水素を含む有機基(例えばアルキル基、芳香族炭化水素)が用いられる。置換基として、フルオロ基を用いることもできる。または置換基として、少なくとも水素を含む有機基と、フルオロ基とを用いてもよい。また、絶縁層272は、CVD法やスパッタリング法を用いて絶縁層を形成した後、当該絶縁層に酸素雰囲気下又は窒素雰囲気下で高密度プラズマ処理を行うことにより形成してもよい。

【0216】

導電層274は、CVD法やスパッタリング法により、アルミニウム(A1)、タンゲステン(W)、チタン(Ti)、タンタル(Ta)、モリブデン(Mo)、ニッケル(Ni)、白金(Pt)、銅(Cu)、金(Au)、銀(Ag)、マンガン(Mn)、ネオジウム(Nd)、炭素(C)、シリコン(Si)から選択された元素、又はこれらの元素を主成分とする合金材料若しくはこれらの元素を主成分とする化合物材料で、単層又は積層で形成する。アルミニウムを主成分とする合金材料とは、例えば、アルミニウムを主成分としニッケルを含む材料、又は、アルミニウムを主成分とし、ニッケルと、炭素とシリコンの一方又は両方とを含む合金材料に相当する。導電層274は、例えば、バリア層とアルミニウムシリコン(A1-Si)層とバリア層の積層構造、バリア層とアルミニウムシリコン(A1-Si)層と窒化チタン層とバリア層の積層構造を採用するとよい。なお、バリア層とは、チタン、チタンの窒化物、モリブデン、又はモリブデンの窒化物からなる薄膜に相当する。アルミニウムやアルミニウムシリコンは抵抗値が低く、安価であるため、導電層274を形成する材料として最適である。また、上層と下層のバリア層を設けると、アルミニウムやアルミニウムシリコンのヒロックの発生を防止することができる。

10

20

30

【0217】

以上の工程により、基板200の領域204を用いて形成されたpチャネルトランジスタと、領域206を用いて形成されたnチャネルトランジスタと、領域208を用いて形成された不揮発性メモリ素子と、領域210を用いて形成されたnチャネルトランジスタを具備した不揮発性半導体記憶装置を得ることができる。なお、本実施の形態で示したトランジスタの構造は一例であり、図示した構造に限定されるものではない。また、不揮発性メモリ素子の構造も一例であり、各種公知の構造を適用することができるのはいうまでもない。

【0218】

本発明を用いてトランジスタのゲート絶縁層として機能する絶縁層を形成すると、絶縁耐圧の良好なゲート絶縁層を実現できる。特に、Aモード及びBモードでの初期耐圧不良が少ない絶縁耐圧を有するゲート絶縁層を実現できる。したがって、ゲート絶縁層の耐圧不良を防止でき、信頼性の高い不揮発性半導体記憶装置を作製することができる。また、不揮発性半導体記憶装置の歩留まりを向上させることができる。

【0219】

また、本発明を用いて不揮発性メモリ素子のトンネル絶縁層として機能する絶縁層を形成すると、絶縁耐圧の良好なトンネル絶縁層を実現できる。特に、Aモード及びBモードでの初期耐圧不良が少ない絶縁耐圧を有するゲート絶縁層を実現できる。したがって、トンネル絶縁層の耐圧不良による浮遊ゲート電極とチャネル形成領域とのリーク電流等の不良を防止することができる。その結果、不揮発性メモリ素子として、高速動作や電荷保持特性を向上させることができ、信頼性の高い不揮発性半導体記憶装置を作製することができる。また、不揮発性半導体記憶装置の歩留まりを向上させることができる。

40

【0220】

本実施の形態は、本明細書で示した他の実施の形態と適宜組み合わせて行うことができる。

【0221】

(実施の形態7)

50

本発明を用いて、様々な態様の不揮発性半導体記憶装置を作製することができる。上記実施の形態5、6では、その一例を示した。本実施の形態では、不揮発性半導体記憶装置の等価回路等を説明する。なお、本実施の形態で説明する不揮発性メモリ素子及びトランジスタは、絶縁表面上に設けられた半導体層を有し、当該半導体層にチャネル形成領域が形成される構造としてもよいし、半導体基板にチャネル形成領域が形成される構造としてもよい。

【0222】

図17に不揮発性メモリセルアレイの等価回路の一例を示す。1ビットの情報を記憶するメモリセルMC01は、選択トランジスタS01と不揮発性メモリ素子M01で構成されている。選択トランジスタS01は、ビット線BL0と不揮発性メモリ素子M01の間に直列に挿入され、ゲートがワード線WL1に接続されている。不揮発性メモリ素子M01のゲートはワード線WL11に接続されている。不揮発性メモリ素子M01にデータを書き込むときは、ワード線WL1とビット線BL0をHレベル、BL1をLレベルとして、ワード線WL11に高電圧を印加すると、浮遊ゲート電極に電荷が蓄積される。データを消去する場合には、ワード線WL1とビット線BL0をHレベルとし、ワード線WL11に負の高電圧を印加すれば良い。

10

【0223】

なお、図17において、選択トランジスタと不揮発性メモリ素子を絶縁表面上に設けられた半導体層を有し、当該半導体層にチャネル形成領域が形成される構造とした場合、例えばメモリセルMC01において、選択トランジスタS01と不揮発性メモリ素子M01をそれぞれ、絶縁表面に島状に分離して形成された半導体層で形成することにより、素子分離領域を特段設けなくても、他の選択トランジスタ若しくは不揮発性メモリ素子との干渉を防ぐことができる。また、メモリセルMC01内の選択トランジスタS01と不揮発性メモリ素子M01は共にnチャネル型なので、この両者を一つの島状に分離した半導体層で形成することにより、この二つの素子を接続する配線を省略することができる。

20

【0224】

図22は、ビット線に不揮発性メモリ素子を直接接続したNOR型の等価回路を示している。このメモリセルアレイは、ワード線WLとビット線BLが互いに交差して配設し、各交差部に不揮発性メモリ素子を配置している。NOR型は、個々の不揮発性メモリ素子のドレインをビット線BLに接続する。ソース線SLには不揮発性メモリ素子のソースが共通接続される。

30

【0225】

なお、図22において、不揮発性メモリ素子を絶縁表面上に設けられた半導体層を有し、当該半導体層にチャネル形成領域が形成される構造とした場合、例えばメモリセルMC01において、不揮発性メモリ素子M01を絶縁表面に島状に分離して形成された半導体膜で形成することにより、素子分離領域を特段設けなくても、他の不揮発性メモリ素子との干渉を防ぐことができる。また、複数の不揮発性メモリ素子（例えば、図17に示すM01～M23）を一つのブロックとして扱い、これらの不揮発性メモリ素子を一つの島状に分離した半導体層で形成することにより、ブロック単位で消去動作を行うことができる。

40

【0226】

NOR型の動作は、例えば、次の通りである。データ書き込みは、ソース線SLを0Vとし、データを書込むために選択されたワード線WLに高電圧を与え、ビット線BLにはデータ「0」と「1」に応じた電位を与える。例えば、「0」と「1」に対してそれぞれHレベル、Lレベルの電位をビット線BLに付与する。「0」データを書き込むべく、Hレベルが与えられた不揮発性メモリ素子ではドレイン近傍でホットエレクトロンが発生し、これが浮遊ゲート電極に注入される。「1」データの場合この様な電子注入は生じない。

【0227】

「0」データが与えられたメモリセルでは、ドレインとソースとの間の強い横方向電界

50

により、ドレインの近傍でホットエレクトロンが生成され、これが浮遊ゲート電極に注入される。これにより、浮遊ゲート電極に電子が注入されしきい値電圧が高くなつた状態が「0」である。「1」データの場合はホットエレクトロンが生成されず、浮遊ゲート電極に電子が注入されずしきい値電圧の低い状態、すなわち消去状態が保持される。

【0228】

データを消去するときは、ソース線 S L に 10 V 程度の正の電圧を印加し、ビット線 B L は浮遊状態としておく。そしてワード線に負の高電圧を印加して（制御ゲートに負の高電圧を印加して）、浮遊ゲート電極から電子を引き抜く。これにより、データ「1」の消去状態になる。

【0229】

データ読み出しは、ソース線 S L を 0 V にすると共にビット線 B L を 0.8 V 程度とし、選択されたワード線 W に、データ「0」と「1」のしきい値の中間値に設定された読み出し電圧を与え、不揮発性メモリ素子の電流引き込みの有無を、ビット線 B L に接続されるセンサアンプで判定することにより行う。

【0230】

図 23 は、NAND 型メモリセルアレイの等価回路を示す。ビット線 B L には、複数の不揮発性メモリ素子を直列に接続した NAND セル N C 1 が接続されている。複数の NAND セルが集まってブロック B L K を構成している。図 23 で示すブロック B L K 1 のワード線は 32 本である（ワード線 W L 0 ~ W 31）。ブロック B L K 1 の同一行に位置する不揮発性メモリ素子には、この行に対応するワード線が共通接続されている。

10

20

30

【0231】

図 23において、選択トランジスタと不揮発性メモリ素子を絶縁表面上に設けられた半導体層を有し、当該半導体層にチャネル形成領域が形成される構造とした場合、選択トランジスタ S 1、S 2 と不揮発性メモリ素子 M 0 ~ M 31 が直列に接続されているので、これらを一つのまとまりとして一つの半導体膜で形成しても良い。それにより不揮発性メモリ素子を繋ぐ配線を省略することができる、集積化を図ることができる。また、隣接する NAND セルとの分離を容易に行うことができる。また、選択トランジスタ S 1、S 2 の半導体層と NAND セルの半導体層を分離して形成しても良い。不揮発性メモリ素子 M 0 ~ M 31 の浮遊ゲートから電荷を引き抜く消去動作を行うときに、その NAND セルの単位で消去動作を行うことができる。また、一つのワード線に共通接続する不揮発性メモリ素子（例えば M 30 の行）を一つの半導体層で形成しても良い。

30

【0232】

書き込み動作は、NAND セル N C 1 が消去状態、つまり NAND セル N C 1 の各不揮発性メモリ素子のしきい値を負電圧の状態にしてから実行される。書き込みは、ソース線 S L 側のメモリ素子 M 0 から順に行う。メモリ素子 M 0 への書き込みを例として説明すると概略以下のようになる。

【0233】

図 24 (A) は、「0」書き込みをする場合、選択ゲート線 S G 2 に例えば V c c (電源電圧) を印加して選択トランジスタ S 2 をオンにすると共にビット線 B L 0 を 0 V (接地電圧) にする。選択ゲート線 S G 1 は 0 V として、選択トランジスタ S 1 はオフとする。次に、メモリセル M 0 のワード線 W L 0 を高電圧 V p g m (20 V 程度) とし、これ以外のワード線を中間電圧 V p a s s (10 V 程度) にする。ビット線 B L の電圧は 0 V なので、選択されたメモリセル M 0 のチャネル形成領域の電位は 0 V となる。ワード線 W L 0 とチャネル形成領域との間の電位差が大きいため、メモリセル M 0 の浮遊ゲート電極には F - N トンネル電流により電子が注入される。これにより、メモリセル M 0 のしきい値電圧が正の状態（「0」が書き込まれた状態）となる。

40

【0234】

一方「1」書き込みをする場合には、図 24 (B) に示すように、ビット線 B L に V c c (電源電圧) が印加される。選択ゲート線 S G 2 の電圧が V c c であるので、選択トランジスタ S 2 は遮断状態（カットオフ）となる。すなわち、メモリセル M 0 のチャネル形成

50

領域はフローティング状態となる。次に、ワード線WL0に高電圧Vpgm(20V)、それ以外のワード線に中間電圧Vpass(10V)の電圧を印加すると、各ワード線とチャネル形成領域との容量カップリングにより、チャネル形成領域の電圧がVcc-Vthから上昇し、例えば8V程度となる。チャネル形成領域の電圧が高電圧に昇圧されたため、「0」の書き込みの場合と異なり、ワード線WL0とチャネル形成領域の間の電位差が小さい。したがって、メモリセルM0の浮遊ゲート電極には、F-Nトンネル電流による電子注入が起こらない。よって、メモリセルMC1のしきい値は、負の状態(「1」が書き込まれた状態)に保たれる。

【0235】

消去動作をする場合は、図25(A)に示すように、選択されたブロック内の全てのワード線に負の高電圧(Vers)を印加する。ビット線BL、ソース線SLはフローティング状態とする。これにより、ブロックの全てのメモリセルにおいて浮遊ゲート電極中の電子がトンネル電流により半導体膜、又は半導体基板に放出される。この結果、これらのメモリセルのしきい値電圧が負方向にシフトする。

10

【0236】

図25(B)に示す読み出し動作では、読み出しの選択がされたメモリセルM0のワード線WL0の電圧Vr(例えば0V)とし、非選択のメモリセルのワード線WL1~31及び選択ゲート線SG1、SG2を電源電圧より少し高い読み出し用中間電圧Vreadとする。すなわち、図26に示すように、選択メモリ素子以外のメモリ素子はトランスマニアトランジスタとして働く。これにより、読み出しの選択がされたメモリセルM0に電流が流れかかる否かを検出する。つまり、メモリセルM0に記憶されたデータが「0」の場合、メモリセルM0はオフなので、ビット線BLは放電しない。一方、「1」の場合、メモリセルM0はオンするので、ビット線BLが放電する。

20

【0237】

図27は、不揮発性半導体記憶装置の回路ブロック図の一例を示している。不揮発性半導体記憶装置は、メモリセルアレイ52と周辺回路54が同一の基板上に形成されている。メモリセルアレイ52は、図17、図22、図23で示すような構成を有している。周辺回路54の構成は以下の通りである。

30

【0238】

ワード線選択のためにロウデコーダ62と、ビット線選択のためにカラムデコーダ64が、メモリセルアレイ52の周囲に設けられている。アドレスは、アドレスバッファ56を介してコントロール回路58に送られ、内部ロウアドレス信号及び内部カラムアドレス信号がそれぞれロウデコーダ62及びカラムデコーダ64に転送される。

30

【0239】

データ書き込み及び消去には、電源電位を昇圧した電位が用いられる。このため、コントロール回路58により動作モードに応じて制御される昇圧回路60が設けられている。昇圧回路60の出力はロウデコーダ62やカラムデコーダ64を介して、ワード線WLやビット線BLに供給される。センスアンプ66はカラムデコーダ64から出力されたデータが入力される。センスアンプ66により読み出されたデータは、データバッファ68に保持され、コントロール回路58からの制御により、データがランダムアクセスされ、データ出入力バッファ70を介して出力されるようになっている。書き込みデータは、データ出入力バッファ70を介してデータバッファ68に一旦保持され、コントロール回路58の制御によりカラムデコーダ64に転送される。

40

【0240】

このような不揮発性半導体記憶装置では、データの書き込み及び消去がトンネル絶縁層を介して行われる。したがって、不揮発性半導体記憶装置において、トンネル絶縁層の膜特性は非常に重要である。

【0241】

そこで、本発明を用いると、絶縁耐圧の良好なトンネル絶縁膜を実現できる。また、不揮発性メモリ素子を絶縁表面上に設けられた半導体層を有し、当該半導体層にチャネル形

50

成領域が形成される構造とした場合は、トンネル絶縁層により半導体層を十分に被覆することが可能になる。したがって、トンネル絶縁層の耐圧不良、又はトンネル絶縁層の被覆不良等を防止できるため、信頼性の高い不揮発性半導体記憶装置を提供することができる。また、不揮発性半導体記憶装置の歩留まりを向上させることができる。

【0242】

本実施の形態は、本明細書で示した他の実施の形態と適宜組み合わせて行うことができる。

【0243】

(実施の形態8)

本実施の形態では、上述した本発明の不揮発性半導体記憶装置を備えた非接触でデータの入出力が可能である半導体装置の適用例に関して図面を参照して以下に説明する。非接触でデータの入出力が可能である半導体装置は利用の形態によっては、RFIDタグ、IDタグ、ICタグ、ICチップ、RFタグ、無線タグ、電子タグまたは無線チップともよばれる。

10

【0244】

半導体装置8000は、非接触でデータを交信する機能を有し、高周波回路8010、電源回路8020、リセット回路8030、クロック発生回路8040、データ復調回路8050、データ変調回路8060、他の回路の制御を行う制御回路8070、記憶回路8080およびアンテナ8090を有している(図20(A))。高周波回路8010はアンテナ8090より信号を受信して、データ変調回路8060より受信した信号をアンテナ8090から出力する回路であり、電源回路8020は受信信号から電源電位を生成する回路であり、リセット回路8030はリセット信号を生成する回路であり、クロック発生回路8040はアンテナ8090から入力された受信信号を基に各種クロック信号を生成する回路であり、データ復調回路8050は受信信号を復調して制御回路8070に出力する回路であり、データ変調回路8060は制御回路8070から受信した信号を変調する回路である。また、制御回路8070としては、例えばコード抽出回路9010、コード判定回路9020、CRC判定回路9030および出力ユニット回路9040が設けられている。なお、コード抽出回路9010は制御回路8070に送られてきた命令に含まれる複数のコードをそれぞれ抽出する回路であり、コード判定回路9020は抽出されたコードとリファレンスに相当するコードとを比較して命令の内容を判定する回路であり、CRC判定回路9030は判定されたコードに基づいて送信エラー等の有無を検出する回路である。

20

【0245】

次に、上述した半導体装置8000の動作の一例について説明する。まず、アンテナ8090により無線信号が受信される。無線信号は高周波回路8010を介して電源回路8020に送られ、高電源電位(以下、VDDと記す)が生成される。VDDは半導体装置8000が有する各回路に供給される。また、高周波回路8010を介してデータ復調回路8050に送られた信号は復調される(以下、復調信号と記す)。さらに、高周波回路8010を介してリセット回路8030およびクロック発生回路8040を通った信号及び復調信号は制御回路8070に送られる。制御回路8070に送られた信号は、コード抽出回路9010、コード判定回路9020およびCRC判定回路9030等によって解析される。そして、解析された信号にしたがって、記憶回路8080内に記憶されている半導体装置8000の情報が出力される。出力された半導体装置8000の情報は出力ユニット回路9040を通じて符号化される。さらに、符号化された半導体装置8000の情報はデータ変調回路8060を通じて、アンテナ8090により無線信号に載せて送信される。なお、半導体装置8000を構成する複数の回路においては、低電源電位(以下、VSSと記す)は共通であり、VSSはGND(グランド)とすることができます。また、本発明の不揮発性半導体記憶装置を記憶回路8080に適用することができる。

30

【0246】

このように、リーダ/ライタから半導体装置8000に信号を送信し、当該半導体装置

40

50

8000から送られてきた信号をリーダ／ライタで受信することによって、半導体装置8000のデータを読み取ることが可能となる。

【0247】

また、半導体装置8000は、各回路への電源電圧の供給を電源（バッテリー）を搭載せず電磁波により行うタイプとしてもよいし、電源（バッテリー）を搭載して電磁波と電源（バッテリー）により各回路に電源電圧を供給するタイプとしてもよい。

【0248】

次に、上述した半導体装置8000のように非接触でデータの入出力が可能な半導体装置の使用形態の一例について説明する。表示部3210を含む携帯端末の側面には、リーダ／ライタ3200が設けられ、品物3220の側面には半導体装置3230が設けられる（図20（B））。品物3220が含む半導体装置3230にリーダ／ライタ3200をかざすと、表示部3210に品物の原材料や原産地、生産工程ごとの検査結果や流通過程の履歴等、更に商品の説明等の商品に関する情報が表示される。また、商品3260をベルトコンベアにより搬送する際に、リーダ／ライタ3240と、商品3260に設けられた半導体装置3250を用いて、該商品3260の検品を行うことができる（図20（C））。このように、システムに半導体装置を活用することで、情報の取得を簡単に行うことができ、高機能化と高付加価値化を実現する。

【0249】

また、本発明の不揮発性半導体記憶装置は、メモリを具備したあらゆる分野の電子機器に用いることが可能である。例えば、本発明の不揮発性半導体記憶装置を適用した電子機器として、ビデオカメラ又はデジタルカメラ等のカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置（カーオーディオ、オーディオコンポ等）、コンピュータ、ゲーム機器、携帯情報端末（モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等）、記録媒体を備えた画像再生装置（具体的にはDVD（d i g i t a l v e r s a t i l e d i s c）等の記録媒体を再生し、その画像を表示しうるディスプレイを備えた装置）などが挙げられる。それら電子機器の具体例を図21に示す。

【0250】

図21（A）、（B）は、デジタルカメラを示している。図21（B）は、図21（A）の裏側を示す図である。このデジタルカメラは、筐体2111、表示部2112、レンズ2113、操作キー2114、シャッターボタン2115などを有する。また、取り出し可能な不揮発性のメモリ2116を備えており、当該デジタルカメラで撮影したデータをメモリ2116に記憶させておく構成となっている。本発明を用いて形成された不揮発性半導体記憶装置は当該メモリ2116に適用することができる。また、本発明を用いて形成された半導体装置は、表示部2112を駆動するスイッチング素子として適用することができる。

【0251】

また、図21（C）は、携帯電話を示しており、携帯端末の1つの代表例である。この携帯電話は筐体2121、表示部2122、操作キー2123などを含む。また、携帯電話は、取り出し可能な不揮発性のメモリ2125を備えており、当該携帯電話の電話番号等のデータ、映像、音楽データ等をメモリ2125に記憶させ再生することができる。本発明を用いて形成された不揮発性半導体記憶装置は当該メモリ2125に適用することができる。また、本発明を用いて形成された半導体装置は、表示部2122を駆動するスイッチング素子として適用することができる。

【0252】

また、図21（D）は、デジタルプレーヤーを示しており、オーディオ装置の1つの代表例である。図21（D）に示すデジタルプレーヤーは、本体2130、表示部2131、メモリ部2132、操作部2133、イヤホン2134等を含んでいる。なお、イヤホン2134の代わりにヘッドホンや無線式イヤホンを用いることができる。メモリ部2132は、本発明を用いて形成された不揮発性半導体記憶装置を用いることができる。また

10

20

30

40

50

、本発明を用いて形成された半導体装置は、表示部 2131 を駆動するスイッチング素子として適用することができる。例えば、記録容量が 20 ~ 200 ギガバイト (GB) の NAND 型不揮発性メモリを用い、操作部 2133 を操作することにより、映像や音声（音楽）を記録、再生することができる。なお、表示部 2131 は黒色の背景に白色の文字を表示することで消費電力を抑えられる。これは携帯型のオーディオ装置において特に有効である。なお、メモリ部 2132 に設けられた不揮発性の半導体記憶装置は、取り出し可能な構成としてもよい。

【0253】

また、図 21 (E) は、電子ブック（電子ペーパーともいう）を示している。この電子ブックは、本体 2141、表示部 2142、操作キー 2143、メモリ部 2144 を含んでいる。またモデムが本体 2141 に内蔵されていてもよいし、無線で情報を送受信できる構成としてもよい。メモリ部 2144 は、本発明を用いて形成された不揮発性半導体記憶装置を用いることができる。また、本発明を用いて形成された半導体装置は、表示部 2142 を駆動するスイッチング素子として適用することができる。例えば、記録容量が 20 ~ 200 ギガバイト (GB) の NAND 型不揮発性メモリを用い、操作キー 2143 を操作することにより、映像や音声（音楽）を記録、再生することができる。なお、メモリ部 2144 に設けられた不揮発性の半導体記憶装置は、取り出し可能な構成としてもよい。

10

【0254】

以上の様に、本発明の不揮発性半導体記憶装置、及び半導体装置の適用範囲は極めて広く、メモリを有するものであればあらゆる分野の電子機器に用いることが可能である。

20

【実施例 1】

【0255】

本実施例では、本発明を用いて作製した絶縁層の特性について説明する。

【0256】

測定に用いた試料 A、試料 B は、Si 基板上に設けられた酸化シリコン層と、当該酸化シリコン層上に設けられたアルミニウム - チタンからなる電極とが順次積層された構造とした。試料 A は、上述した本発明の高密度プラズマ処理を行う際に供給ガスを切り替えて、酸化シリコン層を形成している。試料 B は比較例であり、一定の供給ガスで高密度プラズマ処理を行うことにより、酸化シリコン層を形成している。以下、試料 A、試料 B の作製方法について、具体的に説明する。

30

【0257】

試料 A は、12.7 cm 角 (5 インチ) の Si 基板を準備した。当該 Si 基板に対して高密度プラズマ処理を行うことにより、Si 基板表面に膜厚 8 nm の酸化シリコン層を形成した。酸化シリコン層は、本発明の高密度プラズマ処理を用いて形成した。まず、供給ガスとしてアルゴン (Ar)、酸素 (O₂)、水素 (H₂) を用いて酸化シリコン層を膜厚 6 nm まで形成し、H₂ の供給を止め、供給ガスを Ar 及び O₂ に切り替えて最終的に膜厚 8 nm まで酸化シリコン層を形成した。酸化シリコン層の成膜条件を以下に記す。

膜厚 6 nm まで；ガス流量 Ar : O₂ : H₂ = 900 : 5 : 5 (sccm)、処理室内圧力：106.67 Pa、高周波電力：3800 W、成膜温度（基板温度）：400 °C。

40

膜厚 8 nm まで；ガス流量 Ar : O₂ = 900 : 5 (sccm)、処理室内圧力：106.67 Pa、高周波電力：3800 W、成膜温度（基板温度）：400 °C。

【0258】

次に、酸化シリコン層上にアルミニウムとチタンの合金であるアルミニウム - チタン (Al - Ti) 層をスパッタ法を用いて膜厚 400 nm 形成した。当該アルミニウム - チタン層を選択的にエッチングして、面積 $1.96 \times 10^{-3} \text{ cm}^2$ の電極を形成した。以上の工程により、試料 A を作製した。

【0259】

試料 B は、12.7 cm 角 (5 インチ) の Si 基板を準備した。当該 Si 基板に対して高密度プラズマ処理を行うことにより、Si 基板表面に膜厚 8 nm の酸化シリコン層を形

50

成した。酸化シリコン層は、高密度プラズマ処理を用いて形成した。供給ガスは、アルゴン (A r)、酸素 (O₂)、水素 (H₂) を用いて膜厚 8 nmまで酸化シリコン層を形成した。酸化シリコン層の成膜条件を以下に記す。

ガス流量 A r : O₂ : H₂ = 900 : 5 : 5 (sccm)、処理室内圧力 : 106.67 Pa、高周波電力 : 3800 W、成膜温度 (基板温度) : 400 °C。

【0260】

次に、酸化シリコン層上にアルミニウムとチタンの合金であるアルミニウム・チタン (Al-Ti) 層をスパッタ法を用いて膜厚 400 nm 形成した。当該アルミニウム・チタン層を選択的にエッチングして、面積 $1.96 \times 10^{-3} \text{ cm}^2$ の電極を形成した。以上の工程により、試料 B を作製した。

10

【0261】

試料 A、試料 B について電流密度 - 電界強度 (J - E) 特性を測定した結果をそれぞれ図 18、図 19 に示す。図 18、図 19において、横軸は電界強度 (MV/cm)、縦軸は電流密度 (A/cm²) を表す。また、図 18、図 19において、電流密度 1 A/cm² の目盛りを点線で示す。なお、測定は基板面内 112 ポイントで行った。

20

【0262】

図 18、図 19において、電流密度が 1 A/cm² 以上に跳ね上がっているポイントを耐圧不良とした。その結果、図 18 より、試料 A は、絶縁破壊電界 8 MV/cm 以下で絶縁破壊となってしまう確率は 3 % 弱であることがわかった。一方、図 19 より、試料 B は、絶縁破壊電界 8 MV/cm 以下で絶縁破壊となってしまう確率はおよそ 8 % であることがわかった。以上の結果から、本発明を用いて作製した試料 A は、試料 B と比較して、A モード及び B モードでの不良が低いことがわかった。したがって、本発明を用いて高密度プラズマ処理した試料 A は、試料 B と比較して A モード及び B モードの初期耐圧不良が少ない絶縁耐圧を有する絶縁層であることがわかった。

20

【図面の簡単な説明】

【0263】

【図 1】本発明の絶縁層の作製方法の一例を示す図

【図 2】本発明の絶縁層を作製する装置の一例を示す図

【図 3】本発明の半導体装置の作製方法の一例を示す図

30

【図 4】本発明の半導体装置の作製方法の一例を示す図

【図 5】本発明の半導体装置の作製方法の一例を示す図

【図 6】本発明の半導体装置の作製方法の一例を示す図

【図 7】本発明の半導体装置の作製方法の一例を示す図

【図 8】本発明の半導体装置の作製方法の一例を示す図

【図 9】本発明の不揮発性半導体記憶装置の作製方法の一例を示す図

【図 10】本発明の不揮発性半導体記憶装置の作製方法の一例を示す図

【図 11】本発明の不揮発性半導体記憶装置の作製方法の一例を示す図

【図 12】本発明の不揮発性半導体記憶装置の作製方法の一例を示す図

【図 13】本発明の不揮発性半導体記憶装置の作製方法の一例を示す図

40

【図 14】本発明の不揮発性半導体記憶装置の作製方法の一例を示す図

【図 15】本発明の不揮発性半導体記憶装置の作製方法の一例を示す図

【図 16】本発明の不揮発性半導体記憶装置の作製方法の一例を示す図

【図 17】不揮発性メモリセルアレイの等価回路の一例を示す図

【図 18】本発明の絶縁層の特性を示す図

【図 19】比較例の絶縁層の特性を示す図

【図 20】本発明の半導体装置の使用形態の一例を示す図

【図 21】本発明の半導体装置の使用形態の一例を示す図

【図 22】NOR 型不揮発性メモリセルアレイの等価回路の一例を示す図

【図 23】NAND 型不揮発性メモリセルアレイの等価回路の一例を示す図

【図 24】NAND 型不揮発性メモリの書き込み動作を説明する図

50

【図25】NAND型不揮発性メモリの消去及び読み出し動作を説明する図

【図26】電荷が蓄積された「0」の場合と消去された「1」の場合における不揮発性メモリのしきい値電圧の変化を示す図

【図27】不揮発性半導体記憶装置の回路ブロック図の一例を示す図

【符号の説明】

【0264】

1 0 基板

1 1 下地絶縁層

1 2 半導体層

1 4 絶縁層

10

1 6 絶縁層

5 2 メモリセルアレイ

5 4 周辺回路

5 6 アドレスバッファ

5 8 コントロール回路

6 0 昇圧回路

6 2 ロウデコーダ

6 4 カラムデコーダ

6 6 センスアンプ

6 8 データバッファ

20

7 0 データ入出力バッファ

8 0 プラズマ処理装置

8 2 誘電体板

8 4 ガス供給部

8 6 排気口

8 8 支持台

9 0 温度制御部

9 2 高周波供給部

9 4 プラズマ

9 8 アンテナ

30

1 0 0 基板

1 0 2 下地絶縁層

1 0 4 半導体層

1 0 6 半導体層

1 0 8 半導体層

1 1 0 半導体層

1 1 2 第1の絶縁層

1 1 4 第1の絶縁層

1 1 6 第1の絶縁層

1 1 8 第1の絶縁層

40

1 2 0 電荷蓄積層

1 2 1 電荷蓄積層

1 2 2 レジストマスク

1 2 4 レジストマスク

1 2 6 不純物領域

1 2 8 第2の絶縁層

1 3 0 レジストマスク

1 3 2 第3の絶縁層

1 3 4 第3の絶縁層

1 3 6 導電層

50

1 3 8	導電層	
1 4 0	ゲート電極	
1 4 2	ゲート電極	
1 4 4	ゲート電極	
1 4 6	ゲート電極	
1 4 8	レジストマスク	
1 5 0	チャネル形成領域	
1 5 2	高濃度不純物領域	
1 5 4	チャネル形成領域	
1 5 6	高濃度不純物領域	10
1 5 8	低濃度不純物領域	
1 6 0	チャネル形成領域	
1 6 2	高濃度不純物領域	
1 6 4	低濃度不純物領域	
1 6 6	レジストマスク	
1 6 8	チャネル形成領域	
1 7 0	高濃度不純物領域	
1 7 2	絶縁層	
1 7 4	導電層	
2 0 0	基板	20
2 0 2	絶縁層	
2 0 4	領域	
2 0 6	領域	
2 0 7	p ウェル	
2 0 8	領域	
2 1 0	領域	
2 1 2	第 1 の絶縁層	
2 1 4	第 1 の絶縁層	
2 1 6	第 1 の絶縁層	
2 1 8	第 1 の絶縁層	30
2 2 0	電荷蓄積層	
2 2 1	電荷蓄積層	
2 2 3	電荷蓄積層	
2 2 5	電荷蓄積層	
2 2 8	第 2 の絶縁層	
2 3 0	レジストマスク	
2 3 2	第 3 の絶縁層	
2 3 4	第 3 の絶縁層	
2 3 6	導電層	
2 3 8	導電層	40
2 4 0	ゲート電極	
2 4 2	ゲート電極	
2 4 4	ゲート電極	
2 4 6	ゲート電極	
2 5 0	チャネル形成領域	
2 5 1	低濃度不純物領域	
2 5 3	不純物領域	
2 5 4	チャネル形成領域	
2 5 5	低濃度不純物領域	
2 5 7	不純物領域	50

2 6 0	チャネル形成領域	
2 6 1	低濃度不純物領域	
2 6 3	不純物領域	
2 6 6	チャネル形成領域	
2 6 7	低濃度不純物領域	
2 6 9	不純物領域	
2 7 2	絶縁層	
2 7 4	導電層	
2 8 0	絶縁層	
3 0 0	基板	10
3 0 2	絶縁層	
3 0 4	半導体層	
3 0 6	半導体層	
3 0 8	絶縁層	
3 1 0	絶縁層	
3 1 2	導電層	
3 1 4	導電層	
3 1 6	ゲート電極	
3 1 8	ゲート電極	
3 2 0	不純物領域	20
3 2 2	不純物領域	
3 2 4	絶縁層	
3 2 6	絶縁層	
3 2 8	不純物領域	
3 3 0	低濃度不純物領域	
3 3 2	チャネル形成領域	
3 3 4	不純物領域	
3 3 6	低濃度不純物領域	
3 3 8	チャネル形成領域	
3 4 0	絶縁層	30
3 4 2	絶縁層	
3 4 4	導電層	
3 4 6	導電層	
4 0 0	基板	
4 0 2	絶縁層	
4 0 4	領域	
4 0 6	領域	
4 0 8	pウェル	
4 1 0	絶縁層	
4 1 2	絶縁層	40
4 1 4	導電層	
4 1 6	導電層	
4 1 8	ゲート電極	
4 2 0	ゲート電極	
4 2 2	不純物領域	
4 2 4	チャネル形成領域	
4 2 6	不純物領域	
4 2 8	チャネル形成領域	
4 3 0	絶縁層	
4 3 2	導電層	50

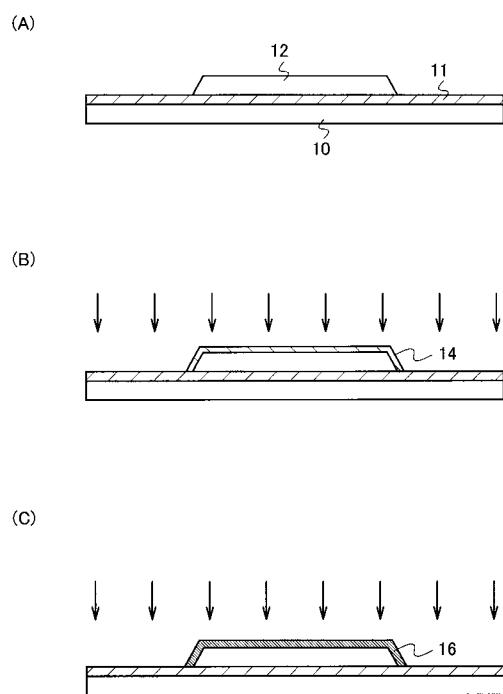
4 3 4	導電層	
6 0 0	基板	
6 0 2	絶縁層	
6 0 4	絶縁層	
6 0 6	レジストマスク	
6 0 8	凹部	
6 1 0	絶縁層	
6 1 2	絶縁層	
6 1 4	領域	
6 1 6	領域	10
6 1 8	p ウェル	
6 2 0	絶縁層	
6 2 2	絶縁層	
6 2 4	導電層	
6 2 6	導電層	
6 2 8	ゲート電極	
6 3 0	ゲート電極	
6 3 2	不純物領域	
6 3 4	不純物領域	
6 3 6	絶縁層	20
6 3 8	絶縁層	
6 4 0	不純物領域	
6 4 2	低濃度不純物領域	
6 4 4	チャネル形成領域	
6 4 6	不純物領域	
6 4 8	不純物領域	
6 5 0	チャネル形成領域	
6 5 2	導電層	
6 5 4	絶縁層	
6 5 6	導電層	30
2 1 1 1	筐体	
2 1 1 2	表示部	
2 1 1 3	レンズ	
2 1 1 4	操作キー	
2 1 1 5	シャッター ボタン	
2 1 1 6	メモリ	
2 1 2 1	筐体	
2 1 2 2	表示部	
2 1 2 3	操作キー	
2 1 2 5	メモリ	40
2 1 3 0	本体	
2 1 3 1	表示部	
2 1 3 2	メモリ部	
2 1 3 3	操作部	
2 1 3 4	イヤホン	
2 1 4 1	本体	
2 1 4 2	表示部	
2 1 4 3	操作キー	
2 1 4 4	メモリ部	
3 2 0 0	リーダ / ライタ	50

3 2 1 0	表示部
3 2 2 0	品物
3 2 3 0	半導体装置
3 2 4 0	リーダ／ライタ
3 2 5 0	半導体装置
3 2 6 0	商品
8 0 0 0	半導体装置
8 0 1 0	高周波回路
8 0 2 0	電源回路
8 0 3 0	リセット回路
8 0 4 0	クロック発生回路
8 0 5 0	データ復調回路
8 0 6 0	データ変調回路
8 0 7 0	制御回路
8 0 8 0	記憶回路
8 0 9 0	アンテナ
9 0 1 0	コード抽出回路
9 0 2 0	コード判定回路
9 0 3 0	C R C 判定回路
9 0 4 0	出力ユニット回路

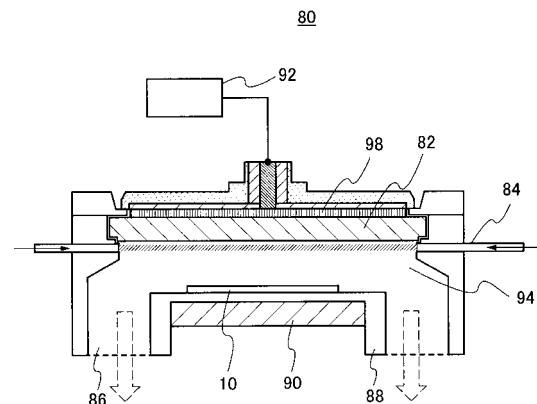
10

20

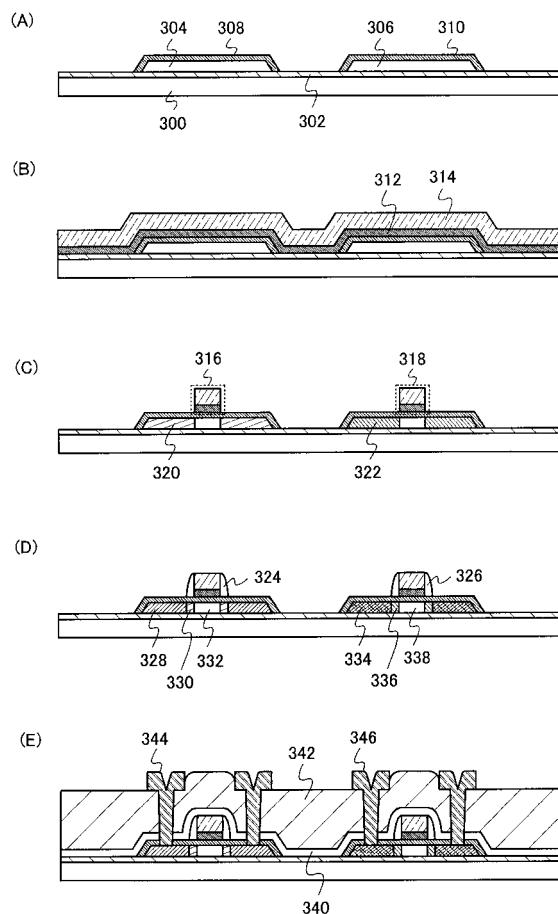
【図1】



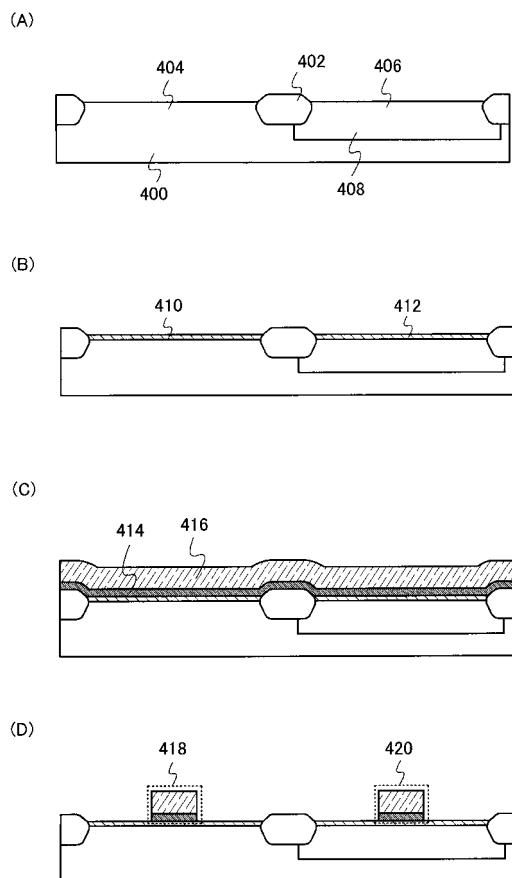
【図2】



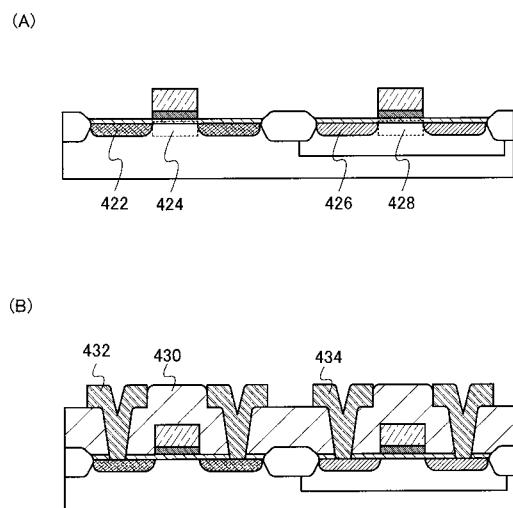
【図3】



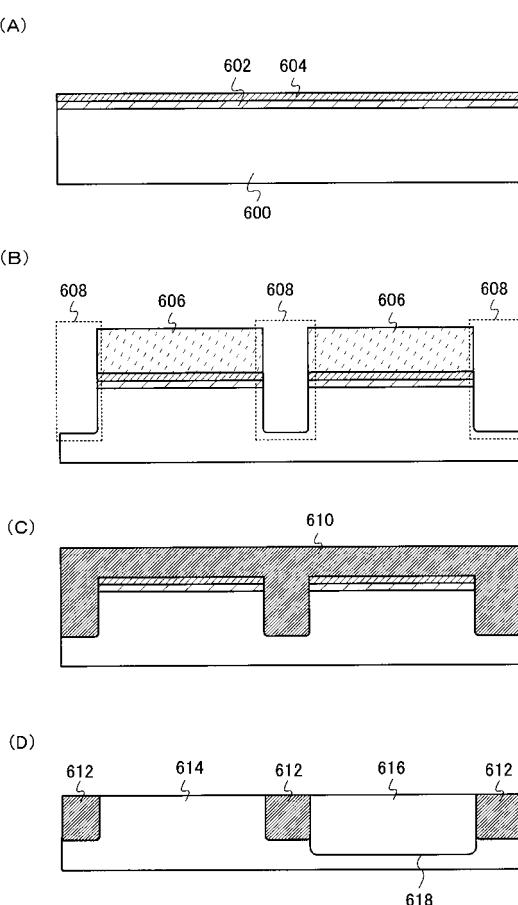
【図4】



【図5】

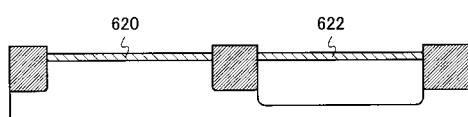


【図6】

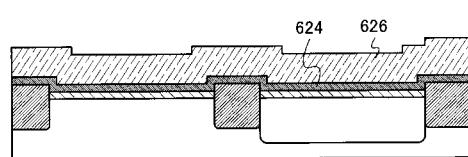


【図7】

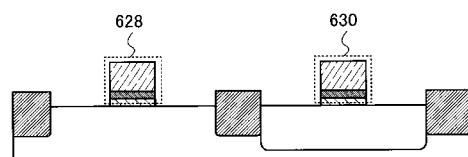
(A)



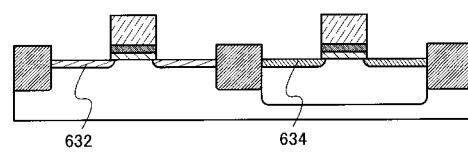
(B)



(C)

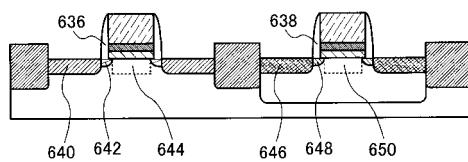


(D)

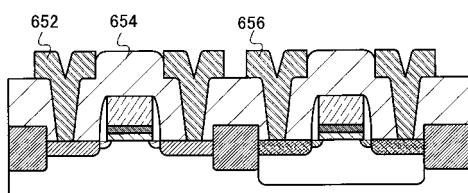


【図8】

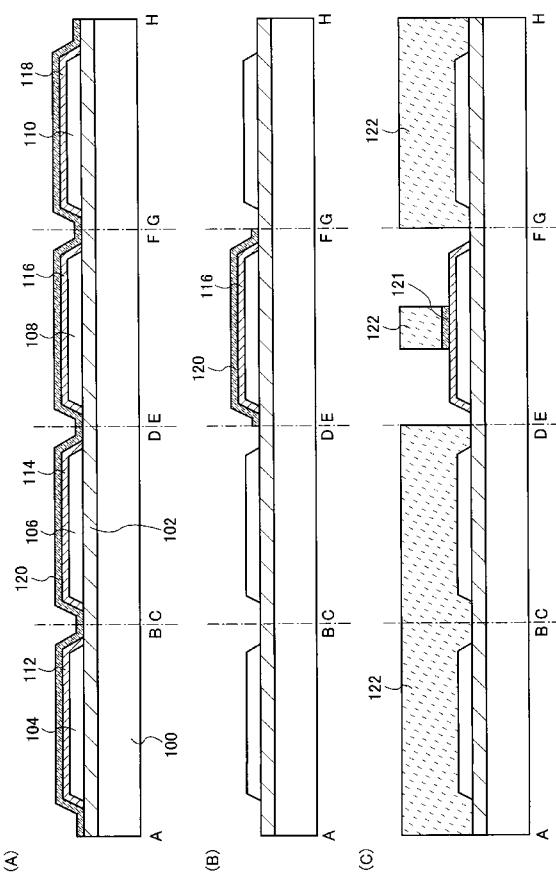
(A)



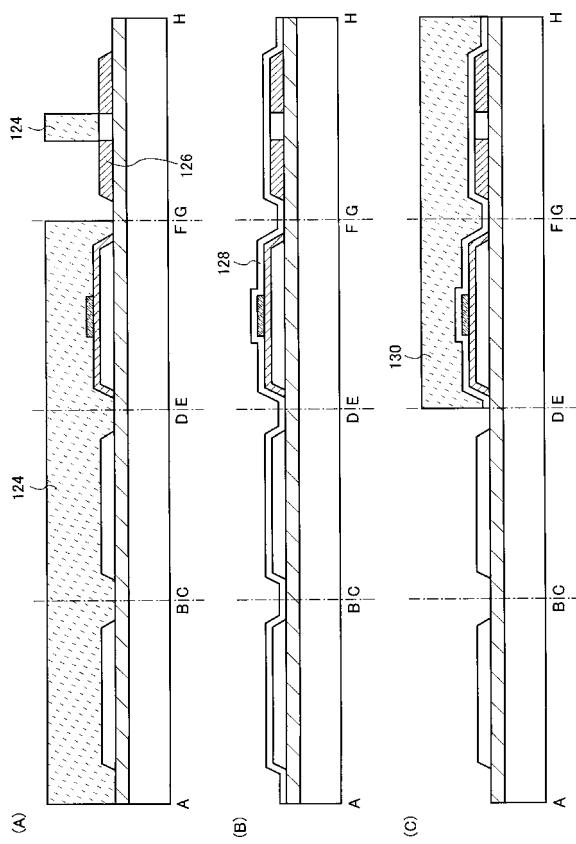
(B)



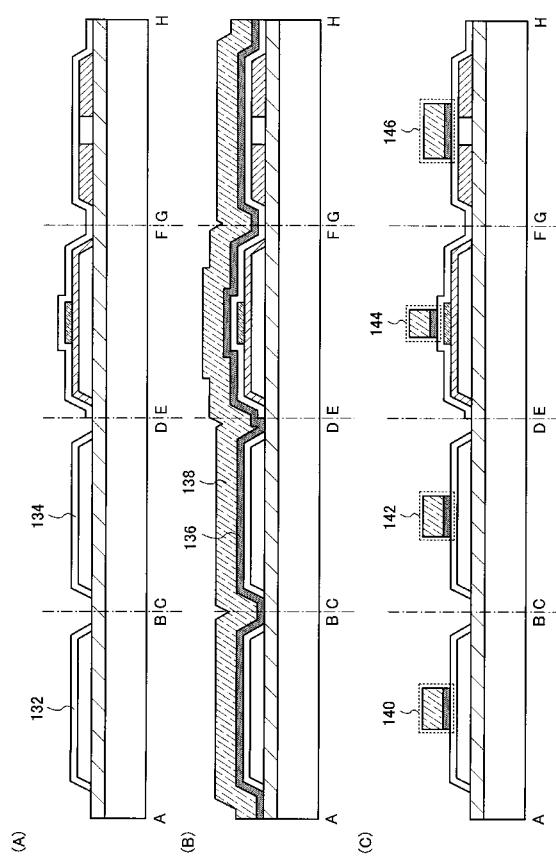
【図9】



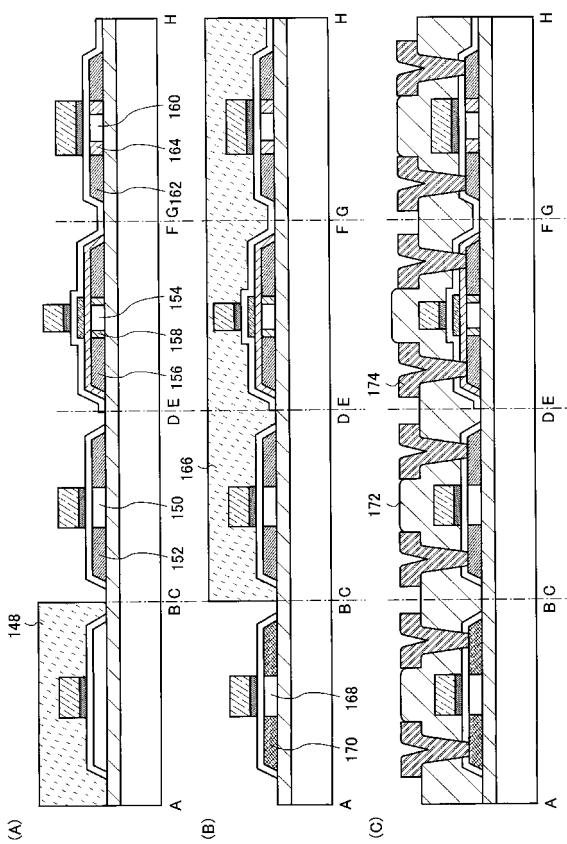
【図10】



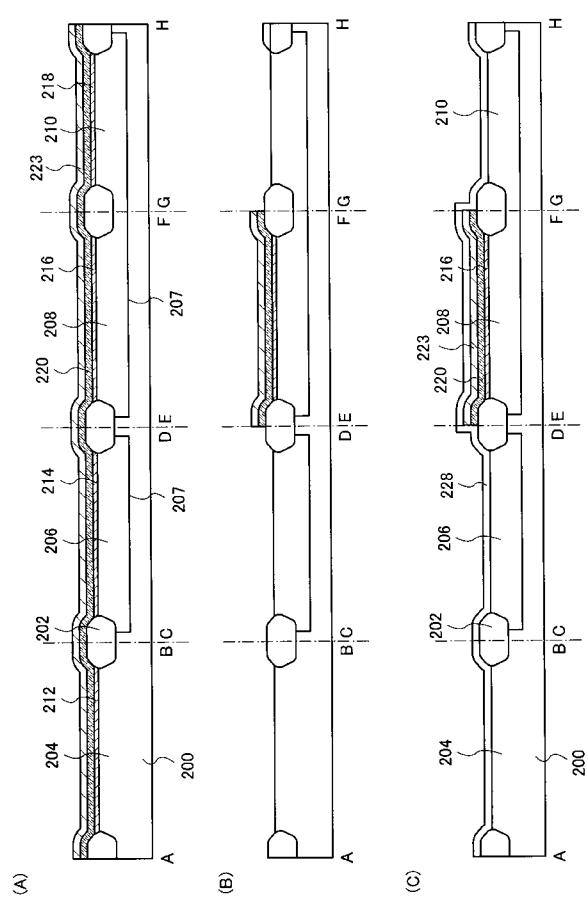
【図 1 1】



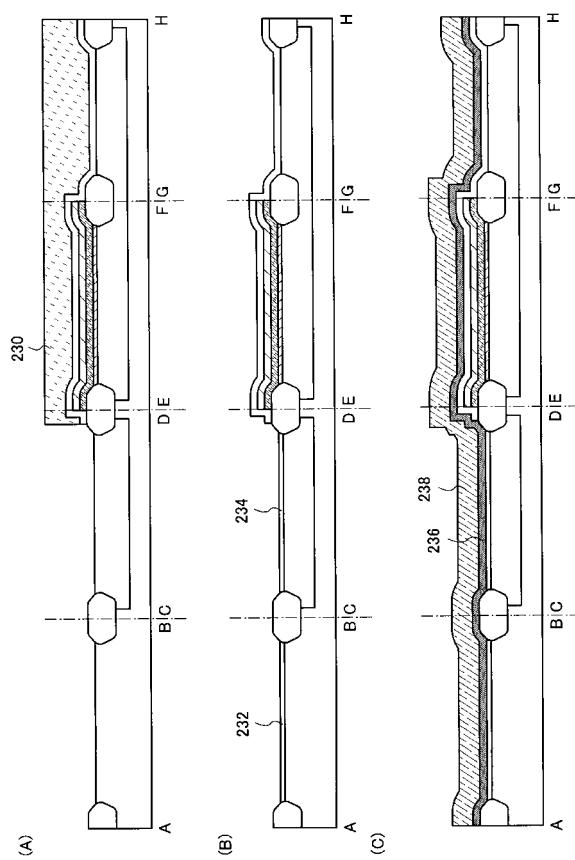
【図 1 2】



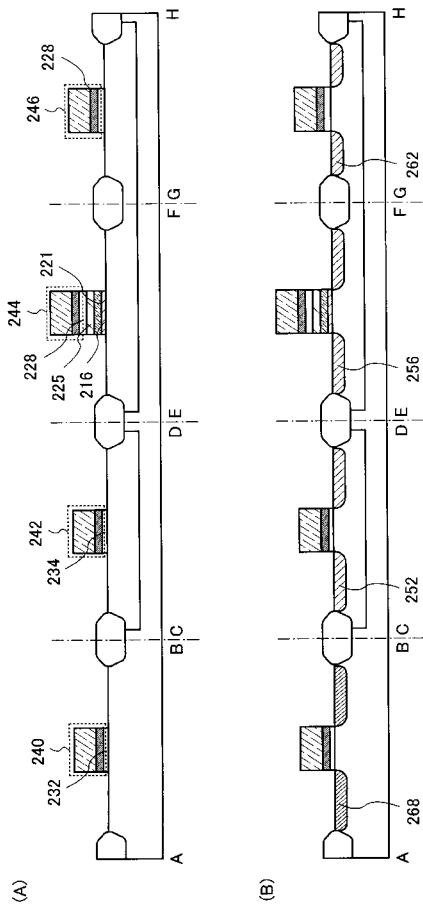
【図 1 3】



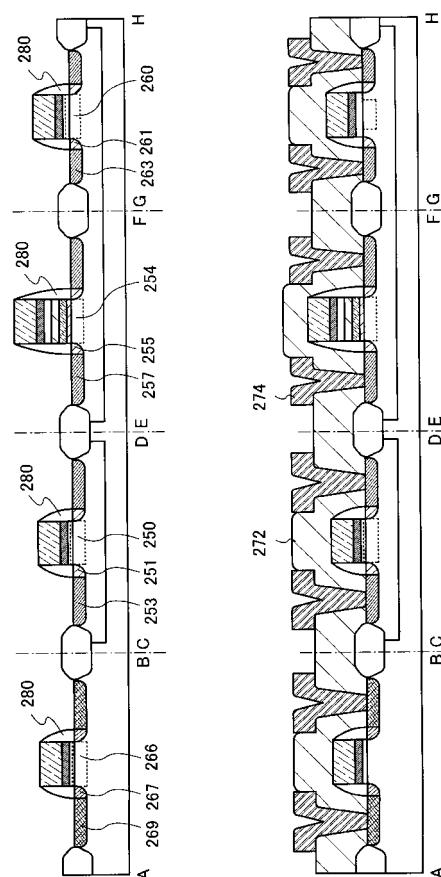
【図 1 4】



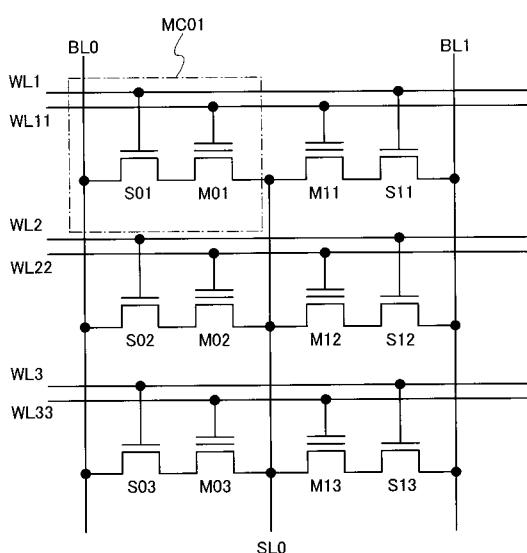
【図 15】



【図 16】

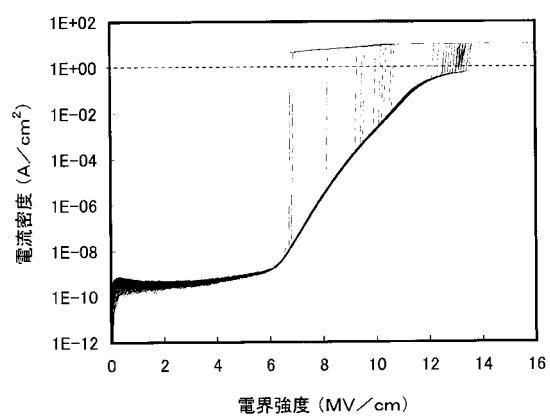


【図 17】

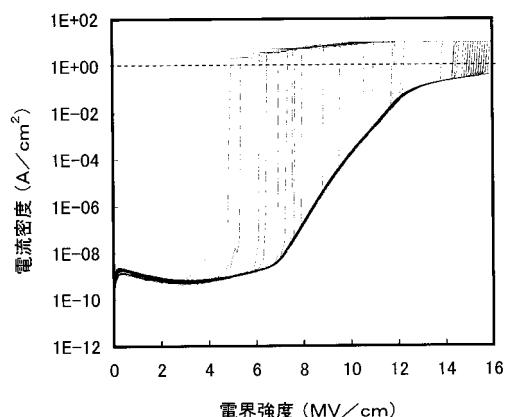


メモリセル

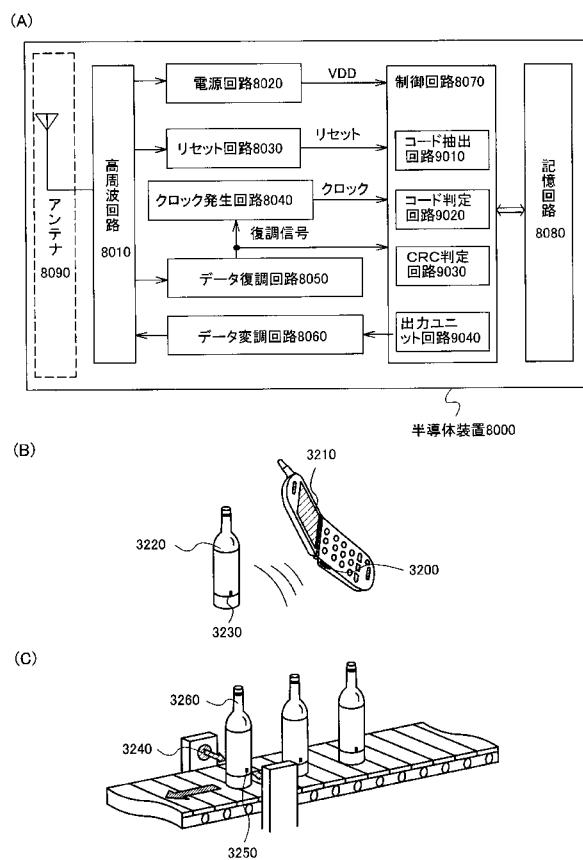
【図 18】



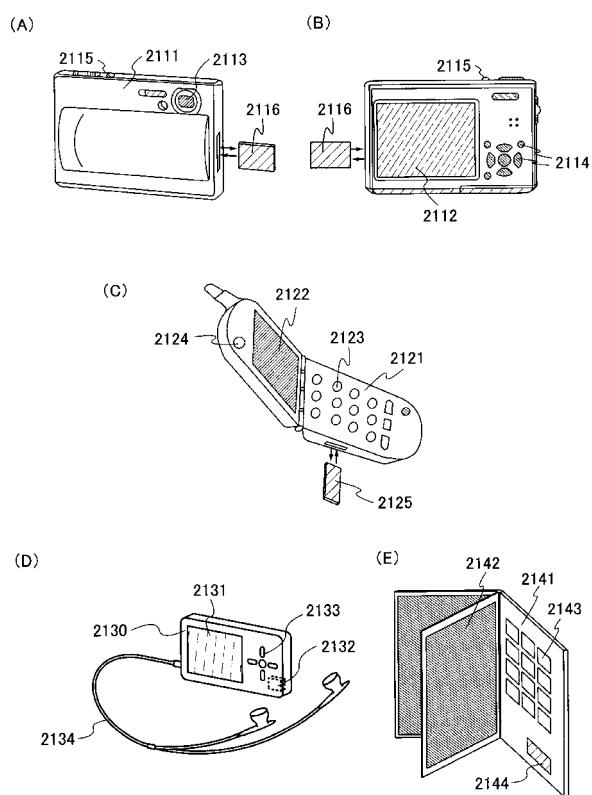
【図 19】



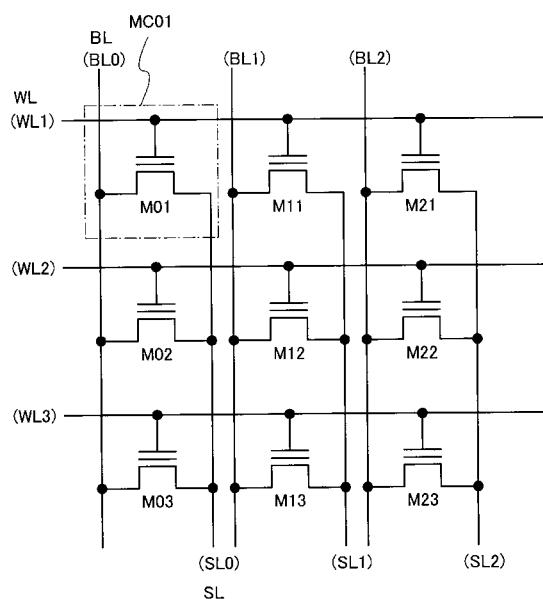
【図20】



【図21】

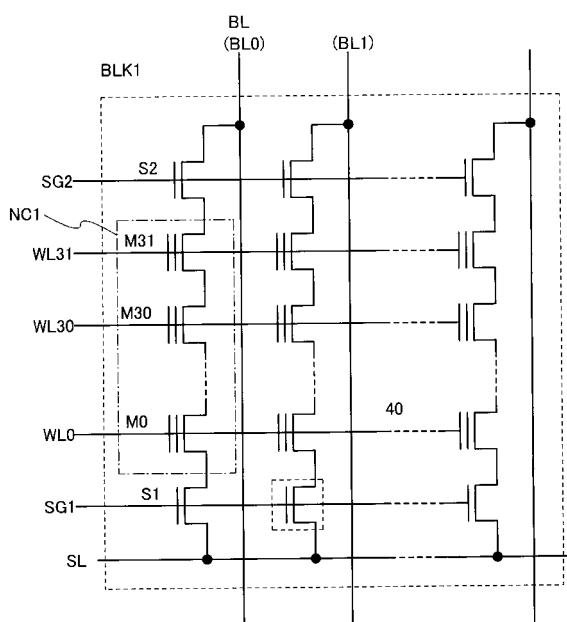


【図22】



メモリセル

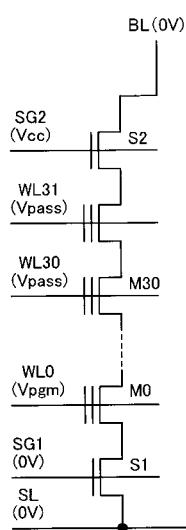
【図23】



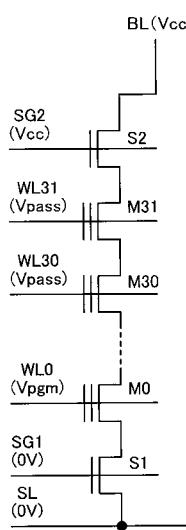
NANDセル

【図24】

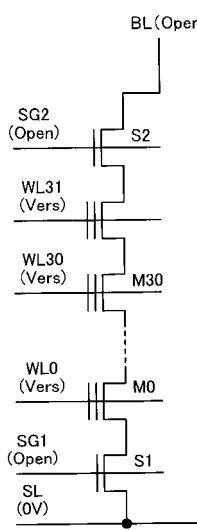
(A) "0"書き込み



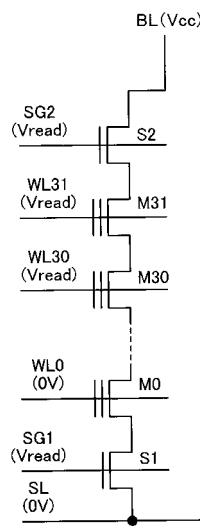
(B) "1"書き込み



(A)消去

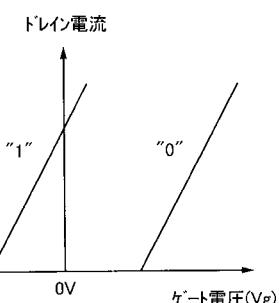


(B)読み出し

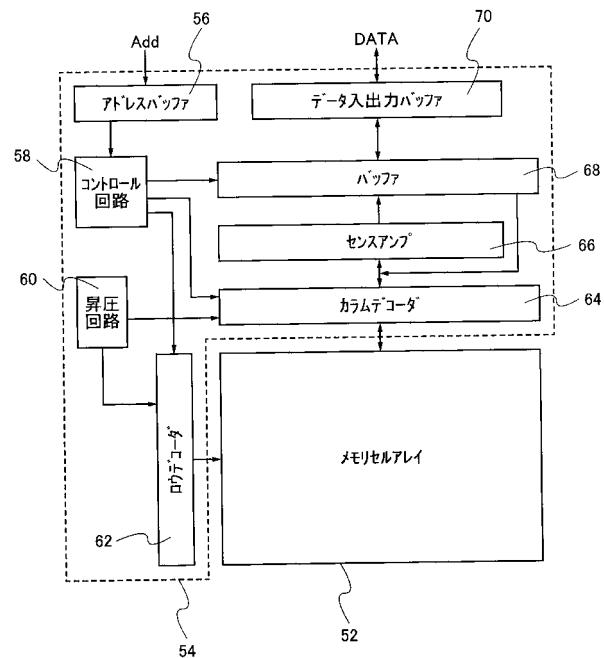


【図25】

【図26】



【図27】



フロントページの続き

(51)Int.CI.	F I	テーマコード(参考)
H 0 1 L 29/792 (2006.01)	H 0 1 L 29/78	3 0 1 G
H 0 1 L 27/10 (2006.01)	H 0 1 L 21/316	A
H 0 1 L 29/78 (2006.01)	H 0 1 L 21/316	C
H 0 1 L 21/316 (2006.01)	G 0 6 K 19/00	H
G 0 6 K 19/07 (2006.01)	G 0 6 K 19/00	K
G 0 6 K 19/077 (2006.01)	H 0 1 L 27/08	3 3 1 E
H 0 1 L 27/08 (2006.01)	H 0 1 L 27/08	3 2 1 D
H 0 1 L 21/8238 (2006.01)		
H 0 1 L 27/092 (2006.01)		

F ターム(参考) 5F058 BA20 BB05 BB07 BC02 BD04 BF73 BJ01
 5F083 EP02 EP23 EP34 EP44 EP45 EP49 EP50 EP56 EP57 EP63
 EP68 EP76 EP77 ER03 ER05 ER09 ER14 ER16 ER19 ER23
 ER30 GA27 HA02 HA06 HA10 JA05 JA06 JA31 JA56 JA58
 JA60 NA01 PR21 PR40 PR43 PR44 PR45 PR46 PR53 PR54
 PR55 PR56 ZA07 ZA08 ZA12
 5F101 BA19 BA23 BA29 BA35 BA36 BB05 BB08 BC02 BC11 BD07
 BD10 BD22 BD24 BD30 BD34 BD35 BD40 BD41 BE01 BE02
 BE05 BE07 BF09 BG10 BH04 BH21
 5F110 AA12 AA14 BB04 BB08 CC02 CC07 DD03 DD04 DD13 DD14
 DD15 DD17 EE03 EE04 EE06 EE09 EE15 EE22 EE32 EE44
 EE45 FF02 FF09 FF25 FF28 FF29 FF36 GG02 GG13 GG43
 GG44 HJ01 HJ13 HL02 HL08 HL11 HL23 HL24 HM15 NN03
 NN22 NN34 NN35 NN36 NN40 PP01 PP29 PP34 QQ11
 5F140 AA19 AB03 AC36 BA01 BB15 BC06 BD05 BE07 BE13 BF10
 BF11 BF17 BF42 BG08 BG09 BG12 BG14 BG52 BG53 BH15
 BH21 BJ05 BJ11 BJ16 BJ17 BJ20 BJ23 BJ28 BK13 CB01
 CB04 CB08 CC01 CC02 CC15 CC19 CE07 CE10