

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号  
特開2005-293813  
(P2005-293813A)

(43) 公開日 平成17年10月20日(2005. 10. 20)

(51) Int.Cl. <sup>7</sup>	F I	テーマコード (参考)
G 1 1 C 16/06	G 1 1 C 17/00	5 B 1 2 5
G 1 1 C 16/04	H O 1 L 27/10	5 F O 8 3
H O 1 L 21/8247	H O 1 L 27/10	5 F 1 O 1
H O 1 L 27/10	H O 1 L 29/78	
H O 1 L 27/115	G 1 1 C 17/00	6 2 2 E
審査請求 未請求 請求項の数 12 O L (全 14 頁) 最終頁に続く		

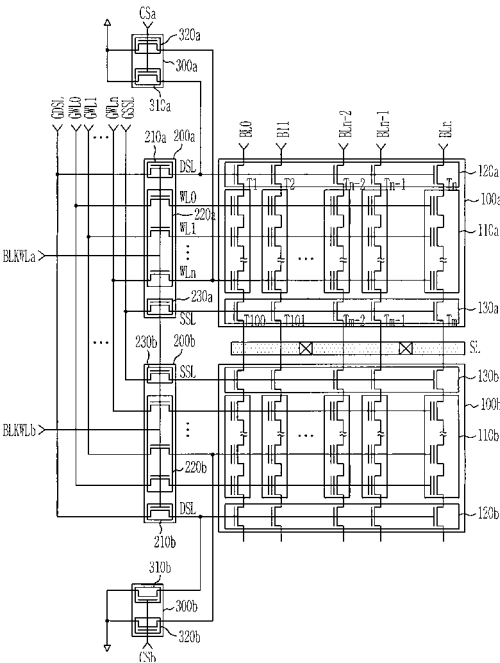
(21) 出願番号	特願2004-192821 (P2004-192821)	(71) 出願人	591024111
(22) 出願日	平成16年6月30日 (2004. 6. 30)		株式会社ハイニックスセミコンダクター
(31) 優先権主張番号	2004-22677		大韓民国京畿道利川市夫鉢邑牙美里山 1 3
(32) 優先日	平成16年4月1日 (2004. 4. 1)		6 - 1
(33) 優先権主張国	韓国 (KR)	(74) 代理人	100066784
			弁理士 中川 周吉
		(74) 代理人	100095315
			弁理士 中川 裕幸
		(72) 発明者	李 熙 烈
			大韓民国 京畿道 利川市 夫鉢邑 牙美
			里 現代3次アパートメント 302-8
			1 2
		Fターム(参考)	5B125 BA02 CA15 DA09 EA05 EC06
			FA05 FA06
		最終頁に続く	

(54) 【発明の名称】 NANDフラッシュメモリ素子及びその読み取り方法

(57) 【要約】

【課題】 NANDフラッシュメモリ素子及びその読み取り方法を提供すること。【解決手段】 本発明は、ローカルストリング選択信号によって複数のビットライン信号を伝送するストリング選択部と、ローカルソース選択信号によって共通ソースライン信号を伝送するソース選択部と、複数のビットライン信号、共通ソースライン信号及び複数のローカルワードライン信号によって所定のデータを格納するセルストリング部とを含むセルブロックと、動作信号によってグローバルストリング選択信号、グローバルソース選択信号及び複数のグローバルワードライン信号をそれぞれ前記ローカルストリング選択信号、前記ローカルソース選択信号及び前記複数のローカルワードライン信号に伝送するXデコーダ部と、所定の制御信号によって前記ローカルストリング選択信号及び前記ローカルソース選択信号に接地電源信号を印加するスイッチ部とを備える。

【選択図】 図2



## 【特許請求の範囲】

## 【請求項 1】

ローカルストリング選択信号によって複数のビットライン信号を伝送するストリング選択部と、ローカルソース選択信号によって共通ソースライン信号を伝送するソース選択部と、複数のビットライン信号、共通ソースライン信号及び複数のローカルワードライン信号によって所定のデータを格納するセルストリング部とを含むセルブロックと、

動作信号によってグローバルストリング選択信号、グローバルソース選択信号及び複数のグローバルワードライン信号をそれぞれ前記ローカルストリング選択信号、前記ローカルソース選択信号及び前記複数のローカルワードライン信号に伝送するXデコーダ部と、

所定の制御信号によって前記ローカルストリング選択信号及び前記ローカルソース選択信号に接地電源信号を印加するスイッチ部と

を備えることを特徴とするNANDフラッシュメモリ素子。

## 【請求項 2】

前記スイッチ部は、

前記制御信号によってそれぞれ前記ローカルストリング選択信号に接地電源を伝送するストリング放電トランジスタと、

前記ローカルソース選択信号に接地電源を伝送するソース放電トランジスタと

を備えることを特徴とする請求項 1 に記載のNANDフラッシュメモリ素子。

## 【請求項 3】

選択された前記セルブロックと接続した前記スイッチ部に印加する前記制御信号はロジックローであり、選択されない前記セルブロックと接続した前記スイッチ部に印加する前記制御信号はロジックハイであることを特徴とする請求項 2 に記載のNANDフラッシュメモリ素子。

## 【請求項 4】

読み出し動作信号によって前記ビットラインに検出電圧を印加し、前記検出電圧の状態によってセルのプログラム及び消去状態をセンシングするページバッファ部をさらに備えることを特徴とする請求項 1 に記載のNANDフラッシュメモリ素子。

## 【請求項 5】

前記セルブロックは、

複数のビットラインにそれぞれ接続され前記ローカルストリング選択信号によって前記ビットライン信号を伝送する複数のストリング選択トランジスタと、

共通ソースラインに接続され前記ローカルソース選択信号によって前記共通ソースライン信号を伝送する複数のソース選択トランジスタと、

直列接続された複数のセルが前記複数のストリング選択トランジスタと前記複数のソース選択トランジスタとの間にそれぞれ接続された複数のセルストリングを含み、複数のセルストリング内の同一位置にある前記セルのゲート各々にローカルワードラインが接続され前記複数のビットライン信号、前記共通ソースライン信号及び前記複数のローカルワードライン信号によって所定のデータを格納したり消去することを特徴とする請求項 1 に記載のNANDフラッシュメモリ素子。

## 【請求項 6】

前記Xデコーダ部は、

前記動作信号によってそれぞれ前記グローバルストリング選択信号を前記ローカルストリング選択信号に伝送するストリング伝送トランジスタと、

前記グローバルソース選択信号を前記ローカルソース選択信号に伝送するソース伝送トランジスタと、

前記複数のグローバルワードライン信号を前記複数のローカルワードライン信号に伝送する複数のワードライン伝送トランジスタと

を備えることを特徴とする請求項 1 に記載のNANDフラッシュメモリ素子。

## 【請求項 7】

少なくとも 2 個以上の前記セルブロックの前記ソース選択部に同じ前記ローカルソース

10

20

30

40

50

選択信号が印加されるように、前記セルブロック間の前記ソース選択部を電氣的に接続することを特徴とする請求項 1 に記載の N A N D フラッシュメモリ素子。

【請求項 8】

前記セルブロックの前記ソース選択部にそれぞれ独立された前記ローカルソース選択信号が印加されるように、前記セルブロックの前記ソース選択部を電氣的に分離することを特徴とする請求項 1 に記載の N A N D フラッシュメモリ素子。

【請求項 9】

複数のビットラインに接続された複数のストリング選択トランジスタと共通ソースラインに接続された複数のソース選択トランジスタとの間に直列接続された複数のセルストリングと、前記複数のストリング選択トランジスタのゲート端子に接続されたローカルストリング選択ラインと、前記複数のソース選択トランジスタのゲート端子に接続されたローカルソース選択ライン及び前記セルストリング内のセル各々のゲート端子に接続された複数のローカルワードラインとを含む複数のセルブロックと、

10

それぞれ動作電圧によって駆動しグローバルストリング選択ラインと前記ローカルストリング選択ラインとに接続されたストリング伝送トランジスタと、グローバルソース選択ラインと前記ローカルソース選択ラインとに接続されたソース伝送トランジスタ、複数のグローバルワードラインと前記複数のローカルワードラインとに接続された複数のワードライン伝送トランジスタとを含む X デコーダ部と、

それぞれ制御電圧によって駆動し接地電源と前記ローカルストリング選択ラインとに接続されたストリング放電トランジスタと、接地電源と前記ローカルソース選択ラインとに接続されたソース放電トランジスタとを含むスイッチ部と、

20

読み出し動作信号によって前記ビットラインに検出電圧を印加し、前記検出電圧の状態によってセルのプログラム及び消去状態を判断するページバッファ部と

を備える N A N D フラッシュメモリ素子の読み取り方法において、

前記 X デコーダ部にグローバルストリング選択電圧、グローバルソース選択電圧及び選択されない複数のワードラインにはパス電圧を印加し、選択されたワードラインには読み出し電圧を印加し、選択された前記セルブロックと接続された前記 X デコーダ部にロジックハイの動作電圧を印加し、選択されない前記セルブロックと接続された前記 X デコーダ部にロジックローの動作電圧を印加するステップと、

選択された前記セルブロックと接続された前記スイッチ部にロジックローの制御電圧を印加し、選択されない前記セルブロックと接続された前記スイッチ部にロジックハイの制御電圧を印加するステップと、

30

前記共通ソースラインとバルクとに接地電圧を印加し、前記ページバッファを介して選択された前記ビットラインに検出電圧を印加した後、前記検出電圧の変化をセンシングするステップと

を備えることを特徴とする N A N D フラッシュメモリ素子の読み取り方法。

【請求項 10】

前記グローバルストリング選択電圧、前記グローバルソース選択電圧及び前記パス電圧として 4.0 ないし 5.0 V の電圧を使用し、前記読み出し電圧として接地電圧を使用することを特徴とする請求項 9 に記載の N A N D フラッシュメモリ素子の読み取り方法。

40

【請求項 11】

選択された前記セルブロックと接続された前記 X デコーダ部に印加されるロジックハイの動作電圧として  $4.0\text{ V} + 2\text{ V t}$  ないし  $5.0\text{ V} + 2\text{ V t}$  電圧を使用し、選択されない前記セルブロックと接続された前記 X デコーダ部に印加されるロジックローの動作電圧として接地電圧を使用することを特徴とする請求項 9 に記載の N A N D フラッシュメモリ素子の読み取り方法。

【請求項 12】

前記選択されたセルブロックと接続した前記スイッチ部に印加する前記制御電圧はロジックローであり、前記選択されないセルブロックと接続した前記スイッチ部に印加する前記制御電圧はロジックハイであることを特徴とする請求項 9 に記載の N A N D フラッシュ

50

メモリ素子の読み取り方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、NANDフラッシュメモリ素子及びその読み取り方法に関し、特に、素子の漏れ電流を減少させることのできるNANDフラッシュメモリ素子に関する。

【背景技術】

【0002】

NAND型フラッシュ素子は、ドレイン選択トランジスタとソース選択トランジスタとの間に16個または32個単位でセルがストリング(String)形態で直列接続している。同一ワードラインを共有しているセルストリングをグループ化して一つのブロックと定義する。 10

【0003】

ブロックに印加される電圧の状態によって、読み出し動作のために選択されたブロックと選択されないブロックとに分けられる。

【0004】

まず、読み出し動作時選択されたブロックに印加される電圧状態を述べると、Xデコーダを介して選択されたワードラインには0Vを印加し、パスワードライン、ドレイン選択トランジスタ及びソース選択トランジスタには4.5Vの電圧を印加する。共通ソースラインとバルクとには0Vを印加し、ビットラインには1Vの電圧を印加する。 20

【0005】

次に、選択されないブロックを述べると、Xデコーダを介して全体ワードライン、ドレイン選択トランジスタ及びソース選択トランジスタをフローティングさせる。ソース選択トランジスタは、選択されたブロックと選択されないブロックとが電氣的に接続されている。選択されないブロックのソース選択トランジスタには4.5Vの電圧が印加されることが出来る。共通ソースライン、バルク及びビットラインに印加される電圧状態は選択されたブロックと同じである。

【0006】

このような電圧印加時、選択されないブロックのドレイン選択トランジスタ及びソース選択トランジスタにより発生した漏れ電流により素子の動作に悪影響を及ぼしている。一般にストリング単位のNANDアレイは根本的なオン電流(On-Current)が200ないし400nA程度で非常に小さい。短いセンシングタイム(Sensing Time)を持っていくためには、選択されないブロックの漏れ電流が漏れないように制御しなければならない。 30

【0007】

また、NANDフラッシュセルは接合漏れ(Junction Leakage)によるプログラムディスタurb(Program Disturb)発生を防止するため、8V電圧において数pAの漏れ電流だけを許容する。したがって、ゲート長さが0.1umのセルと0.18umの選択トランジスタにもディープ接合(Deep Junction)構造を形成しなければならない。これにより接合部と接合部(Junction To Junction)との間の漏れ、すなわち、パンチスルー(Punch-Through)に弱い問題が発生する。 40

【発明の開示】

【発明が解決しようとする課題】

【0008】

したがって、本発明は上述した問題点に鑑みてなされたものであって、その目的とするところは、読み出し動作時選択トランジスタのソースサイド抵抗を大きくして漏れ電流を減少させることのできるNANDフラッシュメモリ素子及びその読み出し方法を提供する。

【課題を解決するための手段】

## 【 0 0 0 9 】

本発明に係るローカルストリング選択信号によって複数のビットライン信号を伝送するストリング選択部と、ローカルソース選択信号によって共通ソースライン信号を伝送するソース選択部と、複数のビットライン信号、共通ソースライン信号及び複数のローカルワードライン信号によって所定のデータを格納するセルストリング部とを含むセルブロックと、動作信号によってグローバルストリング選択信号、グローバルソース選択信号及び複数のグローバルワードライン信号をそれぞれ前記ローカルストリング選択信号、前記ローカルソース選択信号及び前記複数のローカルワードライン信号に伝送するXデコーダ部と、所定の制御信号によって前記ローカルストリング選択信号及び前記ローカルソース選択信号に接地電源信号を印加するスイッチ部とを備えるNANDフラッシュメモリ素子を提供する。

10

## 【 0 0 1 0 】

また、複数のビットラインに接続された複数のストリング選択トランジスタと共通ソースラインに接続された複数のソース選択トランジスタとの間に直列接続された複数のセルストリングと、前記複数のストリング選択トランジスタのゲート端子に接続されたローカルストリング選択ラインと、前記複数のソース選択トランジスタのゲート端子に接続されたローカルソース選択ライン及び前記セルストリング内のセル各々のゲート端子に接続された複数のローカルワードラインとを含む複数のセルブロックと、それぞれ動作電圧によって駆動しグローバルストリング選択ラインと前記ローカルストリング選択ラインとに接続されたストリング伝送トランジスタと、グローバルソース選択ラインと前記ローカルソース選択ラインとに接続されたソース伝送トランジスタ、複数のグローバルワードラインと前記複数のローカルワードラインとに接続された複数のワードライン伝送トランジスタとを含むXデコーダ部と、それぞれ制御電圧によって駆動し接地電源と前記ローカルストリング選択ラインとに接続されたストリング放電トランジスタと、接地電源と前記ローカルソース選択ラインとに接続されたソース放電トランジスタとを含むスイッチ部と、読み出し動作信号によって前記ビットラインに検出電圧を印加し、前記検出電圧の状態によってセルのプログラム及び消去状態を判断するページバッファ部とを備えるNANDフラッシュメモリ素子において、前記Xデコーダ部にグローバルストリング選択電圧、グローバルソース選択電圧及び選択されない複数のワードラインにはパス電圧を印加し、選択されたワードラインには読み出し電圧を印加し、選択された前記セルブロックと接続された前記Xデコーダ部にロジックハイの動作電圧を印加し、選択されない前記セルブロックと接続された前記Xデコーダ部にロジックローの動作電圧を印加するステップと、選択された前記セルブロックと接続された前記スイッチ部にロジックローの制御電圧を印加し、選択されない前記セルブロックと接続された前記スイッチ部にロジックハイの制御電圧を印加するステップと、前記共通ソースラインとバルクとに接地電圧を印加し、前記ページバッファを介して選択された前記ビットラインに検出電圧を印加した後、前記検出電圧の変化をセンシングするステップとを備えることを特徴とするNANDフラッシュメモリ素子の読み取り方法を提供する。

20

30

## 【 発明の効果 】

## 【 0 0 1 1 】

上述したように、本発明は読み出し動作時、選択されないセルブロックのストリング選択のためのトランジスタとソース選択のためのトランジスタとに接地電源を印加することによって、ドレイン選択ラインの抵抗を増加させてバックバイアス効果による漏れ電流を防止できる。

40

## 【 0 0 1 2 】

また、ビットライン漏れ電流が減少してプログラムされたセルと消去されたセルとの間のオン/オフ電流比が増加することになって、素子のセンシングタイムが減少し、リドトリップレンジが増加してデータ保損力及び読み出しディスタurbによるしきい電圧変化を防止できる。

## 【 0 0 1 3 】

50

また、しきい電圧変化に対するマージンを増加させることができ、ページバッファ変化 (Page Buffer Variation) に対するマージンを増加させることができる。

【0014】

また、セルブロック間のソース選択トランジスタ各々を分離してソース選択ラインに独立的な電圧を印加することもでき、隣接したセルブロック間のソース選択トランジスタを電氣的に接続してソース放電トランジスタの数字を低減できる。

【発明を実施するための最良の形態】

【0015】

以下、添付した図面を参照して本発明の実施の形態をさらに詳細に説明する。

10

【0016】

複数のフラッシュセルがストリング形態で構成されたセルストリングのようなワードラインを共有しているストリングをグループ化して一つのブロックで構成した。このようなブロックを構成している各々のストリングは、グローバルビットラインに1024、2048のような2の倍数単位で並列接続している。また、ブロック配列は、選択トランジスタを基準としてミラー (Mirror) 構造で形成されているため、選択トランジスタのストリングアウトサイド接合部 (Out-Side Junction) を隣接したブロックの選択トランジスタと共有している。

【0017】

高度な集積化のため、データ入出力パスであるビットラインと接続したストリング選択トランジスタには、その構成上ブロックと別にストリング選択トランジスタゲートバイアスを印加することが効果的である。また、共通ソースラインと接続したソース選択トランジスタは隣接したソース選択トランジスタとゲートバイアス (Gate Bias) とを共有したり、別のゲートバイアスを印加されることが好ましい。

20

【0018】

NANDフラッシュ素子の読み取り動作時、あらゆるブロックはソースラインには0Vを印加し、ビットラインには最大1.3V程度の電圧を印加する。この場合、ビットラインによる漏れ電流をほぼ無視できるが、ストリング選択トランジスタあるいはソース選択トランジスタのソース/ドレイン間漏れ電流は無視できない程度となる。また、ビットラインには1024個のストリングが並列接続しているため、漏れ電流は1024倍に増幅されて流れるようになる。

30

【0019】

図1は、選択されないブロックのストリング選択トランジスタには0Vのゲート電圧を印加し、ソース選択トランジスタはフローティングさせた状態の概念図である。

【0020】

図1を参照すれば、セルの読み取り動作時選択されないブロックのストリング選択トランジスタT1にだけ0Vのゲート電圧を印加し、ソース選択トランジスタT10とセルストリングのゲートをフローティングさせる場合は次の通りである。セルストリング内のセルが消去された状態であれば、大部分のセルが-7ないし-9V程度のしきい電圧 ( $V_t = -9$ ) を有する。この場合、フローティングゲートはポジティブチャージングされている。したがって、容量性カップリング (Capacitive Coupling) を考慮すれば、フローティングゲートの電位 (Potential) が4.0ないし5.0V程度となって、セルのワードラインがフローティングされていても事実上セルが完全にターンオンされた状態となる。

40

【0021】

また、ソース選択トランジスタT10も隣接したセル、ソースライン及び半導体基板間の容量性カップリングにより約0.4ないし0.5V程度の電位を持つようになる。これによりソース選択トランジスタはほぼターンオンされた状態となる。

【0022】

上述したことにより、ストリング選択トランジスタT1のソースサイドであるソース選

50

択トランジスタT10からセルストリング全体までの直列抵抗が大きく減少するので漏れ電流が流れるようになる。したがって、セルのターンオン状態を防止できなくても、ソース選択トランジスタのほぼターンオンされた状態のみを予防できれば、ストリング選択トランジスタのソースサイド抵抗を増加させてストリング単位の漏れ電流を減少させることができる。

【0023】

これに関し素子の構成とそれにもなう素子の読み取り動作に関し図面を参照して詳細に説明する。

【0024】

図2は、本発明に係るNANDフラッシュメモリ素子の回路図である。

10

【0025】

図2を参照すれば、本発明のNANDフラッシュメモリ素子はローカルストリング選択信号DSLによって複数のビットライン信号BLを伝送するストリング選択部120と、ローカルソース選択信号SSLによって共通ソースライン信号SLを伝送するソース選択部130と、複数のビットライン信号BL、共通ソースライン信号SL及び複数のローカルワードライン信号WL0ないしWLnによって所定のデータを格納するセルストリング部110を含むセルブロック100と、動作信号BLKWLによってグローバルストリング選択信号GDSL、グローバルソース選択信号GSSL及び複数のグローバルワードライン信号GWLないしGWLnをそれぞれローカルストリング選択信号DSL、ローカルソース選択信号SSL及び複数のローカルワードライン信号WL0ないしWLnに伝送するXデコーダ部200と、所定の制御信号CSによってローカルストリング選択信号DSL及びローカルソース選択信号SSLに接地電源信号を印加するスイッチ部300とを備える。

20

【0026】

読み出し動作信号(図示せず)によって前記ビットラインBLに検出電圧を印加し、前記検出電圧の状態によってセルのプログラム及び消去状態をセンシングするページバッファ部(図示せず)をさらに備えることができる。

【0027】

セルブロック100のストリング選択部120は、複数のビットラインBLにそれぞれ接続されローカルストリング選択信号SSLによってビットラインBL信号を伝送する複数のストリング選択トランジスタT1ないしTnを備える。ソース選択部130は、共通ソースラインSLに接続されローカルソース選択信号SSLによって共通ソースラインSL信号を伝送する複数のソース選択トランジスタT100ないしTmを備える。

30

【0028】

セルストリング部は直列接続された複数のセルが複数のストリング選択トランジスタT1ないしTnと複数のソース選択トランジスタT100ないしTmとの間にそれぞれ接続された複数のセルストリングを含み、複数のセルストリング内の同一位置にあるセルのゲート各々にローカルワードラインWLが接続され複数のビットライン信号BL、共通ソースライン信号SSL及び複数のローカルワードライン信号WL0ないしWLnによって所定のデータを格納したり消去する。

40

【0029】

Xデコーダ部200は、動作信号BLKWLによってそれぞれグローバルストリング選択信号GDSLをローカルストリング選択信号GSLに伝送するストリング伝送トランジスタ210と、グローバルソース選択信号GSSLをローカルソース選択信号SSLに伝送するソース伝送トランジスタ230と、複数のグローバルワードライン信号GWL0ないしGWLmを複数のローカルワードライン信号WL0ないしWLnに伝送する複数のワードライン伝送トランジスタ220とを備える。

【0030】

スイッチ部300は、制御信号CSによってそれぞれローカルストリング選択信号DSLに接地電源を伝送するストリング放電トランジスタ310と、ローカルソース選択信号

50

SSLに接地電源を伝送するソース放電トランジスタ320とを備える。

【0031】

この場合、隣接した前記セルブロック100aと100bの前記ソース選択部130aと130bに同じ前記ローカルソース選択信号SSLが印加されるように、隣接した前記セルブロック間100aと100bの前記ソース選択部130aと130bを電氣的に接続したり、隣接した前記セルブロック100aと100bの前記ソース選択部130aと130bにそれぞれ独立された前記ローカルソース選択信号SSLが印加されるように、隣接した前記セルブロック間100aと100bの前記ソース選択部130aと130bを電氣的に分離することができる。また、2個以上のソース選択部130に同じローカルソース選択信号SSLが印加されるように、ソース選択部130を電氣的に接続できる。

10

【0032】

複数のストリング選択トランジスタT1ないしTnと複数のソース選択トランジスタT100ないしTmとは、NMOSTランジスタを使用することが好ましい。複数のストリング選択トランジスタT1ないしTnと複数のソース選択トランジスタT100ないしTmのうち、最初のトランジスタT1及びT100らの間に複数のセルストリングのうち最初のセルストリングが接続される。複数のセルストリングのうち、最初のセルらは最初のワードライン信号WL0によって動作する。セルストリング110に16の2の倍数個数ぐらいのセルが直列接続されることが好ましい。

【0033】

ストリング伝送トランジスタ210、ソース伝送トランジスタ230と複数のワードライン伝送トランジスタ220として、1ないし25Vの電圧でも動作が可能な高電圧NMOSTランジスタを使用することが好ましい。すなわち、20V以上の接合ブレークダウン電圧を有するトランジスタを使用することが効果的である。また、上述したトランジスタとしてイオンが注入されない半導体基板上に形成されるネガティブ高電圧トランジスタを使用することが好ましい。

20

【0034】

ストリング放電トランジスタ310とソース放電トランジスタ320として、高電圧NMOSTランジスタまたは一般NMOSTランジスタを使用することが好ましい。

【0035】

本発明のNANDフラッシュ素子においては、1024の2の倍数個数ぐらいのセルブロック100が位置していることが好ましい。また、上述したように少なくとも2個以上のソース選択トランジスタ間のゲート端子を一つのラインで接続することもでき、それぞれ分離されたラインで接続することもできる。ゲート端子を一つのラインで接続する場合、ソース放電トランジスタの数字を減らすことができ、それぞれ分離されたラインで接続する場合、独立的な電圧を印加できる。

30

【0036】

上述した構成を有する本発明において、選択されたセルブロック内の所定のセル内のデータを読み出すための過程を説明すれば次の通りである。この場合、選択されたセルブロックを図2の100aとし、選択されないセルブロックを図1の100bとして説明する。

【0037】

複数のビットラインBL0ないしBLnに接続された複数のストリング選択トランジスタT1ないしTnと共通ソースラインSLに接続された複数のソース選択トランジスタT100ないしTmとの間に直列接続された複数のセルストリング110、前記複数のストリング選択トランジスタT1ないしTnのゲート端子に接続されたローカルストリング選択ラインDSL、前記複数のソース選択トランジスタT100ないしTmのゲート端子に接続されたローカルソース選択ラインSSL及び前記セルストリング110内のセル各々のゲート端子に接続された複数のワードラインWL0ないしWLnを含む複数のセルブロック100と、それぞれ動作電圧BLKWLによって駆動しグローバルストリング選択ラインGDSLとローカルストリング選択ラインDSLとに接続されたストリング伝送トランジスタ210、グローバルソース選択ラインGSSLとローカルソース選択ラインSS

40

50



L とに接続されたソース伝送トランジスタ 230 及び複数のグローバルワードライン G W L 0 ないし G W L n と複数のローカルワードライン W L 0 ないし W L n とに接続された複数のワードライン伝送トランジスタ 220 を含む X デコーダ部 200 と、それぞれ制御電圧 C S によって駆動し接地電源とローカルストリング選択ライン D S L とに接続されたストリング放電トランジスタ 310 と、接地電源とローカルソース選択ライン S S L とに接続されたソース放電トランジスタ S S L を含むスイッチ部 300 と、読み出し動作信号 ( 図示せず ) によって前記ビットライン B L に検出電圧を印加し、前記検出電圧の状態によってセルのプログラム及び消去状態をセンシングするページバッファ部 ( 図示せず ) を含む N A N D フラッシュメモリ素子において、 X デコーダ部 200 にグローバルストリング選択電圧、グローバルソース選択電圧、選択されない複数のワードラインにはパス電圧を印加し、選択されたワードラインには読み出し電圧を印加し、選択されたセルブロック 100 a と接続された X デコーダ部 200 a とにロジックハイの動作電圧 B L K W L a を印加し、選択されないセルブロック 100 b と接続された X デコーダ部 200 b とにロジックローの動作電圧 B L K W L b を印加する。

#### 【 0038 】

選択されたセルブロック 100 a と接続されたスイッチ部 300 a とにロジックローの制御電圧 C S a を印加し、選択されないセルブロック 100 b と接続されたスイッチ部 300 b にロジックハイの制御電圧 C S b を印加する。

#### 【 0039 】

共通ソースライン S L とバルク ( 図示せず ) に接地電圧を印加する。ページバッファを介して選択されたビットラインに検出電圧を印加した後、検出電圧の変化をセンシングする。

#### 【 0040 】

本実施の形態では上述した電圧の印加順序は素子の読み取り方法によって多様に変更できる。すなわち、スイッチ部 300 に制御電圧を先に印加した後、 X デコーダ 200 に所定の電圧を印加することもできる。

#### 【 0041 】

グローバルストリング選択電圧、グローバルソース選択電圧及びパス電圧として 4.0 ないし 5.0 V の電圧を使用することが好ましい。読み出し電圧として接地電圧を使用することが好ましい。

#### 【 0042 】

選択されたセルブロック 100 a と接続された X デコーダ部 200 a とにロジックハイの動作電圧 B L K W L a として 4.0 V + 2 V t ないし 5.0 V + 2 V t だけの電圧を使用することが好ましく、選択されないセルブロック 100 b と接続された X デコーダ部 200 b にロジックローの動作電圧 B L K W L b として接地電圧を使用することが好ましい。上記の V t は X デコーダ部 200 内のトランジスタ等のしきい電圧を意味する。

#### 【 0043 】

検出電圧としては 0.8 ないし 1.5 V の電圧を使用することが好ましい。

#### 【 0044 】

以下、上述した説明に基づき N A N D フラッシュ素子の読み出し動作時に印加される電圧を表に整理すれば次の通りである。

#### 【 0045 】

表 1 は、本発明に係る N A N D フラッシュメモリ素子に印加される電圧を示した表である。

#### 【 0046 】

【表 1】

Read	Select Block	Unselect Block
選択されたワードライン	0 V	Floating
選択されないワードライン	4.5 V	Floating
DSL	4.5 V	0 V
SSL	4.5 V	0 V
SL	0 V	0 V
BL	1 V	1 V
Bulk	0 V	0 V
BLKWL	$4.5 + 2V_t$	0 V
CS	0 V	Vcc

10

20

30

40

50

## 【0047】

表 1 を参照し本発明の読み出し動作を具体的に説明すれば次の通りである。

## 【0048】

外部のアドレス入力を介して読み出すためのセルを選択(ワードラインとビットライン選択)し、これに伴い選択されたセルが位置しているセルブロックを選択されたセルブロック 100 a と定義する。

## 【0049】

X デコーダ部 200 のグローバルストリング選択ライン GDSL、グローバルソース選択ライン GSSL 及び選択されないグローバルワードライン GWL に各々 4.5 V のグローバルストリング選択電圧、グローバルソース選択電圧及びパス電圧を印加し、選択されたグローバルワードライン GWL には 0 V の電圧を印加する。

## 【0050】

選択されたセルブロック 100 a と接続された X デコーダ部 200 a には  $4.5 + 2V_t$  の動作電圧 BLKWL a を印加し、選択されないセルブロック 100 b と接続された X デコーダ部 200 b には 0 V の動作電圧 BLKWL b を印加する。選択されたセルブロック 100 a と接続されたスイッチ部 300 a に 0 V の電圧を印加し、選択されないセルブロック 100 b と接続されたスイッチ部 300 b に電源電圧 Vcc を印加する。

## 【0051】

これにより、選択されたセルブロック 100 a のローカルストリング選択ライン DSL

、ローカルソース選択ラインSSL及び選択されないローカルワードラインWLには各々4.5Vのローカルストリング選択電圧、ローカルソース選択電圧及びバス電圧が印加され、選択されたローカルワードラインWLには0Vの電圧が印加される。一方、選択されないセルブロック100bのあらゆるローカルワードラインWLはフローティングされ、ローカルストリング選択ラインDSLとローカルソース選択ラインSSLとは0Vの電圧が印加される。

【0052】

共通ソースラインSLとバルクに0Vの電圧を印加し、ビットラインBLに接続されているページバッファを介して選択されたビットラインに1Vの検出電圧を印加する。所定時間後にビットラインBLに印加された1Vの検出電圧の変化をページバッファが判断してセルのデータを検出する。これはセルのプログラムまたは消去されている状態のしきい電圧差によってビットラインに充電されている検出電圧が放電されたり、その状態を維持するようになる。

10

【0053】

これによりプログラムセルを読み出す場合、ビットラインの漏れ電流が減少するようになって、プログラムされたセルと消去されたセルとの間のオン/オフ電流比が増加するようになる。したがって、素子のセンシングタイム(Sensing Time)が減少するようになり、リードトリップレンジ(Read Trip Range)が増加してデータ保存力(Data Retention)及び読み出しディスタurb)によるしきい電圧変化を防止できる。すなわち、しきい電圧変化に対するマージンを増加させることができる。また、2Kバイトであるページバッファ変化(Page Buffer Variation)に対するマージンを増加させることができる。

20

【0054】

図3及び図4は、本発明に係るNANDフラッシュメモリ素子の漏れ電流を測定したグラフである。

【0055】

図3は、テストパターンにおいてセルのしきい電圧が約-5Vの場合、ソース選択ラインをフローティングノードで維持した場合と、0Vに維持した場合の漏れ電流をモニタした結果である。ソース選択ラインとこれと隣接したワードラインの容量性カップリング比(Capacitive Coupling Ratio)が小さくて誘起されたポテンシャルが0.2ないし0.3V程度にも関わらず、2ないし3倍程度の漏れ電流差を示している。すなわち、ソース選択ラインをフローティングさせた場合より強制的に0Vを印加した場合が漏れ電流が減少することが分かる。

30

【0056】

図4Aは、ソース選択ラインを0Vにした場合の漏れ電流をモニタした結果であり、図4Bは、従来1024ブロックの512M製品においてソース選択ラインをフローティングで維持した場合の漏れ電流をモニタした結果である。図4Aないし図4Bに比べて漏れ電流が減少することはもちろん、漏れ電流が均一であることがわかる。すなわち、図4Aが図4Bに比べて約1/4水準に漏れ電流が減少した。

【0057】

尚、本発明は、上記した本実施の形態に限られるものではなく、本発明の技術的思想から逸脱しない範囲内で多様に変更して実施することが可能である。

40

【図面の簡単な説明】

【0058】

【図1】選択されないブロックのストリング選択トランジスタには0Vのゲート電圧を印加し、ソース選択トランジスタはフローティングさせた状態の概念図である。

【図2】本発明に係るNANDフラッシュメモリ素子の回路図である。

【図3】本発明に係るNANDフラッシュメモリ素子の漏れ電流を測定したグラフである。

【図4】本発明に係るNANDフラッシュメモリ素子の漏れ電流を測定したグラフである

50

○

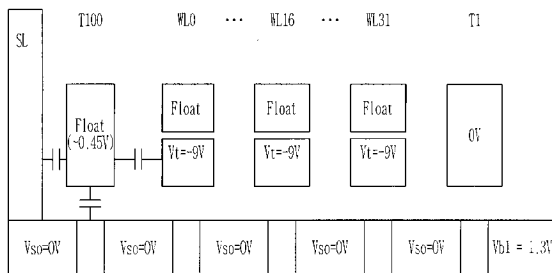
【符号の説明】

【 0 0 5 9 】

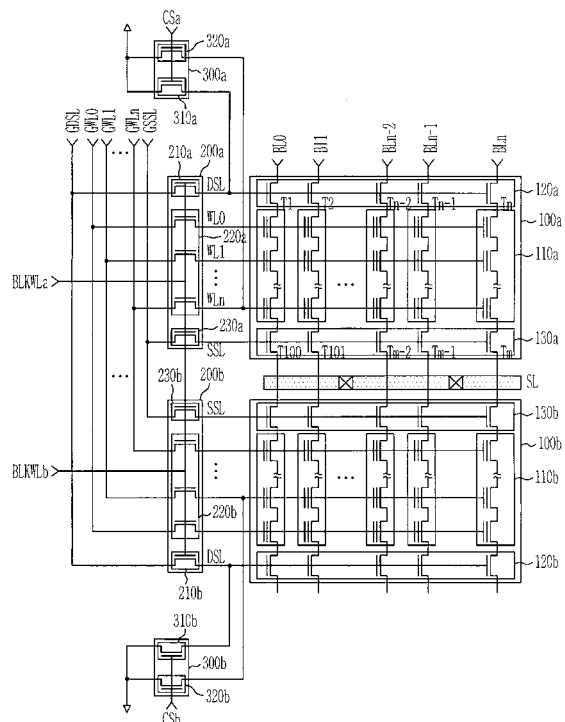
- |       |                |
|-------|----------------|
| 1 0 0 | セルブロック         |
| 1 1 0 | セルストリング部       |
| 1 2 0 | ストリング選択部       |
| 1 3 0 | ソース選択部         |
| 2 0 0 | Xデコーダ部         |
| 2 1 0 | ストリング伝送トランジスタ  |
| 2 2 0 | ワードライン伝送トランジスタ |
| 2 3 0 | ソース伝送トランジスタ    |
| 3 0 0 | スイッチ部          |
| 3 1 0 | ストリング放電トランジスタ  |
| 3 2 0 | ソース放電トランジスタ    |

10

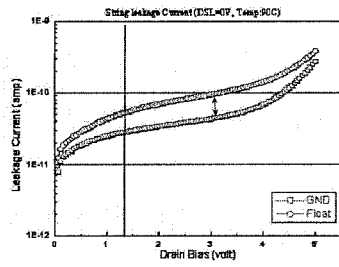
【 図 1 】



【圖 2】

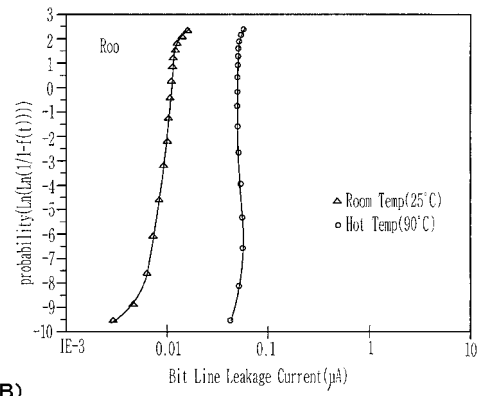


【 図 3 】

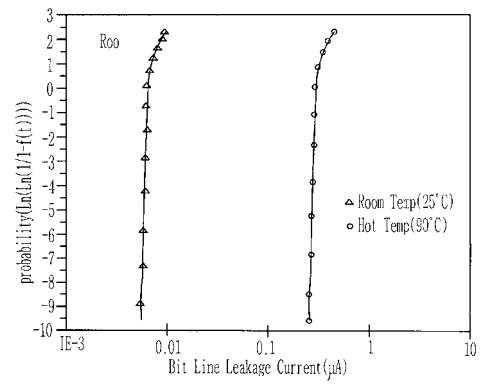


【 図 4 】

(A)



(B)



---

フロントページの続き

(51)Int.Cl. <sup>7</sup>	F I	テーマコード(参考)
H 0 1 L 29/788		
H 0 1 L 29/792		

F ターム(参考) 5F083 EP02 EP23 EP33 EP34 EP76 ER22 GA06 LA10  
5F101 BA01 BB05 BD22 BD34 BE02 BE07