(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2014 年 3 月 6 日(06.03.2014)

WIPO | PCT

(10) 国際公開番号
WO 2014/033941 A1

(51) 国際特許分類:
G06F 11/16 (2006.01) *G06F 11/34* (2006.01)

(21) 国際出願番号: PCT/JP2012/072292

(22) 国際出願日: 2012 年 9 月 3 日(03.09.2012)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(71) 出願人 (米国を除く全ての指定国について): 株式会社日立製作所 **(HITACHI, LTD.)** [JP/JP]; 〒1008280 東京都千代田区丸の内一丁目６番６号 Tokyo (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 濱本　真生 **(HAMAMOTO Masaki)** [JP/JP]; 〒1858601 東京都国分寺市東恋ヶ窪一丁目２８０番地　株式会社日立製作所　中央研究所内 Tokyo (JP). 山岡　雅直 **(YAMAOKA Masanao)** [JP/JP]; 〒1858601 東京都国分寺市東恋ヶ窪一丁目２８０番地　株式会社日立製作所　中央研究所内 Tokyo (JP).

(74) 代理人: 井上　学, 外 **(INOUE Manabu** et al.); 〒1008220 東京都千代田区丸の内一丁目６番１号 株式会社日立製作所内 Tokyo (JP).

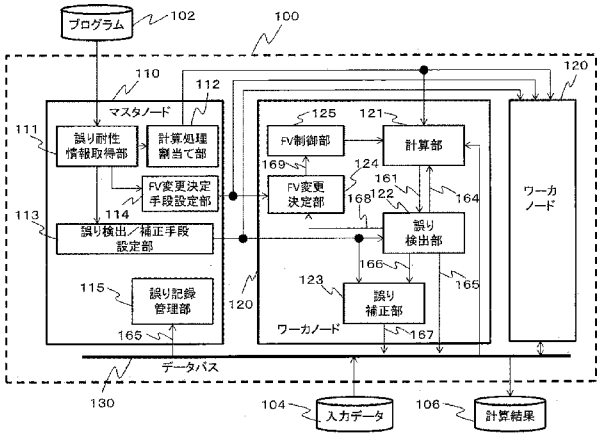
(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST,

[続葉有]

(54) **Title**: COMPUTER SYSTEM AND CONTROL METHOD FOR COMPUTER SYSTEM

(54) 発明の名称 : 計算機システムおよび計算機システムの制御方法

図1



102 Program
104 Input data
106 Calculation result
110 Master node
111 Error-resilient information acquisition unit
112 Calculation processing assignment unit
113 Error correction/detection means setting unit
114 FV modification determination means setting unit
115 Error record management unit
120 Worker node
121 Calculation unit
122 Error detection unit
123 Error correction unit
124 FV modification determination unit
125 FV control unit
130 Data bus

(57) **Abstract**: Conventionally, there has been the problem in a computer system that, even in calculations of a calculation-error-resilient application, calculation errors were accurately corrected, and therefore, it was not possible to substantially vary power supply voltage or operating frequency to accommodate lower power and faster speeds. In the present invention, the above-mentioned problem is resolved in a computer system provided with a first processor and a second processor, wherein for the first processor, the operating frequency and/or the operating voltage is variable, a detection module operating in the second processor detects errors of the first processor, and a determination module operating in the second processor determines the operating frequency and/or the operating voltage of the first processor.

(57) 要約:　従来、計算機システムにおいては計算誤りに耐性があるアプリケーションの計算においても、計算誤りを正確に訂正していたため、低電力化や高速化のために電源電圧や動作周波数を大きく変動させられない課題があった。　本発明では、第１プロセッサと第２プロセッサとを備える計算機システムで、第１プロセッサは、動作周波数または動作電圧の少なくとも一方が可変であり、第２プロセッサで動作する検出モジュールが第１プロセッサのエラーを検出し、第２プロセッサで動作する決定モジュールが第１プロセッサの動作周波数または動作電圧の少なくとも一方を決定することで、上述の課題を解決する。

WO 2014/033941 A1

SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告（条約第 21 条(3)）

明　細　書

発明の名称 ： 計算機システムおよび計算機システムの制御方法

技術分野

[0001] 本発明は、計算機システムに関し、特に電源電圧または動作周波数の制御に関する。

背景技術

[0002] 近年、大規模データを用いた認識処理や探索処理など大きな計算量が必要なアプリケーションの台頭が予想され、計算機の性能向上や低電力化が要求されている。しかしながら、計算機を構成する半導体スイッチ素子はその微細化に伴って静的及び動的な特性ばらつきが増大しており、従来のワーストケースベース設計では将来において計算機性能向上が困難となっている。

[0003] 特許文献１には、回路のクリティカルパスがアクティブになることは稀であることを利用し、エラー特性に基づいて電源電圧や周波数などを設定する技術が開示されている。特許文献１に開示の技術では、エラーが検知された場合、再計算などにより正しい値に訂正される。

先行技術文献

特許文献

[0004] 特許文献1：特開２００６－５２０９５２号公報

発明の概要

発明が解決しようとする課題

[0005] 例えば学習処理や認識処理では１０．０１２や１０．１２５などの計算値よりも、これがヒトであるか否かを識別できる方が重要であり、多少の計算誤りが直ちにアプリケーションを破綻させるほどの影響を与えない場合がある。特に反復的な計算によって計算結果を平衡状態に収束させ解を得る計算手法では、計算誤りによる誤差は反復によって消えるため計算誤りに対する耐性が非常に高い特徴がある。すなわち、エラーには重要度があり、この重要度の基準はアプリケーションごとに異なる。しかし、特許文献１に記載の

技術のアプローチはエラーを均一の重要度として扱うために、重要度の低いエラーに対してまで正確に再計算するため、電源電圧や動作周波数などを変動させる幅を大きくできない問題があった。

[0006] そこで、本発明では、電源電圧や動作周波数などを変動させる幅を大きくする技術を提供することを目的とする。

課題を解決するための手段

[0007] 本発明では、第１プロセッサと第２プロセッサとを備える計算機システムで、第１プロセッサは、動作周波数または動作電圧の少なくとも一方が可変であり、第２プロセッサで動作する検出モジュールが第１プロセッサのエラーを検出し、第２プロセッサで動作する決定モジュールが第１プロセッサの動作周波数または動作電圧の少なくとも一方を決定することで、上述の課題を解決する。

発明の効果

[0008] 電源電圧や周波数などを変動させる幅を大きく設定可能となる。

図面の簡単な説明

[0009] [図1]本発明の実施例である計算機システムの機能ブロック図である。

[図2]プログラム１０２が有する情報の例である。

[図3]本発明の実施例である計算機システムのハードウェア構成の例を示す図である。

[図4]計算ユニット３２１における電源電圧および動作周波数の制御領域の例を示す図である。

[図5]計算機システム１００のシステム動作フローチャートの例である。

[図6]メイン計算処理情報２０５へ誤り検出処理情報２２０と補正処理情報２３０を挿入する処理の例を示す図である。

[図7]計算機システム１００の計算動作フローチャートの例である。

[図8]誤り検出処理Ｓ７０２からログ出力処理Ｓ７１１までに対応するフローチャートの例である。

[図9]反復収束計算の反復回数ｉにおける計算結果Ｘの推移の例を示す図であ

る。

[図10]本発明の実施例である計算機システム１００１のシステム構成図である。

発明を実施するための形態

[0010] 以下、実施例を図面を用いて説明する。

実施例 1

[0011] 本実施例では、アプリケーションが要求する信頼性に応じた低電力あるいは高速な計算を可能とする計算機システムの例を説明する。図１は、本発明の実施例である計算機システム１００の機能ブロック図である。

[0012] 計算機システム１００は、入力されたプログラム１０２と入力データ１０４に対して、計算結果１０６を出力するシステムであり、マスタノード１１０と、１つ以上のワーカノード１２０と、データバス１３０とを有する。

[0013] マスタノード１１０は、誤り耐性情報取得部１１１、計算割当て部１１２、誤り検出／補正方法設定部１１３、ＦＶ変更決定手段設定部１１４、および誤り記録管理部１１５を有する。マスタノード１１０は、実行対象となるプログラム１０２から、解くべき対象となる計算処理の情報と、計算誤りの検出手段および補正手段に関する誤り耐性情報とを取得し、これらをワーカノード１２０へ割当てる機能を有する。また、マスタノード１１０は、ワーカノード１２０が計算処理を実行中には、バリア同期処理などの並列処理における基本的な計算制御を行う機能を有する。

[0014] 誤り耐性情報取得部１１１は、プログラム１０２からアプリケーションのメイン計算処理情報２０５と、その計算処理における計算誤り耐性情報２０１とを取得する。プログラム１０２に含まれる情報の例を図２に示す。プログラム１０２は、メイン計算処理情報２０５と、その計算処理における計算誤り耐性情報２０１とを含む。メイン計算処理情報２０５は、アプリケーションが解くべき対象となる計算処理のプログラムである。計算誤り耐性情報２０１は、アプリケーションが有する計算誤りに対する耐性に関する情報である。

[0015] 計算誤り耐性情報２０１は、誤り許容処理情報２１０、誤り検出処理情報２２０、誤り補正処理情報２３０、許容可能誤り頻度情報２４０、およびＦＶ制御処理情報２５０を含む。

[0016] 誤り許容処理情報２１０は、メイン計算処理情報２０５の内の計算誤りに耐性がある計算処理部分を示す情報である。計算誤りに耐性がある計算処理部分の多くはｆｏｒ文などで記述される繰り返し計算であるため、プログラマはディレクティブなどによって当該部分を指定することができる。

[0017] 誤り検出処理情報２２０は、誤り許容処理情報２１０に示された計算処理部分における致命的な計算誤りを検出するための誤り検出処理の情報である。以下、前記誤り検出処理によって検出された致命的な計算誤りをユーザ定義エラーと表現する。誤り補正処理情報２３０は、ユーザ定義エラーが検出された計算結果を補正するための誤り補正処理の情報である。

[0018] 許容可能誤り頻度情報２４０は、アプリケーションが許容可能なユーザ定義エラーの頻度の情報である。例としては、所定計算ステップ期間あたりに発生するユーザ定義エラーの回数などがある。

[0019] ＦＶ制御処理情報２５０は、ワーカノード１２０の計算部１２１の動作周波数または電源電圧の少なくともいずれかの制御処理の情報である。例としては、許容可能誤り頻度情報２４０と計算中に検出されたユーザ定義エラーの頻度に基づいて動作周波数または電源電圧、あるいはその両方を制御する手段がある。制御対象はＦＶ制御処理情報２５０に含まれる動作モード設定情報によって決定され、低電力モードであれば動作周波数を一定にして電源電圧を制御し、高速処理モードであれば、電源電圧を一定にして動作周波数を制御し、バランス動作モードであれば電力が一定となるように電源電圧を下げて動作周波数を上げるなどの制御を行うことが可能である。

[0020] 計算処理割当て部１１２は、各ワーカノード１２０に対して、各ワーカノードが担当する計算処理を割り当てる。誤り検出／補正手段設定部１１３は、各ワーカノード１２０の誤り検出部１２２へ誤り検出処理情報２２０を割り当て、各ワーカノード１２０の誤り補正部１２３へ誤り補正処理情報２３

０を割り当てる。ＦＶ変更決定手段設定部１１４は、各ワーカノード１２０のＦＶ変更決定部１２４へＦＶ制御処理情報２５０を割り当てる。誤り記録管理部１１５は、各ワーカノード１２０の誤り検出部１２２で検出されたユーザ定義エラーの発生状況を記録する。

[0021] ワーカノード１２０は、計算部１２１、誤り検出部１２２、誤り補正部１２３、ＦＶ変更決定部１２４、およびＦＶ制御部１２５を有する。

[0022] 計算部１２１は、計算処理割当て部１１２から割り当てられた計算処理を行う。計算部１２１は、計算に必要なデータを、ストレージ装置３４０から、データバス１３０を介して入力データ１０４から、または他のワーカノード１２０から得て計算し、その計算結果１６１を誤り検出部１２２へ出力する。

[0023] 誤り検出部１２２は、検出処理情報２２０の内、誤り検出／補正手段設定部１１３によって割当てられた情報を用いて、計算部１２１の計算結果における致命的な計算誤りであるユーザ定義エラーを検出する。ユーザ定義エラーを検出した場合、誤り検出部１２２は、計算部１２１への再計算要求１６４や、誤り補正部１２３への計算結果に対する補正要求１６６を出力する。また、誤り検出部１２２は、ユーザ定義エラーが発生したことをＦＶ変更決定部１２４へユーザ定義エラー発生通知１６８によって通知し、さらにマスタノード１１０の誤り記録管理部１１５へユーザ定義エラー発生に関するエラーログ情報１６５を出力する。

[0024] 誤り補正部１２３は、誤り補正処理情報２３０の内、誤り検出／補正手段設定部１１３によって割当てられた情報を用いて、計算部１２１の計算結果１６１を誤り検出部１２２からの補正要求１６６に基づいて補正する。誤り補正部１２３は、補正された計算結果１６７をデータバス１３０へ出力する。

[0025] ＦＶ変更決定部１２４は、ＦＶ制御処理情報２５０の内、ＦＶ変更決定手段設定部１１４によって割当てられた情報と、誤り検出部１２２からのユーザ定義エラー発生通知１６８とに基づいて、計算部１２１の動作周波数また

は電源電圧の少なくともいずれかを変更することを決定する。ＦＶ変更決定部１２４は、変更を決定した場合、ＦＶ制御部１２５へ動作周波数および電源電圧の設定量１６９を出力する。

[0026] ＦＶ制御部１２５は、ＦＶ変更決定部１２４からの設定量１６９に基づいて、計算部１２１の動作周波数および電源電圧を設定する。データバス１３０は、マスタノード１１０、１つ以上のワーカノード１２０、さらにその他の外部装置を繋ぐための通信路である。

[0027] 図３に、計算機システム１００のハードウェア構成の例を示す。計算機システム１００は、計算ノード３１０と、少なくとも一つの計算ノード３２０と、ネットワーク３３０と、ストレージ装置３４０とを有する。

[0028] 計算ノード３１０は、図１に示したマスタノード１１０の機能を実現する計算ノードであり、計算ユニット３１１、メモリユニット３１３、通信ユニット３１４、およびバス３１５を備える。計算ノード３１０は、情報処理装置であり、例えばサーバ装置である。

[0029] 計算ユニット３１１は、メモリユニット３１３からプログラムを読み出し計算を行うユニットであり、中央処理装置（ＣＰＵ）などで実現される。メモリユニット３１３は、プログラムやデータを記憶するユニットであり、ＤＲＡＭなどで実現される。通信ユニット３１４は、ネットワーク３３０を介したノード間通信を行うためのユニットである。バス３１５は、計算ユニット３１１、メモリユニット３１３などノード内のユニット間でデータ通信するための通信路である。

[0030] 計算ノード３２０は、図１に示したワーカノード１２０の機能を実現する計算ノードであり、計算ユニット３２１、補助計算ユニット３２２、メモリユニット３１３、通信ユニット３１４、およびバス３１５を備える。計算ノード３２０は、計算ユニット３２１やメモリユニット３１３を複数個備えていても良い。計算ノード３２０は、情報処理装置であり、例えばサーバ装置である。

[0031] 計算ユニット３２１は、図１に示した計算部１２１とＦＶ制御部１２５の

機能を実現する計算ユニットであり、その電源電圧および動作周波数が外部から設定可能である。図４に、計算ユニット３２１における電源電圧および動作周波数の制御領域の例を示す。計算機ユニット３２１は、ＣＰＵ４１０とＦＶ制御部４２０とを有する。ＣＰＵ４１０は、命令フェッチ処理４１１、命令デコード処理４１２、演算処理４１３、および書き戻し処理４１４を行う処理ブロックから構成される。ここで、ＣＰＵ４１０では、特に、演算処理４１３を行う浮動小数点演算（ＦＰＵ）ユニット４１５やデータ並列演算（ＳＩＭＤ）ユニット４１６などのプログラムの制御に関わらないデータを計算する演算ユニットおよび記憶ユニットの電源電圧または動作周波数を、ＦＶ制御部４２０によって設定量１６８に従い設定できる。メモリアドレスやポインタ計算などプログラムの制御に関わる計算にエラーが生じた場合、計算ユニット３２１がハングアップするなどの障害が生じる可能性がある。そのため、このように電源電圧または動作周波数を制御するユニットを限定することで、動作周波数を一定にしたまま電源電圧を低減するなど、ＣＰＵ４１０の動作を不安定にする操作を行った際に、計算ユニット３２１がハングアップすることを回避できる。

[0032] 補助計算ユニット３２２は、ＣＰＵなどで実現されるプログラマブルな計算ユニットであり、図１に示した誤り検出部１２２、誤り補正部１２３、およびＦＶ変更決定部１２４の機能を実現する。補助計算ユニット３２２は、簡単な処理しか行わないため、計算ユニット３２１に比べて処理性能が小さな計算ユニットで実現可能である。また、補助計算ユニット３２２を用いて、電源電圧や動作周波数の制御が行われるプロセッサと別のプロセッサで誤り検出部１２２、誤り補正部１２３、およびＦＶ変更決定部１２４の機能を実現することで、電源電圧や動作周波数の制御によって計算機システム１００の動作が不安定になることを防ぐことができるので、より大きく電源電圧や動作周波数を変動させる制御を可能にできる。この補助計算ユニット３２２の使用は、計算ユニット３２１で電源電圧または動作周波数を制御する部分を限定しない場合には、計算機システム１００の動作の安定化に特に有効

である。

[0033] ネットワーク３３０は、計算ノード３１０と、１つ以上の計算ノード３２０と、ストレージ装置３４０とを繋ぐネットワークであり、ネットワークスイッチなどで構成される。ストレージ装置３４０は、プログラム１０２や、計算機システム１００が演算に用いるデータを格納するために用いられる。

[0034] 次に、計算機システム１００の動作を説明する。図５に計算機システム１００の動作フローチャートを示す。

[0035] マスタノード１１０は、まず、計算誤り耐性情報の有無判定のステップＳ５０１にて、プログラム１０２が計算誤り耐性情報２０１を有しているかを確認する。プログラム１０２が計算誤り耐性情報２０１を有していない場合、マスタノード１１０は、通常の並列計算機システムと同様にメイン計算処理情報２０５を分割して各ワーカノード１２０の計算ユニット３２１へ割当て（ステップＳ５１０）、計算を実行し（ステップＳ５１１）、結果出力を行う（ステップＳ５２１）。

[0036] プログラム１０２が計算誤り耐性情報２０１を有している場合、マスタノード１１０は、計算誤り耐性情報２０１を取得し（ステップＳ５０２）、図６のように誤り検出処理情報２２０と補正処理情報２３０をメイン計算処理情報２０５の処理ステップへ挿入する（ステップＳ５０３）。図６では、誤り許容処理情報２１０に示される計算部分におけるｎ番目の計算処理とｎ＋１番目の計算処理の間に誤り検出処理と誤り補正処理を挿入する例を示している。ここで、ｎ番目の計算処理とは、例えばＫ－ｍｅａｎｓクラスタリングアルゴリズムなどでは、クラスタ中心位置の座標更新のための計算における反復回数ｎ回目の計算処理に該当する。ステップＳ５０３の操作は、計算ユニット３２１の計算結果を、補助計算ユニット３２２を介して出力するように設定することに相当する。なお、誤り検出処理情報２２０と誤り補正処理情報２３０の挿入位置はメイン計算処理情報２０５内部にディレクティブなどで指示されている。ステップＳ５０４において、マスタノード１１０は、各ワーカノード１２０の計算ユニット３２１へメイン計算処理情報２０５

の処理を分割して割当て、さらに各ワーカノード１２０の補助計算ユニット３２２へ誤り検出処理情報２２０、誤り補正処理情報２３０およびＦＶ制御処理情報２５０を割り当てる。

[0037] 計算機システム１００は、ステップＳ５０５では、ステップＳ５０４でワーカノード１２０へ割り当てた計算処理を実行し、ステップＳ５２１にてその計算結果を出力する。

[0038] 以下、ステップＳ５０５の計算実行における計算機システム１００の動作を図７のフローチャートを用いて詳細に説明する。なお、メイン計算処理情報２０５としてＫ－ｍｅａｎｓクラスタリングアルゴリズムなどの反復型収束計算が与えられていることを例に説明する。

[0039] ワーカノード１２０の計算ユニット３２１が、マスタノード１１０から計算実行開始の通知を受け取ると、計算ユニット３２１で実行されている計算部１２１は、割り当てられた計算処理を実行し、計算結果を補助計算ユニット３２２で実行されている誤り検出部１２２へ送信する（ステップＳ７０１）。次に、補助計算ユニット３２２で実行されている誤り検出部１２２は、送信された計算ユニット３２１で実行されている計算部１２１の計算結果に対し、誤り検出処理を行い（ステップＳ７０２）、エラーが検出されたならば、誤り補正部１２３による誤り補正処理（ステップＳ７１０）とログ出力処理（ステップＳ７１１）が行われる。

[0040] ここで、誤り検出処理Ｓ７０２からログ出力処理Ｓ７１１までの処理の例を図８および図９を用いて詳細に説明する。図８は、誤り検出処理Ｓ７０２からログ出力処理Ｓ７１１までに対応するフローチャートである。図９は、反復回数ｉにおける計算結果Ｘの値の変遷を曲線９１１によって示しており、反復計算の計算結果Ｘが反復回数ｉの増大に従って振動しながら収束する例を示している。ここでは本発明にかかる誤り検出処理情報２２０の例として、反復回数ｉ回目の計算結果と反復回数ｉ－１回目の計算結果との差分の絶対値を計算誤りの判定基準に用いるアルゴリズム（以下、誤り検出アルゴリズムと称する）の概要を最初に説明し、その後、図８のフローチャートを

説明する。以下、反復回数ｉ回目の計算ユニット３２１で実行される計算部１２１の計算結果をＸ（ｉ）と表現として説明する。

[0041] 図９において、｜ΔＸ（ｉ－２）｜は反復回数ｉ－２における計算結果Ｘの変化量９１２に該当し、｜ΔＸ（ｉ－１）｜は反復回数ｉ－１における計算結果Ｘの変化量９１３に該当し、｜ΔＸ（ｉ）｜は反復回数ｉにおける計算結果Ｘの変化量９１４に該当する。誤り検出部１２２で実行される本実施例にかかる誤り検出アルゴリズムでは、計算結果Ｘは反復回数ｉの増加に伴って収束することを前提に、計算結果Ｘの変化量に対し、過去の変化量の情報に基づいて上限値を設定することを特徴とする。具体的には次の式（１）および式（２）によって上限値が設定される。

$|\Delta X(i)|<\Delta Xmax$・・・式（１）

$\Delta Xmax=MAX(\alpha\cdot|\Delta X(i-1)|,\beta\cdot|\Delta X(i-2)|)$・・・式（２）

ここで、ΔＸｍａｘは、式（２）で示されるように、反復回数ｉ－１における変化量９１３のα倍と、反復回数ｉ－２における変化量９１２のβ倍とのうち、大きい方の値である。αおよびβはユーザが設定する値であり、ゼロ以上の実数である。即ち、反復回数ｉにおける変化量９１４の上限値は、反復回数ｉ－１における変化量９１３のα倍と、反復回数ｉ－２における変化量９１２のβ倍とのうち、大きい方の値とする。この上限値設定によって制限されるΔＸ（ｉ）の値域は、例えば、値域９２１で表現され、｜ΔＸ（ｉ）｜が前記上限値を超えた場合（あるいはΔＸ（ｉ）が値域９２１の範囲外となった場合とも表現できる）、ユーザ定義エラーが発生したとしてカウントされる。

[0042] ここで、反復回数ｉ－１と反復回数ｉ－２の２つの結果を用いているのは、例えば、反復回数ｉ－１に計算誤りが生じて｜ΔＸ（ｉ－１）｜が非常に小さな値となった場合、｜ΔＸ（ｉ）｜の上限値も非常に小さくなってしまい、計算の収束に掛かる時間が伸びてしまう。そこで、２回以上続けて大きな計算誤りが生じる確率は小さいことを前提に、｜ΔＸ（ｉ－２）｜を用いてより大きな値を上限値として採用することで前記課題を解決する。なお、

より収束時間を安定にするために式（１）にさらに｜ΔＸ（ｉ－３）｜を導入するなど、条件を追加することも可能である。｜ΔＸ（１）｜におけるΔＸｍａｘはユーザが設定してもよいし、変数Ｘの型が取りえる最大値としてもよい。

[0043] 以上に説明した誤り検出アルゴリズムにより、アプリケーションへ大きな影響を与える計算誤りを回避することが可能となる。

[0044] 次に、図８のフローチャートを説明する。補助計算ユニット３２２で実行される誤り検出部１２２は、計算結果Ｘ（ｉ）受信すると、反復回数ｉの値を更新する（ステップＳ８００）。その後、誤り検出部１２２は、計算ユニット３２１で実行される計算部１２１の反復回数ｉ－１での計算結果Ｘ（ｉ－１）と反復回数ｉでの計算結果Ｘ（ｉ）の差分の絶対値である｜ΔＸ（ｉ）｜を算出し（ステップＳ８０１）、｜ΔＸ（ｉ）｜が式（１）に示した変化量の上限値を超えていないかをチェックする（ステップＳ８０２）。なお、ステップＳ８０２の分岐は、ステップＳ７０３の分岐に対応する。ステップＳ８０２において式（１）の条件を満たさない場合には、誤り検出部１２１は、ユーザ定義エラーが発生したと判定する。また、ＦＶ変更決定部１２４ではユーザ定義エラー発生回数が更新され（ステップＳ８１０）、後述のようにその頻度が求められる。

[0045] 誤り補正処理（ステップＳ７１０）では、補助計算ユニット３２２で実行されている誤り補正部１６７は、ステップＳ８０２の比較において｜ΔＸ（ｉ）｜が上限値を超えていた場合は、Ｘ（ｉ－１）＋ΔＸｍａｘまたはＸ（ｉ－１）－ΔＸｍａｘのいずれかＸ（ｉ）に近い値を補正後のＸ（ｉ）の値として採用する。その後、誤り補正部１６７はログ出力処理（ステップＳ７１１）を行い、マスタノード１１０の誤り記録管理部１１５へユーザ定義エラー発生の状況と補正前後の値などのエラーログ情報１６５を送信する。以上が誤り検出処理Ｓ７０２からログ出力処理Ｓ７１１までの処理の例である。これによりアプリケーションが要求する精度を維持しつつ、計算誤りを許容することが可能となるため、従来技術よりも電源電圧および動作周波数を

変動させる幅を大きく設定することができ、より大きな低電力化や高速化が可能となる。

[0046] ＦＶ変更決定処理（ステップＳ７１２）では、ＦＶ変更決定部１２４は、誤り検出処理（ステップＳ７０２）において発生したユーザ定義エラーの頻度をモニタリングし、ユーザ定義エラー発生頻度と許容可能誤り頻度情報２４０とＦＶ制御処理情報２５０の動作モード設定情報に基づいて、計算ユニット３２１の動作周波数または電源電圧を制御するか否かを決定する。動作周波数または電源電圧を変更する場合には、ＦＶ変更決定部１２４は、計算ユニット３２１のＦＶ制御部１２５へ動作周波数または電源電圧の設定量１６９を送信する（Ｓ７１４）。ユーザ定義エラー発生頻度の定義としては、例えばステップＳ７０２の誤り検出処理Ｎ（Ｎは１以上の整数）回当たりに発生したユーザ定義エラーの検出回数などがあり、これが許容可能誤り頻度情報２４０を上回った場合、電源電圧を上昇させる又は動作周波数を低減させる設定量１６９を送信する。一方、観測したユーザ定義エラー発生頻度が許容可能誤り頻度情報２４０を下回った場合、ＦＶ変更決定部１２４は、電源電圧を低減させる、または動作周波数を上昇させる設定量１６９を送信する。これにより、計算機システム１００は、より低電力に、またはより高速に、処理をすることが可能になる。

[0047] その後、ワーカノード１２０は、計算結果を他のワーカノード１２０へ送信し、マスタノード１１０へ計算結果の収束状況情報と計算完了を通知し、マスタノード１１０は、同期処理を行う（ステップＳ７１５）。マスタノード１１０は、計算結果の収束判定を行い、計算結果が収束したと判定した場合、計算を終了する（ステップＳ７１６）。

[0048] 以上が、本実施例にかかるステップＳ５０５での計算処理の動作例である。

[0049] 以上に示した動作によって本実施例に係る計算機システム１００は、電源電圧や周波数などを変動させる幅を従来技術より大きく設定することができ、より大きな低電力化や高速化が可能となる。

実施例 2

[0050] 本実施例では、実施例１に示した計算機システム１００よりもさらにプログラミングが容易な実施例として、計算機システム１００１を説明する。

[0051] 計算機システム１００１は、計算機システム１００においてプログラム１０２に含まれていた計算誤り耐性情報２０１における誤り検出処理情報２２０、誤り補正処理情報２３０、およびＦＶ制御処理情報２５０のうち、良く使われる処理パタンをテンプレート化（またはライブラリ化とも表現できる）し、ＡＰＩ（Ａｐｐｌｉｃａｔｉｏｎ Ｐｒｏｇｒａｍ Ｉｎｔｅｒｆａｃｅ）としてプログラマに提供することを特徴とする。本特徴によりプログラマは利用したい処理パタンを選択し、そのパラメータを指定することで計算機システム１００の機能を利用することが可能となる。

[0052] 図１０は、実施例２における計算機システム１００１の構成図の例である。計算機システム１００１は、エラー忘却型計算テンプレート１０２０と計算機システム１００とを有し、プログラム１０１０を入力として計算を実行する。エラー忘却型計算テンプレート１０２０は誤り検出処理１０２１、誤り補正処理１０２２、およびＦＶ制御処理１０２３を有する。

[0053] 誤り検出処理１０２１は、例えば、実施例１において説明した誤り検出処理情報２２０の処理であり、この場合は式（２）のα、βをパラメータとして設定できる。誤り補正処理１０２２は、例えば、実施例１において説明した誤り補正処理情報２３０の処理であり、その他にもロールバックによる再計算などがある。誤り補正処理１０２２は、これら補正処理モードをパラメータとして設定できる。ＦＶ制御処理１０２３は、例えば、実施例１において説明したＦＶ制御処理情報２５０の処理などであり、許容誤り頻度情報２４０や低電力化のための制御をするか、高速化のための制御をするかなどを指定する動作モード設定情報をパラメータとして設定できる。

[0054] プログラム１０１０は、メイン計算処理情報２０５、誤り許容処理情報２１０、およびパラメータ情報１０１１を有する。パラメータ情報１０１１は、エラー忘却型計算テンプレート１０２０の誤り検出処理１０２１、誤り補

正処理１０２２、およびＦＶ制御処理１０２３のパラメータであり、ＡＰＩの引数としてシステムに入力される。

[0055] 計算機システム１００１は、エラー忘却型計算テンプレート１０２０、パラメータ情報１０１１、および誤り許容処理情報２１０を用いて計算誤り耐性情報２０１を作成し、さらにメイン計算処理情報２０５を加えて、計算機システム１００へプログラム１０２として入力する。

[0056] 以上により、計算機システム１００１は、従来技術よりも電源電圧および動作周波数を変動させる幅を大きく設定することができ、より大きな低電力化や高速化が可能となると共に、実施例１に示した計算機システム１００よりもさらに高いプログラム容易性を実現できる。

符号の説明

[0057] １００：計算機システム、１０２：プログラム、１０４：入力データ、１０６：計算結果、１１０：マスタノード、１１１：誤り耐性情報取得部、１１２：計算割当て部、１１３：誤り検出／補正方法設定部、１１４：ＦＶ変更決定手段設定部、１１５：誤り記録管理部、１２０：ワーカノード、１２１：計算部、１２２：誤り検出部、１２３：誤り補正部、１２４：ＦＶ変更決定部、１２５：ＦＶ制御部、１３０：データバス１３０、３１０：計算ノード、３１１：計算ユニット、３１３：メモリユニット、３１４：通信ユニット、３１５：バス、３２０：計算ノード、３２１：計算ユニット、３２２：補助計算ユニット、３３０：ネットワーク、３４０：ストレージ装置。

請求の範囲

[請求項1] 第１プロセッサと第２プロセッサとを備える計算機システムの制御方法であって、

前記第１プロセッサは、動作周波数または動作電圧の少なくとも一方が可変であり、

前記第２プロセッサで動作する検出モジュールが前記第１プロセッサのエラーを検出し、

前記第２プロセッサで動作する決定モジュールが前記第１プロセッサの動作周波数または動作電圧の少なくとも一方を決定することを特徴とする計算機システムの制御方法。

[請求項2] 請求項１に記載の計算機システムの制御方法において、

前記決定モジュールが前記第１プロセッサの動作周波数または動作電圧の少なくとも一方を決定する際に、

前記検出モジュールが検出する前記エラーの頻度に基づいて、前記決定モジュールが前記第１プロセッサの動作周波数または動作電圧の少なくとも一方を決定することを特徴とする計算機システムの制御方法。

[請求項3] 請求項２に記載の計算機システムの制御方法において、

前記頻度は、前記検出モジュールが前記エラーの検出処理を行った回数当りに発生した前記エラーの検出回数であることを特徴とする計算機システムの制御方法。

[請求項4] 請求項１に記載の計算機システムの制御方法において、

前記計算機システムは、

前記第１プロセッサおよび前記第２プロセッサを含む第１情報処理装置と、

前記第１情報処理装置に前記エラーの検出条件を送信する第２情報処理装置とを備えることを特徴とする計算機システムの制御方法。

[請求項5] 請求項４に記載の計算機システムの制御方法において、

前記第２情報処理装置は、前記計算機システムに投入されるプログラムから前記検出条件を抽出することを特徴とする計算機システムの制御方法。

[請求項6] 請求項４に記載の計算機システムの制御方法において、

前記第１情報処理装置および前記第２情報処理装置は、サーバ装置であることを特徴とする計算機システムの制御方法。

[請求項7] 第１プロセッサと第２プロセッサとを備える計算機システムであって、

前記第１プロセッサは、動作周波数または動作電圧の少なくとも一方が可変であり、

前記第２プロセッサで動作する検出モジュールが前記第１プロセッサのエラーを検出し、

前記第２プロセッサで動作する決定モジュールが前記第１プロセッサの動作周波数または動作電圧の少なくとも一方を決定することを特徴とする計算機システム。

[請求項8] 請求項７に記載の計算機システムにおいて、

前記検出モジュールが検出する前記エラーの頻度に基づいて、前記決定モジュールが前記第１プロセッサの動作周波数または動作電圧の少なくとも一方を決定することを特徴とする計算機システム。

[請求項9] 請求項８に記載の計算機システムにおいて、

前記頻度は、前記検出モジュールが前記エラーの検出処理を行った回数当りに発生した前記エラーの検出回数であることを特徴とする計算機システム。

[請求項10] 請求項７に記載の計算機システムにおいて、

前記計算機システムは、

前記第１プロセッサおよび前記第２プロセッサを含む第１情報処理装置と、

前記第１情報処理装置に前記エラーの検出条件を送信する第２情報

処理装置とを備えることを特徴とする計算機システム。

[請求項11] 請求項１０に記載の計算機システムにおいて、

前記第２情報処理装置は、前記計算機システムに投入されるプログラムから前記検出条件を抽出することを特徴とする計算機システム。

[請求項12] 請求項１０に記載の計算機システムにおいて、

前記第１情報処理装置および前記第２情報処理装置は、サーバ装置であることを特徴とする計算機システム。

[図1]

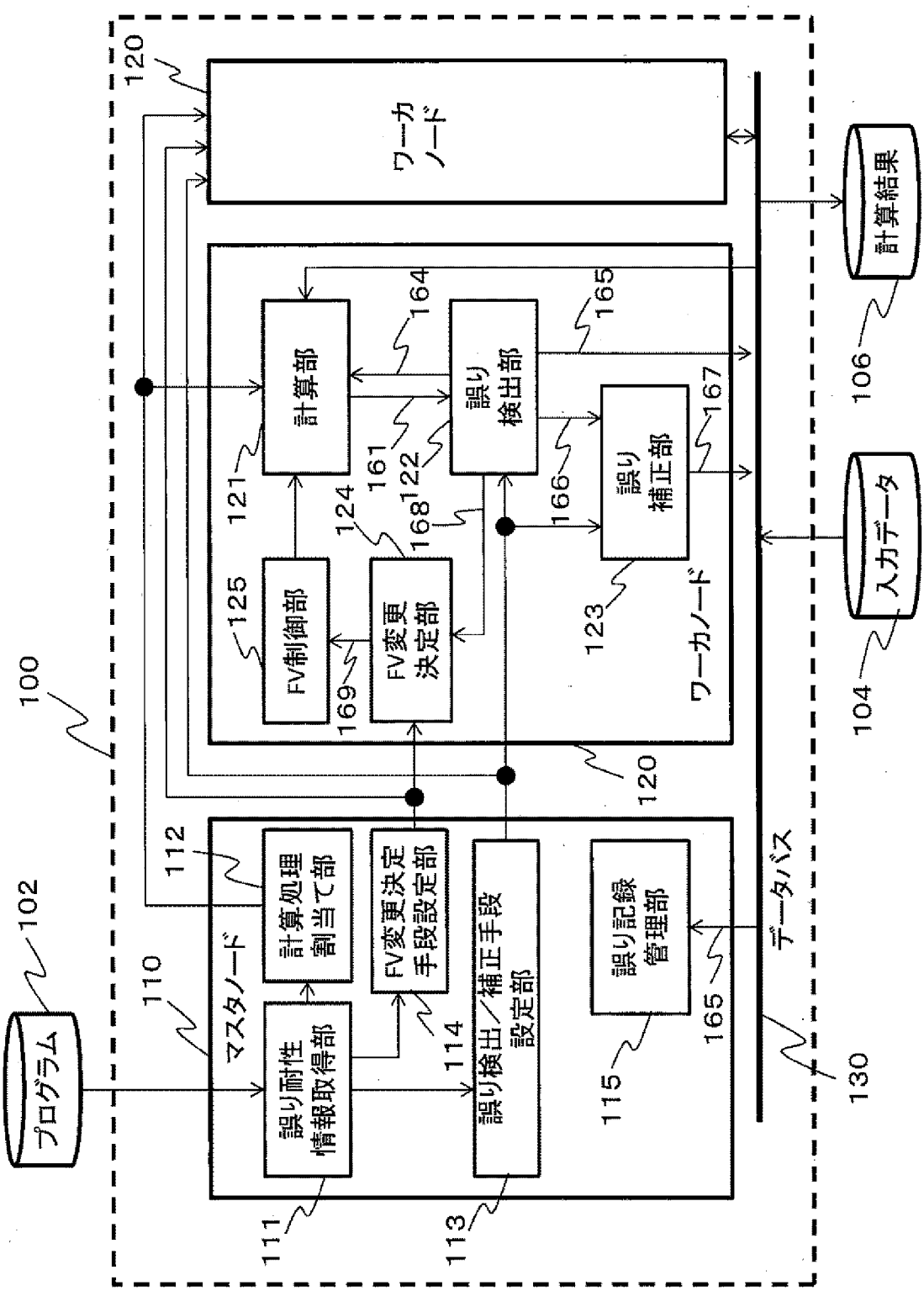
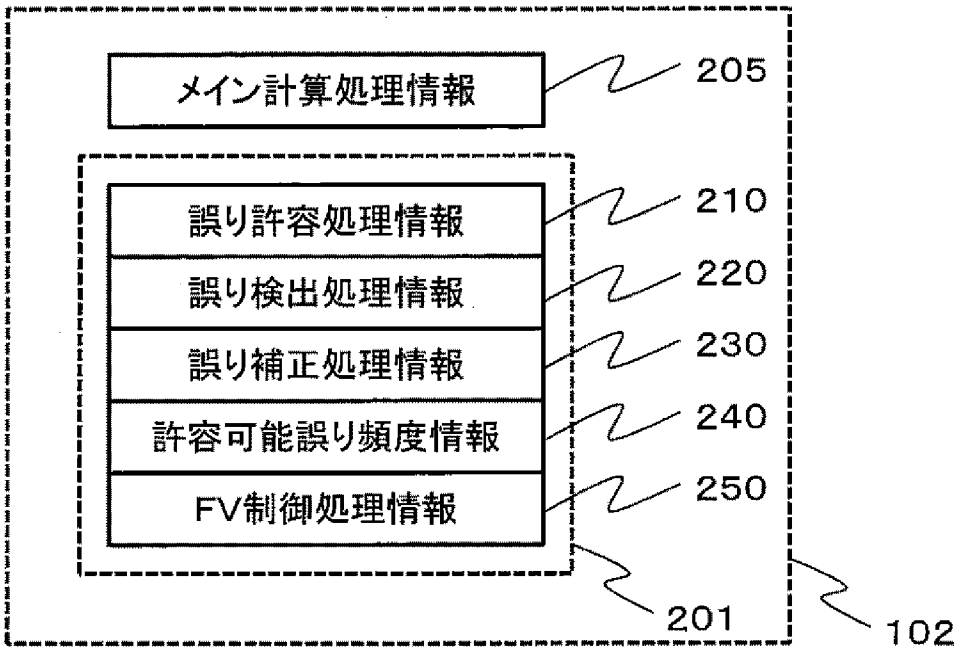

100
120
ワーカノード
計算結果
106
164
165
計算部
誤り検出部
167
誤り補正部
121
161
122
166
124
168
125
FV制御部
FV変更決定部
169
123
ワーカノード
入力データ
104
120
112
計算処理割当て部
FV変更決定手段設定部
102
プログラム
110
マスタノード
誤り耐性情報取得部
114
誤り検出／補正手段設定部
誤り記録管理部
165
データバス
115
130
111
113

図1

[図2]

図2


メイン計算処理情報
205
誤り許容処理情報
210
誤り検出処理情報
220
誤り補正処理情報
230
許容可能誤り頻度情報
240
FV制御処理情報
250
201
102

[図3]

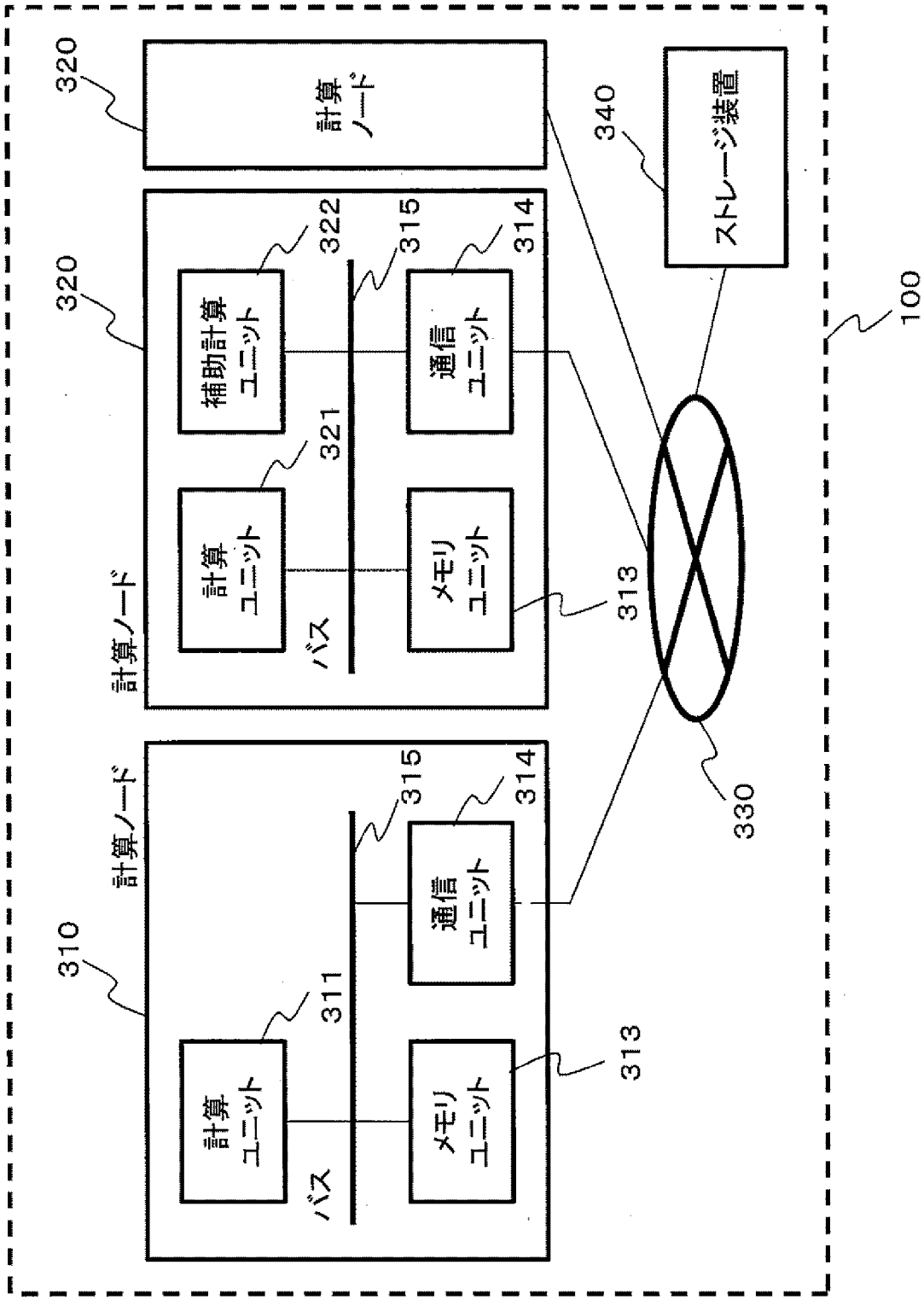
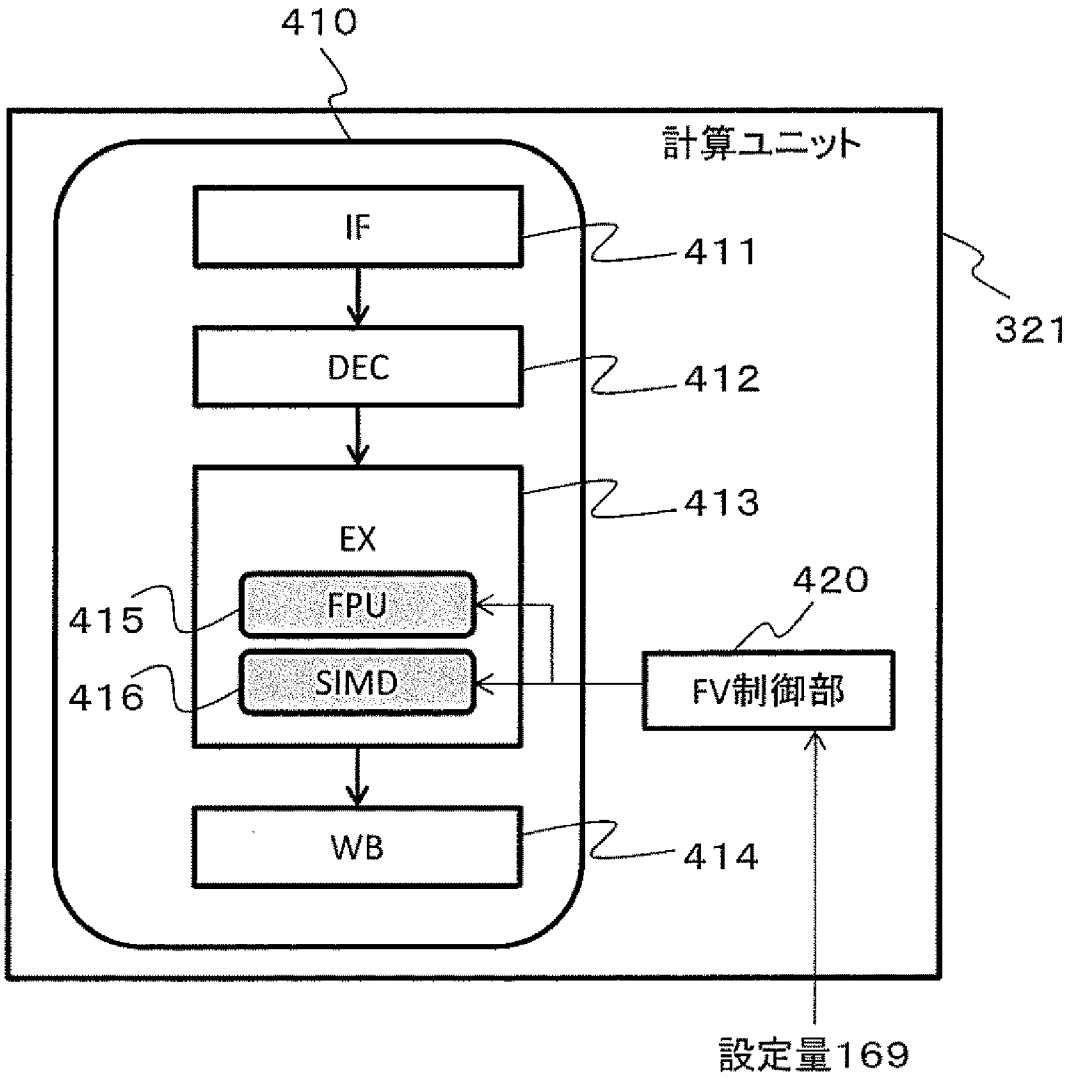

100
320
計算ノード
340
ストレージ装置
320
322
315
314
補助計算ユニット
通信ユニット
321
計算ユニット
メモリユニット
バス
313
計算ノード
310
315
314
通信ユニット
311
計算ユニット
メモリユニット
バス
313
330

図3

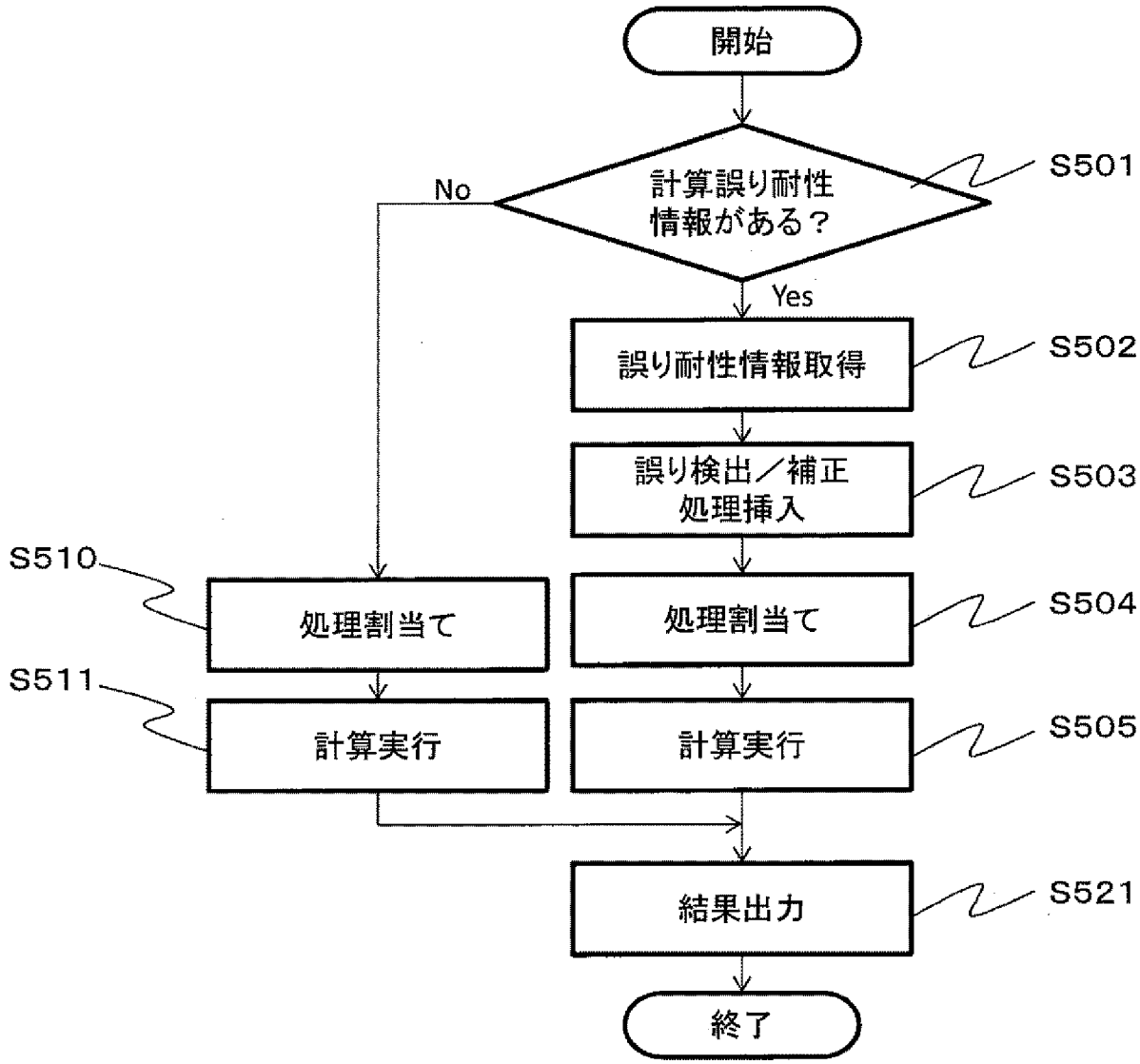
[図4]

図4


410
計算ユニット
IF
411
DEC
412
413
EX
FPU
415
SIMD
416
420
FV制御部
WB
414
321
設定量169

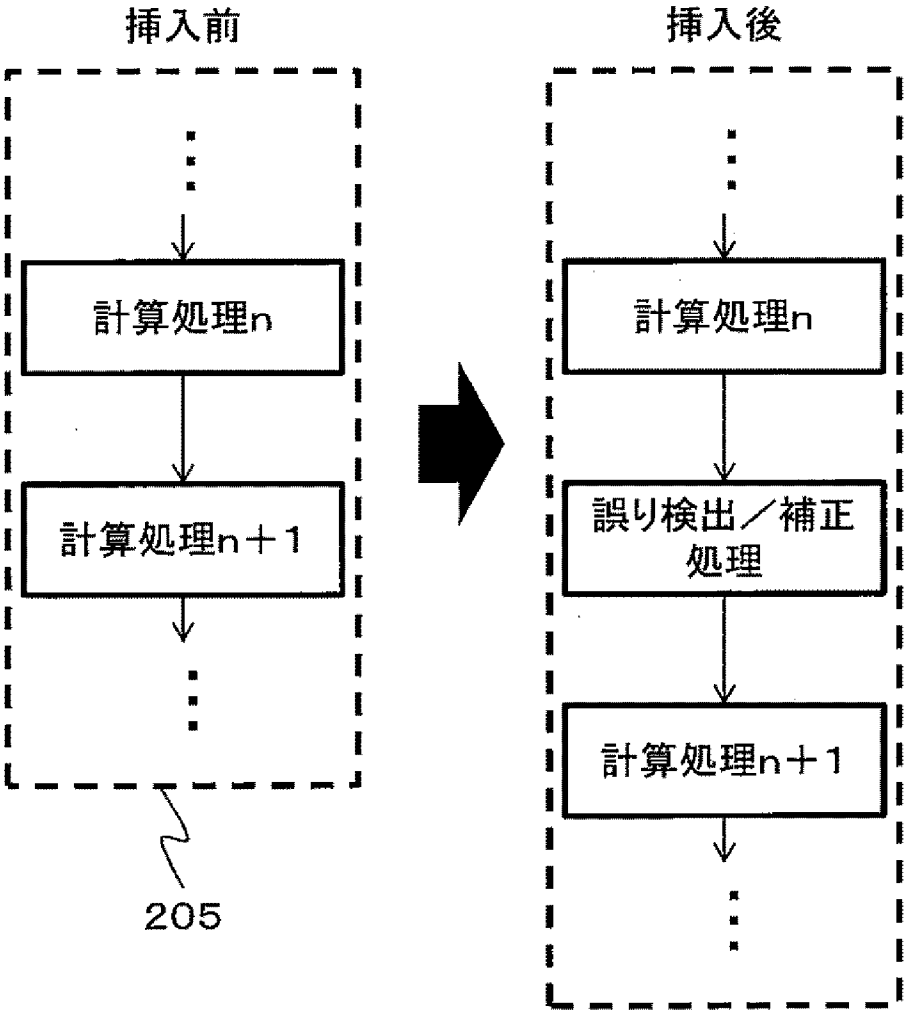
[図5]

図5


開始
計算誤り耐性情報がある？
S501
No
Yes
誤り耐性情報取得
S502
誤り検出／補正処理挿入
S503
S510
処理割当て
処理割当て
S504
S511
計算実行
計算実行
S505
結果出力
S521
終了

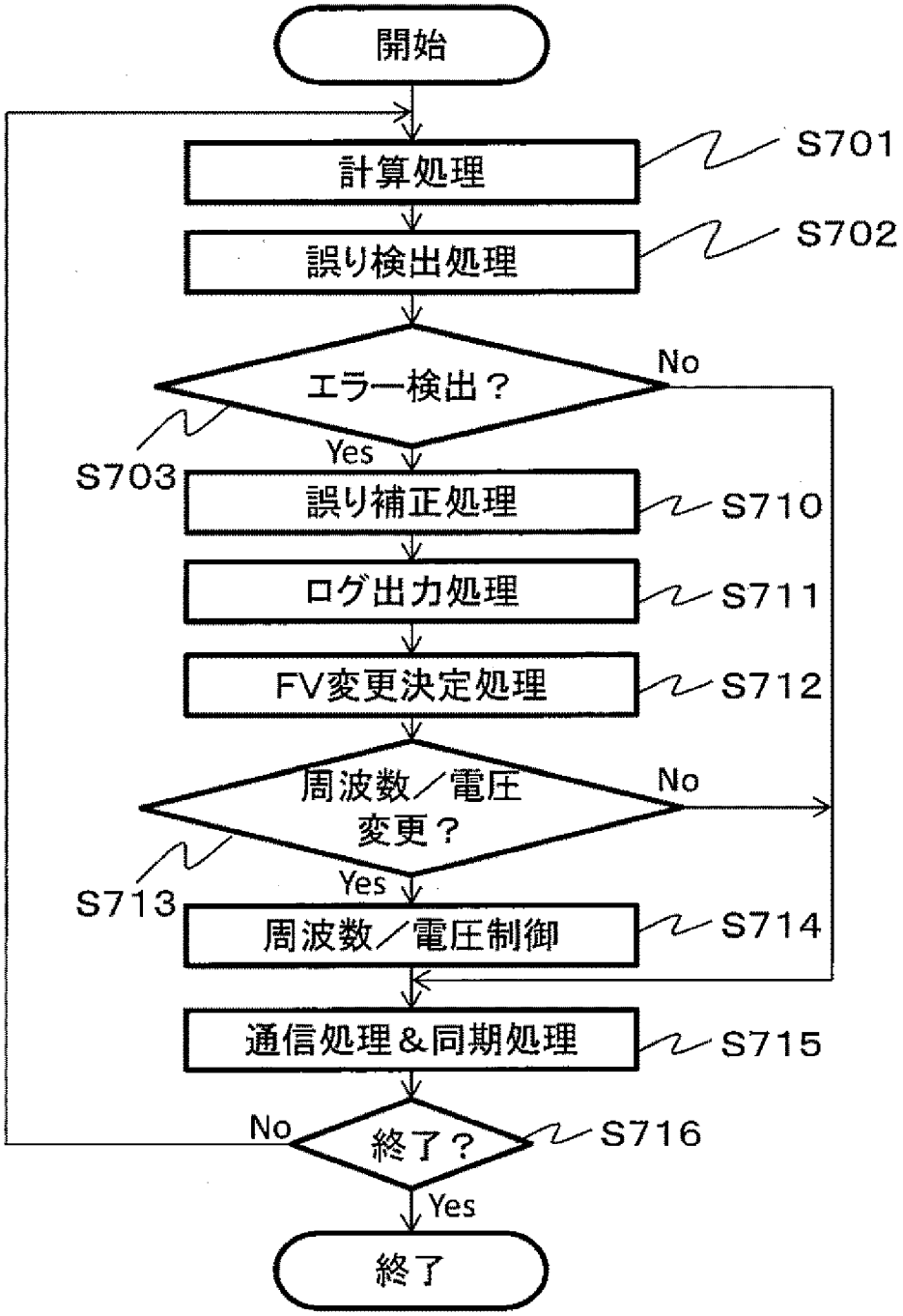
[図6]

図6



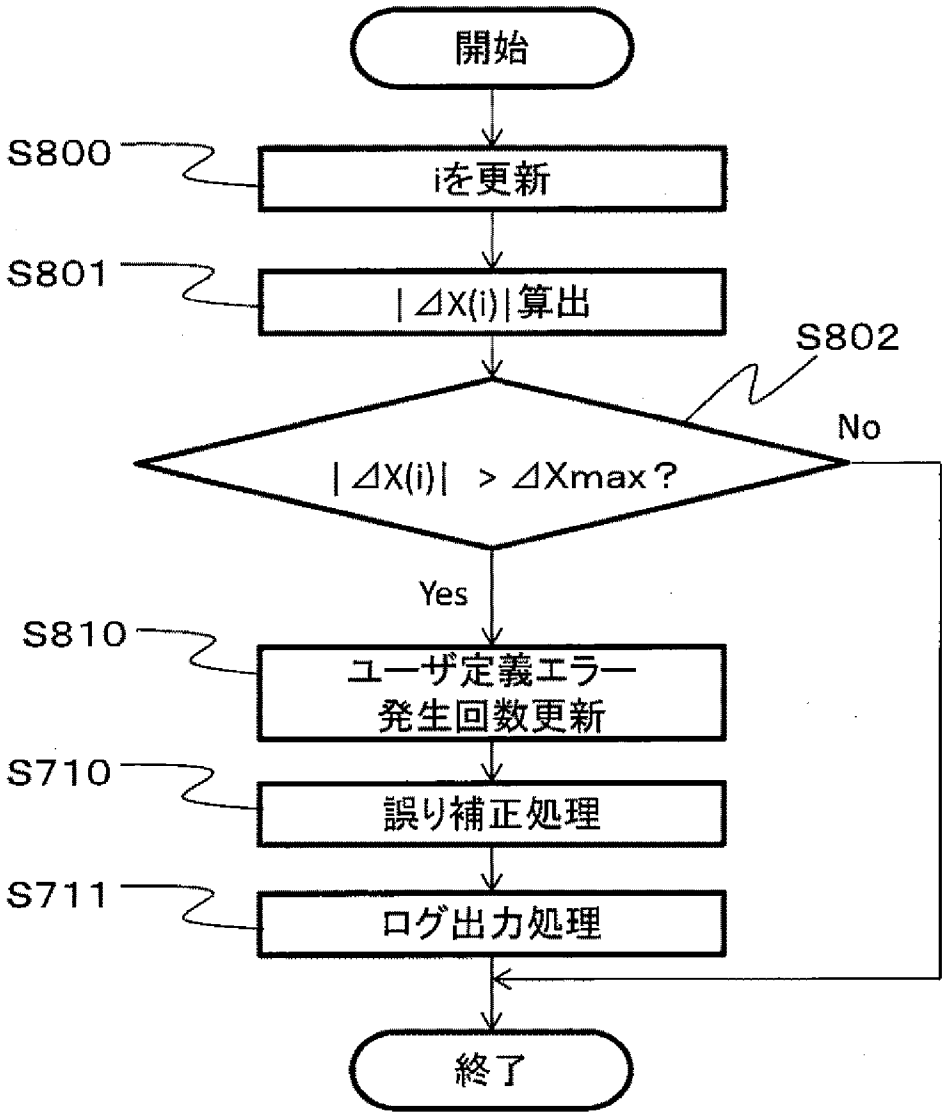
[図7]

図7


開始
計算処理
S701
誤り検出処理
S702
エラー検出？
No
Yes
S703
誤り補正処理
S710
ログ出力処理
S711
FV変更決定処理
S712
周波数／電圧
変更？
No
Yes
S713
周波数／電圧制御
S714
通信処理＆同期処理
S715
No
終了？
S716
Yes
終了

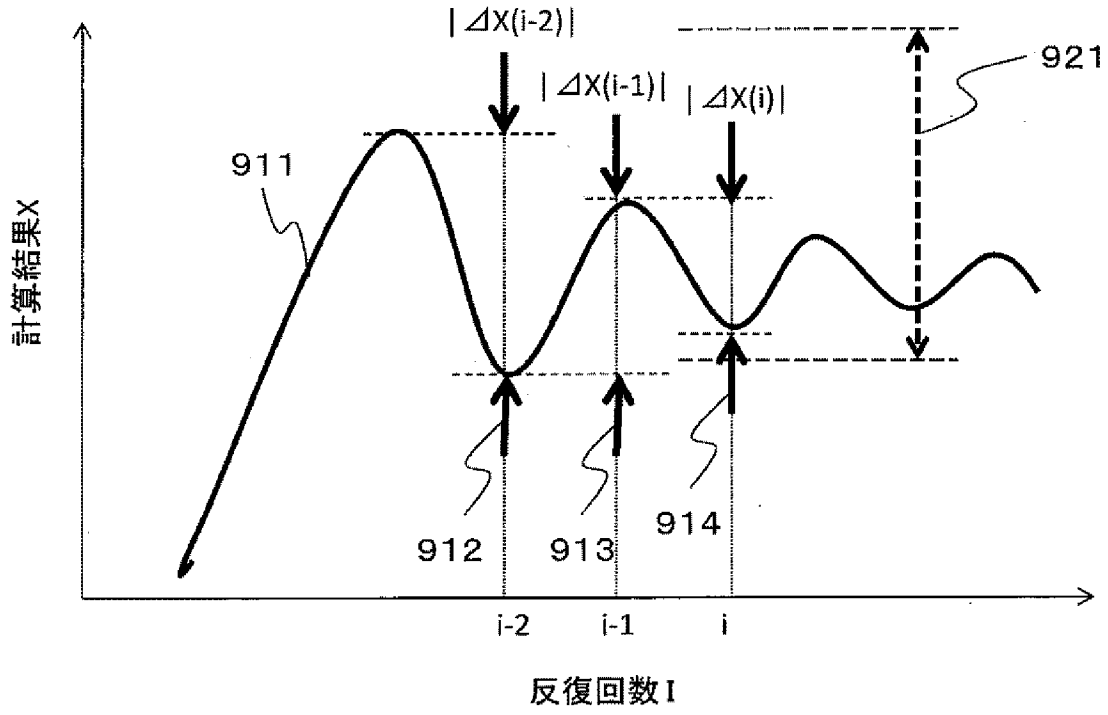
[図8]

図8


開始
S800
iを更新
S801
|⊿X(i)|算出
S802
No
|⊿X(i)| > ⊿Xmax？
Yes
S810
ユーザ定義エラー
発生回数更新
S710
誤り補正処理
S711
ログ出力処理
終了

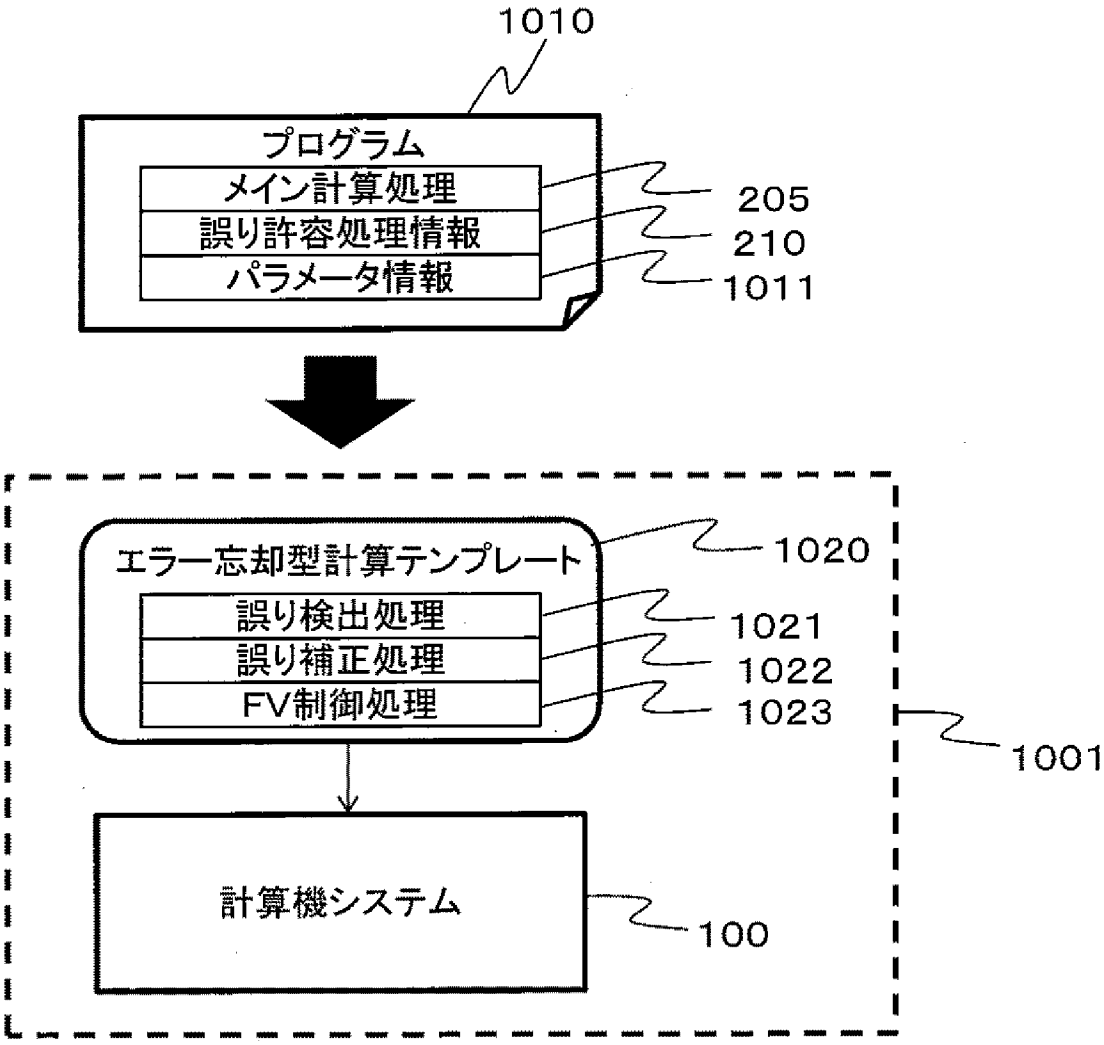
[図9]

図9



[図10]

図10


1010
プログラム
メイン計算処理
誤り許容処理情報
パラメータ情報
205
210
1011
エラー忘却型計算テンプレート
誤り検出処理
誤り補正処理
FV制御処理
1020
1021
1022
1023
1001
計算機システム
100

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2012/072292

A. CLASSIFICATION OF SUBJECT MATTER
G06F11/16(2006.01)i, *G06F11/34*(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
G06F11/16-11/20, G06F11/34

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2012
Kokai Jitsuyo Shinan Koho	1971-2012	Toroku Jitsuyo Shinan Koho	1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2011-022957 A (NEC Corp.), 03 February 2011 (03.02.2011), entire text; all drawings (Family: none)	1-12
Y	JP 2009-025964 A (Kawasaki Microelectronics, Inc.), 05 February 2009 (05.02.2009), entire text; all drawings (Family: none)	1-12
Y	JP 2009-510618 A (Intel Corp.), 12 March 2009 (12.03.2009), entire text; all drawings & US 2007/0074011 A1 & WO 2007/038530 A2 & DE 112006002265 T5 & CN 101278264 A	4-6,10-12

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
29 October, 2012 (29.10.12)	06 November, 2012 (06.11.12)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2012/072292

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2008/129786 A1 (Panasonic Corp.), 30 October 2008 (30.10.2008), paragraphs [0037], [0049], [0053] to [0055]; fig. 3, 6 & US 2010/0153761 A1 & WO 2008/129786 A1 & EP 2073119 A1 & CN 101542442 A	1-12

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１２／０７２２９２

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　G06F11/16(2006.01)i, G06F11/34(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　G06F11/16-11/20, G06F11/34

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１２年
日本国実用新案登録公報	１９９６－２０１２年
日本国登録実用新案公報	１９９４－２０１２年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Ｙ	ＪＰ　２０１１－０２２９５７　Ａ（日本電気株式会社） ２０１１．０２．０３，全文，全図（ファミリーなし）	１－１２
Ｙ	ＪＰ　２００９－０２５９６４　Ａ（川崎マイクロエレクトロニクス株式会社）２００９．０２．０５，全文，全図（ファミリーなし）	１－１２
Ｙ	ＪＰ　２００９－５１０６１８　Ａ（インテル　　コーポレイション） ２００９．０３．１２，全文，全図 ＆　ＵＳ　２００７／００７４０１１　Ａ１ ＆　ＷＯ　２００７／０３８５３０　Ａ２	４－６， １０－１２

☑　Ｃ欄の続きにも文献が列挙されている。　　☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日 ２９．１０．２０１２	国際調査報告の発送日 ０６．１１．２０１２
国際調査機関の名称及びあて先 日本国特許庁（ＩＳＡ／ＪＰ） 郵便番号１００－８９１５ 東京都千代田区霞が関三丁目４番３号	特許庁審査官（権限のある職員）　５Ｂ　３７８１ ▲高▼橋　正▲徳▼ 電話番号　０３－３５８１－１１０１　内線　３５４４

Ｃ（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
	＆　ＤＥ　１１２００６００２２６５　Ｔ５ ＆　ＣＮ　１０１２７８２６４　Ａ	
Ａ	ＷＯ　２００８／１２９７８６　Ａ１（パナソニック株式会社） ２００８．１０．３０，段落【００３７】，【００４９】， 【００５３】－【００５５】，図３，図６ ＆　ＵＳ　２０１０／０１５３７６１　Ａ１ ＆　ＷＯ　２００８／１２９７８６　Ａ１ ＆　ＥＰ　２０７３１１９　Ａ１ ＆　ＣＮ　１０１５４２４４２　Ａ	１－１２