



(12)发明专利

(10)授权公告号 CN 105655340 B

(45)授权公告日 2020.01.21

(21)申请号 201610025894.9

(22)申请日 2010.11.19

(65)同一申请的已公布的文献号
申请公布号 CN 105655340 A

(43)申请公布日 2016.06.08

(30)优先权数据
2009-288474 2009.12.18 JP
2009-294790 2009.12.25 JP

(62)分案原申请数据
201080057685.3 2010.11.19

(73)专利权人 株式会社半导体能源研究所
地址 日本神奈川县厚木市

(72)发明人 山崎舜平 小山润 加藤清

(74)专利代理机构 中国专利代理(香港)有限公司 72001
代理人 叶晓勇 姜甜

(51)Int.Cl.

H01L 27/11517(2017.01)

H01L 27/1156(2017.01)

H01L 23/528(2006.01)

H01L 27/108(2006.01)

H01L 27/12(2006.01)

H01L 29/24(2006.01)

H01L 29/78(2006.01)

H01L 29/786(2006.01)

H01L 49/02(2006.01)

G11C 16/04(2006.01)

H01L 21/285(2006.01)

H01L 21/336(2006.01)

(56)对比文件

US 2005275038 A1,2005.12.15,

US 2007018163 A1,2007.01.25,

CN 101339954 A,2009.01.07,

WO 2009087943 A1,2009.07.16,

审查员 赵洋

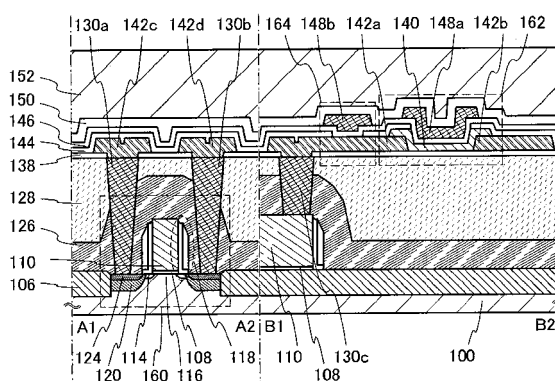
权利要求书3页 说明书32页 附图20页

(54)发明名称

半导体装置

(57)摘要

提供:第一晶体管,包含沟道形成区域、第一栅极绝缘层、第一栅电极、以及第一源电极和第一漏电极;第二晶体管,包含氧化物半导体层、第二源电极和第二漏电极、第二栅极绝缘层、以及第二栅电极;以及电容器,包含第二源电极和第二漏电极中的一个、第二栅极绝缘层、以及提供为在第二栅极绝缘层之上与第二源电极和第二漏电极中的一个重叠的电极。第一栅电极以及第二源电极和第二漏电极中的一个彼此电连接。



1. 一种半导体装置,包括:
存储器单元,包括:
第一晶体管,包括:
作为源电极和漏电极中之一的第一导电层;
作为所述源电极和所述漏电极中另一个的第二导电层;
氧化物半导体层,电连接到所述第一导电层和所述第二导电层;
在所述第一导电层、所述第二导电层和所述氧化物半导体层之上的第一绝缘层;以及
在所述第一绝缘层之上的作为栅电极的第三导电层,其中所述第三导电层和所述氧化物半导体层彼此重叠;
在所述第一绝缘层之上的第四导电层,其中所述第四导电层和所述第一导电层彼此重叠;和
第二晶体管,所述第二晶体管的栅电极电连接到所述第一导电层,
其中所述氧化物半导体层包括铟、镓和锌,
其中所述氧化物半导体层包括所述第一晶体管的沟道形成区域,以及
其中所述第一导电层和所述第四导电层彼此电绝缘以组成电容器。
2. 如权利要求1所述的半导体装置,其中所述第一导电层、所述第一绝缘层和所述第四导电层组成所述电容器。
3. 如权利要求1所述的半导体装置,其中所述氧化物半导体层进一步包括镓。
4. 如权利要求1所述的半导体装置,其中所述第一导电层和所述第二导电层位于所述氧化物半导体层之上。
5. 如权利要求1所述的半导体装置,其中所述氧化物半导体层具有小于 $1 \times 10^{12} / \text{cm}^3$ 的载流子密度。
6. 一种半导体装置,包括:
存储器单元,包括:
第二晶体管;
在所述第二晶体管之上并且包括开口的第二绝缘层;
第一晶体管,包括:
在所述第二绝缘层之上并且在所述开口中的作为源电极和漏电极中之一的第一导电层;
在所述第二绝缘层之上的作为所述源电极和所述漏电极中另一个的第二导电层;
氧化物半导体层,电连接到所述第一导电层和所述第二导电层;
在所述第一导电层、所述第二导电层和所述氧化物半导体层之上的第一绝缘层;以及
在所述第一绝缘层之上的作为栅电极的第三导电层,其中所述第三导电层和所述氧化物半导体层彼此重叠;和
在所述第一绝缘层之上的第四导电层,其中所述第四导电层和所述第一导电层彼此重叠,
其中所述第一导电层电连接到所述第二晶体管的栅电极,
其中所述氧化物半导体层包括铟、镓和锌,
其中所述氧化物半导体层包括所述第一晶体管的沟道形成区域,以及

其中所述第一导电层和所述第四导电层彼此电绝缘以组成电容器。

7. 如权利要求6所述的半导体装置,其中所述第一导电层、所述第一绝缘层和所述第四导电层组成所述电容器。

8. 如权利要求6所述的半导体装置,其中所述氧化物半导体层进一步包括镓。

9. 如权利要求6所述的半导体装置,其中所述第一导电层和所述第二导电层位于所述氧化物半导体层之上。

10. 如权利要求6所述的半导体装置,其中所述第二晶体管的沟道形成区域设置在半导体衬底中。

11. 如权利要求6所述的半导体装置,进一步包括电连接所述第一导电层和所述第二晶体管的所述栅电极的第五导电层。

12. 如权利要求6所述的半导体装置,其中所述氧化物半导体层具有小于 $1 \times 10^{12} / \text{cm}^3$ 的载流子密度。

13. 如权利要求6所述的半导体装置,其中所述半导体装置是NAND半导体装置,其包括多个串联连接的所述存储器单元。

14. 如权利要求6所述的半导体装置,其中所述半导体装置是NOR半导体装置,其包括多个并联连接的所述存储器单元。

15. 一种半导体装置,包括:

第一晶体管;

第二晶体管;和

电容器,

其中所述第一晶体管的源极和漏极中的一个电连接到第一布线,

其中所述第一晶体管的所述源极和所述漏极中的另一个电连接到第二布线,

其中所述第一晶体管的栅极电连接到所述第二晶体管的源极和漏极中的一个,

其中所述第一晶体管的所述栅极电连接到所述电容器的电极中的一个,

其中所述第二晶体管的所述源极和所述漏极中的另一个电连接到第三布线,

其中所述第二晶体管的第二栅极电连接到第四布线,

其中所述电容器的所述电极中的另一个电连接到第五布线,

其中所述第二晶体管的第二栅极电连接到第六布线,

其中所述第二晶体管包括氧化物半导体层,所述氧化物半导体层包括沟道形成区域,以及

其中所述氧化物半导体层包括铟、镓和锌。

16. 如权利要求15所述的半导体装置,其中所述第一晶体管的沟道形成区域由除了氧化物半导体材料之外的材料形成。

17. 如权利要求15的半导体装置,其中所述第一晶体管的沟道形成区域设置在半导体衬底中。

18. 如权利要求15所述的半导体装置,进一步包括在所述第一晶体管之上的绝缘层,其中所述第二晶体管设置在所述绝缘层之上。

19. 如权利要求18所述的半导体装置,其中所述电容器设置在所述绝缘层之上。

20. 如权利要求15所述的半导体装置,其中所述第四布线和所述第六布线配置成供应

有相同电位。

21. 如权利要求15所述的半导体装置, 其中所述第四布线和所述第六布线配置成供应有彼此不同的电位。

半导体装置

技术领域

[0001] 本文所公开的发明涉及包含半导体元件的半导体装置以及制造半导体装置的方法。

背景技术

[0002] 使用半导体元件的存储装置广义上分为两个类别：当电力供应停止时已存储的数据丢失的易失性装置，以及即使当不供应电力时也保留已存储的数据的非易失性装置。

[0003] 易失性存储装置的典型例子是DRAM（动态随机存取存储器）。DRAM以选择包含于存储元件中的晶体管并且在电容器中存储电荷的方式存储数据。

[0004] 当从DRAM读取数据时，按照上述的原理电容器中的电荷丢失；从而每次读出数据时另一写入操作是必要的。此外，即使当不选择晶体管时，包含于存储元件中的晶体管也具有漏电流并且电荷流入或流出电容器，使得数据保留时间很短。由于此原因，在预定的间隔另一写入操作（刷新操作）是必要的，从而难以充分地减小功率消耗。此外，由于当电力供应停止时已存储的数据丢失，所以为了长时间保留数据，需要使用磁性材料或光学材料的额外的存储装置。

[0005] 易失性存储装置的另一例子是SRAM（静态随机存取存储器）。SRAM通过使用例如触发器等电路来保留已存储的数据从而无需刷新操作。这意味着SRAM优于DRAM。然而，由于使用例如触发器等电路，所以每存储容量的成本增加。此外，如在DRAM中那样，当电力供应停止时SRAM中已存储的数据丢失。

[0006] 非易失性存储装置的典型例子是闪存。闪存包含在晶体管中的栅电极和沟道形成区域之间的浮栅并且通过保留浮栅中的电荷来存储数据。因此，闪存存在以下方面具有优势：数据保留时间极其长（几乎永久）并且不需要易失性存储装置中必要的刷新操作（例如，参照专利文献1）。

[0007] 然而，包含于存储元件中的栅极绝缘层通过在写入中产生的隧道电流而退化，使得存储元件在预定数量的写入操作之后停止其功能。为了减小这一问题的不利影响，例如，采用对于每个存储元件的写入操作数量均等化的方法。然而，需要复杂的外围电路来实现这一方法。此外，采用这样的方法并不解决寿命的基本问题。换句话说，闪存不合适于频繁重写数据的应用。

[0008] 此外，对保留浮栅中的电荷或移除该电荷，高压是必要的，并且因此也需要电路。另外，需要相对长的时间来保留或移除电荷，并且不容易以更高速度进行写入和擦除。

[0009] [参照]

[0010] [专利文献]

[0011] [专利文献1]日本专利申请公开第S57-105889号。

发明内容

[0012] 考虑到上述问题，本公开的发明的一个实施例的目标是提供具有新颖结构的半导

体装置,其中即使当不供应电力时也可以保留已存储的数据,并且对写入次数没有限制。

[0013] 在所公开的本发明中,使用高度纯化的氧化物半导体形成半导体装置。由于其漏电流极其小,所以使用高度纯化的氧化物半导体形成的晶体管可以长时间地保留数据。

[0014] 所公开的发明的实施例是一种半导体装置,包括:第一晶体管,包含沟道形成区域、在其间提供有沟道形成区域的杂质区域、在沟道形成区域之上提供的第一栅极绝缘层、在第一栅极绝缘层之上提供的第一栅电极、以及电连接到杂质区域的第一源电极和第一漏电极;第二晶体管,包含氧化物半导体层、电连接到氧化物半导体层的第二源电极和第二漏电极、覆盖氧化物半导体层、第二源电极以及第二漏电极的第二栅极绝缘层、以及在第二栅极绝缘层之上与氧化物半导体层重叠的第二栅电极;以及电容器,包含第二源电极和第二漏电极中的一个、第二栅极绝缘层、以及提供为在第二栅极绝缘层之上与第二源电极和第二漏电极中的一个重叠的电极。第一栅电极以及第二源电极和第二漏电极中的一个彼此电连接。

[0015] 所公开的发明的实施例是一种半导体装置,包括:第一晶体管,包含沟道形成区域、在其间提供有沟道形成区域的杂质区域、在沟道形成区域之上提供的第一栅极绝缘层、在第一栅极绝缘层之上提供的第一栅电极、以及电连接到杂质区域的第一源电极和第一漏电极;第二晶体管,包含氧化物半导体层、电连接到氧化物半导体层的第二源电极和第二漏电极、与第二源电极和第二漏电极接触的绝缘层、提供为覆盖氧化物半导体层、第二源电极、第二漏电极以及绝缘层的第二栅极绝缘层、以及提供为在第二栅极绝缘层之上与氧化物半导体层重叠的第二栅电极;以及电容器,包含第二源电极和第二漏电极中的一个、第二栅极绝缘层、以及提供为在第二栅极绝缘层之上与第二源电极和第二漏电极中的一个重叠的电极。第二源电极和第二漏电极中的一个以及第一栅电极彼此电连接。

[0016] 在以上描述中,氧化物半导体层优选与第二源电极和第二漏电极的侧面或顶面接触。此外,在以上描述中,第二晶体管和电容器优选提供于第一晶体管之上。

[0017] 注意在本说明书等中,例如“之上”或“之下”等术语不必意味着部件放置于另一部件的“直接地之上”或“直接地之下”。例如,“在栅极绝缘层之上的栅电极”的表达并不排除在栅极绝缘层和栅电极之间放置有部件的情况。此外,除非另有规定,否则例如“之上”和“之下”等术语仅用于描述的便利并且可以包含部件关系颠倒的情况。

[0018] 此外,在本说明书等中,例如“电极”或“布线”等术语并不限制部件的功能。例如,“电极”有时用作部分“布线”,反之亦然。此外,术语“电极”或“布线”可以包含以集成方式形成多个“电极”或“布线”的情况。

[0019] 例如,当使用相反极性的晶体管或当在电路操作中改变电流流动方向时,“源极”和“漏极”的功能有时彼此取代。因此,在本说明书中,术语“源极”和“漏极”可以分别用于指代漏极和源极。

[0020] 注意在本说明书等中,术语“电连接”包含通过具有任何电功能的对象连接部件的情况。对具有任何电功能的对象没有特别的限制,只要在通过该对象连接的部件之间可以传输和接收电信号即可。

[0021] “具有任何电功能的对象”的例子有例如晶体管等开关元件、电阻器、电感器、电容器、和具有各种功能的元件、以及电极和布线。

[0022] 本发明的实施例提供半导体装置,其具有层叠有包含除氧化物半导体以外的材料

的晶体管和包含氧化物半导体的晶体管的结构。

[0023] 由于包含氧化物半导体的晶体管的截止电流极其低,所以通过使用该晶体管可以保留已存储的数据极其长的时间。换句话说,由于刷新操作变得不必要或刷新操作的频率可以极其低,所以可以适当地减小功率消耗。此外,即使当不供应电力时已存储的数据也可以长时间保留。

[0024] 另外,写入数据不需要高压,并且元件的退化不成为问题。例如,由于不需要进行向浮栅的电子注入或从浮栅的电子取出(其在传统的非易失性存储器中是需要的),所以例如栅极绝缘层退化等问题并不发生。即,根据本发明的一个实施例的半导体装置并不限制写入次数(其在传统的非易失性存储器中是个问题),并且其可靠性大大改善。此外,依赖于晶体管的导通状态和截止状态而写入数据,由此可以容易地实现高速操作。此外,不需要擦除数据的操作。

[0025] 由于包含除氧化物半导体以外的材料的晶体管可以充分高速操作,所以通过使用晶体管可以高速读出已存储的数据。

[0026] 通过包含含有除氧化物半导体以外的材料的晶体管和含有氧化物半导体的晶体管两者,可以实现具有新颖特征的半导体装置。

附图说明

[0027] 在附图中:

[0028] 图1A和图1B是半导体装置的截面图和平面图;

[0029] 图2A到图2D是半导体装置的截面图;

[0030] 图3A1、图3A2和图3B是半导体装置的电路图;

[0031] 图4A到图4H是与半导体装置的制造步骤相关的截面图;

[0032] 图5A到图5E是与半导体装置的制造步骤相关的截面图;

[0033] 图6A和图6B是半导体装置的截面图和平面图;

[0034] 图7A到图7E是与半导体装置的制造步骤相关的截面图;

[0035] 图8A和图8B是半导体装置的电路图;

[0036] 图9A和图9B是半导体装置的截面图和平面图;

[0037] 图10A和图10B是半导体装置的截面图;

[0038] 图11A到图11E是与半导体装置的制造步骤相关的截面图;

[0039] 图12A到图12E是与半导体装置的制造步骤相关的截面图;

[0040] 图13A到图13D是与半导体装置的制造步骤相关的截面图;

[0041] 图14A到图14F是用于描述电子器具的透视图;以及

[0042] 图15是示出存储器窗口宽度的研究结果的图表。

具体实施方式

[0043] 在下文中,将使用附图描述本发明的实施例和例子。注意本发明不限于后续描述,而且本领域技术人员容易理解:可以以各种方式修改模式和细节而不背离本发明的精神和范围。因此,本发明不应视为限制于后续实施方式中的描述。

[0044] 注意图中所示的每个结构的位置、尺寸、范围等在一些情况下用于简单理解而不

是精确地表示。因此,所公开的发明不必要限制于如图等中公开的位置、尺寸、范围等。

[0045] 在本说明书等中,使用序数(例如“第一”、“第二”、以及“第三”)以避免部件间的混淆,并且该术语不意味着部件数量的限制。

[0046] [实施例1]

[0047] 在本实施例中,参照图1A和图1B、图2A到图2D、图3A1、图3A2和图3B、图4A到图4H、以及图5A到图5E描述根据所公开的发明的一个实施例的半导体装置的结构和制造方法。注意在每个电路图中,在一些情况下,在晶体管旁边写“OS”以指示该晶体管包含氧化物半导体。

[0048] <半导体装置的平面结构和截面结构>

[0049] 图1A和图1B图示半导体装置的结构例子。图1A图示半导体装置的截面,并且图1B图示半导体装置的平面图。此处,图1A对应于沿图1B的线A1-A2和B1-B2取的截面。在图1A和图1B所图示的半导体装置中,在下部分中提供包含除氧化物半导体以外的材料的晶体管160,并且在上部分中提供包含氧化物半导体的晶体管162和电容器164。尽管此处的晶体管160和晶体管162是n沟道晶体管,但是当然也可以使用p沟道晶体管。由于所公开的发明的技术性质是在晶体管162中使用氧化物半导体以便可以保留数据,所以不必将半导体装置的具体结构限制于此处描述的结构。

[0050] 晶体管160包含提供于包含半导体材料(例如,硅)的衬底100中沟道形成区域116,在其间提供有沟道形成区域116的杂质区域114和高浓度杂质区域120(杂质区域114和高浓度杂质区域120也总称为杂质区域),在沟道形成区域116之上提供的栅极绝缘层108,在栅极绝缘层108之上提供的栅电极110,以及电连接到杂质区域的源电极或漏电极130a和源电极或漏电极130b。

[0051] 此处,侧壁绝缘层118提供于栅电极110的侧面上。此外,当从上方观看时,高浓度杂质区域120形成于半导体衬底100中以便不与侧壁绝缘层118重叠,并且提供金属化合物区域124与高浓度杂质区域120接触。元件隔离绝缘层106提供于衬底100之上以便围绕晶体管160。提供层间绝缘层126和层间绝缘层128来覆盖晶体管160。源电极或漏电极130a和源电极或漏电极130b通过形成于层间绝缘层126和128中的开口电连接到金属化合物区域124。即,源电极或漏电极130a和源电极或漏电极130b中的每个通过金属化合物区域124电连接到高浓度杂质区域120和杂质区域114。此外,电极130c通过形成于层间绝缘层126和128中的开口电连接到栅电极110。注意在一些情况下,为了晶体管160的集成化而不形成侧壁绝缘层118。

[0052] 晶体管162包含提供于绝缘层138之上的源电极或漏电极142a和源电极或漏电极142b;电连接到源电极或漏电极142a和源电极或漏电极142b的氧化物半导体层140;与源电极或漏电极142a、源电极或漏电极142b、以及氧化物半导体层140接触的绝缘层144;覆盖源电极或漏电极142a、源电极或漏电极142b、氧化物半导体层140、以及绝缘层144的栅极绝缘层146;以及提供为在栅极绝缘层146之上与氧化物半导体层140重叠的栅电极148a。此处,提供绝缘层144以便减小由栅电极148a等导致的电容。注意为了简化过程,可以采用不提供绝缘层144的结构。

[0053] 如上所述,图1A和图1B所图示的晶体管162是顶栅晶体管,并且由于氧化物半导体层140和源电极或漏电极142a等在包含氧化物半导体层140的底面的区域中连接,所以其可

以被称作顶栅下触式晶体管(top-gate bottom contact transistor)。

[0054] 此处,氧化物半导体层140优选为通过从其中充分地移除杂质(例如氢)或向其充分地供应氧而高度纯化的氧化物半导体层。具体地,例如,氧化物半导体层140的氢浓度小于或等于 5×10^{19} atoms/cm³,优选为小于或等于 5×10^{18} atoms/cm³,并且更优选为小于或等于 5×10^{17} atoms/cm³。注意以上氧化物半导体层140的氢浓度通过次级离子质谱法(SIMS)测量。在氧化物半导体层140(其通过以充分减小氢浓度的方式而高度纯化并且其中通过氧的充分供应而减小由氧缺乏导致的能隙中的缺陷水平)中获取小于 1×10^{12} /cm³、优选为小于 1×10^{11} /cm³、并且更优选为小于 1.45×10^{10} /cm³的载流子浓度。例如,在沟道长度为10μm并且氧化物半导体层的厚度为30nm的情况下,当漏极电压处于从近似1V到10V的范围时,截止电流(当栅极-源极电压小于或等于0V时的漏极电流)小于或等于 1×10^{-13} A。另外,在室温的截止电流密度(通过截止电流除以晶体管的沟道宽度而获取的值)近似为 1×10^{-20} A/μm(10zA/μm)到 1×10^{-19} A/μm(100zA/μm)。此外,截止电阻率大于或等于 $1 \times 10^9 \Omega \cdot \text{m}$,并且优选为大于或等于 $1 \times 10^{10} \Omega \cdot \text{m}$ 。以此方式,当使用这样的氧化物半导体(将其制作成i型(本征)或大体上i型)时,可以获取具有优异的截止电流特性的晶体管162。

[0055] 源电极或漏电极142a电连接到电极130c。换句话说,源电极或漏电极142a电连接到晶体管160的栅电极110。以类似的方式,分别提供与源电极或漏电极130a和源电极或漏电极130b接触的电极142c和电极142d。

[0056] 电容器164由源电极或漏电极142a、栅极绝缘层146以及电极148b形成。换句话说,源电极或漏电极142a起到电容器164的一个电极的作用,并且电极148b起到电容器164的另一个电极的作用。

[0057] 保护绝缘层150提供于晶体管162和电容器164之上,并且层间绝缘层152提供于保护绝缘层150之上。

[0058] <上部分中的晶体管和电容器的修改的例子>

[0059] 接着,在图2A到图2D中图示图1A中的上部分中的晶体管和电容器的修改的例子。

[0060] 图2A所图示的晶体管和电容器是图1A和图1B所图示的半导体装置的上部分中的晶体管和电容器的修改的例子。

[0061] 图2A所图示的结构与图1A所图示的结构的不同之处在于绝缘层144提供于源电极或漏电极142a和源电极或漏电极142b之上,并且氧化物半导体层140覆盖绝缘层144、源电极或漏电极142a、以及源电极或漏电极142b。此外,氧化物半导体层140提供为通过提供于绝缘层144中的开口而与源电极或漏电极142a接触。

[0062] 另外,在图2A到图2D所图示的晶体管和电容器中,源电极或漏电极142a、源电极或漏电极142b、以及绝缘层144的边沿部分优选具有锥形形状。此处,例如,锥角优选为大于或等于30°并且小于或等于60°。注意锥角是指当从垂直于层的截面(垂直于衬底表面的平面)方向观看时,与具有锥形形状的层(例如,源电极或漏电极142a)的侧面和底面形成的倾角。当源电极或漏电极142a和源电极或漏电极142b的边沿部分具有锥形形状时,可以改善与氧化物半导体层140的覆盖并且可以防止由于阶梯引起的断开。

[0063] 在图2A所图示的结构中,由于不处理氧化物半导体层140,所以可以避免由于处理中进行的蚀刻引起的对氧化物半导体层140的污染物混合。另外,在电容器164中,当层叠氧化物半导体层140和栅极绝缘层146时,可以充分确保源电极或漏电极142a和电极148b之间

的绝缘。

[0064] 图2B所图示的晶体管和电容器具有与图2A的晶体管和电容器结构部分不同的结构。

[0065] 图2B所图示的结构与图2A所图示的结构的不同之处在于氧化物半导体形成为具有岛状。换句话说,在图2A中的结构中,氧化物半导体层140整体覆盖绝缘层144、源电极或漏电极142a、以及源电极或漏电极142b,然而在图2B中的结构中,氧化物半导体层具有岛状,由此氧化物半导体层覆盖部分的绝缘层144、源电极或漏电极142a、以及源电极或漏电极142b。此处,岛状的氧化物半导体层140的边沿部分优选具有锥形形状。例如,其锥角优选为大于或等于 30° 并且小于或等于 60° 。

[0066] 另外,在电容器164中,当层叠氧化物半导体层140和栅极绝缘层146时,可以充分确保源电极或漏电极142a和电极148b之间的绝缘。

[0067] 图2C所图示的晶体管和电容器具有与图2A的晶体管和电容器的结构部分不同的结构。

[0068] 图2C中的结构与图2A所图示的结构的不同之处在于绝缘层144不提供于晶体管162和电容器164中。由于绝缘层144不提供于图2C所图示的结构中,所以与图2A所图示的晶体管和电容器比较,简化了制造过程并且减小了制造成本。

[0069] 在图2C所图示的结构中,由于不处理氧化物半导体层140,所以可以避免由于处理中进行的蚀刻引起的对氧化物半导体层140的污染物混合。另外,在电容器164中,当层叠氧化物半导体层140和栅极绝缘层146时,可以充分确保源电极或漏电极142a和电极148b之间的绝缘。

[0070] 图2D所图示的晶体管和电容器具有与图2B的晶体管和电容器的结构部分不同的结构。

[0071] 图2D的结构与图2B所图示的结构的不同之处在于绝缘层144不提供于晶体管162和电容器164中。当绝缘层144不提供于晶体管162和电容器164中时,与图2B的情况比较,简化了制造过程并且减小了制造成本。

[0072] 另外,在电容器164中,当氧化物半导体层140和栅极绝缘层146层叠时,可以充分确保源电极或漏电极142a和电极148b之间的绝缘。

[0073] <半导体装置的电路配置和操作>

[0074] 接着,描述半导体装置的电路配置及其操作的例子。图3A1图示对应于图1A和图1B所图示的半导体装置的电路配置的例子。

[0075] 在图3A1所图示的半导体装置中,第一布线(第一线,也被称作源极线)电连接到晶体管160的源电极。第二布线(第二线,也被称作位线)电连接到晶体管160的漏电极。另外,第三布线(第三线,也被称作第一信号线)电连接到晶体管162的源电极和漏电极中的另一个,并且第四布线(第四线,也被称作第二信号线)电连接到晶体管162的栅电极。此外,晶体管160的栅电极以及晶体管162的源电极和漏电极中的一个电连接到电容器164的一个电极。第五布线(第五线,也被称作字线)电连接到电容器164的另一个电极。

[0076] 由于包含除氧化物半导体以外的材料的晶体管160可以以充分高速操作,所以通过使用晶体管160可以以高速读出已存储的数据。此外,包含氧化物半导体的晶体管162具有极其低的截止电流。由于此原因,通过关闭晶体管162可以保留晶体管160的栅电极的电

位极其长的时间。通过提供电容器164,可以容易地进行给予晶体管160的栅电极的电荷的保留以及已存储的数据的读取。

[0077] 本实施例中的半导体装置使用可以保留晶体管160的栅电极的电位的特性,从而如下地写入、保留、以及读取数据。

[0078] 首先,描述数据的写入以及保留。首先,将第四布线的电位设置为晶体管162打开时的电位,以便打开晶体管162。因此,向晶体管160的栅电极和电容器164的一个电极供应第三布线的电位。即,给予晶体管160的栅电极预定的电荷(写入)。此处,给出给予不同电位电平的任何两个电荷(在下文中也被称作低电平电荷和高电平电荷)。此后第四布线的电位设置为晶体管162关闭时的电位,以便关闭晶体管162。从而保留给予晶体管160的栅电极的电荷(保留)。

[0079] 由于晶体管162的截止电流显著地小,所以晶体管160的栅电极的电荷长时间保留。

[0080] 第二,将描述数据的读取。通过向第五布线供应适当的电位(读取电位)而向第一布线供应预定的电位(恒定电位),第二布线的电位依赖于保留在晶体管160的栅电极中的电荷量而改化。这是因为一般而言,当晶体管160为n沟道晶体管时,在给予晶体管160的栅电极高电平电荷的情况下的表现阈值电压 V_{th_H} 低于在给予晶体管160的栅电极低电平电荷的情况下的表现阈值电压 V_{th_L} 。此处,表现阈值电压是指打开晶体管160所需要的第五布线的电位。从而第五布线的电位设置为介于 V_{th_H} 和 V_{th_L} 之间的电位 V_0 ,由此可以确定给予晶体管160的栅电极的电荷。例如,在写入中给予高电平电荷的情况下,当第五布线的电位设置为 $V_0(>V_{th_H})$ 时,打开晶体管160。在写入中给予低电平电荷的情况下,即使当第五布线的电位设置为 $V_0(<V_{th_L})$,晶体管160也保持在截止状态中。因此,通过第二线的电位可以读取已存储的数据。

[0081] 注意在未读出数据的情况下,无论晶体管160的栅电极的状态,都可以给予第五布线晶体管160关闭时的电位,即,小于 V_{th_H} 的电位。备选地,无论晶体管160的栅电极的状态,可以给予第五布线晶体管160打开时的电位,即,高于 V_{th_L} 的电位。

[0082] 第三,将描述数据的重写。以与数据的写入和保留的方式类似的方式进行数据的重写。即,第四布线的电位设置为晶体管162打开时的电位,由此打开晶体管162。因此,向晶体管160的栅电极和电容器164的一个电极供应第三布线的电位(与新数据相关的电位)。此后第四布线的电位设置为晶体管162关闭时的电位,由此关闭晶体管162。因此,给予晶体管160的栅电极与新数据相关的电荷。

[0083] 在根据本文所公开的发明的半导体装置中,通过如上所述的数据的另一写入可以直接地重写数据。由于此原因,不需要对于闪存等必要的擦除操作,以便可以防止由于擦除操作引起的操作速度减小。换句话说,可以实现半导体装置的高速操作。

[0084] 注意晶体管162的源电极或漏电极电连接到晶体管160的栅电极,从而具有类似于用于非易失性存储器元件的浮栅晶体管的浮栅的效果。因此,在一些情况下,在图中晶体管162的源电极或漏电极电连接到晶体管160的栅电极的部分被称作浮栅部分FG。当晶体管162截止时,浮栅部分FG可以认为嵌入绝缘体中从而电荷保留在浮栅部分FG中。包含氧化物半导体的晶体管162中的截止电流量小于或等于包含硅半导体等的晶体管160的截止电流量的十万分之一;从而可忽略由于晶体管162的漏电流引起的浮栅部分FG中积累的电荷的

丢失。即,利用包含氧化物半导体的晶体管162,可以实现非易失性存储器装置。

[0085] 例如,当室温下的晶体管162的截止电流密度为近似 $10\text{zA}/\mu\text{m}$ (1zA (zeptoampere) 是 $1\times 10^{-21}\text{A}$) 并且电容器164的电容值近似 1pF 时,数据可以保留 10^6 秒或更久。不必说保留时间依赖于晶体管特性和电容值。

[0086] 另外,在此情况下,可以避免传统的浮栅晶体管中指出的栅极绝缘膜(隧道绝缘膜)的退化问题。换句话说,可以解决由于电子注入到浮栅引起的栅极绝缘膜的退化问题。因此,在本实施例所描述的半导体装置中,原则上对写入次数没有限制。此外,传统的浮栅晶体管中写入或擦除所需的高压是不必要的。

[0087] 部件(例如在图3A1的半导体装置中的晶体管)可以视为用电阻器和电容器形成并且用图3A2所图示的这样的电路取代。即,在图3A2中,晶体管160和电容器164的每个视为包含电阻器和电容器。 $R1$ 和 $C1$ 分别指代电容器164的电阻值和电容值。电阻值 $R1$ 与依赖于电容器164所包含的绝缘层的电阻值对应。 $R2$ 和 $C2$ 分别指代晶体管160的电阻值和电容值。电阻值 $R2$ 与依赖于晶体管160处于导通状态时的栅极绝缘层的电阻值对应。电容值 $C2$ 对应于所谓的栅极电容器(形成于栅电极以及源电极或漏电极之间的电容器)的值。注意由于电阻值 $R2$ 只指代晶体管160的栅电极和沟道形成区域之间的电阻值,所以为了阐明这一点,由虚线指代连接的部分。

[0088] 假定在晶体管162处于截止状态的情况下的源电极和漏电极之间的电阻值(也称作有效电阻)是 R_{OS} ,当满足 $R1\geq R_{OS}$ 并且 $R2\geq R_{OS}$ 时,电子保留期(也被称作数据保留期)主要由晶体管162的截止电流确定。

[0089] 另一方面,当不满足条件时,即使晶体管162的截止电流足够小,也难以充分确保保留期。这是因为除发生在晶体管162中的漏电流以外的漏电流很大。从而可以说在本实施例中公开的半导体装置令人满意地保证以上关系。

[0090] 同时,希望满足 $C1\geq C2$ 。这是因为如果 $C1$ 较大,则当第五布线控制浮栅部分FG的电位时(例如,在读取时),可以将第五布线的电位抑制得低。

[0091] 当保证以上关系时,可以实现更优选的半导体装置。在本实施例中,由栅极绝缘层108、栅极绝缘层146等控制 $R1$ 和 $R2$ 。相同的应用于 $C1$ 和 $C2$ 。因此,令人满意地合适地设置栅极绝缘层的材料、厚度等来保证以上关系。

[0092] 图3B图示与以上半导体装置部分不同的半导体装置。在图3B所图示的半导体中,晶体管160的栅电极、晶体管166的源电极和漏电极中的一个、以及电容器164的一个电极彼此电连接。第一布线和晶体管160的源电极彼此电连接。第二布线和晶体管160的漏电极彼此电连接。第三布线以及晶体管166的源电极和漏电极的另一个彼此电连接。第四布线和晶体管166的第一栅电极彼此电连接。第五布线和电容器164的另一个电极彼此电连接。第六布线和晶体管166的第二栅电极彼此电连接。与施加于第四布线的电位相同的电位可以施加于第六布线。备选地,与施加于第四布线的电位不同的电位可以施加于第六布线,使得独立于第四布线来控制。

[0093] 换句话说,图3B所图示的半导体装置具有用晶体管166(其具有第二栅电极)取代图3A1中的半导体装置的晶体管162的结构。因此,在图3B中的半导体装置中,除在图3A1的半导体装置中获取的效果以外,还可以获取容易控制晶体管166的电特性(例如,阈值电压)的效果。例如,当负电位施加于第六布线时,可以容易地使晶体管166作为通常关闭

(normally-off)的晶体管。

[0094] 注意在以上描述中使用电子是多数载流子的n沟道晶体管;不必说可以使用空穴是多数载流子的p沟道晶体管来代替n沟道晶体管。

[0095] <用于制造半导体装置的方法>

[0096] 接着,将在下文中描述在图1A和图1B以及图3A1所图示的用于制造半导体装置的方法的例子。首先,以下将参照图4A到图4H描述用于制造下部分中的晶体管160的方法,然后将参照图5A到图5E描述用于制造上部分中的晶体管162和电容器164的方法。

[0097] <用于制造下部分中的晶体管的方法>

[0098] 首先,准备包含半导体材料的衬底100(参照图4A)。作为包含半导体材料的衬底100,可以使用用硅、碳化硅等制作的单晶半导体衬底或多晶半导体衬底;用硅锗等制作的化合物半导体衬底;SOI衬底等。此处,描述使用单晶硅衬底作为包含半导体材料的衬底100的例子。注意一般而言,术语“SOI衬底”意味着硅半导体层提供于绝缘表面上的衬底。在本说明书等中,术语“SOI衬底”在其种类中还包含使用除硅以外的材料形成的半导体层提供于绝缘表面之上的衬底。即,包含于“SOI衬底”中的半导体层不限于硅半导体层。此外,SOI衬底可以是具有半导体层提供于绝缘衬底(例如玻璃衬底)之上以及绝缘层提供于其间的结构的衬底。

[0099] 作为用于形成元件隔离绝缘层的掩模起作用的保护层102形成于衬底100之上(参照图4A)。作为保护层102,例如可以使用用氧化硅、氮化硅、氮氧化硅等形成的绝缘层。注意在此步骤之前或之后,为了控制晶体管的阈值电压,可以向衬底100添加赋予n型导电性的杂质元素或赋予p型导电性的杂质元素。当使用硅形成半导体时,磷、砷等可以用作赋予n型导电性的杂质。硼、铝、镓等可以用作赋予p型导电性的杂质。

[0100] 接着,使用保护层102作为掩模来蚀刻在不用保护层102覆盖的区域(曝光区域)中的部分衬底100。从而形成隔离的半导体区域104(参照图4B)。作为蚀刻,优选进行干蚀刻,但也可以进行湿蚀刻。可以依赖于待蚀刻的层的材料来合适地选择蚀刻气体和蚀刻剂。

[0101] 然后,形成绝缘层来覆盖半导体区域104,并且选择性地移除与半导体区域104重叠的区域中的绝缘层,以便形成元件隔离绝缘层106(参照图4B)。使用氧化硅、氮化硅、氮氧化硅等形成绝缘层。作为用于移除绝缘层的方法,可以采用任何蚀刻处理和抛光处理(例如CMP)。注意在半导体区域104形成之后或在元件隔离绝缘层106形成之后移除保护层102。

[0102] 接着,绝缘层形成于半导体区域104之上,并且包含导电材料的层形成于绝缘层之上。

[0103] 绝缘层以后作为栅极绝缘层起作用,并且由CVD法、溅射法等形成氧化硅膜、氮氧化硅膜、氮化硅膜、氧化钨膜、氧化铝膜、氧化钽膜等的单层或包含任何以上膜的叠层。备选地,可以以此方式形成绝缘层以使半导体区域104的表面由高密度等离子体处理或热氧化处理而氧化或氮化。可以使用例如稀有气体(例如He、Ar、Kr、或Xe)以及气体(例如氧、氧化氮、氨、氮、或氢)的混合气体来进行高密度等离子体处理。对绝缘层的厚度没有特别的限制,但绝缘层可以形成于例如大于或等于1nm并且小于或等于100nm的范围内。

[0104] 可以使用金属材料(例如铝、铜、钛、钽、或钨)形成包含导电材料的层。可以使用半导体材料(例如多晶硅)形成包含导电材料的层。对形成包含导电材料的层的方法没有特别的限制,并且可以采用各种沉积法(例如蒸发法、CVD法、溅射法、或旋涂法)。注意本实施例

描述使用金属材料形成包含导电材料的层的情况的例子。

[0105] 此后通过选择性地蚀刻绝缘层和包含导电材料的层而形成栅极绝缘层108和栅电极110(参照图4C)。

[0106] 接着,形成覆盖栅电极110的绝缘层112(参照图4C)。然后添加磷(P)、砷(As)等到半导体区域104,由此形成具有浅的结深度的杂质区域114(参照图4C)。注意此处添加磷或砷以形成n沟道晶体管;在形成p沟道晶体管的情况下,可以添加例如硼(B)或铝(Al)等杂质元素。通过杂质区域114的形成,沟道形成区域116形成于栅极绝缘层108以下的半导体区域104中(参照图4C)。此处,可以合适地设置添加的杂质浓度;当半导体元件的尺寸极端地降低时,优选增加浓度。此处采用杂质区域114形成于绝缘层112的形成之后的步骤;备选地,绝缘层112可以形成于杂质区域114的形成之后。

[0107] 接着,形成侧壁绝缘层118(参照图4D)。绝缘层形成为覆盖绝缘层112,然后经受高度各向异性的蚀刻,由此可以以自对准方式形成侧壁绝缘层118。此时,优选部分蚀刻绝缘层112以便暴露栅电极110的顶面和杂质区域114的顶面。

[0108] 然后,形成绝缘层以覆盖栅电极110、杂质区域114、侧壁绝缘层118等。然后将磷(P)、砷(As)等添加到杂质区域114的与绝缘层接触的区域,由此形成高浓度杂质区域120(参照图4E)。此后,移除绝缘层,并且形成金属层122以覆盖栅电极110、侧壁绝缘层118、高浓度杂质区域120等(参照图4E)。可以采用各种沉积法(例如真空蒸发法、溅射法、或旋涂法)来形成金属层122。优选使用与包含于半导体区域104中的半导体材料起反应的金属材料将金属层122形成为低电阻金属化合物。这样的金属材料的例子包含钛、钽、钨、镍、钴、以及铂。

[0109] 接着,进行热处理以便金属层122与半导体材料起反应。从而形成与高浓度杂质区域120接触的金属化合物区域124(参照图4F)。注意当使用多晶硅等形成栅电极110时,也在与金属层122接触的栅电极110的区域中形成金属化合物区域。

[0110] 作为热处理,例如可以采用用闪光灯的照射。尽管不必说可以使用另一热处理方法,但是为了改善在金属化合物的形成中的化学反应的可控性,优选使用可以实现极其短时间的热处理的方法。注意金属化合物区域由金属材料 and 半导体材料的反应形成并且具有充分高的导电性。金属化合物区域的形成可以适当减小电阻并且改善元件特性。注意是在形成金属化合物区域124之后移除金属层122。

[0111] 然后,形成层间绝缘层126和层间绝缘层128以覆盖在以上步骤中形成的部件(参照图4G)。可以使用无机绝缘材料(例如氧化硅、氮氧化硅、氮化硅、氧化铅、氧化铝、或氧化钽)来形成层间绝缘层126和128。此外,可以使用有机绝缘材料(例如聚酰亚胺或丙烯酸树脂)来形成层间绝缘层126和128。尽管此处的层间绝缘层具有包含两个层(层间绝缘层126和层间绝缘层128)的结构,但是层间绝缘层的结构不限于此。在层间绝缘层128形成之后,优选使用CMP、蚀刻等来平面化层间绝缘层128的表面。

[0112] 然后,到达金属化合物区域124的开口形成于层间绝缘层中,并且源电极或漏电极130a和源电极或漏电极130b形成于开口中(参照图4H)。可以以此方式(例如,由PVD法、CVD法等)在包含开口的区域中形成导电层,然后由蚀刻、CMP等移除部分导电层)来形成源电极或漏电极130a和源电极或漏电极130b。

[0113] 具体地,能采用这样的方法,例如,在其中由PVD法在包含开口的区域中形成薄的

钛膜并且由CVD法形成薄的氮化钛膜,然后,钨膜形成为嵌入开口中。此处,由PVD法形成的钛膜具有减小在其之上形成钛膜的氧化膜(例如,自然氧化膜)的表面以降低与下电极(此处例如金属化合物区域124)的接触电阻的功能。形成于钛膜的形成之后的氮化钛膜具有防止导电材料的扩散的势垒功能。在钛、氮化钛等的势垒膜形成之后,可以由电镀法形成铜膜。

[0114] 注意在通过移除部分导电层形成源电极或漏电极130a和源电极或漏电极130b的情况下,优选进行过程以便表面平面化。例如,当在包含开口的区域中形成薄的钛膜或薄的氮化钛膜然后钨膜形成为嵌入开口中时,移除过量的钨、钛、氮化钛等并且可以由后续的CMP改善表面的平面性。以此方式平面化包含源电极或漏电极130a和源电极或漏电极130b的表面,以便在以后的步骤中可以良好地形成电极、布线、绝缘层、半导体层等。

[0115] 注意此处只示出与金属化合物区域124接触的源电极或漏电极130a和源电极或漏电极130b;然而,还可以在这一步骤中形成与栅电极110等接触的电极130c。对于源电极或漏电极130a和源电极或漏电极130b的材料没有特别的限制,并且可以使用各种导电材料。例如,可以使用例如钼、钛、铬、钽、钨、铝、铜、钕、或钐等导电材料。考虑到以后进行的热处理,优选使用具有足够高的耐热性以承受以后进行的热处理的材料来形成源电极或漏电极130a和源电极或漏电极130b。

[0116] 以此方式,使用包含半导体材料的衬底100形成晶体管160(参照图4H)。注意在以上步骤之后可以进一步形成电极、布线、绝缘层等。当布线具有包含层间绝缘层和导电层的分层结构的叠层结构时,可以提供高度集成的半导体装置。

[0117] <用于制造上部分中的晶体管的方法>

[0118] 接着,将参照图5A到图5E描述用于在层间绝缘层128之上制造晶体管162的步骤。注意图5A到图5E图示用于在层间绝缘层128之上制造电极、晶体管162等的步骤;因此,忽略了放置在晶体管162之下的晶体管160等的细节。

[0119] 首先,绝缘层138形成于层间绝缘层128、源电极或漏电极130a、源电极或漏电极130b、以及电极130c之上。可以通过PVD法、CVD法等形成绝缘层138。可以使用无机绝缘材料(例如氧化硅、氮氧化硅、氮化硅、氧化铅、氧化铝、或氧化钽)形成绝缘层138。注意绝缘层138起到晶体管162的基极的作用。不必提供绝缘层138。

[0120] 接着,在绝缘层138中形成到达源电极或漏电极130a、源电极或漏电极130b、以及电极130c的开口(参照图5A)。可以通过例如使用掩模的蚀刻等方法形成开口。可以由使用光掩模等的曝光形成掩模。湿蚀刻或干蚀刻可以用作蚀刻;依据微细加工而优选使用干蚀刻。注意在不提供绝缘层138的情况下,可忽略这一步骤。

[0121] 接着,形成源电极或漏电极142a、源电极或漏电极142b、电极142c、以及电极142d(参照图5B)。可以以此方式形成源电极或漏电极142a、源电极或漏电极142b、电极142c、以及电极142d使导电层形成为覆盖绝缘层138然后被选择性地蚀刻。

[0122] 可以由PVD法(典型地由溅射法)或CVD法(例如等离子体CVD法)形成导电层。作为导电层的材料,可以使用从铝、铬、铜、钽、钛、钼、或钨中选择的元素;包含任何这些元素作为成分的合金等。备选地,可以使用从锰、镁、锆、铍、以及钽中选择一个或多个材料。可以使用铝组合从钛、钽、钨、钼、铬、钕、或钐选择一个或多个元素。导电层可具有单层结构或包含两个或者更多层的叠层结构。例如,导电层可具有包含硅的铝膜的单层结构、在铝膜之

上层叠钛膜的两层结构,或钛膜、铝膜、以及钛膜以此顺序层叠的三层结构。

[0123] 还可以使用导电金属氧化物形成导电层。作为导电金属氧化物,可以使用氧化铟(In_2O_3)、氧化锡(SnO_2)、氧化锌(ZnO)、氧化铟-氧化锡合金($\text{In}_2\text{O}_3\text{-SnO}_2$,在一些情况下其缩写为ITO)、氧化铟-氧化锌合金($\text{In}_2\text{O}_3\text{-ZnO}$),或包含硅或氧化硅的任何这些金属氧化物材料。

[0124] 由源电极或漏电极142a的下边沿部分和源电极或漏电极142b的下边沿部分之间的距离来确定晶体管的沟道长度(L)。在沟道长度(L)小于25nm的情况下,优选使用具有几个纳米到几十纳米的波长的极紫外线来形成用于蚀刻的掩模。用极紫外线的曝光导致高的分辨率和大的焦深。因此,可以形成沟道长度(L)小于25nm的图案,并且沟道长度(L)可以大于或等于10nm并小于或等于1000nm。以此方式,由于有小的沟道长度的晶体管导致电路的高的操作速度和低功率消耗,所以优选有小的沟道长度的晶体管。

[0125] 此外,源电极或漏电极142a和源电极或漏电极142b的末端部分优选形成为具有锥形形状。这是因为当源电极或漏电极142a和源电极或漏电极142b的末端部分具有锥形形状时,可以增加与以后待形成的氧化物半导体层的覆盖并且可以防止分离。此处,例如,锥角优选为大于或等于 30° 并且小于或等于 60° 。注意锥角是指当从垂直于层的截面(垂直于衬底表面的平面)方向观看时,具有锥形形状的层(例如,源电极或漏电极142a)的侧面和底面形成的倾角。

[0126] 接着,形成氧化物半导体层来覆盖源电极或漏电极142a、源电极或漏电极142b等,然后由例如使用掩模的蚀刻等方法进行处理,以便形成岛状氧化物半导体层140(参照图5C)。

[0127] 优选使用溅射法形成氧化物半导体层。作为氧化物半导体层,可以使用四成分金属氧化物(例如In-Sn-Ga-Zn-O基膜);三成分金属氧化物(例如In-Ga-Zn-O基膜、In-Sn-Zn-O基膜、In-Al-Zn-O基膜、Sn-Ga-Zn-O基膜、Al-Ga-Zn-O基膜、Sn-Al-Zn-O基膜);双成分金属氧化物(例如In-Zn-O基膜、Sn-Zn-O基膜、Al-Zn-O基膜、Zn-Mg-O基膜、Sn-Mg-O基膜、In-Mg-O基膜);或In-O基膜、Sn-O基膜、或Zn-O基膜。注意可以添加硅到金属氧化物。例如,可以使用包含2wt%到10wt%(含)的 SiO_2 的靶来形成氧化物半导体层。

[0128] 特别地,当使用In-Ga-Zn-O基金属氧化物时,可以形成当没有电场时具有充分高的电阻(充分低的截止电流)并且具有高的场效应迁移率的半导体装置。考虑到这一点,In-Ga-Zn-O基金属氧化物适用于用于半导体装置的半导体材料。

[0129] 作为In-Ga-Zn-O基金属氧化物的典型例子,给出由 $\text{InGaO}_3(\text{ZnO})_m$ ($m>0$)表示的一个。此外,使用M代替Ga给出由 $\text{InMO}_3(\text{ZnO})_m$ ($m>0$)表示的一个。此处,M指代从镓(Ga)、铝(Al)、铁(Fe)、镍(Ni)、锰(Mn)、以及钴(Co)等选择的一个或多个金属元素。例如,M可以是Ga、Ga和Al、Ga和Fe、Ga和Ni、Ga和Mn、Ga和Co等。注意以上组分是由晶体结构获取并且只是一个例子。

[0130] 在本实施例中,由使用In-Ga-Zn-O基金属氧化物靶的溅射法形成氧化物半导体层。

[0131] 在氧化物半导体层的形成中,在保持在减压下的处理室中放置衬底,并且衬底温度优选设置为高于或等于 100°C 并且低于或等于 600°C 的温度,并且更优选地高于或等于 200°C 并且低于或等于 400°C 的温度。此处,当加热衬底时形成氧化物半导体层,以便可以减

小氧化物半导体层中的杂质浓度,并且可以减小由于溅射引起的氧化物半导体层的损害。

[0132] 用于氧化物半导体层的形成的优选气氛是稀有气体(典型地氩)气氛、氧气氛、或稀有气体(典型地氩)以及氧的混合气氛,其中充分地减小杂质(例如氢、水、氢氧基、以及氢化物)。具体地,优选使用高纯度气体气氛,例如,从中移除杂质(例如氢、水、氢氧基、或氢化物)以便浓度降低到1ppm或更低(优选10ppb或更低)。

[0133] 此处,为了从室中移除剩余水分,优选使用吸附型真空泵。例如,可以使用低温泵、离子泵、或钛升华泵。作为排气单元,可以使用附加有冷阱的涡轮分子泵。在用低温泵抽空的沉积室中,例如,移除氢原子以及包含氢原子的化合物(例如水(H₂O))(并且也优选包含碳原子的化合物),由此可以减小在沉积室中形成的氧化物半导体层的杂质浓度。

[0134] 氧化物半导体层形成为具有大于或等于2nm并且小于或等于200nm、优选大于或等于5nm并且小于或等于30nm的厚度。注意依赖于氧化物半导体材料,该适当的厚度不同,并且依赖于待使用的材料,合适地设置该厚度。

[0135] 此外,当脉冲直流(DC)电源用于氧化物半导体层的形成中时,可以减小尘埃(在沉积时形成的粉末或片状物质)并且可以统一厚度。

[0136] 注意用于沉积氧化物半导体层的溅射条件可以如下:衬底和靶之间的距离是170mm,压力是0.4Pa,直流(DC)功率是0.5kW,并且气氛是氧气氛(氧流量的比例是100%)。

[0137] 注意在由溅射形成氧化物半导体层之前,优选由反溅射(由氩气体的引进产生等离子体)移除附着到绝缘层138的表面的尘埃。此处,与离子与溅射靶相撞的正常溅射相反,反溅射是离子与待处理的表面相撞以便修改表面的方法。使离子与待处理的表面相撞的方法的例子是在氩气氛中将高频电压施加于表面以便接近衬底产生等离子体的方法。注意可以使用氮气氛、氦气氛、氧气氛等来取代氩气氛。

[0138] 作为用于氧化物半导体层的蚀刻方法,可以采用干蚀刻或湿蚀刻。不必说可以组合使用干蚀刻和湿蚀刻。依赖于材料可合适地设置蚀刻条件(例如,蚀刻气体或蚀刻溶液、蚀刻时间、以及温度)以便氧化物半导体层可以蚀刻成所希望的形状。

[0139] 用于干蚀刻的蚀刻气体的例子是包含氯的气体(例如氯(Cl₂)、三氯化硼(BCl₃)、四氯化硅(SiCl₄)、或四氯化碳(CCl₄)等氯基气体)。此外,可以使用包含氟的气体(例如四氟化碳(CF₄)、六氟化硫(SF₆)、三氟化氮(NF₃)、或三氟甲烷(CHF₃)等氟基气体)、溴化氢(HBr)、氧(O₂)、向其中添加稀有气体(例如氦(He)或氩(Ar))的任何这些气体等。

[0140] 对于干蚀刻法,可以使用平行板反应离子蚀刻(reactive ion etching,RIE)法或感应耦合等离子体(inductively coupled plasma,ICP)蚀刻法。为了将氧化物半导体层蚀刻成所希望的形状,合适地设置蚀刻条件(例如,施加于盘绕的电极的电力量、施加于在衬底侧上的电极的电力量、以及在衬底侧上的电极温度等)。

[0141] 对于用于湿蚀刻的蚀刻剂,可以使用由混合磷酸、乙酸以及硝酸而获取的溶液、氨过氧化物混合物(31wt%的过氧化氢水:28wt%的氨水:水=5:2:2)等。还可以使用例如IT007N(由KANTO CHEMICAL CO.,INC.制造)的蚀刻剂。

[0142] 然后,优选对氧化物半导体层进行第一热处理。通过这一第一热处理,可以移除在氧化物半导体层中的杂质(例如氢)。注意在蚀刻之后进行第一热处理的情况下,优势在于即使当使用湿蚀刻时,也可以缩短用于蚀刻的时间。第一热处理的温度设置为高于或等于300℃并且低于或等于750℃、优选高于或等于400℃并且低于或等于700℃的温度。例如,将

衬底引进到使用电阻加热元件等的电炉并且氧化物半导体层140在氮气氛中以450℃经受一个小时的热处理。在热处理期间,氧化物半导体层140不暴露于空气以便可以防止水和氢(包含水分等)的进入。此外,优选考虑到放置于下层的晶体管160的电极、布线等的耐热性来确定第一热处理的温度。

[0143] 热处理器件不限于电炉并且可以是用于通过来自介质(例如热的气体)的热辐射或热传导来加热对象的器件。例如,可以使用RTA(快速热退火)器件(例如GRTA(气体快速热退火)器件或LRTA(灯快速热退火)器件)。LRTA器件是用于通过从灯(例如卤素灯、金属卤化物灯、氙弧灯、碳弧灯、高压钠灯、或高压汞灯)发射的光辐射(电磁波)来加热待处理的对象的器件。GRTA器件是用于使用高温气体进行热处理的器件。作为该气体,使用通过热处理不与对象反应的惰性气体(例如氮)或稀有气体(例如氩)。

[0144] 例如,作为第一热处理,可如下进行GRTA过程。衬底放入加热到650℃到700℃的高温的惰性气体中,加热几分钟,并且从惰性气体取出。GRTA过程使能短时间的高温热处理。此外,由于短时间进行第一热处理,所以即使在超过衬底的应变点的温度条件下,也可以使用具有低的耐热性的衬底,例如玻璃衬底。

[0145] 注意优选在包含氮或稀有气体(例如,氮、氦、或氩)作为其主成分并且不包含氢、水等的气氛中进行第一热处理。例如,引进到热处理器件的氮或稀有气体(例如氮、氦、或氩)的纯度大于或等于6N(99.9999%),优选大于或等于7N(99.99999%)(即,杂质浓度小于或等于1ppm,优选小于或等于0.1ppm)。

[0146] 在一些情况下,依赖于第一热处理的条件或氧化物半导体层的材料,氧化物半导体层可晶体化为包含晶体成分的半导体层。另外,依赖于第一热处理的条件或氧化物半导体层的材料,氧化物半导体层可以是不包含晶体成分的非晶氧化物半导体层。

[0147] 此外,通过在氧化物半导体层的非晶表面之上提供晶体层可以改变氧化物半导体层的电特性。例如,通过提供具有电各向异性的晶体层(其中晶粒对准),可以改变氧化物半导体层的电特性。

[0148] 可以对仍未被处理成岛状氧化物半导体层140的氧化物半导体层进行用于氧化物半导体层140的第一热处理。在那种情况下,在第一热处理之后,从加热器件中取出衬底并且进行光刻步骤。

[0149] 注意由于其对氧化物半导体层140的脱氢(脱水)效果,上述的热处理可以被称作脱氢处理(脱水处理)等。这样的处理可以进行于任何时刻中,例如在形成氧化物半导体层之后,在氧化物半导体层140之上形成绝缘层(栅极绝缘层等)之后,或在形成栅电极之后。这样的处理可以进行一次或多次。

[0150] 此外,在通过控制与氧化物半导体层的形成相关的气氛等的方法来获取其中充分地减小氢的氧化物半导体层的情况下,可忽略第一热处理。

[0151] 注意在以上步骤之后,可以使用气体(例如N₂O、N₂、或Ar)进行等离子体处理。等离子体处理可以移除水等(其附着到氧化物半导体层的暴露表面)。此外,可以使用包含氧的气体(例如氧和氩的混合气体等)进行等离子体处理。以此方式,向氧化物半导体层供应氧并且可以减小由氧缺乏导致的能隙中的缺陷水平。

[0152] 接着,在源电极或漏电极142a、源电极或漏电极142b、氧化物半导体层140等之上形成绝缘层144,并且在形成栅电极的部分区域和形成电容器的电极的部分区域中形成开

口。然后,形成栅极绝缘层146来覆盖包含这些开口的区域。此后,形成栅电极148a和电极148b(参照图5D)。通过例如使用掩模的蚀刻等方法可以形成绝缘层144中的开口。可以以此方式形成栅电极148a和电极148b以使导电层形成为覆盖栅极绝缘层146然后被选择性地蚀刻。

[0153] 通过CVD法、溅射法等可以形成绝缘层144和栅极绝缘层146。此外,绝缘层144和栅极绝缘层146优选形成为包含氧化硅、氮化硅、氧氮化硅、氧化铝、氧化钪、氧化钽等。绝缘层144和栅极绝缘层146可具有单层结构或叠层结构。对绝缘层144和栅极绝缘层146的厚度没有特别的限制,但他们中的每个可以例如形成为大于或等于10nm并且小于或等于500nm的厚度。注意提供绝缘层144来减小当电极彼此重叠等时产生的电容。例如,当形成绝缘层144时,可以减小由源电极或漏电极142a等与栅电极148a产生的电容。

[0154] 优选通过杂质(例如氢或水)不容易进入绝缘层144和栅极绝缘层146的方法来形成绝缘层144和栅极绝缘层146。这是因为当绝缘层144和栅极绝缘层146包含氢时,可发生到氧化物半导体层的氢的侵入,从氧化物半导体层的氧的取出等。

[0155] 例如,在由溅射法形成绝缘层144和栅极绝缘层146的情况下,使用其中杂质(例如氢、水、氢氧基、或氢化物)的浓度减小到近似1ppm(优选近似10ppb)的高纯度的气体作为溅射气体。此外,优选移除处理室中的剩余水分。

[0156] 注意如本实施例中描述的通过杂质的移除其变成本征的氧化物半导体(高度纯化氧化物半导体)非常易受界面水平和界面电荷的影响;因此,当这样的氧化物半导体用于氧化物半导体层时,与栅极绝缘层的界面是重要的。因此,与高度纯化的氧化物半导体接触的栅极绝缘层146需要高质量。

[0157] 例如,优选由使用微波(频率为2.45GHz)的高密度等离子体CVD法形成的栅极绝缘层146可以是致密的并且具有高承受电压和高质量。这是因为当高度纯化的氧化物半导体与高质量的栅极绝缘膜紧密接触时,可以减小界面态并且界面性质可以是良好的。

[0158] 不必说,即使当使用高度纯化的氧化物半导体层时,只要高质量的绝缘层可以形成为栅极绝缘层,就可以采用另一方法,例如溅射法或等离子体CVD法。此外,能使用利用绝缘层的形成之后进行的热处理来改善质量和界面特性的绝缘层。在任何情况下,可形成具有好的膜质量的栅极绝缘层146,其中可以减小栅极绝缘层146和氧化物半导体层的界面态密度。

[0159] 在本实施例中,由溅射法形成包含氧化硅的绝缘层(其作为绝缘层144和栅极绝缘层146起作用)。

[0160] 在形成绝缘层144或栅极绝缘层146之后,优选在惰性气体气氛或氧气氛中(优选以高于或等于200℃并且低于或等于400℃的温度,例如,高于或等于250℃并且低于或等于350℃)进行第二热处理。例如,在氮气氛中以250℃进行一个小时的第二热处理。第二热处理可以减小晶体管的电特性中的变化。另外,通过第二热处理,可以从包含氧的绝缘层向氧化物半导体供应氧并且可以减小由氧缺乏导致的能隙中的缺陷水平。不限于以上气氛,热处理的气氛可以是空气气氛等。然而,在此情况下,优选采用在其中移除氢、水等的气氛以便氢不混合到氧化物半导体层。此外,第二热处理不是必需步骤,因此可忽略。

[0161] 由PVD法(以溅射法为代表)或CVD法(例如等离子体CVD法)可以形成作为栅电极148a和电极148b的导电层。细节类似于源电极或漏电极142a等的那些;从而可以参照其描

述。

[0162] 干蚀刻或湿蚀刻可以用作用于形成绝缘层144中的开口的蚀刻或用于形成栅电极148a等的蚀刻。不必说可以组合使用干蚀刻和湿蚀刻。依赖于材料可以合适地设置蚀刻条件(例如,蚀刻气体或蚀刻溶液、蚀刻时间、以及温度)以便可以获取所希望的形状。

[0163] 接着,形成保护绝缘层150和层间绝缘层152(参照图5E)。

[0164] 可以由PVD法、CVD法等形成保护绝缘层150和层间绝缘层152。可以使用无机绝缘材料(例如氧化硅、氮氧化硅、氮化硅、氧化钪、氧化铝、或氧化钽)形成保护绝缘层150和层间绝缘层152。

[0165] 注意由于保护绝缘层150放置得相对接近氧化物半导体层140,所以优选通过不容易混合杂质(例如氢和水)的方法(例如溅射法)来形成保护绝缘层150。

[0166] 另外,层间绝缘层152优选形成为具有平面化的表面。这是因为当层间绝缘层152形成为具有平坦的表面时,可以在层间绝缘层152之上令人满意地形成电极、布线等。

[0167] 注意保护绝缘层150或层间绝缘层152不是必需部件并且可合适地忽略。

[0168] 如上所述,完成电容器164和包含氧化物半导体的晶体管162(参照图5E)。

[0169] 由以上方法制造的包含氧化物半导体的晶体管162中的截止电流极其小。例如,氧化物半导体(其是足够的本征(i型))的载流子密度是例如小于 $1 \times 10^{12}/\text{cm}^3$,或优选小于 $1.45 \times 10^{10}/\text{cm}^3$,并且例如在漏极电压 V_d 为+1V或+10V并且栅极电压 V_g 处于从-5V到-20V的范围的情况下,晶体管的截止电流小于或等于 $1 \times 10^{-13}\text{A}$ 。因此,可以充分地确保半导体装置的数据保留期。此外,在使用充分地本征的氧化物半导体的情况下,室温下的漏电流可以减小到近似 $1 \times 10^{-20}\text{A}$ (10zA(zeptoampere))到 $1 \times 10^{-19}\text{A}$ (100zA)。换句话说,漏电流可以大体上为0。使用这样的氧化物半导体,可以提供其中充分地确保数据保留期的半导体装置。

[0170] 也提供电容器164,其便于给予晶体管160的栅电极的电荷的保留以及已存储内容的读取。特别地,通过在本实施例中描述的方法可以不增加步骤而形成电容器164,其考虑到成本削减是有利地。

[0171] 注意在本实施例中描述具有包含除氧化物半导体以外的材料的晶体管和包含氧化物半导体的晶体管的叠层(两层)结构的半导体装置。然而,用于所公开的发明的结构不限于叠层结构。可采用单层结构或三层或更多的叠层结构。

[0172] 此外,依赖于半导体集成电路所需的功能,可以合适地改变电极(布线)、绝缘层、半导体层等的位置或连接关系;例如布线宽度、沟道宽度、沟道长度等参数;或其他条件。例如,在具有单层结构的半导体装置的情况下的电极结构、布线等较大地不同于在具有叠层结构的半导体装置的情况下的那些。

[0173] 在本实施例中描述的结构、方法等可以合适地与在其他实施例中描述的任何结构、方法等组合。

[0174] [实施例2]

[0175] 在本实施例中,参照图6A和图6B以及图7A到图7E描述不同于以上实施例中描述的半导体装置以及用于制造半导体装置的方法。注意在本实施例中的半导体装置的结构和制造过程与实施例1中的那些具有很多相同之处。因此,在下文描述中,忽略相同部分的重复描述,并且详细地描述不同点。

[0176] <半导体装置的平面结构和截面结构>

[0177] 图6A和图6B图示半导体装置的结构例子。图6A和图6B分别图示半导体装置的截面及其平面图。此处,图6A对应于沿图6B的线A3-A4和B3-B4取的截面。在图6A和图6B所图示的半导体装置中,以与图1A和图1B类似的方式,包含除氧化物半导体以外的材料的晶体管160包含于下部分中,并且包含氧化物半导体的晶体管162和电容器164包含于上部分中。由于在本实施例中描述的半导体装置不配备绝缘层144,所以与图1A所图示的半导体装置比较,简化了制造过程并且减小了制造成本。注意为了减小由于栅电极148a等引起的电容,可提供绝缘层144。

[0178] 图6A中所图示的晶体管162包含在绝缘层138之上提供的氧化物半导体层140;电连接到氧化物半导体层140的源电极或漏电极142a和源电极或漏电极142b;覆盖源电极或漏电极142a、源电极或漏电极142b、以及氧化物半导体层140的栅极绝缘层146;以及在栅极绝缘层146之上与氧化物半导体层140重叠的栅电极148a。注意由于在包含氧化物半导体层140的顶面的区域中,氧化物半导体层140与源电极或漏电极142a等彼此连接,所以在图6A中所图示的晶体管162是顶栅晶体管并且可以被称作顶栅顶部接触晶体管(top-gate top-contact transistor)。

[0179] <用于制造半导体装置的方法>

[0180] 接着,描述用于制造半导体装置的方法的例子。在下文描述中,参照图7A到图7E描述用于制造上部分中的晶体管162的方法。注意由于下部分中晶体管160的制造方法与图4所图示的制造方法相同,所以忽略其描述。

[0181] 首先,绝缘层138形成于层间绝缘层128、源电极或漏电极130a、源电极或漏电极130b、以及电极130c之上。然后,在绝缘层138中形成到达源电极或漏电极130a、源电极或漏电极130b、以及电极130c的开口(参照图7A)。由于可以参照图5A,所以忽略绝缘层138的材料和形成方法的描述。此外,可以通过例如使用掩模的蚀刻等方法形成开口。

[0182] 接着,氧化物半导体层形成于绝缘层138之上并且通过例如使用掩模的蚀刻等方法处理,以便形成岛状氧化物半导体层140(参照图7B)。由于可以参照图5C,所以忽略岛状氧化物半导体层140的材料和形成方法的描述。

[0183] 接着,形成导电层以覆盖绝缘层138、提供于绝缘层138中的开口、以及岛状氧化物半导体层140,然后通过例如使用掩模的蚀刻等方法来进行处理,以便形成与氧化物半导体层140、电极142c、以及电极142d接触的源电极或漏电极142a和源电极或漏电极142b。然后,形成栅极绝缘层146来覆盖源电极或漏电极142a、源电极或漏电极142b、电极142c、以及电极142d(参照图7C)。由于可以参照图5B,所以忽略源电极或漏电极142a、源电极或漏电极142b、电极142c、以及电极142d的材料和形成方法的描述。此外,由于可以参照图5D,所以忽略栅极绝缘层146的材料和形成方法的描述。

[0184] 然后,导电层形成于栅极绝缘层146之上并且通过例如使用掩模的蚀刻等方法进行处理,以便形成栅电极148a和电极148b(参照图7D)。由于可以参照图5D,所以忽略栅电极148a和电极148b的材料和形成方法的描述。

[0185] 接着,形成保护绝缘层150和层间绝缘层152来覆盖栅极绝缘层146、栅电极148a、以及电极148b(参照图7E)。由于可以参照图5E,所以忽略保护绝缘层150和层间绝缘层152的材料和形成方法的描述。

[0186] 通过以上步骤,可以制造图6A和图6B所图示的半导体装置。

[0187] [实施例3]

[0188] 在本实施例中,参照图8A和图8B以及图9A和图9B描述使用实施例1所图示的多个半导体装置形成的半导体装置的电路配置、操作等的例子。

[0189] <半导体装置的电路配置和操作>

[0190] 图8A和图8B是半导体装置的电路图的例子,每个包含图3A1所图示的多个半导体装置(在下文中也被称作存储器单元190)。图8A是NAND半导体装置的电路图,其中存储器单元190串联连接,并且图8B是NOR半导体装置的电路图,其中存储器单元190并联连接。

[0191] 图8A中的半导体装置包含源极线SL、位线BL、第一信号线S1、多个第二信号线S2、多个字线WL、以及多个存储器单元190。在每个存储器单元190中,晶体管160的栅电极、晶体管162的源电极和漏电极中的一个、以及电容器164的一个电极彼此电连接。第一信号线S1以及晶体管162的源电极和漏电极中的另一个彼此电连接,并且第二信号线S2和晶体管162的栅电极彼此电连接。字线WL和电容器164的另一个电极彼此电连接。

[0192] 另外,包含于存储器单元190中的晶体管160的源电极电连接到邻近存储器单元190中的晶体管160的漏电极。包含于存储器单元190中的晶体管160的漏电极电连接到邻近存储器单元190中的晶体管160的源电极。注意包含于串联连接的多个存储器单元的存储器单元190中的晶体管160的漏电极,其提供于一端上,电连接到位线。晶体管160的源电极包含于串联连接的多个存储器单元的存储器单元190中,其提供于另一端上,电连接到源极线SL。注意在图8A中,在半导体装置中提供一个源极线SL和一个位线BL;然而,本发明的实施例不限于此。可提供多个源极线SL和多个位线BL。

[0193] 在图8A中的半导体装置中,在每一行进行写入操作和读取操作。如下进行写入操作。向待进行写入的行的第二信号线S2供应晶体管162打开时的电位,以便打开待进行写入的行的晶体管162。因此,向指定行的晶体管160的栅电极供应第一信号线S1的电位,以便给予栅电极预定的电荷。从而数据可以写入到指定行的存储器单元。

[0194] 另外,如下进行读取操作。首先,无论晶体管160的栅电极的电荷,向除待进行读取的行以外的行的字线WL供应晶体管160打开时的电位,以便打开除待进行读取的行以外的行的晶体管160。然后,向源极线SL供应恒定电位,并且位线BL连接到读取电路(未示出)。此处,除了待进行读取的行的晶体管160,源极线SL和位线BL之间的多个晶体管160打开;因此,由待进行读取的行的晶体管160的状态来确定源极线SL和位线BL之间的电导。即,由读取电路读出的位线BL的电位依赖于待进行读取的行的晶体管160的栅电极中的电荷。以此方式,读取电路可以从指定行中的存储器单元读取数据。

[0195] 图8B中的半导体装置包含多个源极线SL、多个位线BL、多个第一信号线S1、多个第二信号线S2、多个字线WL、以及多个存储器单元190。晶体管160的栅电极、晶体管162的源电极和漏电极中的一个、以及电容器164的一个电极彼此电连接。源极线SL和晶体管160的源电极彼此电连接。位线BL和晶体管160的漏电极彼此电连接。第一信号线S1以及晶体管162的源电极和漏电极中的另一个彼此电连接,以及第二信号线S2和晶体管162的栅电极彼此电连接。字线WL和电容器164的另一电极彼此电连接。

[0196] 在图8B中的半导体装置中,在每一行中进行写入操作和读取操作。以类似于图8A中的半导体装置的方式进行写入操作。如下进行读取操作。首先,向进行读取的行中的字线WL供应依赖于存储在晶体管160的栅电极中的电荷而选择的晶体管160处于导通状态或截

止状态时的电位。然后,向源极线SL供应恒定电位,并且位线BL连接到读取电路(未示出)。未选择的行中的晶体管160处于截止状态。此处,由待进行读取的行的晶体管160的状态来确定源极线SL和位线BL之间的电导。即,由读取电路读出的位线BL的电位依赖于待进行读取的行的晶体管160的栅电极中的电荷。以此方式,读取电路可以从指定行中的存储器单元读取数据。

[0197] 在图8A和图8B所图示的半导体装置中,包含除氧化物半导体以外的材料的晶体管160可以以充分高的速度操作,并且因此可以高速进行已存储内容的读取等。此外,包含氧化物半导体的晶体管162具有极其低的截止电流。由于此原因,通过关闭晶体管162,可以极其长时间地保留晶体管160的栅电极的电位。通过提供电容器164,可以容易地进行给予晶体管160的栅电极的电荷的保留以及已存储的数据的读取。

[0198] 同时,关于包含上述多个存储器单元的半导体装置,为了抑制每存储容量的成本,由每个存储器单元占有的区域的减小变成问题。为了解决问题,例如,在图8A所图示的NAND半导体装置中,每个串联连接的晶体管160形成为具有如图9A的截面图图示的这样的结构,由此可以减小每个存储器单元所占有的区域。注意图9A对应于沿图9B的线C1-C2和D1-D2取的截面。

[0199] 在图9A所图示的半导体装置中,提供于衬底100之上的晶体管160经由高浓度杂质区域120(也简称作杂质区域)和金属化合物区域124连接到邻近的晶体管160。即,提供于晶体管160之间的高浓度杂质区域120和金属化合物区域124起到一个晶体管160的源极区域和另一个晶体管160的漏极区域的作用。

[0200] 此外,提供层间绝缘层126和层间绝缘层128来覆盖晶体管160。此外,在彼此串联连接的多个晶体管160的一端上,形成通过在层间绝缘层126和层间绝缘层128中形成的开口而电连接到金属化合物区域124的电极192。

[0201] 此处,由于晶体管160与实施例1的图1A和图1B所图示的晶体管160具有几乎相同的结构,所以对于图9A和图9B所图示的晶体管160的描述,可以参照图1A和图1B的描述。注意在本实施例中,为了获取晶体管160的高度集成,不提供图1A和图1B所图示的侧壁绝缘层118。

[0202] 此外,图9A所图示的结构不仅可以用于图8A所图示的NAND半导体装置,也可以用于图8B所图示的NOR半导体装置。例如,在图8B中,邻近行中的存储器单元可对称地安排,并且邻近行中的存储器单元的晶体管160可以经由高浓度杂质区域120和金属化合物区域124彼此连接。在此情况下,至少两个晶体管160经由高浓度杂质区域120和金属化合物区域124而彼此连接。

[0203] 当多个晶体管160以此方式彼此连接时,可以获取晶体管160和存储器单元190的高度集成。因此,可以抑制半导体装置的每存储容量的成本。

[0204] 在本实施例中描述的结构、方法等可以合适地与其他实施例的任何结构、方法等组合。

[0205] [实施例4]

[0206] 接着,在图10A和图10B中图示半导体装置的修改的例子。

[0207] 图10A所图示的半导体装置是图1A所图示的半导体装置的修改的例子。

[0208] 图10A所图示的结构与图1A所图示的结构的不同之处在于电极130c电连接到提供

于衬底100之上的金属化合物区域。换句话说,在图10A中,源电极或漏电极142a和金属化合物区域彼此电连接,然而在图1A所图示的结构中,源电极或漏电极142a和栅电极110彼此电连接。

[0209] 利用图10A所图示的结构,可以获取具有不同于任何以上实施例中的半导体装置的电路配置的半导体装置。

[0210] 图10B所图示的半导体装置是图6A所图示的半导体装置的修改的例子。

[0211] 图10B所图示的结构与图6A所图示的结构的不同之处在于电极130c和提供于衬底100之上的金属化合物区域彼此电连接。换句话说,在图10B中,源电极或漏电极142a和金属化合物区域彼此电连接,然而在图6A所图示的结构中,源电极或漏电极142a和栅电极110彼此电连接。

[0212] 利用图10B所图示的结构,可以获取具有不同于任何以上实施例中的半导体装置的电路配置的半导体装置。

[0213] 在本实施例中描述的结构、方法等可以合适地与其他实施例的任何结构、方法等组合。

[0214] [实施例5]

[0215] 接着,参照图11A到图11E描述包含氧化物半导体的晶体管(其可以用作以上实施例(例如实施例1)中的晶体管162等)的制造方法的另一例子。在本实施例中,对使用高度纯化的氧化物半导体(特别地具有非晶结构)的情况作出详细描述。尽管顶栅晶体管用作下文描述中的例子,但是晶体管的结构不限于此。

[0216] 首先,绝缘层202形成于下层衬底200之上。然后,氧化物半导体层206形成于绝缘层202之上(参照图11A)。

[0217] 例如,下层衬底200可以是以上实施例(图1A和图1B、图6A和图6B等)中的半导体装置的层间绝缘层128之下的结构体(structure body)。对于其细节,可以参照以上实施例。优选下层衬底200的表面尽可能平坦。例如,在表面上高度差可小于或等于5nm,或优选通过化学机械抛光法(CMP法)等而小于或等于1nm。此外,表面粗糙度的均方根值(RMS)可小于或等于2nm,或优选小于或等于0.4nm。

[0218] 绝缘层202用作基极并且可以以类似于以上实施例中示出的绝缘层138、绝缘层144等的方式形成。对于绝缘层202的细节,可以参照以上实施例。注意优选形成绝缘层202以致尽可能少地包含氢或水。

[0219] 作为氧化物半导体层206,可以使用任何下列氧化物半导体:In-Sn-Ga-Zn-O基氧化物半导体,其是四成分金属氧化物;In-Ga-Zn-O基氧化物半导体、In-Sn-Zn-O基氧化物半导体、In-Al-Zn-O基氧化物半导体、Sn-Ga-Zn-O基氧化物半导体、Al-Ga-Zn-O基氧化物半导体、或Sn-Al-Zn-O基氧化物半导体,其是三成分金属氧化物;In-Zn-O基氧化物半导体、Sn-Zn-O基氧化物半导体、Al-Zn-O基氧化物半导体、Zn-Mg-O基氧化物半导体、Sn-Mg-O基氧化物半导体、或In-Mg-O基氧化物半导体,其是双成分金属氧化物;或In-O基氧化物半导体、Sn-O基氧化物半导体,或Zn-O基氧化物半导体。

[0220] 特别地,当没有电场时In-Ga-Zn-O基氧化物半导体材料具有充分高的电阻从而可以获取充分低的截止电流。此外,具有高的场效应迁移率,In-Ga-Zn-O基氧化物半导体材料适用于半导体装置。

[0221] In-Ga-Zn-O基氧化物半导体材料的典型例子由 $\text{InGaO}_3(\text{ZnO})_m$ ($m > 0$)表示。氧化物半导体材料的另一例子由 $\text{InMO}_3(\text{ZnO})_m$ ($m > 0$)表示,其中使用M代替Ga。此处,M指代从镓(Ga)、铝(Al)、铁(Fe)、镍(Ni)、锰(Mn)、以及钴(Co)等选择的一个或多个金属元素。例如,M可以是Ga、Ga和Al、Ga和Fe、Ga和Ni、Ga和Mn、Ga和Co等。注意前述成分仅是从晶体结构获取的例子。

[0222] 作为用于由溅射法制造氧化物半导体层206的靶,可以使用由 $\text{In:Ga:Zn}=1:x:y$ (x 大于或等于0并且 y 大于或等于0.5并且小于或等于5)的组分配方表示的靶。例如,还可以使用具有 $\text{In:Ga:Zn}=1:1:1$ [原子比] ($x=1$ 并且 $y=1$) (即, $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:2$ [摩尔比])的组分比的靶。此外,还可以使用具有 $\text{In:Ga:Zn}=1:1:0.5$ [原子比] ($x=1$ 并且 $y=0.5$)的组分比的靶,具有 $\text{In:Ga:Zn}=1:1:2$ [原子比] ($x=1$ 并且 $y=2$)的组分比的靶,或具有 $\text{In:Ga:Zn}=1:0:1$ [原子比] ($x=0$ 并且 $y=1$)的组分比的靶。

[0223] 金属氧化物靶中的金属氧化物的相对密度大于或等于80%,优选大于或等于95%,并且更优选地大于或等于99.9%。具有高相对密度的金属氧化物靶的使用使形成具有致密的结构的氧化物半导体层206成为可能。

[0224] 在本实施例中,使用In-Ga-Zn-O基金属氧化物靶通过溅射法形成具有非晶结构的氧化物半导体层206。

[0225] 在其中形成氧化物半导体层206的气氛优选是稀有气体(典型地氩)气氛、氧气氛、或包含稀有气体(典型地氩)和氧的混合气氛。具体地,例如,优选使用高纯度的气体气氛,从中移除杂质(例如氢、水、氢氧基、或氢化物)到1ppm或更少(优选,10ppb或更少)的浓度。

[0226] 在形成氧化物半导体层206时,例如,在保持减压下的处理室中放置衬底,并且衬底加热到高于或等于100℃并且低于550℃、优选高于或等于200℃并且低于或等于400℃的温度。然后,从中移除氢、水等的溅射气体引进到处理室并且移除处理室中的水分,由此使用前述靶形成氧化物半导体层206。形成氧化物半导体层206并且加热衬底,以便可以减小包含于氧化物半导体层206中的杂质。此外,可以减小由于溅射引起的损害。为了移除处理室中剩余的水分,优选使用捕获真空泵。例如,可以使用低温泵、离子泵、或钛升华泵。备选地,还可以使用配备有冷阱的涡轮分子泵。由于从用低温泵抽空的处理室中移除氢、水等,所以可以减小氧化物半导体层206中的杂质浓度。

[0227] 氧化物半导体层206可以在下列条件下形成,例如:衬底和靶之间的距离是170mm;压力是0.4Pa;直流(DC)功率是0.5kW;并且气氛是氧(氧的比例是100%),氩(氩的比例是100%),或包含氧和氩的混合气氛。注意由于可以减小尘埃(例如在沉积时形成的粉末物质)并且可以统一厚度分布,所以优选使用脉冲直流(DC)电源。氧化物半导体层206的厚度是2nm到200nm(含),优选5nm到30nm(含)。注意依赖于待使用的氧化物半导体材料、半导体装置的预期用途等,氧化物半导体层的适当厚度不同;因此,可根据材料、预期用途等来确定厚度。

[0228] 注意在用溅射法形成氧化物半导体层206之前,优选进行反溅射(其中用引进的氩气体产生等离子体),以便移除绝缘层202的表面上的尘埃。此处,反溅射是离子与待处理的表面相撞以便修改表面的方法,与离子与溅射靶相撞的正常溅射相对。使离子与待处理的表面相撞的方法的例子是在氩气氛中将高频电压施加于待处理的表面以便接近衬底产生等离子体的方法。注意可以使用氮、氦、氧等气氛来取代氩气氛。

[0229] 接着,通过例如使用掩模的蚀刻等方法处理氧化物半导体层206,由此形成岛状氧化物半导体层206a。

[0230] 作为氧化物半导体层206的蚀刻方法,可以采用干蚀刻或湿蚀刻。不必说可以组合使用干蚀刻和湿蚀刻。依赖于材料合适地设置蚀刻条件(例如,蚀刻气体或蚀刻剂、蚀刻时间、以及温度)以便氧化物半导体层可以蚀刻成所希望的形状。可以以类似于以上实施例中示出的氧化物半导体层的方式蚀刻氧化物半导体层206。对于蚀刻条件等的细节,可以参照以上实施例。

[0231] 此后,优选对氧化物半导体层206a进行热处理(第一热处理)。通过第一热处理,可以移除氧化物半导体层206a中的过量的氢(包含水和氢氧基),可以对准氧化物半导体层的结构,并且可以减小氧化物半导体层206a中的能隙的缺陷水平。例如,在高于或等于300℃并且低于550℃,或高于或等于400℃并且低于或等于500℃的温度进行第一热处理。注意在蚀刻之后进行热处理的情况下,优势在于即使当使用湿蚀刻时,也可以缩短用于蚀刻的时间。

[0232] 热处理可以以这样的方式进行,例如,下层衬底200引进到使用电阻加热元件等的电炉,然后在氮气氛围中以450℃加热一个小时。在热处理期间,氧化物半导体层206a不暴露于空气以便可以防止水或氢的进入。

[0233] 热处理器件不限于电炉并且可以是用于通过来自介质(例如热的气体)的热传导或热辐射来加热待处理的对象的器件。例如,可以使用快速热退火(RTA)器件(例如气体快速热退火(GRTA)器件或灯快速热退火(LRTA)器件)。LRTA器件是用于通过从灯(例如卤素灯、金属卤化物灯、氙弧灯、碳弧灯、高压钠灯、或高压汞灯)发射的光辐射(电磁波)加热待处理的对象的器件。GRTA器件是用于使用高温气体进行热处理的器件。作为该气体,使用通过热处理不与待处理的对象反应的惰性气体(例如氮)或稀有气体(例如氩)。

[0234] 例如,作为第一热处理,可如下进行GRTA过程。衬底放入已加热的惰性气体气氛,加热几分钟,并且从惰性气体气氛取出。GRTA过程使能短时间的高温热处理。此外,由于其是短时间的高温热处理,所以即使当温度超过衬底的温度上限时,也可以采用GRTA过程。注意在过程期间,惰性气体可改变成包含氧的气体。这是因为通过在包含氧的气氛中进行第一热处理可以减小由氧缺乏导致的能隙中的缺陷水平。

[0235] 注意作为惰性气体气氛,优选采用包含氮或稀有气体(例如,氮、氖、或氩)作为其主要成分并且不包含氢、水等的气氛。例如,引进到热处理器件的氮或稀有气体(例如氮、氖、或氩)的纯度大于或等于6N(99.9999%),优选大于或等于7N(99.99999%) (即,杂质浓度小于或等于1ppm,优选小于或等于0.1ppm)。

[0236] 在任何情况下,当通过第一热处理减小杂质来形成i型或大体上i型的氧化物半导体层206a时,可以实现具有优异特性的晶体管。

[0237] 注意还可以对尚未处理成岛状氧化物半导体层206a的氧化物半导体层206进行第一热处理。在那种情况下,在第一热处理之后,从加热器件取出底部衬底200并且进行光刻步骤。

[0238] 其具有移除氢或水的效果的第一热处理,还可以被称作脱水处理、脱氢处理等。例如,可以在形成氧化物半导体层之后、或在氧化物半导体层206a之上层叠源电极或漏电极之后,进行脱水处理或脱氢处理。这样的脱水处理或脱氢处理可进行一次或多次。

[0239] 接着,导电层形成为与氧化物半导体层206a接触。然后,通过选择性地蚀刻导电层来形成源电极或漏电极208a和源电极或漏电极208b(参照图11B)。这一步骤类似于形成以上实施例中描述的源电极或漏电极142a等的步骤。对于该步骤的细节,可以参照以上实施例。

[0240] 接着,形成与部分氧化物半导体层206a接触的栅极绝缘层212(参照图11C)。对于栅极绝缘层212的细节,可以参照以上实施例中的绝缘层138的描述。

[0241] 在形成栅极绝缘层212之后,优选惰性气体气氛或氧气氛中进行第二热处理。在高于或等于200℃并且低于或等于450℃,优选高于或等于250℃并且低于或等于350℃的温度进行热处理。例如,可在氮气氛中以250℃进行一个小时的第二热处理。第二热处理可以减小晶体管的电特性中的变化。在栅极绝缘层212包含氧的情况下,通过向氧化物半导体层206a供应氧来弥补氧化物半导体层206a的氧缺乏,还可以形成i型(本征)或大体上i型的氧化物半导体层。

[0242] 注意尽管在本实施例中,在形成栅极绝缘层212之后进行第二热处理,但是第二热处理的时机不限于此。

[0243] 接着,在与氧化物半导体层206a重叠的区域中在栅极绝缘层212之上形成栅电极214(参照图11D)。通过在栅极绝缘层212之上形成导电层然后选择性地构图导电层可以形成栅电极214。对于栅电极214的细节,可以参照以上实施例中的栅电极148a的描述。

[0244] 接着,在栅极绝缘层212和栅电极214之上形成层间绝缘层216和层间绝缘层218(参照图11E)。用PVD法、CVD法等可以形成层间绝缘层216和层间绝缘层218。使用包含无机绝缘材料的材料(例如氧化硅、氮化硅、氮化硅、氧化硅、氧化铝、或氧化钽)可以形成层间绝缘层216和层间绝缘层218。注意尽管在本实施例中使用层间绝缘层216和层间绝缘层218的层叠结构,本文所公开的发明的实施例不限于此。还可以使用单层结构或包含三个或者更多层的层叠结构。

[0245] 注意优选层间绝缘层218形成为具有平面化表面。这是因为当层间绝缘层218形成为具有平面化表面时,在层间绝缘层218之上可以令人满意地形成电极、布线等。

[0246] 通过以上步骤,完成包含高度纯化的氧化物半导体层206a的晶体管250(参照图11E)。

[0247] 图11E所图示的晶体管250包含下列:在底部衬底200之上提供的氧化物半导体层206a(在其间插入有绝缘层202);电连接到氧化物半导体层206a的源电极或漏电极208a和源电极或漏电极208b;覆盖氧化物半导体层206a、源电极或漏电极208a以及源电极或漏电极208b的栅极绝缘层212;在栅极绝缘层212之上的栅电极214;在栅极绝缘层212和栅电极214之上的层间绝缘层216;以及在层间绝缘层216之上的层间绝缘层218。

[0248] 在本实施例中描述的晶体管250中,氧化物半导体层206a是高度纯化的。因此,氧化物半导体层206a中的氢浓度小于或等于 $5 \times 10^{19} \text{ atoms/cm}^3$,优选小于或等于 $5 \times 10^{18} \text{ atoms/cm}^3$,或更优选地小于或等于 $5 \times 10^{17} \text{ atoms/cm}^3$ 。此外,与典型的硅晶圆的载流子密度(近似 $1 \times 10^{14} / \text{cm}^3$)比较,氧化物半导体层206a的载流子密度充分地低(例如,小于 $1 \times 10^{12} / \text{cm}^3$,优选小于 $1.45 \times 10^{10} / \text{cm}^3$)。其结果是,可以获取充分低的截止电流。例如,在沟道长度为 $10 \mu\text{m}$,氧化物半导体层的厚度为 30 nm ,并且漏极电压处于从近似 1 V 到 10 V 的范围的情况下,截止电流(当栅极-源极电压小于或等于 0 V 时的漏极电流)小于或等于 $1 \times 10^{-13} \text{ A}$ 。此

外,室温下的截止电流密度(通过由截止电流除以晶体管的沟道宽度所获取的值)近似为 $1 \times 10^{-20} \text{A}/\mu\text{m}$ ($10 \text{zA}/\mu\text{m}$)到 $1 \times 10^{-19} \text{A}/\mu\text{m}$ ($100 \text{zA}/\mu\text{m}$)。

[0249] 注意除截止电流或截止电流密度以外,还可以使用截止电阻(当晶体管关闭时的电阻值)或截止电阻率(当晶体管关闭时的电阻率)来表示以上晶体管的特性。此处,使用截止电流和漏极电压由欧姆定律获取截止电阻 R 。此外,使用沟道形成区域的截面面积 A 和沟道长度 L ,由 $\rho=RA/L$ 的公式获取截止电阻率 ρ 。具体地,在以上情况下,截止电阻率大于或等于 $1 \times 10^9 \Omega \cdot \text{m}$ (或大于或等于 $1 \times 10^{10} \Omega \cdot \text{m}$)。注意使用氧化物半导体层的厚度和沟道宽度 W ,由 $A=dW$ 的公式表示截面面积 A 。

[0250] 使用氧化物半导体层206a(其以此方式被高度纯化成本征氧化物半导体层),可以充分地减小晶体管的截止电流。

[0251] 注意,尽管在本实施例中,使用晶体管250代替以上实施例中示出的晶体管162,但是本文所公开的发明不需要解释为限制于那种情况。例如,当充分地增加氧化物半导体的电特性时,氧化物半导体可以用于包含集成电路中所包含的晶体管的所有晶体管。在这样的情况下,不必要采用以上实施例中示出的叠层结构。注意为了实现良好的电路操作,氧化物半导体的场效应迁移率 μ 优选为 $\mu > 100 \text{cm}^2/\text{V} \cdot \text{s}$ 。此外,可以使用例如衬底(例如玻璃衬底)来形成半导体装置。

[0252] 在本实施例中描述的结构、方法等可以合适地与在其他实施例中描述的任何结构、方法等组合。

[0253] [实施例6]

[0254] 接着,参照图12A到图12E描述包含氧化物半导体的晶体管(其可以用作以上实施例(例如实施例1)中的晶体管162等)的制造方法的另一例子。在本实施例中,对以下情况作出详细描述,即:作为氧化物半导体层,使用具有晶体化区域的第一氧化物半导体层以及由从第一氧化物半导体层的晶体化区域的晶体生长而获取的第二氧化物半导体层。尽管使用顶栅晶体管作为下文描述中的例子,但是晶体管的结构不限于此。

[0255] 首先,绝缘层302形成于下层衬底300之上。接着,第一氧化物半导体层形成于绝缘层302之上,然后经受第一热处理以便至少包含第一氧化物半导体层的表面的区域晶体化,由此形成第一氧化物半导体层304(参照图12A)。

[0256] 例如,下层衬底300可以是以上实施例(图1A和图1B,图6A和图6B等)中的半导体装置的层间绝缘层128之下的结构体。对于其细节,可以参照以上实施例。优选下层衬底300的表面尽可能平坦。例如,表面上高度差可小于或等于5nm,或优选通过化学机械抛光法(CMP法)等而小于或等于1nm。此外,表面粗糙度的均方根值(RMS)可小于或等于2nm,或优选小于或等于0.4nm。

[0257] 绝缘层302作为基极起作用并且可以以类似于以上实施例中描述的绝缘层138、绝缘层144等的方式形成。对于绝缘层302的细节,可以参照以上实施例。注意优选形成绝缘层302以致尽可能少地包含氢或水。

[0258] 可以以类似于以上实施例中描述的氧化物半导体层206的方式形成第一氧化物半导体层。对于第一氧化物半导体层及其制造方法的细节,可以参照以上实施例。注意在本实施例中,通过第一热处理有意地晶体化第一氧化物半导体层;因此,优选使用容易引起晶体化的氧化物半导体来形成第一氧化物半导体层。例如,可以给出ZnO等作为这样的氧化物半

导体。另外,由于包含高浓度的Zn的In-Ga-Zn-O基氧化物半导体容易晶体化,所以也优选使用In-Ga-Zn-O基氧化物半导体(其中金属元素(In、Ga、Zn)中Zn的比例大于或等于60%)。第一氧化物半导体层的厚度优选大于或等于3nm并且小于或等于15nm,以及在本实施例中,例如5nm。注意依赖于待使用的氧化物半导体材料、半导体装置的预期用途等,氧化物半导体层的适当厚度不同;因此,可根据材料、预期用途等来确定厚度。

[0259] 在高于或等于550℃并且低于或等于850℃、优选高于或等于600℃并且低于或等于750℃的温度进行第一热处理。用于第一热处理的时间优选长于或等于1分钟并且短于或等于24小时。依赖于氧化物半导体的种类等,热处理的温度和时间不同。此外,优选在不包含氢或水的气氛(例如从中充分移除水的氮、氧、或稀有气体(例如,氮、氧、或氩)的气氛)中进行第一热处理。

[0260] 热处理器件不限于电炉并且可以是用于通过来自介质(例如热的气体)的热传导或热辐射加热待处理的对象的器件。例如,可以使用快速热退火(RTA)器件(例如气体快速热退火(GRTA)器件或灯快速热退火(LRTA)器件)。LRTA器件是用于通过从灯(例如卤素灯、金属卤化物灯、氙弧灯、碳弧灯、高压钠灯、或高压汞灯)发射的光辐射(电磁波)加热待处理的对象的器件。GRTA器件是用于使用高温气体进行热处理的器件。对于该气体,使用通过热处理不与对象反应的惰性气体(例如氮)或稀有气体(例如氩)。

[0261] 通过前述第一热处理,至少包含第一氧化物半导体层的表面的区域晶体化。以此方式形成晶体化区域使晶体生长从第一氧化物半导体层的表面向着第一氧化物半导体层的内部前进。注意在一些情况下,晶体化区域包含具有大于或等于2nm并且小于或等于10nm的平均厚度的板状晶体。在一些情况下,晶体化区域也包含具有大体上平行于氧化物半导体层的表面的a-b表面以及以大体上垂直于氧化物半导体层的表面的方向c轴对准的晶体。此处,“大体上平行的方向”意味着平行方向 $\pm 10^\circ$ 内的方向,并且“大体上垂直的方向”意味着垂直方向 $\pm 10^\circ$ 内的方向。

[0262] 通过晶体化区域形成期间的第一热处理,优选移除第一氧化物半导体层中的氢(包含水或氢氧基)。为了移除氢等,可以在氮、氧、或稀有气体(例如,氮、氧、或氩)的气氛(其具有6N(99.9999%)或更多的纯度(即,杂质浓度小于或等于1ppm),更优选地7N(99.99999%)或者更多的纯度(即,杂质浓度小于或等于0.1ppm))中进行第一热处理。备选地,可在包含具有20ppm或更少、优选1ppm或更少的H₂O的超干燥空气中进行第一热处理。

[0263] 此外,通过晶体化区域形成期间的第一热处理,优选向第一氧化物半导体层供应氧。可以通过例如将用于热处理的气氛变成氧气氛,向第一氧化物半导体层供应氧。

[0264] 本实施例中的第一热处理如下:通过一个小时的以700℃在氮气氛下的热处理,从氧化物半导体层移除氢等,然后气氛改变成氧气氛以便向第一氧化物半导体层的内部供应氧。注意第一热处理的主要用途是形成晶体化区域;因此,可以单独地进行用于移除氢等的处理以及用于供应氧的处理。例如,用于晶体化的热处理可以在用于移除氢等的处理以及用于供应氧的处理之后进行。

[0265] 通过这样的第一热处理,形成晶体化区域,移除氢(包含水和氢氧基)等,并且可以获取供应氧的第一氧化物半导体层。

[0266] 接着,第二氧化物半导体层305形成于至少在其表面上包含晶体化区域的第一氧化物半导体层304之上(参照图12B)。

[0267] 可以以类似于以上实施例中示出的氧化物半导体层206的方式形成第二氧化物半导体层305。用于第二氧化物半导体层305及其制造方法的细节,可以参照以上实施例。注意第二氧化物半导体层305优选形成为比第一氧化物半导体层304厚。另外,第二氧化物半导体层305优选形成为使第一氧化物半导体层304和第二氧化物半导体层305的总厚度大于或等于3nm并且小于或等于50nm。注意依赖于待使用的氧化物半导体材料、半导体装置的预期用途等,氧化物半导体层的适当厚度不同;因此,可根据材料、预期用途等来确定厚度。

[0268] 优选使用具有相同的主成分并且具有在晶体化之后的接近的晶格常数(晶格失配小于或等于1%)的材料来形成第二氧化物半导体层305和第一氧化物半导体层304。这是因为在第二氧化物半导体层305的晶体化中,在使用具有相同的主成分的材料的情况下,晶体生长容易从第一氧化物半导体层304的晶体化区域前进。此外,具有相同的主成分的材料的使用实现良好的界面物理性质或电特性。

[0269] 注意在通过晶体化获取所希望的膜质量的情况下,可以使用具有不同于第一氧化物半导体层304的材料的主成分的材料来形成第二氧化物半导体层305。

[0270] 接着,对第二氧化物半导体层305进行第二热处理,由此晶体生长从第一氧化物半导体层304的晶体化区域前进,并且形成第二氧化物半导体层306(参照图12C)。

[0271] 以高于或等于550℃并且低于或等于850℃,优选高于或等于600℃并且低于或等于750℃的温度进行第二热处理。第二热处理的时间是1分钟到100小时(含),优选为5小时到20小时(含),并且典型地为10小时。注意也优选在不包含氢或水的气氛中进行第二热处理。

[0272] 热处理的气氛的细节和效果类似于第一热处理的那些。可以使用的热处理器件也类似于第一热处理的器件。例如,在第二热处理中,当温度上升时,炉子充满氮气氛,并且当温度下降时,炉子充满氧气氛,由此在氮气氛下可以移除氢等并且在氧气氛下供应氧。

[0273] 通过前述第二热处理,晶体生长可以从第一氧化物半导体层304的晶体化区域前进到整个第二氧化物半导体层305,以便可以形成第二氧化物半导体层306。此外,能形成第二氧化物半导体层306,从其中移除氢(包含水和氢氧基)等并且向其供应氧。此外,通过第二热处理可以改善第一氧化物半导体层304的晶体化区域的定向。

[0274] 例如,在In-Ga-Zn-O基氧化物半导体材料用于第二氧化物半导体层306的情况下,第二氧化物半导体层306可以包含由 $\text{InGaO}_3(\text{ZnO})_m$ (m 是自然数)表示的晶体、由 $\text{In}_2\text{Ga}_2\text{ZnO}_7$ (In:Ga:Zn:O=2:2:1:7)表示的晶体等。通过第二热处理对准这样的晶体以便c轴在大体上垂直于第二氧化物半导体层306a的表面的方向上。

[0275] 此处,前述晶体包含任何In、Ga、以及Zn,并且可以视为具有平行于a轴和b轴的层的叠层结构。具体地,前述晶体具有包含In的层和不包含In的层(包含Ga或Zn的层)在c轴方向层叠的结构。

[0276] 在In-Ga-Zn-O基氧化物半导体晶体中,在平面方向包含In的层,即,以平行于a轴和b轴的方向的层具有良好的导电性。这是因为在In-Ga-Zn-O基氧化物半导体晶体中的导电主要由In控制,并且In原子的5s轨道与邻近In原子的5s轨道重叠,以便形成载流子路径。

[0277] 另外,在第一氧化物半导体层304在与绝缘层302的界面上包含非晶区域的情况下,通过第二热处理,在一些情况下,晶体生长从形成于第一氧化物半导体层304的表面的晶体化区域向着第一氧化物半导体层的底部前进来晶体化非晶区域。注意在一些情况下,

非晶区域仍依赖于绝缘层302的材料、热处理条件等。

[0278] 在使用具有相同的主成分的氧化物半导体材料形成第一氧化物半导体层304和第二氧化物半导体层305的情况下,在一些情况下,第一氧化物半导体层304和第二氧化物半导体层306具有相同的晶体结构,如图12C中所图示的。因此,尽管由图12C中的虚线指示,但是在一些情况下,无法辨别第一氧化物半导体层304和第二氧化物半导体层306之间的边界以便第一氧化物半导体层304和第二氧化物半导体层306可以视为相同的层。

[0279] 接着,用例如使用掩模的蚀刻等方法来处理第一氧化物半导体层304和第二氧化物半导体层306,由此形成岛状第一氧化物半导体层304a和岛状第二氧化物半导体层306a(参照图12D)。注意此处,在第二热处理之后进行成岛状氧化物半导体的处理;然而,在处理成岛状氧化物半导体层之后可进行第二热处理。在此情况下,优势在于即使当使用湿蚀刻时,也可以缩短用于蚀刻的时间。

[0280] 对于第一氧化物半导体层304和第二氧化物半导体层306的蚀刻方法,可采用干蚀刻或湿蚀刻。不必说可以组合使用干蚀刻和湿蚀刻。依赖于材料合适地设置蚀刻条件(例如,蚀刻气体或蚀刻剂、蚀刻时间、以及温度)以便氧化物半导体层可以蚀刻成所希望的形状。可以以类似于以上实施例中示出的氧化物半导体层的方式蚀刻第一氧化物半导体层304和第二氧化物半导体层306。对于蚀刻的细节,可以参照以上实施例。

[0281] 氧化物半导体层的区域(其变成沟道形成区域),优选具有平面化表面。例如,在与栅电极重叠的区域(沟道形成区域)中,第二氧化物半导体层306的表面优选具有1nm或更少(更优选0.2nm或更少)的峰到谷高度。

[0282] 接着,导电层形成为与第二氧化物半导体层306a接触。然后,通过选择性地蚀刻导电层来形成源电极或漏电极308a和源电极或漏电极308b(参照图12D)。可以以类似于以上实施例中示出的源电极或漏电极142a和源电极或漏电极142b的方式形成源电极或漏电极308a和源电极或漏电极308b。对于源电极或漏电极308a和源电极或漏电极308b的细节,可以参照以上实施例。

[0283] 在图12D所图示的步骤中,在一些情况下,使第一氧化物半导体层304a和第二氧化物半导体层306a的侧面上的晶体层(其与源电极或漏电极308a和源电极或漏电极308b接触)进入非晶状态。由于此原因,第一氧化物半导体层304a和第二氧化物半导体层306a的所有区域不总是具有晶体结构。

[0284] 接着,形成与部分第二氧化物半导体层306a接触的栅极绝缘层312。可以由CVD法或溅射法形成栅极绝缘层312。然后,在与第一氧化物半导体层304a和第二氧化物半导体层306a重叠的区域中,栅电极314形成于栅极绝缘层312之上。此后,层间绝缘层316和层间绝缘层318形成于栅极绝缘层312和栅电极314之上(参照图12E)。可以以类似于以上实施例中示出的绝缘层138、栅电极148a、层间绝缘层216、层间绝缘层218等的方式形成栅极绝缘层312、栅电极314、层间绝缘层316、以及层间绝缘层318。对于栅极绝缘层312、栅电极314、层间绝缘层316、以及层间绝缘层318的细节,可以参照以上实施例。

[0285] 在形成栅极绝缘层312之后,优选在惰性气氛或氧气氛下进行第三热处理。在高于或等于200℃并且低于或等于450℃、优选高于或等于250℃并且低于或等于350℃的温度进行第三热处理。例如,在包含氧的气氛下以250℃进行一个小时的热处理。第三热处理可以减小晶体管的电特性中的变化。在栅极绝缘层312包含氧的情况下,通过向第二氧化物

半导体层306a供应氧来弥补第二氧化物半导体层306a的氧缺乏,还可以形成i型(本征)或大体上i型的氧化物半导体层。

[0286] 注意尽管在本实施例中,在形成栅极绝缘层312之后进行第三热处理,但是第三热处理的时机不限于此。另外,在通过其他处理(例如第二热处理)向第二氧化物半导体层供应氧的情况下,可忽略第三热处理。

[0287] 通过以上步骤,完成晶体管350。晶体管350使用第一氧化物半导体层304a和由从第一氧化物半导体层304a的晶体化区域的晶体生长而获取的第二氧化物半导体层306a(参照图12E)。

[0288] 图12E所图示的晶体管350包含下列:在底部衬底300之上提供的第一氧化物半导体层304a(在其间插入有绝缘层302);在第一氧化物半导体层304a之上提供的第二氧化物半导体层306a;电连接到第二氧化物半导体层306a的源电极或漏电极308a和源电极或漏电极308b;覆盖第二氧化物半导体层306a、源电极或漏电极308a、以及源电极或漏电极308b的栅极绝缘层312;在栅极绝缘层312之上的栅电极314;在栅极绝缘层312和栅电极314之上的层间绝缘层316;以及在层间绝缘层316之上的层间绝缘层318。

[0289] 在本实施例所示出的晶体管350中,第一氧化物半导体层304a和第二氧化物半导体层306a是高度纯化的。因此,第一氧化物半导体层304a和第二氧化物半导体层306a中的氢浓度小于或等于 $5 \times 10^{19}/\text{cm}^3$,优选小于或等于 $5 \times 10^{18}/\text{cm}^3$,并且更优选地小于或等于 $5 \times 10^{17}/\text{cm}^3$ 。此外,与典型的硅晶圆的载流子密度(近似 $1 \times 10^{14}/\text{cm}^3$)比较,氧化物半导体层的载流子密度充分低(例如,小于 $1 \times 10^{12}/\text{cm}^3$,优选小于 $1.45 \times 10^{10}/\text{cm}^3$)。其结果是,可以获取充分低的截止状态电流。例如,在晶体管的沟道长度为 $10\mu\text{m}$ 并且氧化物半导体层的厚度为 30nm 的情况下,当漏极电压处于从 1V 到 10V 的范围时,截止电流(当栅极-源极电压小于或等于 0V 时的漏极电流)小于或等于 $1 \times 10^{-13}\text{A}$ 。另外,室温下的截止电流密度(通过由截止电流除以晶体管的沟道宽度所获取的值)近似为 $1 \times 10^{-20}\text{A}/\mu\text{m}$ ($10\text{zA}/\mu\text{m}$)到 $1 \times 10^{-19}\text{A}/\mu\text{m}$ ($100\text{zA}/\mu\text{m}$)。

[0290] 注意除截止电流或截止电流密度以外,可以使用截止电阻(当晶体管关闭时的电阻值)或截止电阻率(当晶体管关闭时的电阻率)来表示以上晶体管的特性。此处,使用截止电流和漏极电压,截止电阻 R 是由欧姆定律获取的值。此外,使用沟道形成区域的截面面积 A 和沟道长度 L ,截止电阻率 ρ 是由 $\rho=RA/L$ 的公式获取的值。具体地,在以上情况下,截止电阻率大于或等于 $1 \times 10^9 \Omega \cdot \text{m}$ (或大于或等于 $1 \times 10^{10} \Omega \cdot \text{m}$)。注意使用氧化物半导体层的厚度和沟道宽度 W ,由 $A=dW$ 的公式表示截面面积 A 。

[0291] 以此方式,通过使用高度纯化的并且本征的第一氧化物半导体层304a和第二氧化物半导体层306a,可以充分地减小晶体管的截止电流。

[0292] 此外,在本实施例中,具有晶体化区域的第一氧化物半导体层304a以及由从第一氧化物半导体层304a的晶体化区域的晶体生长获取的第二氧化物半导体层306a用作氧化物半导体层。从而可以增加场效应迁移率并且可以实现具有良好电特性的晶体管。

[0293] 注意,尽管在本实施例中,使用晶体管350代替以上实施例中示出的晶体管162,但是本文所公开的发明不需要解释为限制于那种情况。例如,在本实施例中示出的晶体管350使用具有晶体化区域的第一氧化物半导体层304a以及由从第一氧化物半导体层304a的晶体化区域的晶体生长而获取的第二氧化物半导体层306a,从而具有高的场效应迁移率。因

此,氧化物半导体可以用于包含集成电路中包含的晶体管的所有晶体管。在这样的情况下,不必要采用以上实施例中示出的叠层结构。注意为了实现良好电路操作,氧化物半导体的场效应迁移率 μ 优选为 $\mu > 100 \text{ cm}^2/\text{V} \cdot \text{s}$ 。此外,在此情况下,可以使用例如衬底(例如玻璃衬底)来形成半导体装置。

[0294] 在本实施例中描述的结构、方法等可以合适地与在其他实施例中描述的任何结构、方法等组合。

[0295] [实施例7]

[0296] 在本实施例中,描述用于制造半导体装置的方法,其不同于实施例1中描述的用于制造半导体装置的方法。本实施例的特征是由所谓的镶嵌法(damascene method)形成下部分中的晶体管的栅电极,并且使用该栅电极的材料形成上部分中的晶体管的源电极、漏电极等。

[0297] 首先,由实施例1中描述的方法获取图4G的状态。状态在图13A中图示。使用CMP法等抛光层间绝缘层126和层间绝缘层128,以便暴露栅电极110的顶面。然后,由选择性的蚀刻方法蚀刻栅电极110,以便形成孔部分127(参照图13B)。

[0298] 接着,由完全嵌入孔部分127的沉积法形成包含金属或金属氮化物的导电层。导电层可为单层或叠层。然后,蚀刻导电层,以便获取电极层(源电极或漏电极142a和源电极或漏电极142b)(参照图13C)。在此阶段的结构等效于实施例1中描述的图5B的结构。

[0299] 此后,以类似于实施例1的方式,形成岛状氧化物半导体层140、栅极绝缘层146、栅电极148a、以及电极148b(参照图13D)。注意电极层(源电极或漏电极142a)是下部分中的晶体管的栅电极并且也是上部分中的晶体管的源电极或漏电极。在本实施例中,可忽略用于形成到达下部分中的晶体管的栅电极110的接触孔的步骤,其在实施例1中是需要的。在本实施例中,由于岛状氧化物半导体层140与层间绝缘层128接触,所以在形成岛状氧化物半导体层140之前,优选充分地使层间绝缘层128的表面脱氢。

[0300] [实施例8]

[0301] 在本实施例中,参照图14A到14F描述在以上实施例中描述的半导体装置应用于电子器具的情况。描述了以上描述的半导体装置应用于这些电子器具的情况,即:例如计算机、移动电话机(也被称作移动电话或移动电话装置)、个人数字助理(包含便携式游戏机器、音频再现装置等)、数码相机、数字视频相机、电子纸、电视机(也被称作电视或电视接收器)等。

[0302] 图14A示出笔记本个人计算机,其包含壳体401、壳体402、显示部分403、键盘404等。在壳体401和壳体402中提供在前述实施例中示出的半导体装置。从而可以实现具有充分低的功率消耗的笔记本PC,其中可以以高速进行数据的写入和读出并且可以长时间存储数据。

[0303] 图14B示出个人数字助理(PDA),其包含配备有显示部分413、外部接口415、操作按钮414等的主体411。也提供操作个人数字助理的触针412等。在主体411中提供在前述实施例中示出的半导体装置。因此,可以实现具有充分低的功率消耗的个人数字助理,其中可以以高速进行数据的写入和读出并且可以长时间存储数据。

[0304] 图14C示出有附加的电子纸的电子书阅读器420,其包含两个壳体421和423。在壳体421和壳体423中分别提供显示部分425和显示部分427。壳体421和423由铰链部分437连

接并且可以用铰链部分437打开或折叠。壳体421配备有电源开关431、操作键433、扬声器435等。至少在壳体421和423的一个中提供在以上实施例中示出的半导体装置。因此,可以实现充分低的功率消耗的电子书阅读器,其中可以以高速进行数据的写入和读出并且可以长时间存储数据。

[0305] 图14D是包含两个壳体440和441的移动电话。此外,在图14D中示出展开的壳体440和441可以通过滑动而彼此重叠。从而移动电话可以为便携式用途而处于合适的尺寸。壳体441包含显示面板442、扬声器443、麦克风444、指向装置446、相机透镜447、外部连接端子448等。壳体440配备有用于使移动电话充电的太阳能电池449、外部存储器槽450等。此外,在壳体441中并入天线。至少在壳体440和441的一个中提供在以上实施例中示出的半导体装置。从而可以实现具有充分低的功率消耗的移动电话,其中可以以高速进行数据的写入和读出并且可以长时间存储数据。

[0306] 图14E是数码相机,其包含主体461、显示部分467、目镜部分463、操作开关464、显示部分465、电池466等。在主体461中提供在前述实施例中示出的半导体装置。因此,可以实现具有充分低的功率消耗的数码相机,其中可以以高速进行数据的写入和读出并且可以长时间存储数据。

[0307] 图14F是电视机470,其包含壳体471、显示部分473、架子475等。电视机470可以由壳体471的操作开关和遥控器480操作。在壳体471和遥控器480中装配在以上实施例中示出的半导体装置。从而可以实现具有充分低的功率消耗的电视机,其中可以以高速进行数据的写入和读出并且可以长时间存储数据。

[0308] 如上所述,在本实施例中示出的电子器具中装配与以上实施例相关的半导体装置。因此,可以实现充分地减少其功率消耗的电子器具。

[0309] [例子1]

[0310] 检查根据所公开的发明的实施例的半导体装置可以重写数据的次数。在此例子中,参照图15描述检查结果。

[0311] 用于检查的半导体装置是具有图3A1中的电路配置的半导体装置。此处,在对应于晶体管162的晶体管中使用氧化物半导体。此外,作为对应于电容器164的电容器,使用具有0.33pF电容值的电容器。

[0312] 在重复保留和写入数据预定次数之后,通过比较初始存储器窗口宽度和此时存储器窗口宽度而进行检查。通过施加0V或5V到对应于图3A1中的第三布线的布线并且施加0V或5V到其对应于图3A1中的第四布线的布线而保持和写入数据。当对应于第四布线的布线的电位是0V时,对应于晶体管162的晶体管截止;从而保留供应到浮栅部分FG的电位。当对应于第四布线的布线的电位是5V时,对应于晶体管162的晶体管导通;从而供应对应于第三布线的布线的电位到浮栅部分FG。

[0313] 存储器窗口宽度是存储器装置的特性一个指标。此处,存储器窗口宽度表示在不同的存储器状态之间的曲线($V_{cg}-I_d$ 曲线)中的偏移量 ΔV_{cg} ,其示出对应于第五布线的布线的电位 V_{cg} 和对应于晶体管160的晶体管的漏极电流 I_d 之间的关系。不同的存储器状态意味着施加0V到浮栅部分FG的状态(在下文中被称作低状态)和施加5V到浮栅FG的状态(在下文中被称作高状态)。即,通过在低状态中和在高状态中扫描电位 V_{cg} 可以查验存储器窗口宽度。

[0314] 图15示出在进行 1×10^9 次写入之后初始存储器窗口宽度和此时的存储器窗口宽度的检查结果。注意在图15中,水平轴线示出 V_{cg} (V) 并且垂直轴线示出 I_d (A)。从图15可以确认在进行写入 1×10^9 次之前和之后的之间,存储器窗口宽度没有改变。从在进行写入 1×10^9 次之前和之后的之间存储器窗口宽度没有改变的事实,示出半导体装置至少在写入期间没有退化。

[0315] 如上所述,甚至当重复保留和写入多次时,根据所公开的发明的实施例的半导体装置的特性没有改变。即,根据所公开的发明的实施例,可以获取有极高可靠性的半导体装置。

[0316] 本申请基于在2009年12月18日向日本专利局提交的日本专利申请序列第2009-288474号和在2009年12月25日向日本专利局提交的日本专利申请序列第2009-294790号,其全部内容通过参照并入于此。

[0317]

标号的解释

100: 衬底; 102: 保护层; 104: 半导体区域; 106: 元件隔离绝缘层; 108: 栅极绝缘层; 110: 电容器; 112: 绝缘层; 114: 杂质区域; 116: 沟道形成区域; 118: 侧壁绝缘层; 120: 高浓度杂质区域; 122: 金属层; 124: 金属化合物区域; 126: 层间绝缘层; 127: 空穴部分; 128: 层间绝缘层; 130a: 源电极或漏电极; 130b: 源电极或漏电极; 130c: 电极; 138: 绝缘层; 140: 氧化物半导体层; 140a: 氧化物半导体层; 140b: 氧化物半导体层; 142a: 电极; 142b: 电极; 142c: 电极; 142d: 电极; 144: 绝缘层; 146: 栅极绝缘层; 148a: 电极; 148b: 电极; 150: 保护绝缘层; 152: 层间绝缘层; 160: 晶体管; 162: 晶体管; 164: 电容器; 166: 晶体管; 190: 存储器单元; 192: 电极; 200: 衬底; 202: 绝缘层; 206: 氧化物半导体层; 206a: 氧化物半导体层; 208a: 电极; 208b: 电极; 212: 栅极绝缘层; 214: 电极; 216: 层间绝缘层; 218: 层间绝缘层; 250: 晶体管; 300: 衬底; 302: 绝缘层; 304: 氧化物半导体层; 304a: 氧化物半导体层; 305: 氧化物半导体层; 306: 氧化物半导体层; 306a: 氧化物半导体层; 308a: 电极; 308b: 电极; 312: 栅极绝缘层; 314: 电极; 316: 层间绝缘层; 318: 层间绝缘层; 350: 晶体管; 401: 壳体; 402: 壳体; 403: 显示部分; 404: 键盘; 411: 主体; 412: 触针; 413: 显示部分; 414: 操作按钮; 415: 外部接口; 420: 电子书阅读器; 421: 壳体; 423: 壳体; 425: 显示部分; 427: 显示部分; 431: 电源开关; 433: 操作键; 435: 扬声器; 437: 铰链部分; 440: 壳体; 441: 壳体; 442: 显示面板; 443: 扬声器; 444: 麦克风; 446: 指向装置; 447: 相机透镜; 448: 外部连接端子; 449: 太阳能电池; 450: 外部存储器槽; 461: 主体; 463: 目镜部分; 464: 操作开关; 465: 显示部分; 466: 电池; 467: 显示部分; 470: 电视机; 471: 壳体; 473: 显示部分; 475: 架子; 480: 遥控器。

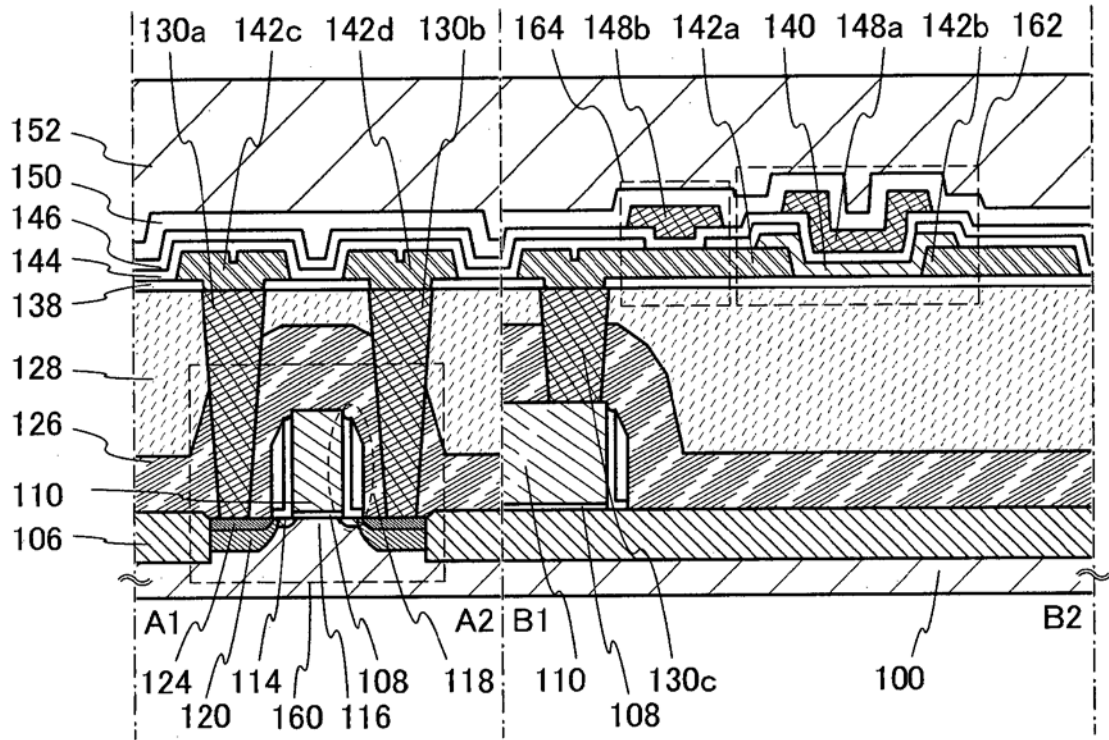


图 1A

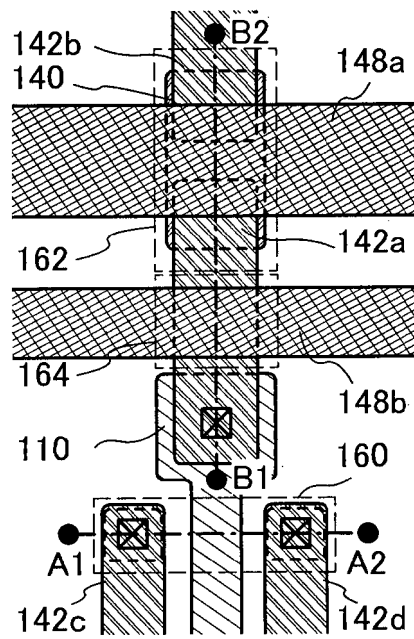


图 1B

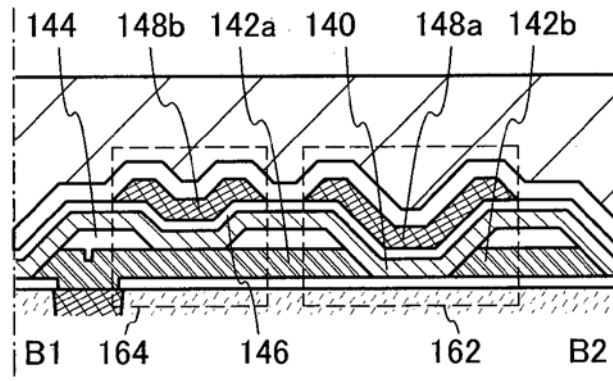


图 2A

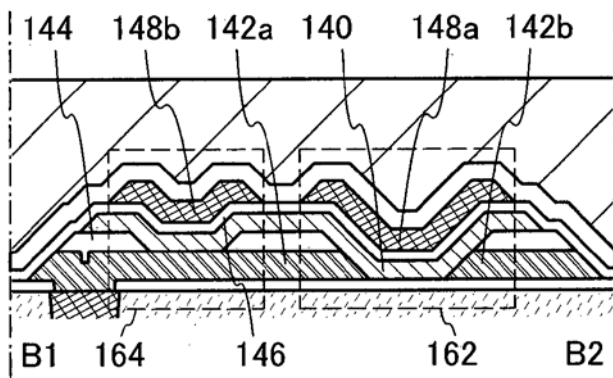


图 2B

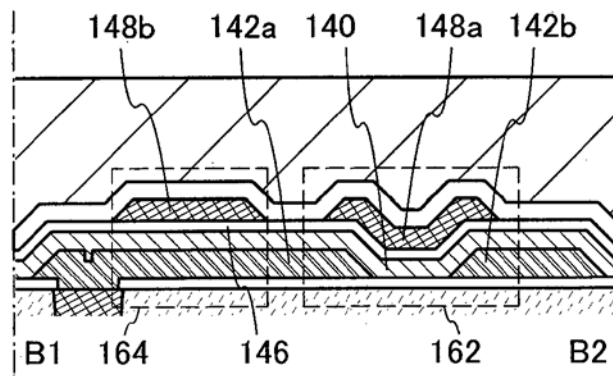


图 2C

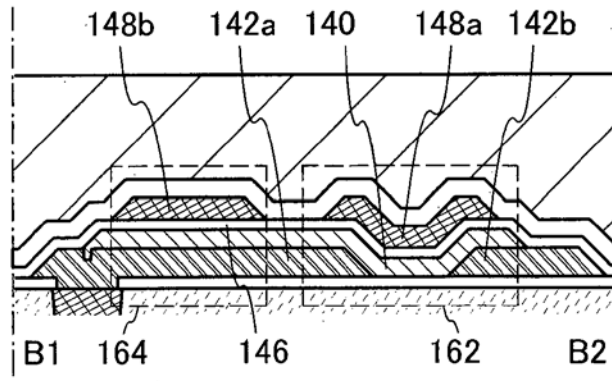


图 2D

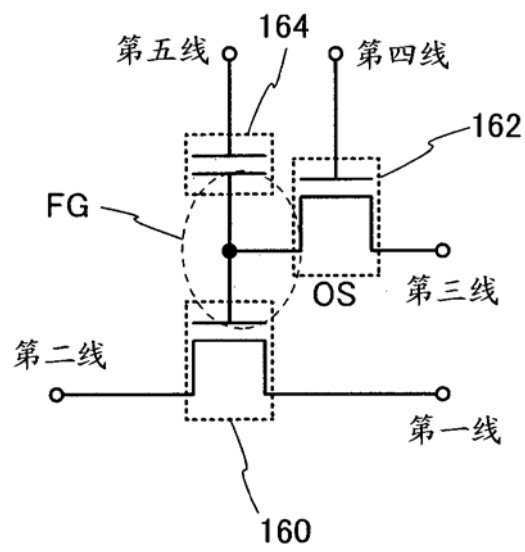


图 3A1

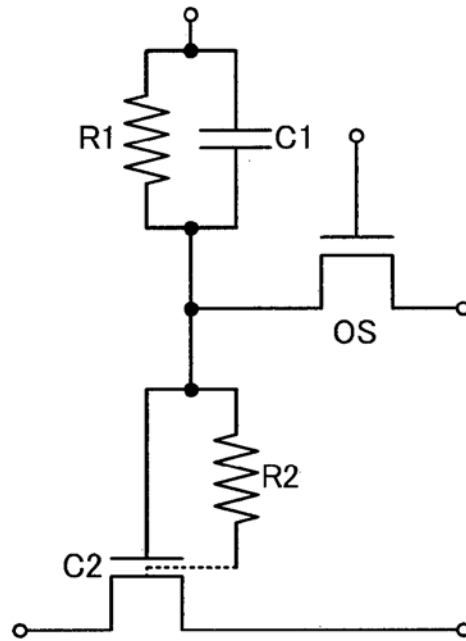


图 3A2

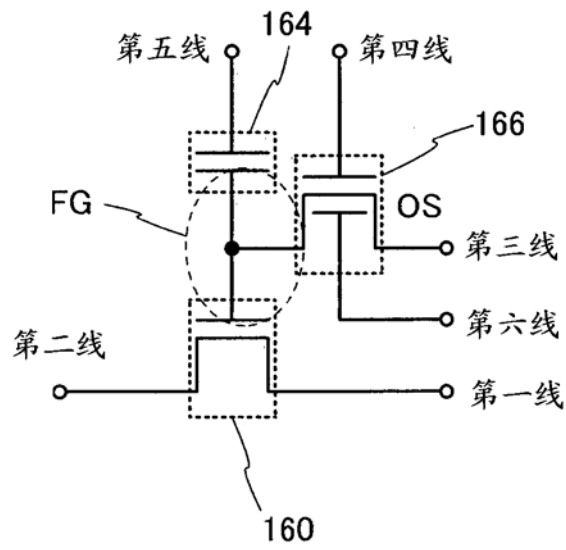


图 3B

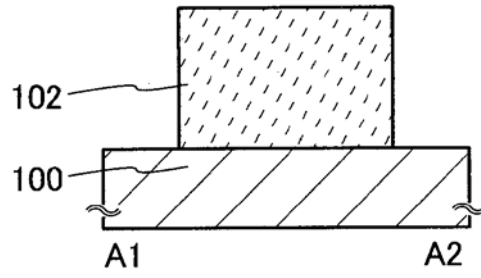


图 4A

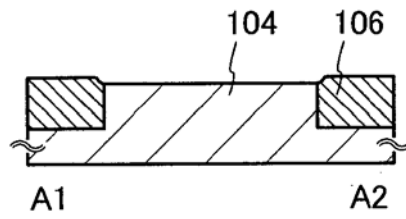


图 4B

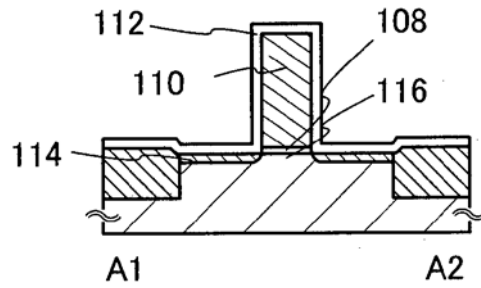


图 4C

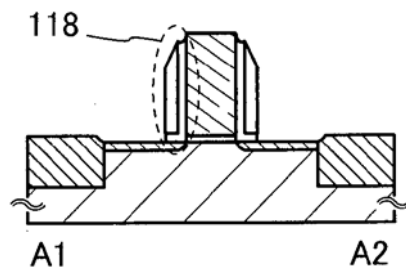


图 4D

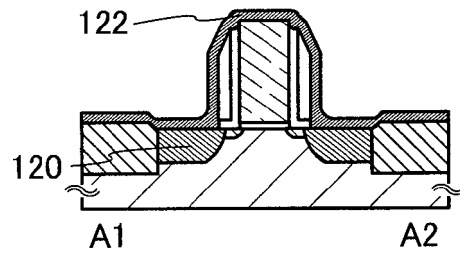


图 4E

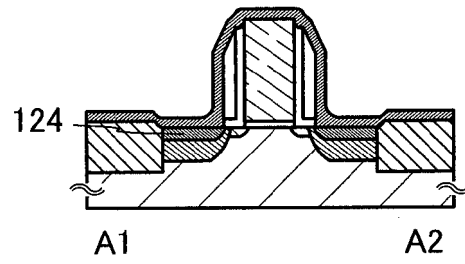


图 4F

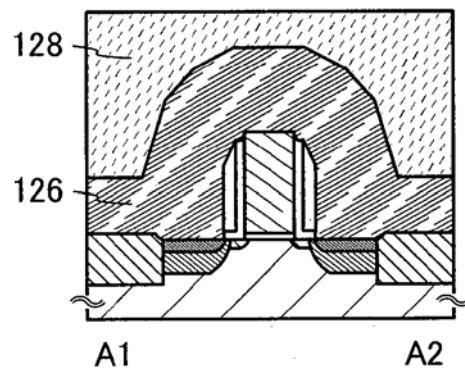


图 4G

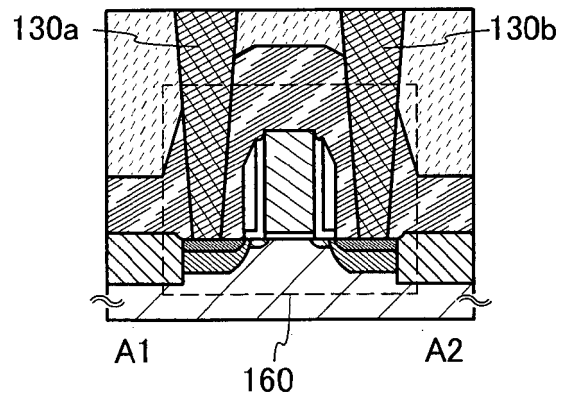


图 4H

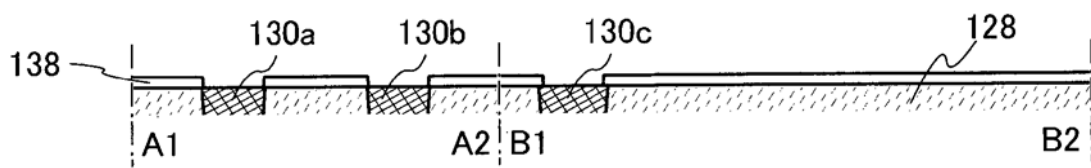


图 5A

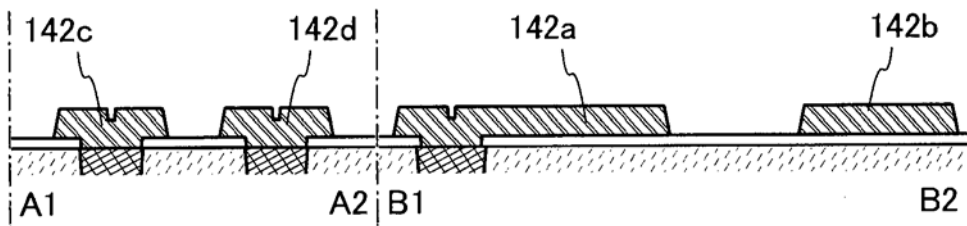


图 5B

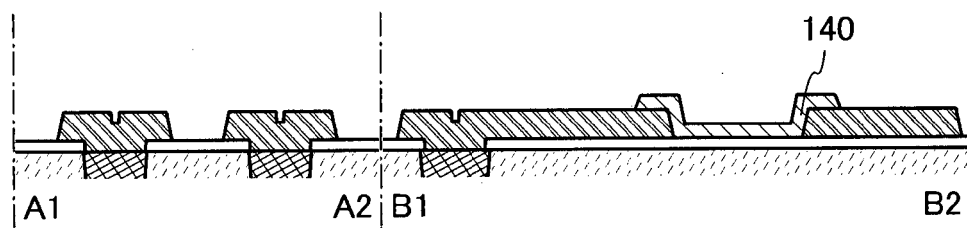


图 5C

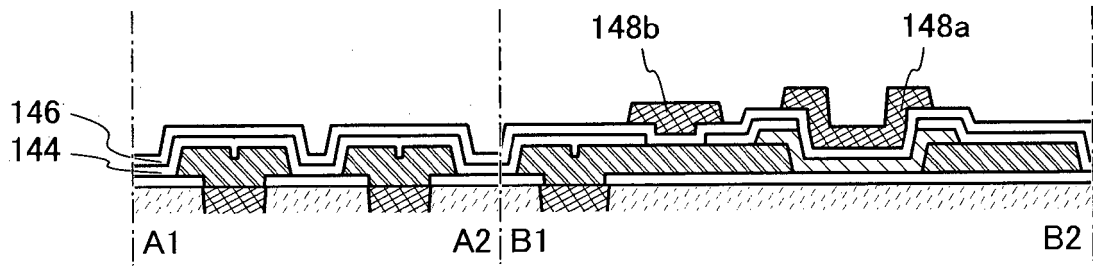


图 5D

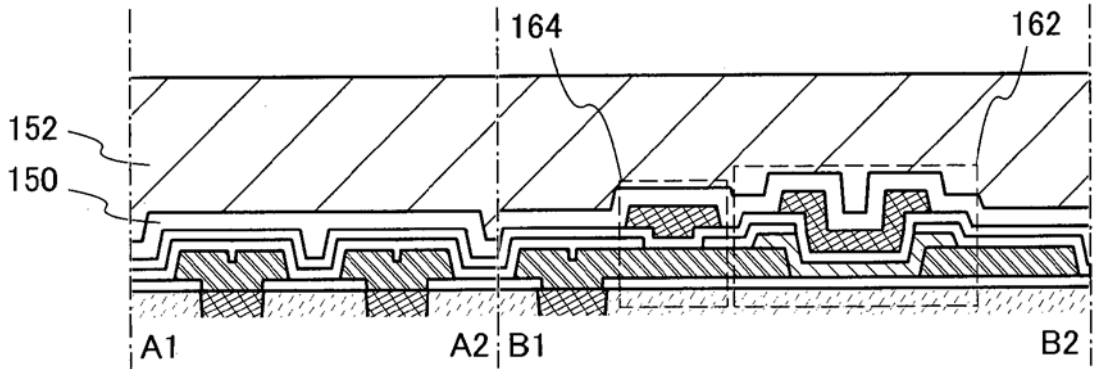


图 5E

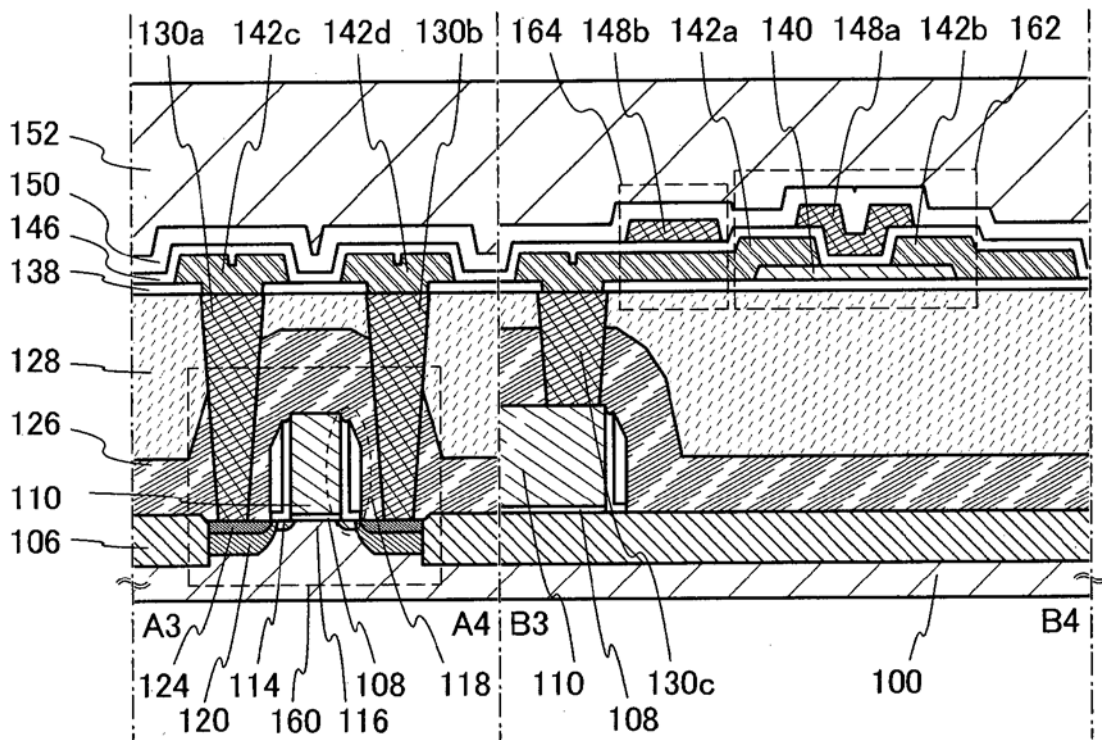


图 6A

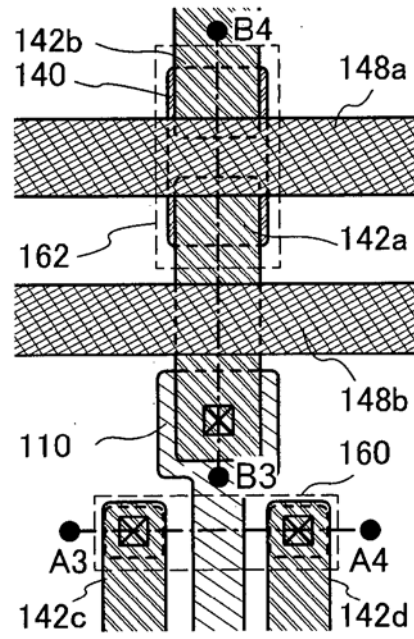


图 6B

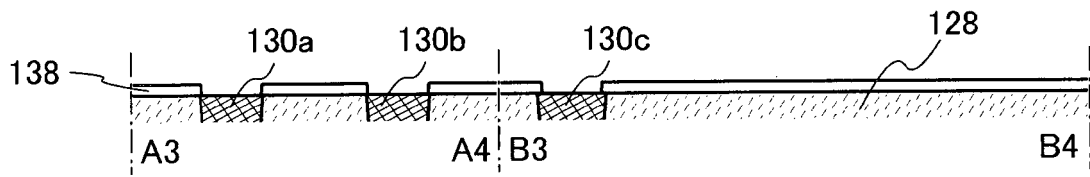


图 7A

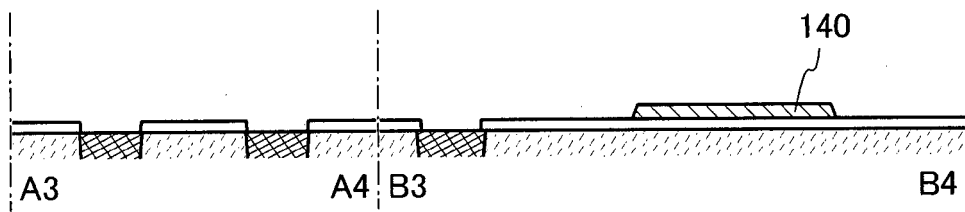


图 7B

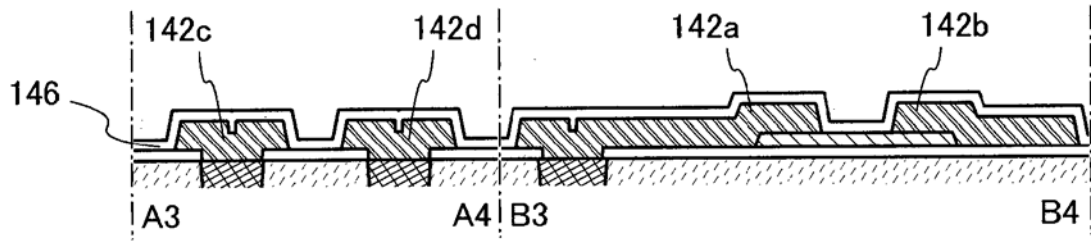


图 7C

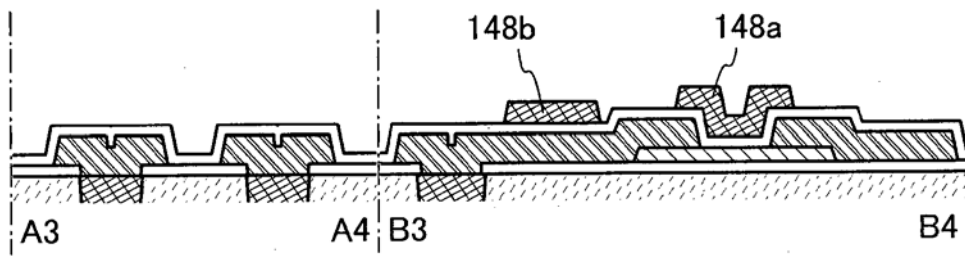


图 7D

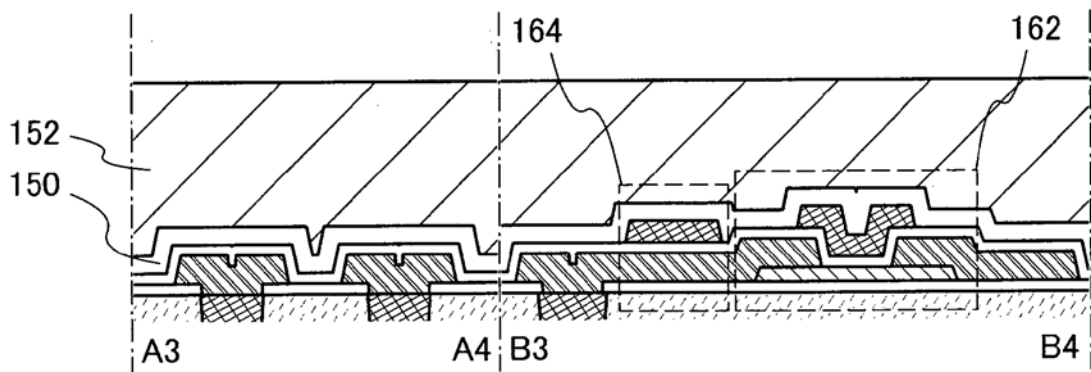


图 7E

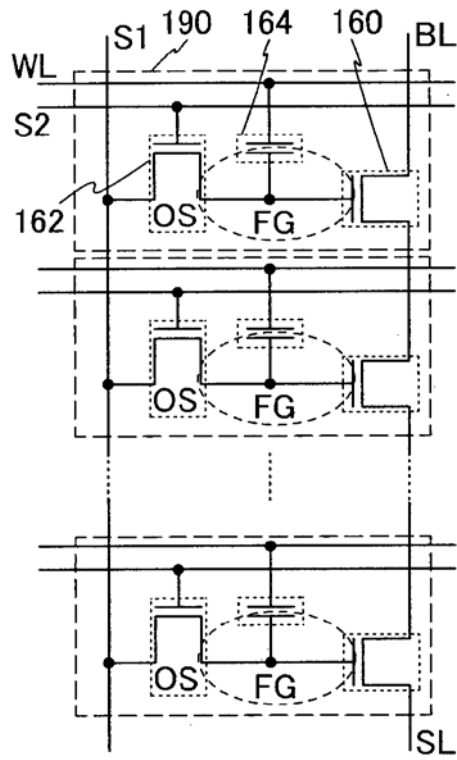


图 8A

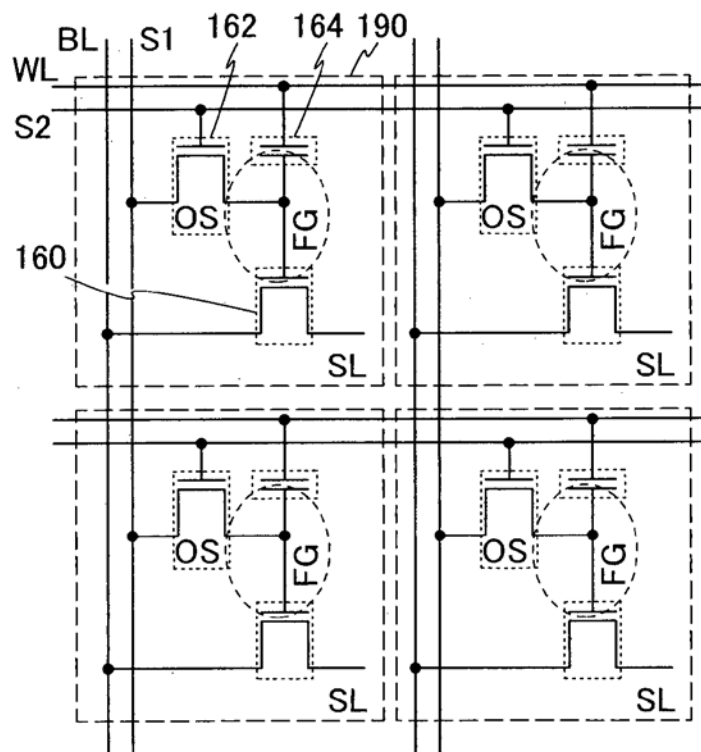


图 8B

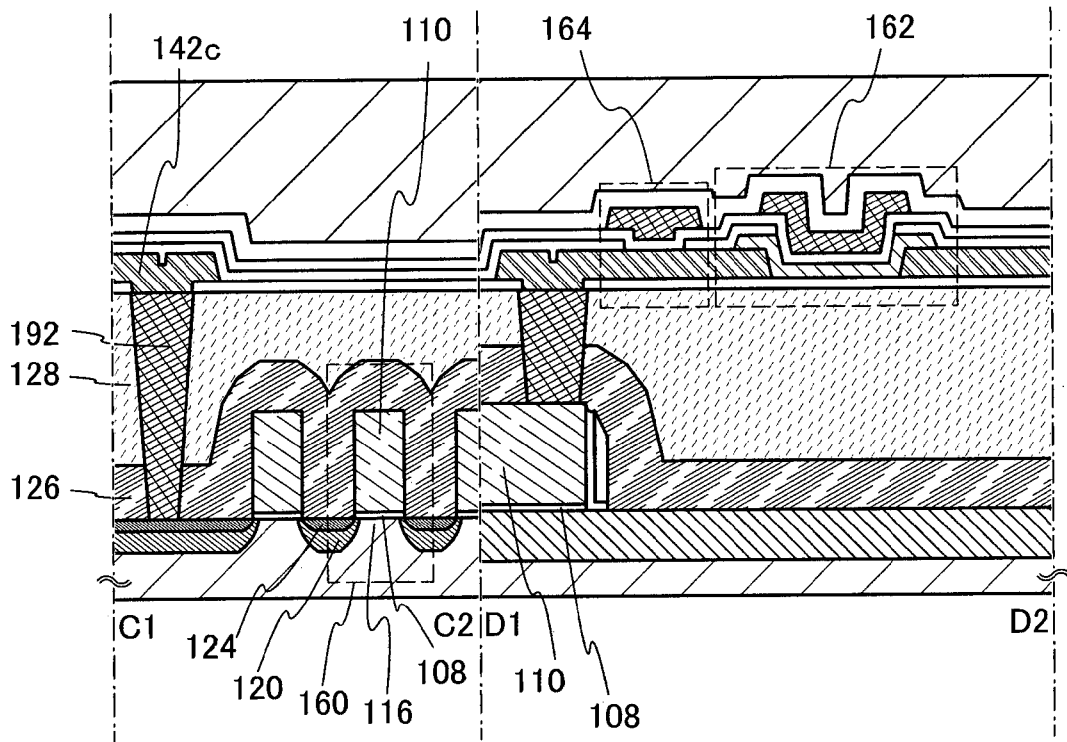


图 9A

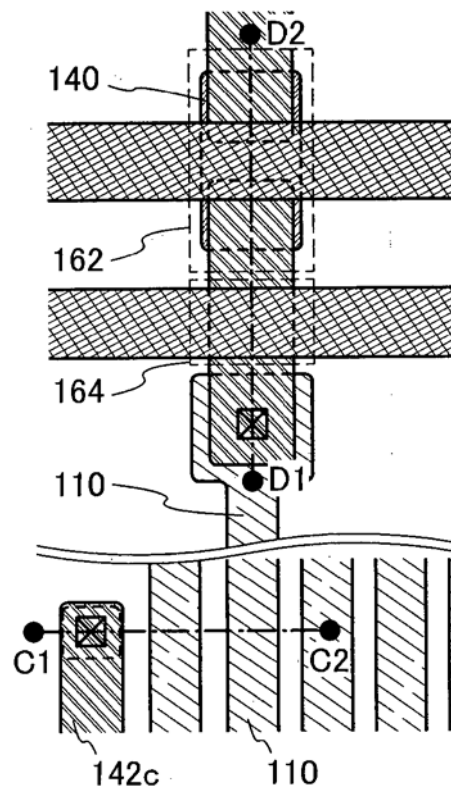


图 9B

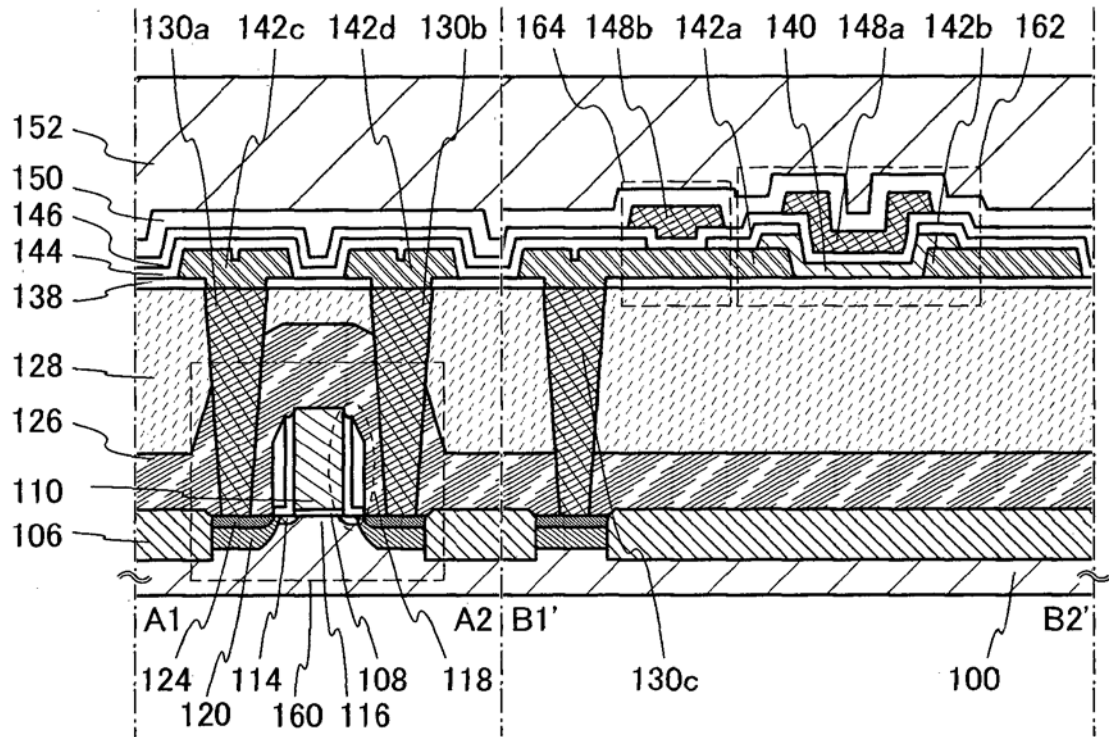


图 10A

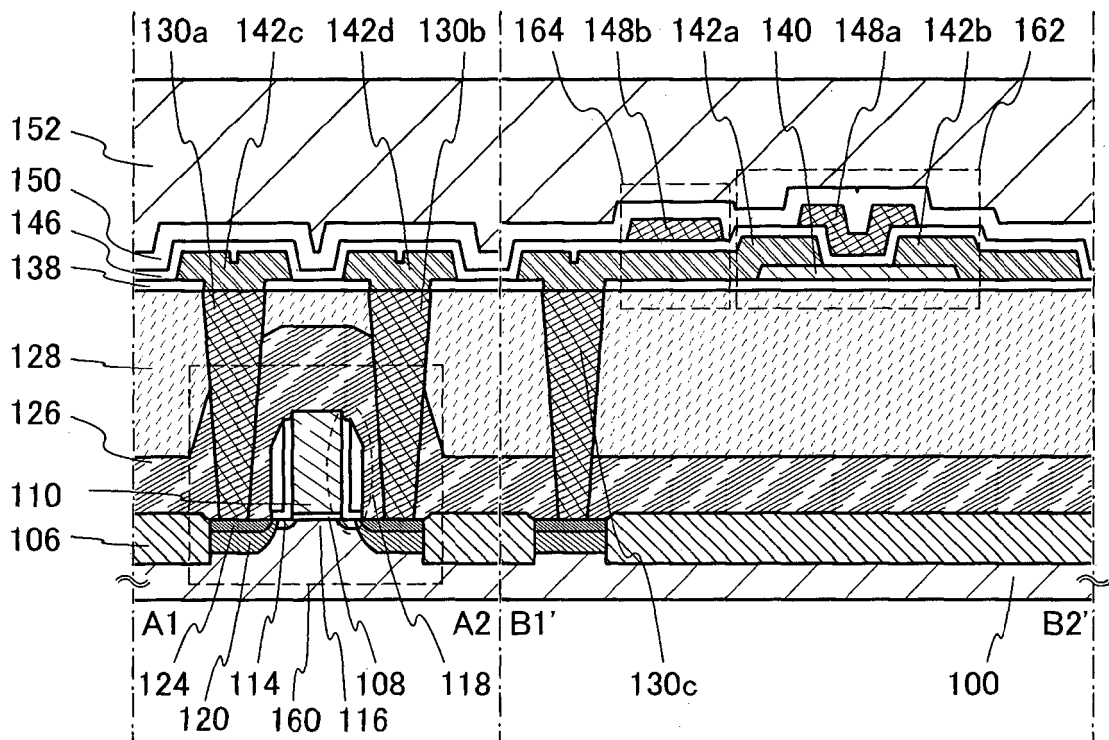


图 10B

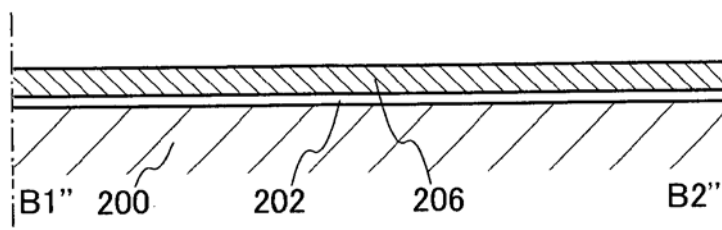


图 11A

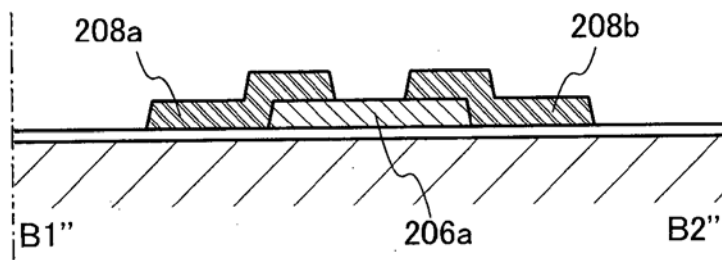


图 11B

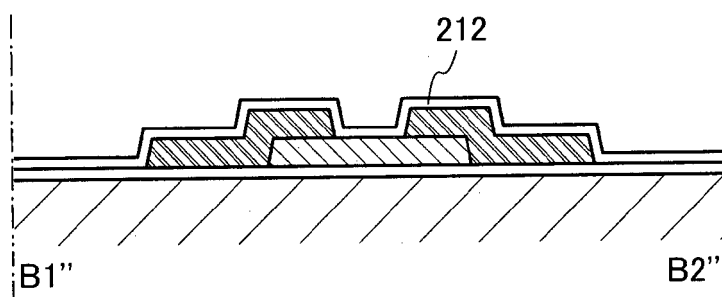


图 11C

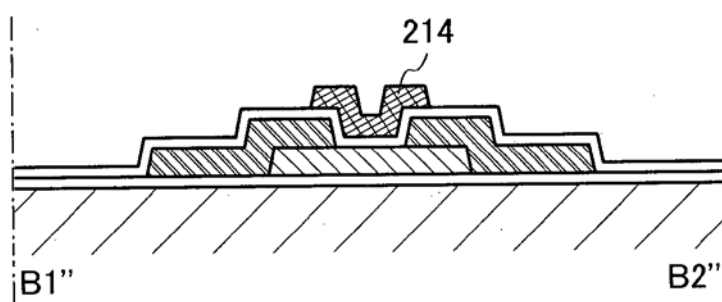


图 11D

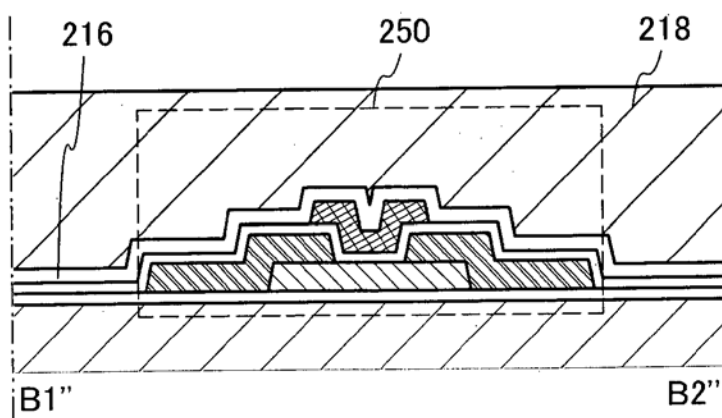


图 11E

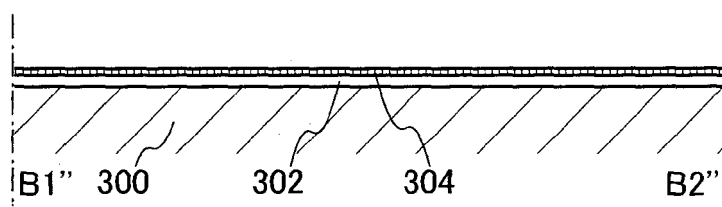


图 12A

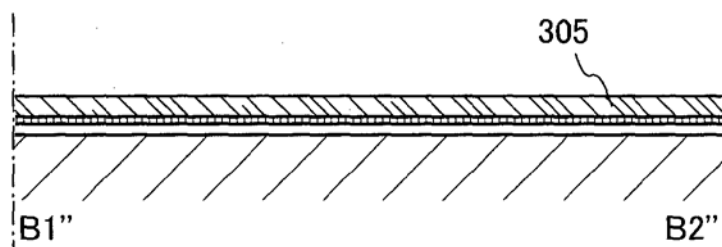


图 12B

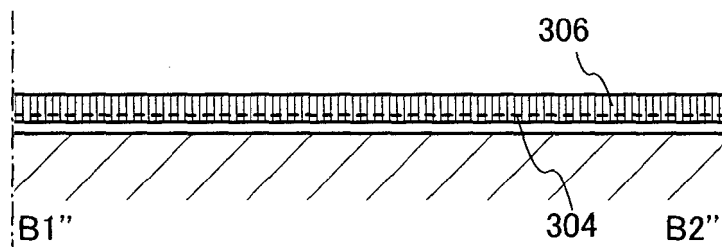


图 12C

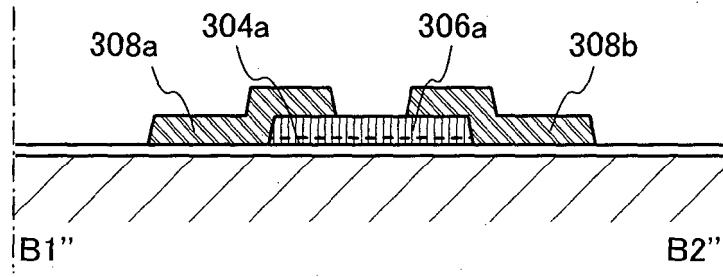


图 12D

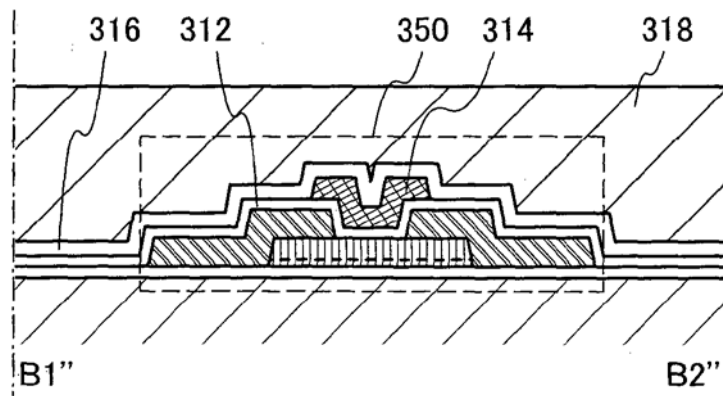


图 12E

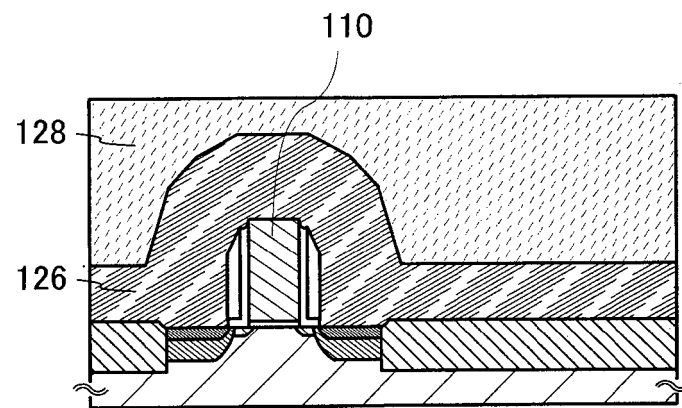


图 13A

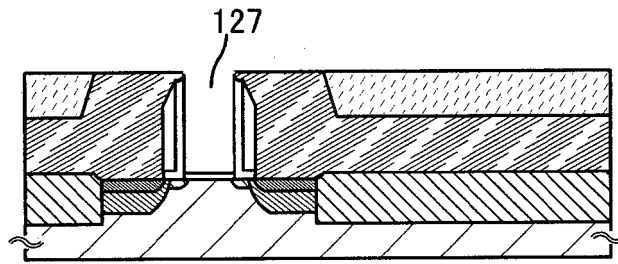


图 13B

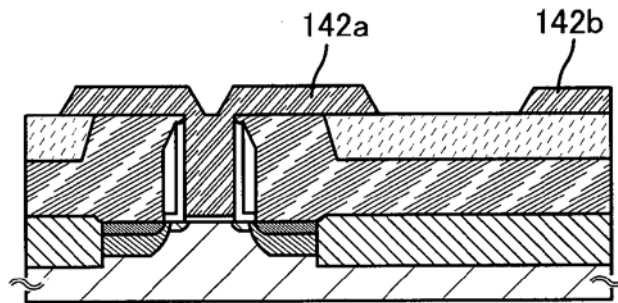


图 13C

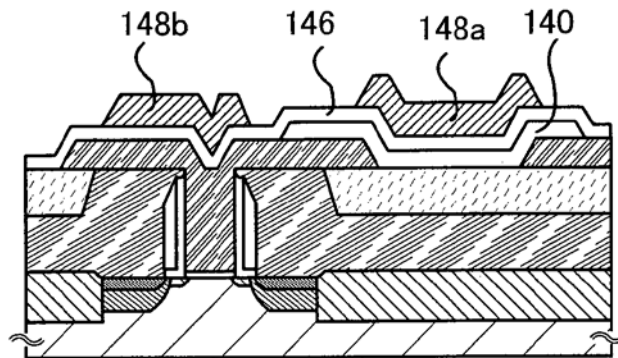


图 13D

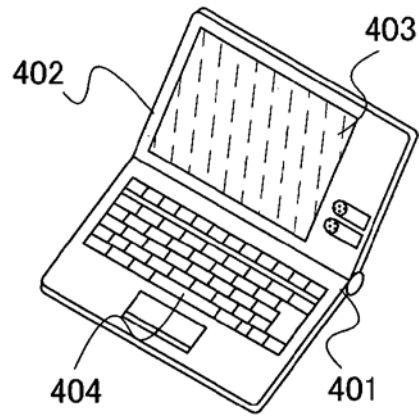


图 14A

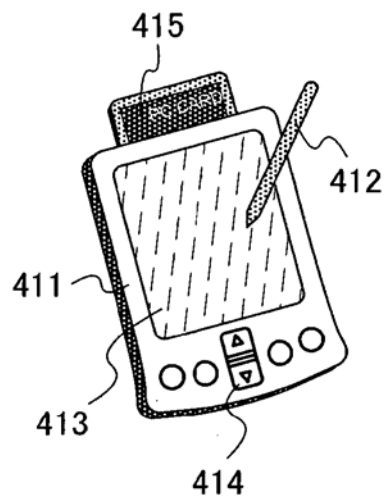


图 14B

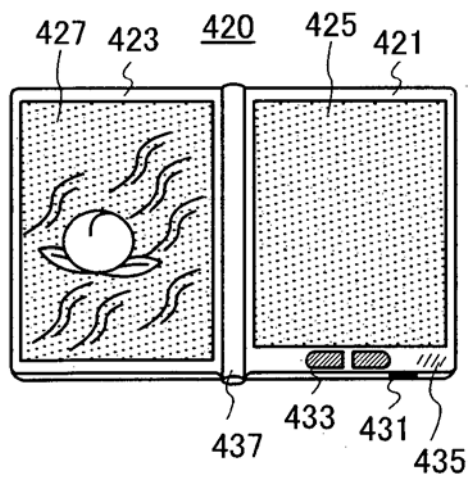


图 14C

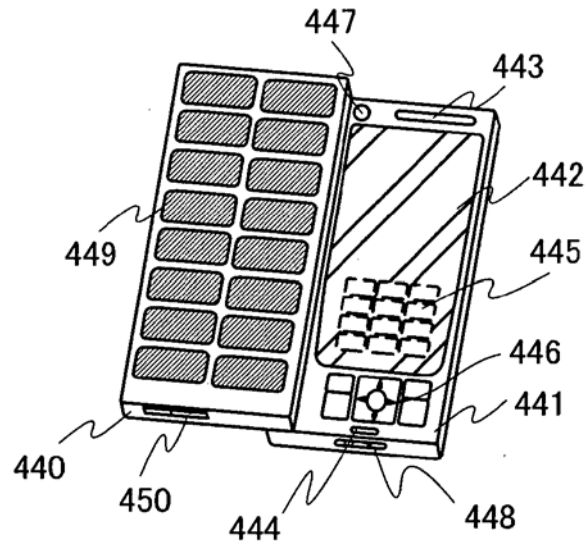


图 14D

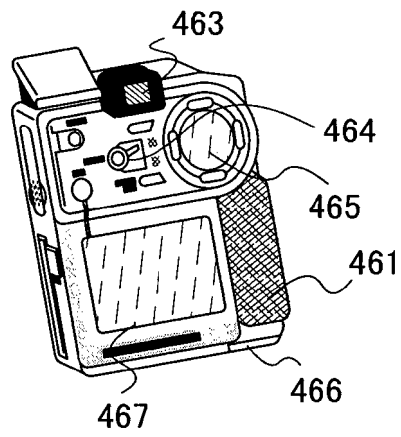


图 14E

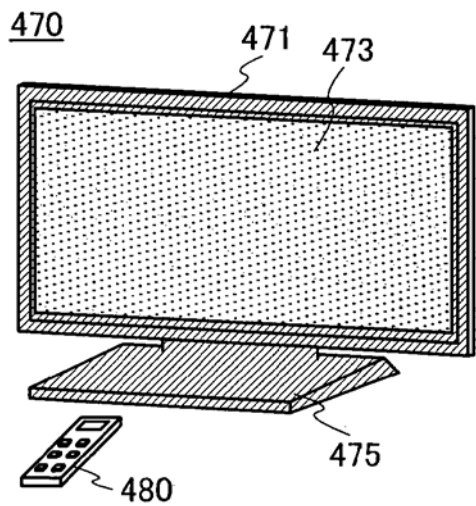


图 14F

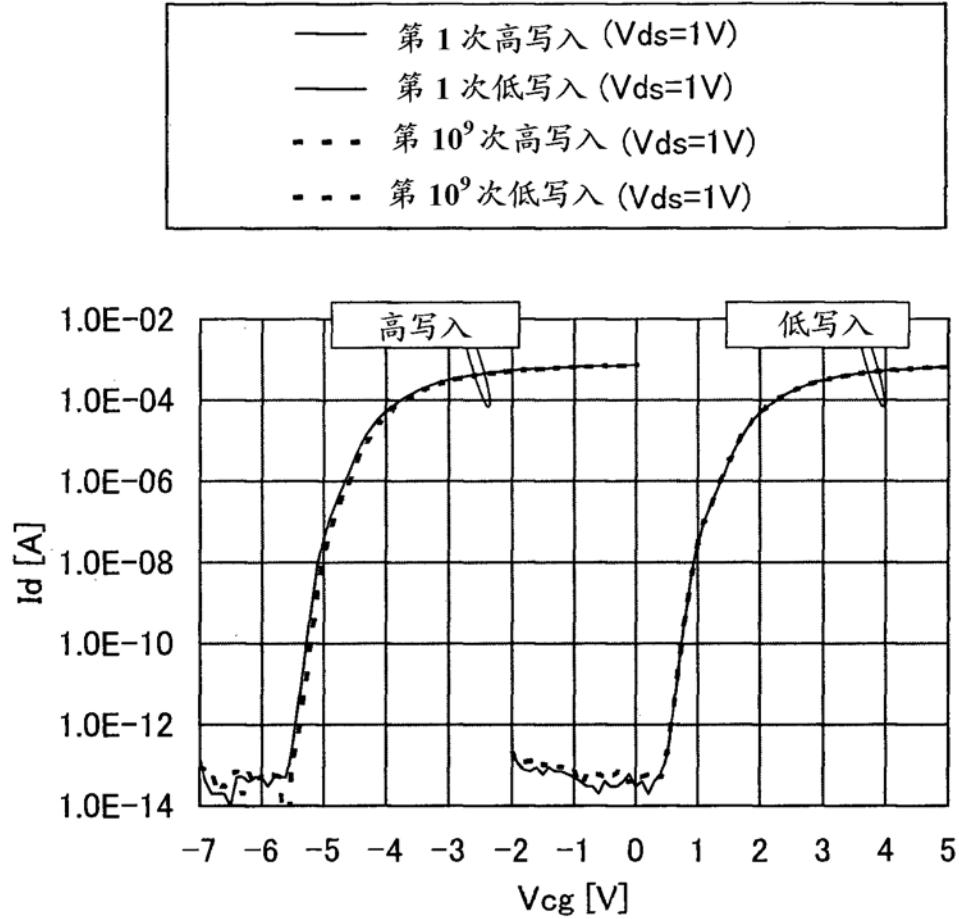


图 15