

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2017 年 1 月 5 日(05.01.2017)



(10) 国際公開番号

WO 2017/002619 A1

- (51) 国際特許分類:
H01L 29/861 (2006.01) H01L 29/739 (2006.01)
H01L 21/322 (2006.01) H01L 29/78 (2006.01)
H01L 21/336 (2006.01) H01L 29/868 (2006.01)
- (21) 国際出願番号: PCT/JP2016/067773
- (22) 国際出願日: 2016 年 6 月 15 日(15.06.2016)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2015-131227 2015 年 6 月 30 日(30.06.2015) JP
- (71) 出願人: 富士電機株式会社(FUJI ELECTRIC CO., LTD.) [JP/JP]; 〒2109530 神奈川県川崎市川崎区田辺新田 1 番 1 号 Kanagawa (JP).
- (72) 発明者: 阿形 泰典(AGATA Yasunori); 〒2109530 神奈川県川崎市川崎区田辺新田 1 番 1 号 富士電機株式会社内 Kanagawa (JP). 高橋 英紀(TAKAHASHI Hidenori); 〒2109530 神奈川県川崎市川崎区田辺新田 1 番 1 号 富士電機株式会社内 Kanagawa (JP). 御田村 直樹(MITAMURA Na-

oki); 〒2109530 神奈川県川崎市川崎区田辺新田 1 番 1 号 富士電機株式会社内 Kanagawa (JP). 島村 亜希(SHIMAMURA Aki); 〒2109530 神奈川県川崎市川崎区田辺新田 1 番 1 号 富士電機株式会社内 Kanagawa (JP). 尾崎 大輔(OZAKI Daisuke); 〒2109530 神奈川県川崎市川崎区田辺新田 1 番 1 号 富士電機株式会社内 Kanagawa (JP).

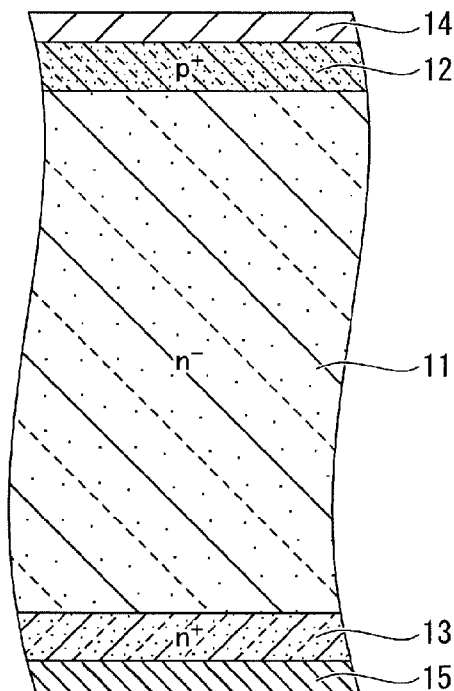
(74) 代理人: 鈴木 壯兵衛(SUZUKI Sohbe); 〒1056032 東京都港区虎ノ門四丁目 3 番 1 号 城山トラストタワー 3 2 階 特許業務法人日栄国際特許事務所 Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING SAME

(54) 発明の名称: 半導体装置及びその製造方法



(57) Abstract: Provided is a semiconductor device in which, even when the carbon or oxygen included in a matrix wafer as a starting material have different impurity densities, the component ratios of various complex defects having levels that differ between process wafers after electron beam irradiation can be equalized, thereby facilitating adjustment of variations in device characteristics. For example, the semiconductor device is provided with: a drift region (11) of a first conductive type including a crystal defect caused by irradiation with an electron beam or the like; a first main-electrode region (13) of the first conductive type which is disposed in a part of the drift region (11), and which has a higher impurity density than the drift region (11); and a second main-electrode region (12) of a second conductive type disposed in another part of the drift region (11) spaced apart from the first main-electrode region (13), wherein the crystal defect includes a first complex defect comprising holes and oxygen, and a second complex defect comprising carbon and oxygen, wherein a defect density of the crystal defect is set such that the signal peak strength of the level of the first complex defect determined by deep level transient spectroscopic measurement is five times or more of the signal peak strength of the level of the second complex defect.

(57) 要約:

[続葉有]

WO 2017/002619 A1



(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK,

SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告 (条約第 21 条(3))
- 補正された請求の範囲及び説明書 (条約第 19 条(1))

出発材料となる母材ウェハに含まれる炭素や酸素の不純物密度が異なる場合でも、電子線照射後の処理ウェハ間における準位の異なる各種複合欠陥の構成比率を同等にでき、デバイス特性のバラツキの調整が容易となる半導体装置を提供する。例えば電子線等の照射によって発生した結晶欠陥を有する第 1 導電型のドリフト領域 (11) と、ドリフト領域 (11) の一部に配置され、ドリフト領域 (11) よりも高不純物密度の第 1 導電型の第 1 主電極領域 (13) と、ドリフト領域 (11) の他の一部に第 1 主電極領域 13 と離間して配置された第 2 導電型の第 2 主電極領域 (12) とを備え、結晶欠陥が、空孔と酸素からなる第 1 の複合欠陥と、炭素と酸素からなる第 2 の複合欠陥とを含み、深準位過渡分光法の測定において同定される第 1 の複合欠陥の準位の信号ピーク強度が、第 2 の複合欠陥の準位の信号ピーク強度の 5 倍以上となるように結晶欠陥の欠陥密度が設定されている。

明 細 書

発明の名称：半導体装置及びその製造方法

技術分野

[0001] 本発明は、半導体装置及びその製造方法に関し、特にキャリアのライフタイムを制御可能な半導体装置及びその製造方法に関する。

背景技術

[0002] 近年の省エネルギー化の要求に対し、電力変換装置等に用いられるパワーモジュールの適用範囲が拡大している。パワーモジュールに用いられる I G B T、M O S F E T、還流ダイオード（F W D）等のパワーデバイスにおいて、高速化とスイッチング時に発生する電力損失の低減等の特性間のトレードオフを改善する上で、キャリアのライフタイムを制御することが重要である。

[0003] キャリアのライフタイムを制御する技術の 1 つとして、電子線を照射することによりデバイスのドリフト領域に結晶欠陥を意図的に誘起させる方法がある。電子線の照射により誘起された欠陥が、ウェハ中に元来含まれている炭素や酸素等と結びつき複合欠陥が発生するが、複合欠陥の種類により、欠陥準位の深さが異なり、キャリアのライフタイムへの影響度合いが異なる。

[0004] ウェハメーカー毎にウェハの製造方法が異なることに起因して、ウェハに含まれる炭素や酸素等の不純物密度がウェハメーカー間で異なる。このため、電子線照射後に発生する複合欠陥の構成比がウェハ毎に異なり、キャリアのライフタイムに違いが生じる問題がある。また、同一のウェハメーカーから購入したウェハであっても、半導体結晶のインゴット毎に不純物密度が異なり、更には同一のインゴットでも部位によって不純物密度が異なるので同様の問題が生じる。

[0005] このような炭素等の不純物密度の違いに起因したデバイス特性のバラツキをなくすために、ウェハ中に炭素を多量に導入することで、ウェハ中に元来含まれている炭素の不純物密度のバラツキを無視できるようにする方法が提

案されている（特許文献 1 参照）。

先行技術文献

特許文献

[0006] 特許文献1：特開 2 0 0 6 － 3 5 2 1 0 1 号公報

発明の概要

発明が解決しようとする課題

[0007] しかしながら、特許文献 1 に記載の方法では、ウェハ中に炭素を多量に導入する工程を追加することによりデバイス特性が変化するため、既に量産中のデバイスには適用できず、更にはコストが増大する。

[0008] 本発明は、上記課題に鑑みて成されたものであり、その目的は、出発材料となる母材ウェハ（半導体基板）に含まれる炭素や酸素の不純物密度が異なる場合でも、電子線照射後の処理ウェハ間における準位の異なる各種複合欠陥の構成比率を同等とすることができ、デバイス特性のバラツキの調整が容易となる半導体装置及びその製造方法を提供することである。

課題を解決するための手段

[0009] 本発明の一態様によれば、（a）電子線の照射によって発生した結晶欠陥を有する第 1 導電型のドリフト領域と、（b）ドリフト領域の一部に配置され、ドリフト領域よりも高不純物密度の第 1 導電型の第 1 主電極領域と、（c）ドリフト領域の他の一部に第 1 主電極領域と離間して配置された第 2 導電型の第 2 主電極領域とを備え、結晶欠陥が、空孔と酸素からなる第 1 の複合欠陥と、炭素と酸素からなる第 2 の複合欠陥とを含み、深準位過渡分光法の測定において同定される第 1 の複合欠陥の準位の信号ピーク強度が、第 2 の複合欠陥の準位の信号ピーク強度の 5 倍以上となるように結晶欠陥の欠陥密度が設定されている半導体装置が提供される。

[0010] 本発明の他の態様によれば、空孔と酸素からなる第 1 の複合欠陥と、炭素と酸素からなる第 2 の複合欠陥とを含む半導体装置の製造方法であって、（a）第 1 導電型の半導体基板の一部に、半導体基板よりも高不純物密度の第

1 導電型の第 1 主電極領域を形成する工程と、（b）半導体基板の他の一部に第 1 主電極領域と離間するように第 2 導電型の第 2 主電極領域を形成する工程と、（c）半導体基板に電子線を照射することにより、半導体基板中に結晶欠陥を発生させる工程とを含み、結晶欠陥を発生させる工程は、深準位過渡分光法の測定において同定される第 1 の複合欠陥の準位の信号ピーク強度が、第 2 の複合欠陥の準位の信号ピーク強度の 5 倍以上となるように電子線の加速エネルギーが設定されている半導体装置の製造方法が提供される。

発明の効果

[0011] 本発明によれば、出発材料となる母材ウェハ（半導体基板）に含まれる炭素や酸素の不純物密度が異なる場合でも、電子線照射後の処理ウェハ間における準位の異なる各種複合欠陥の構成比率を同等とすることができ、デバイス特性のバラツキの調整が容易となる半導体装置及びその製造方法を提供することができる。

図面の簡単な説明

[0012] [図1]本発明の第 1 の実施形態に係る半導体装置の構成の一例を示す断面図である。

[図2]比較例に係る深準位過渡分光（DLTS）スペクトル波形を示す特性図である。

[図3]実施例に係る深準位過渡分光（DLTS）スペクトル波形を示す特性図である。

[図4]電子線の加速エネルギーと飛程との関係を表すグラフである。

[図5]本発明の第 1 の実施形態に係る半導体装置の製造方法の一例を示す工程断面図である。

[図6]本発明の第 1 の実施形態に係る半導体装置の製造方法の一例を示す図 5 に引き続く工程断面図である。

[図7]本発明の第 1 の実施形態に係る半導体装置の製造方法の一例を示す図 6 に引き続く工程断面図である。

[図8]本発明の第 1 の実施形態に係る半導体装置の製造方法の一例を示す図 7

に引き続く工程断面図である。

[図9]本発明の第2の実施形態に係る半導体装置の構成の一例を示す断面図である。

[図10]本発明の第2の実施形態に係る半導体装置の製造方法の一例を示す工程断面図である。

[図11]本発明の第2の実施形態に係る半導体装置の製造方法の一例を示す図10に引き続く工程断面図である。

[図12]本発明の第2の実施形態に係る半導体装置の製造方法の一例を示す図11に引き続く工程断面図である。

[図13]本発明の第2の実施形態に係る半導体装置の製造方法の一例を示す図12に引き続く工程断面図である。

[図14]本発明の第2の実施形態に係る半導体装置の製造方法の一例を示す図13に引き続く工程断面図である。

[図15]本発明の第2の実施形態に係る半導体装置の製造方法の一例を示す図14に引き続く工程断面図である。

[図16]本発明の第2の実施形態に係る半導体装置の製造方法の一例を示す図15に引き続く工程断面図である。

[図17]本発明の第2の実施形態に係る半導体装置の製造方法の一例を示す図16に引き続く工程断面図である。

[図18]本発明の第2の実施形態に係る半導体装置の製造方法の一例を示す図17に引き続く工程断面図である。

[図19]本発明の第3の実施形態に係る半導体装置の構成の一例を示す断面図である。

[図20]図20(a)は、試料A～CのDLTSスペクトル波形を示す特性図であり、図20(b)は、図20(a)の部分拡大図である。

[図21]図21(a)は、試料D～FのDLTSスペクトル波形を示す特性図であり、図21(b)は、図21(a)の部分拡大図である。

[図22]図22(a)は、試料A～FのC_iO_i欠陥の準位の信号ピーク強度と

順方向電圧との関係を示すグラフであり、図22(b)は、試料A～FのC₁O₁欠陥の準位の信号ピーク強度と逆回復損失との関係を示すグラフであり、図22(c)は、試料A～FのC₁O₁欠陥の準位の信号ピーク強度と逆回復サージ電圧との関係を示すグラフである。

[図23]図23(a)は、試料A～Fの順方向電圧と逆回復損失との関係を示すグラフであり、図23(b)は、試料A～Fの順方向電圧と逆回復時間との関係を示すグラフであり、図23(c)は、試料A～Fの順方向電圧と逆回復電荷量との関係を示すグラフである。

[図24]図24(a)は、試料A～Fの順方向電圧と逆回復電流との関係を示すグラフであり、図24(b)は、試料A～Fの順方向電圧と逆回復サージ電圧との関係を示すグラフである。

[図25]図25(a)～図25(c)は、本発明の第3の実施形態に係る半導体装置の製造方法の一例を順次示す工程断面図である。

[図26]図26(a)～図26(c)は、本発明の第3の実施形態に係る半導体装置の製造方法の一例を順次示す図25(a)～図25(c)に引き続く工程断面図である。

発明を実施するための形態

[0013] 次に、図面を参照して、本発明の第1～第3の実施形態を説明する。以下の図面の記載において、同一又は類似の部分には同一又は類似の符号を付している。ただし、図面は模式的なものであり、厚みと平面寸法との関係、各層の厚みの比率等は現実のものとは異なることに留意すべきである。したがって、具体的な厚みや寸法は以下の説明を参酌して判断すべきものである。また、図面相互間においても互いの寸法の関係や比率が異なる部分が含まれていることは勿論である。更に、以下に示す第1～第3の実施形態は、本発明の技術的思想を具体化するための装置や方法を例示するものであって、本発明の技術的思想は、構成部品の材質や、それらの形状、構造、配置等を下記のものに特定するものでない。本発明の技術的思想は、特許請求の範囲に記載された請求項が規定する技術的範囲内において、種々の変更を加えるこ

とができる。

[0014] 本明細書において、「第1主電極領域」とは、IGBTの場合においてエミッタ領域又はコレクタ領域のいずれか一方となる領域を意味する。ダイオードや静電誘導サイリスタ（SIサイリスタ）、ゲートターンオフサイリスタ（GTO）においてはアノード領域又はカソード領域のいずれか一方となる領域を意味する。「第2主電極領域」とは、IGBTにおいては上記第1主電極領域とはならないエミッタ領域又はコレクタ領域のいずれか一方となる領域、ダイオードやSIサイリスタ、GTOにおいては上記第1主電極領域とはならないアノード領域又はカソード領域のいずれか一方となる領域を意味する。即ち、第1主電極領域がエミッタ領域であれば、第2主電極領域はコレクタ領域を意味し、第1主電極領域がアノード領域であれば、第2主電極領域はカソード領域を意味する。

[0015] また、本明細書において、「第1導電型」とは、p型又はn型のいずれか一方を意味し、「第2導電型」とは、第1導電型の反対導電型を意味する。このため、以下の第1～第3の実施形態に係る半導体装置では、第1導電型がn型、第2導電型がp型の場合について説明するが、導電型の選択の問題に過ぎない。逆に、第1導電型をp型、第2導電型をn型とする場合であっても、以下の説明における極性を逆にすることで、同様に本発明の技術的思想や効果が適用可能であり、以下の説明に用いた導電型の選択に限定される必要はない。また、本明細書及び添付図面においては、n又はpを冠記した層や領域では、それぞれ電子又は正孔が多数キャリアであることを意味する。また、nやpに上付き文字で付す＋及び－は、＋及び－の付記されていない半導体領域に比してそれぞれ相対的に不純物密度が高い又は低い半導体領域であることを意味する。

[0016] また、本明細書において「上面」「下面」等の「上」「下」の定義は、図示した断面図上の単なる表現上の問題であって、例えば、半導体装置の方位を90°変えて観察すれば「上」「下」の称呼は、「左」「右」になり、180°変えて観察すれば「上」「下」の称呼の関係は逆になることは勿論で

ある。また、「裏面」とは、図示した断面図上の表現の問題であって、「上」「下」の選択の場合と同様に、具体的な半導体装置の方位を変えれば、その称呼や定義は変わり得ることは勿論である。

[0017] (第1の実施形態)

＜半導体装置の構造＞

本発明の第1の実施形態に係る半導体装置は、図1に示すように、第1導電型 (n^- 型) のドリフト領域11と、ドリフト領域11の一部(裏面)に配置され、ドリフト領域11よりも高不純物密度の n 型の第1主電極領域(カソード領域)13と、ドリフト領域11の他の一部(上面)にカソード領域13と離間して配置された第2導電型 (p^+ 型) の第2主電極領域(アノード領域)12とを備える pin ダイオードである。

[0018] ドリフト領域11、アノード領域12及びカソード領域13は、例えばフローティングゾーン(FZ)法、チョクラルスキー(CZ)法、または磁場印加型チョクラルスキー(MCZ)法等により製造された単結晶Siからなる半導体基板(シリコンウェハ)を出発材料として構成される。ドリフト領域11、アノード領域12及びカソード領域13を構成する半導体基板の厚さは例えば $50\mu m \sim 300\mu m$ 程度であり、要求される耐圧等に応じて適宜選択可能である。

[0019] アノード領域12の上面にはアノード電極14が配置されている。アノード電極14の材料としては、例えばアルミニウム(Al)や、Al-Siコン(Si)、Al-銅(Cu)、Al-Cu-Si等のAl合金が使用可能である。一方、カソード領域13の裏面にはカソード電極15が配置されている。カソード電極15としては、例えば金(Au)からなる単層膜や、Al、ニッケル(Ni)、Auの順で積層された金属膜が使用可能である。

[0020] ドリフト領域11を構成する半導体基板には、意図的な添加をしないものの、半導体基板の製造方法等に起因して炭素や酸素等の不純物元素が含まれる。半導体基板中の不純物となる元素の種類や不純物密度は、ウェハメーカが異なる等の理由によってウェハ毎に異なる。半導体基板中の炭素の不純物

密度は、製造方法に依存するが、例えば $1 \times 10^{15} \text{ atoms} / \text{cm}^3 \sim 3.5 \times 10^{15} \text{ atoms} / \text{cm}^3$ 程度の値が報告されており、酸素の不純物密度は、例えば $1 \times 10^{15} \text{ atoms} / \text{cm}^3 \sim 3 \times 10^{16} \text{ atoms} / \text{cm}^3$ 程度の値が報告されている。半導体基板中の炭素や酸素の不純物密度は、二次イオン質量分析 (SIMS) 等により測定可能である。ドリフト領域 11 中の炭素や酸素の不純物密度は、例えば半導体装置の深さ方向において略均一なプロファイルとなる。

[0021] 本発明の第 1 の実施形態に係る半導体装置 (ダイオード) において、順方向から逆方向に電圧を切り替えたとき、ドリフト領域 11 に蓄積されたキャリアの減衰に時間を要する。このキャリアのライフタイムを制御するため、ドリフト領域 11 中に電子線の照射により結晶欠陥 (複合欠陥) が形成されている。ドリフト領域 11 中の欠陥密度は、例えば半導体装置の深さ方向において略均一なプロファイルとなる。ドリフト領域 11 中に発生し得る結晶欠陥としては、結晶中の格子点の空孔と酸素原子による複合欠陥 (以下、「VO 欠陥」という)、2 つの空孔による複合欠陥 (以下、「VV 欠陥」という)、格子間位置の炭素原子と酸素原子による複合欠陥 (以下、「C_iO_i 欠陥」という)、複空孔と酸素原子による複合欠陥 (以下、「V₂O 欠陥」という) 等が挙げられる。

[0022] このうち、VO 欠陥は最も浅い準位であり、VO 欠陥に対して C_iO_i 欠陥、VV 欠陥、V₂O 欠陥は相対的に深い準位である。ドリフト領域 11 中の結晶欠陥の種類や欠陥密度は、半導体基板中に含まれている不純物の種類や不純物密度に依存する。例えば、C_iO_i 欠陥の発生確率は、意図的には添加をしていないが、ドリフト領域 11 中に残留している炭素の不純物密度に比例し、ドリフト領域 11 中の炭素の不純物密度が高いほど、電子線を照射した際にドリフト領域 11 中に C_iO_i 欠陥が形成され易くなる。

[0023] ドリフト領域 11 中の結晶欠陥の種類に依存した欠陥密度及び準位等は、深準位過渡分光 (DLTS) 法等により測定可能である。DLTS 法とは、パルス/バイアス電圧印加時における空乏層の静電容量過渡変化 (トラップ

からのキャリア放出現象）を観察することにより、深い準位を持つトラップの活性化エネルギー・捕獲断面積やトラップ密度を測定する手法である。キャリア放出時間（時定数）が温度の関数であることを利用して、観測する時間範囲（時定数）を固定して、ピーク温度を求めている。DLTS法により測定された静電容量の変化量（以下、「信号強度」という）は、欠陥密度に比例する。

[0024] ここで、本発明の第1の実施形態に係る半導体装置では、DLTS法の測定において同定されるVO欠陥の準位の信号強度のピーク値（以下、「信号ピーク強度」という）が、 C_iO_i 欠陥の準位の信号ピーク強度に対して5倍以上大きくなるように欠陥密度が設定されている。このように欠陥密度を制御することにより、本発明の発明者らは、ドリフト領域11中にVO欠陥が支配的に形成され、VO欠陥に比して深い準位の C_iO_i 欠陥、VV欠陥、 V_2O 欠陥等は形成され難くなるという知見を見出した。ドリフト領域11中に形成される欠陥密度は、電子線の加速エネルギー等を調整することにより制御可能である。なお、DLTS法の測定において同定されるVO欠陥の準位の信号ピーク強度は、 C_iO_i 欠陥の準位の信号ピーク強度に対して大きいほど好ましく、例えば10倍以上大きいことが好ましい。

[0025] <実施例>

次に、本発明の第1の実施形態に係る半導体装置の実施例を比較例とともに説明する。まず、炭素及び酸素の不純物密度が異なる第1及び第2の母材ウェハ（半導体基板）の2種を用意して、比較例に係る処理ウェハA、B、Cを作製した。処理ウェハAは、炭素及び酸素の不純物密度が第2の母材ウェハに比して相対的に高い第1の母材ウェハに対して、加速エネルギーを4.6 MeV、吸収線量を240 kGyとして電子線を照射することにより作製された。処理ウェハBは、第2の母材ウェハに対して、処理ウェハAと同様に加速エネルギーを4.6 MeV、吸収線量を140 kGyとして電子線を照射することにより作製された。処理ウェハCは、第2の母材ウェハに対して、電子線を照射しないものである。

[0026] また、炭素及び酸素の不純物密度が異なる2種の母材ウェハを用意して、実施例に係る処理ウェハa、bを作製した。処理ウェハaは、処理ウェハAに用いた第1の母材ウェハ母材ウェハに対して、加速エネルギーを2.0 MeV、吸収線量を60 kGyとして電子線を照射することにより作製された。処理ウェハbは、処理ウェハBに用いた第2の母材ウェハに対して、処理ウェハaと同様に加速エネルギーを2.0 MeV、吸収線量を60 kGyとして電子線を照射することにより作製された。即ち、実施例に係る処理ウェハa、bは、比較例に係る処理ウェハA、Bよりも電子線の加速エネルギーを低く設定している。そして、比較例に係る処理ウェハA、B、C及び実施例に係る処理ウェハa、bに対して、DLTS法を用いて複合欠陥の構成比率を測定した。

[0027] 比較例に係る処理ウェハA、B、CのDLTSスペクトル波形を図2に示し、実施例に係る処理ウェハa、bのDLTSスペクトル波形を図3に示す。図2及び図3の横軸は絶対温度であり、絶対温度が高いほど、結晶欠陥の準位が深くなることを示す。図2及び図3の縦軸は信号強度（静電容量の変化量）であり、信号強度が大きいほど、欠陥密度が高くなることを示す。

[0028] 図2に示すように、比較例に係る処理ウェハCでは、信号強度のピークが観察されず、電子線を照射していない生ウェハであるため、ドリフト領域11中に結晶欠陥があまり発生していないことが分かる。なお、図2に示していないが、処理ウェハAと同じ第1の母材ウェハに対して電子線を照射しない場合も同様に信号強度のピークが観察されない。また、比較例に係る処理ウェハA、Bでは、低温側（準位が浅い側）から順に、VO欠陥、VV欠陥、C_iO_i欠陥、V₂O欠陥の複数のピークが観察される。また、第1及び第2の母材ウェハ間で炭素や酸素等の不純物密度が異なることに起因して、処理ウェハA、B間で、VO欠陥、VV欠陥、C_iO_i欠陥、V₂O欠陥の信号ピーク強度が互いに乖離して、各種複合欠陥の構成比率にバラツキがあることが分かる。

[0029] 一方、図3に示すように、実施例に係る処理ウェハa、bでは、比較例に

係る処理ウェハA、Bと比較して、VO欠陥に比して深い準位のC_iO_i欠陥、V₂O欠陥等が発生しにくくなり、VO欠陥が支配的となっているのが分かる。したがって、第1及び第2の母材ウェハ間で炭素や酸素の不純物密度が異なる場合でも、処理ウェハa、b間において各種複合欠陥の構成比率を単純化して同等とすることができ、デバイス特性のバラツキの調整が容易となる。

[0030] また、図4に、Siからなる半導体基板に電子線を照射する場合の、電子線の加速エネルギーと飛程との関係のシミュレーション結果を示す。図4では、Siの密度を2.32g/cm³と仮定し、多項式でフィッティングしている。電子線の加速エネルギーは、700keV～3MeV以下であることが好ましく、700keV～2MeV以下であることがより好ましい。

[0031] 以上説明したように、本発明の第1の実施形態に係る半導体装置によれば、DLTS法の測定において同定されるVO欠陥の準位の信号ピーク強度が、C_iO_i欠陥の準位の信号ピーク強度に対して5倍以上となるように結晶欠陥の欠陥密度が設定されていることにより、ドリフト領域11中にVO欠陥が支配的に形成され、VO欠陥に比して深い準位のC_iO_i欠陥等の複合欠陥が形成され難くなる。したがって、母材ウェハ間で炭素等の不純物密度が異なる場合でも、電子線照射後のデバイスのドリフト領域11に対しては、各種複合欠陥の構成比率を単純化して炭素等の不純物密度に依存しない同等のレベルとすることができ、デバイス特性のバラツキの調整が容易となる。

[0032] <半導体装置の製造方法>

次に、図5～図8を用いて、本発明の第1の実施形態に係る半導体装置（ダイオード）の製造方法の一例を説明する。なお、以下に述べる半導体装置の製造方法は一例であり、特許請求の範囲に記載した趣旨の範囲であれば、この変形例を含めて、これ以外の種々の製造方法により実現可能であることは勿論である。

[0033] （イ）まず、単結晶Siからなるn⁻型の母材ウェハ（半導体基板）10を用意する。半導体基板10には、意図的な添加をしないものの、半導体基板

の製造方法に起因して炭素や酸素等の不純物元素が含まれている。そして、半導体基板 10 の表面にホウ素 (B) 等の p 型不純物イオンを注入する。その後、熱処理を行うことにより注入されたイオンを活性化させ、図 5 に示すように、例えば不純物密度 $5 \times 10^{17} \sim 1 \times 10^{19} \text{ cm}^{-3}$ 程度の p⁺ 型のアノード領域 12 を形成する。

[0034] (ロ) 次に、研削又はウェットエッチング等により、半導体基板 10 を裏面側から除去し、半導体基板 10 を所望の厚さ (例えば $50 \mu\text{m} \sim 300 \mu\text{m}$ 程度) とする。そして、半導体基板 10 の裏面に砒素 (As) や燐 (P) 等の n 型不純物をイオン注入する。その後、熱処理を行うことにより注入されたイオンを活性化させ、図 6 に示すように、例えば不純物密度 $1 \times 10^{19} \text{ cm}^{-3} \sim 1 \times 10^{21} \text{ cm}^{-3}$ 程度の n⁺ 型のカソード領域 13 を形成し、アノード領域 12 とカソード領域 13 に挟まれた半導体基板 10 をドリフト領域 11 とする。

[0035] (ハ) 次に、スパッタ法又は蒸着法等により、図 7 に示すように、アノード領域 12 の上面に Al 等からなるアノード電極 14 を形成する。同様に、スパッタ法又は蒸着法等により、図 8 に示すようにカソード領域 13 の裏面に Au 等からなるカソード電極 15 を形成する。

[0036] (ニ) 次に、図 8 に矢印で模式的に示すように、半導体基板 10 に裏面側から電子線を照射することにより、半導体基板 10 中にキャリアのライフタイムを制御するための結晶欠陥を発生させる。この際、電子線の吸収線量は $40 \text{ kGy} \sim 60 \text{ kGy}$ 程度であり、電子線の加速エネルギーは 3.0 MeV 以下 (例えば 2.0 MeV) に設定される。電子線の加速エネルギーは、 $700 \text{ keV} \sim 3 \text{ MeV}$ 以下であることが好ましく、 $700 \text{ keV} \sim 2 \text{ MeV}$ 以下であることがより好ましい。その後、例えば水素雰囲気中、 $360^\circ\text{C} \sim 380^\circ\text{C}$ 程度、90 分間の熱処理を行うことにより、電子線の照射により形成されたエネルギー状態が不安定な結晶欠陥を回復させる。このようにして、図 1 に示した本発明の第 1 の実施形態に係る半導体装置が完成する。

[0037] 本発明の第 1 の実施形態に係る半導体装置の製造方法によれば、電子線を

照射することにより結晶欠陥を発生させる際に、DLTS法の測定において同定されるVO欠陥の準位の信号ピーク強度が、 C_iO_i 欠陥の準位の信号ピーク強度に対して5倍以上大きくなるように電子線の加速エネルギーを設定することにより、準位の浅いVO欠陥を支配的に形成し、VO欠陥に比して深い準位の C_iO_i 欠陥等を形成し難くすることができる。したがって、母材ウェハ（半導体基板）毎に炭素や酸素の不純物密度にバラツキがあっても、デバイスのドリフト領域に発生する欠陥準位及び欠陥密度の構成比を単純化して同等のレベルとすることができ、欠陥準位及び欠陥密度のバラツキに起因するデバイス特性のバラツキの調整が容易となる。

[0038] なお、本発明の第1の実施形態に係る半導体装置の製造方法においては、図8に示すように半導体基板10の裏面側から電子線を照射する場合を説明したが、半導体基板10の上面側から電子線を照射してもよい。また、半導体基板10の裏面側にカソード電極15を形成した後に電子線を照射する場合を説明したが、カソード電極15を形成する前（例えばカソード領域13を形成する工程と、カソード電極15を形成する工程との間）に、半導体基板10の上面側又は裏面側から電子線を照射してもよい。また、半導体基板10に電子線照射後に電子線アニールを行わない場合もある。

[0039] （第2の実施形態）

＜半導体装置の構造＞

本発明の第2の実施形態に係る半導体装置として、トレンチゲート構造のIGBTを説明する。本発明の第2の実施形態に係る半導体装置は、図9に示すように、第1導電型（ n^- 型）のドリフト領域21と、ドリフト領域21の一部（上面側）に配置され、ドリフト領域21よりも高不純物密度の n^+ 型の第1主電極領域（エミッタ領域）23a、23bと、ドリフト領域21の他の一部（裏面側）にエミッタ領域23a、23bと離間して配置された第2導電型（ p 型）の第2主電極領域（コレクタ領域）28と、ドリフト領域21を走行するキャリアの移動を制御する制御電極構造とを備える。

[0040] 制御電極構造は、エミッタ領域23a、23bとドリフト領域21の間に

少なくとも設けられたp型のベース領域22a, 22bと、ベース領域22a, 22b中の電位を静電的に制御して、キャリアの移動を制御するゲート電極25とを備える。制御電極構造は更に、ベース領域22a, 22bを貫通してドリフト領域21の上部に達する凹部（トレンチ）の内面に設けられたゲート絶縁膜24を、ベース領域22a, 22bとゲート電極25に挟まれるように備える。ゲート電極25はゲート絶縁膜24に介してトレンチ内に埋め込まれている。ゲート電極25上には層間絶縁膜26を介してエミッタ電極27が配置されている。エミッタ電極27は、エミッタ領域23a, 23b及びベース領域22a, 22bに接する。

[0041] ドリフト領域21とコレクタ領域28の間には、ドリフト領域21よりも高不純物密度のn型のフィールドストップ（FS層）30が形成されている。コレクタ領域28の裏面にはコレクタ電極29が配置されている。

[0042] 本発明の第2の実施形態に係る半導体装置（IGBT）のターンオン時には、エミッタ電極27が接地され、コレクタ電極29に正電圧が印加された状態で、ゲート電極25にエミッタ電極27に対して正電圧を印加することにより、ベース領域22a, 22bの伝導度変調を起こし、素子を導通状態に導く。一方、IGBTのターンオフ時には、ゲート電極25にエミッタ電極27に対して負電圧を印加することにより、ベース領域22a, 22b内に蓄積したホールがすべて消滅した時点で素子は阻止状態となり、ターンオフが完了する。

[0043] 本発明の第2の実施形態に係る半導体装置において、第1の実施形態と同様に、キャリアのライムタイムを制御するため、ドリフト領域21は、電子線の照射により形成された結晶欠陥を有する。結晶欠陥は、VO欠陥及びVO欠陥に対して準位の深いC_iO_i欠陥を含み、DLTS法の測定において同定されるVO欠陥の準位の信号ピーク強度が、C_iO_i欠陥の準位の信号ピーク強度に対して5倍以上となるように結晶欠陥の欠陥密度が設定されている。なお、DLTS法の測定において同定されるVO欠陥の準位の信号ピーク強度は、C_iO_i欠陥の準位の信号ピーク強度に対して大きいほど好ましく、

例えば10倍以上大きいことが好ましい。

[0044] 本発明の第2の実施形態に係る半導体装置によれば、DLTS法の測定において同定されるVO欠陥の準位の信号ピーク強度が、C_iO_i欠陥の準位の信号ピーク強度に対して5倍以上となるように結晶欠陥の欠陥密度が設定されていることにより、ドリフト領域21中にはVO欠陥が支配的に形成され、VO欠陥に比して深い準位の複合欠陥が形成され難くなる。したがって、母材ウェハ間で炭素の不純物密度等の不純物の種類や不純物密度が異なる場合でも、デバイス間での各種複合欠陥の構成比率を同等とすることができ、デバイス特性のバラツキの調整が容易となる。

[0045] <半導体装置の製造方法>

次に、図10～図18を用いて、本発明の第2の実施形態に係る半導体装置（IGBT）の製造方法の一例を説明する。なお、以下に述べる半導体装置の製造方法は一例であり、特許請求の範囲に記載した趣旨の範囲であれば、この変形例を含めて、これ以外の種々の製造方法により実現可能であることは勿論である。

[0046] （イ）まず、単結晶Siからなるn⁻型の半導体基板20を用意する。半導体基板20には、意図的な添加をしないものの、半導体基板の製造方法に起因して炭素や酸素等の不純物元素が含まれている。そして、半導体基板20の上面側から、B等のp型不純物イオンを所定の深さで注入する。その後、熱処理を行うことにより注入されたイオンを活性化させ、図10に示すように、例えば不純物密度 $1 \times 10^{17} \text{ cm}^{-3}$ 程度のp型のベース領域22を形成する。なお、ベース領域22は半導体基板20の上面にエピタキシャル成長してもよい。

[0047] （ロ）次に、半導体基板20上にフォトレジスト膜31を塗布し、フォトリソグラフィ技術を用いてフォトレジスト膜31をパターニングする。パターニングされたフォトレジスト膜31をマスクとして用いて、反応性イオンエッチング（RIE）等のドライエッチング等により、図11に示すように、ベース領域22a、22bを貫通して半導体基板20の上部に達する凹部

(トレンチ) 20xを選択的に形成する。その後、フォトレジスト膜31を O_2 プラズマ等で除去する。なお、半導体基板20上に酸化膜を形成し、フォトレジスト膜31によって酸化膜をパターニングした後、酸化膜をマスクとして用いて半導体基板20の上部にまで到達するトレンチ20xをドライエッチングにより形成してもよい。

[0048] (ハ) 次に、熱酸化法等により、図12に示すように半導体基板20上及びトレンチ20xの内面にシリコン酸化膜(SiO_2 膜)からなるゲート絶縁膜24を形成する。そして、化学気相成長(CVD)法等により、ゲート絶縁膜24上にn型の不純物を添加したポリシリコン層(ドーパドポリシリコン層)25xを堆積する。その後、ポリシリコン層25xをエッチバックすることにより、図13に示すように、トレンチ20xの内部にゲート絶縁膜24を介してポリシリコン層25x埋め込む。更に、酸化膜とポリシリコンとのエッチング選択比を用いて、図14に示すように、ドライエッチングによりゲート絶縁膜24をベース領域22a, 22bの上面が露出するように選択的に除去する。

[0049] (ニ) 次に、ベース領域22a, 22b上にフォトレジスト膜(図示省略)を塗布し、フォトリソグラフィ技術を用いてフォトレジスト膜をパターニングする。パターニングされたフォトレジスト膜をマスクとして用いて、AsやP等のn型不純物をイオン注入する。これと同時に、ポリシリコン層25xにもイオン注入される。そして、フォトレジスト膜を O_2 プラズマ等で除去する。その後、熱処理を行うことにより注入されたイオンを活性化させ、図15に示すように、ベース領域22a, 22bの上部の一部に例えば不純物密度 $1 \times 10^{20} \text{ cm}^{-3}$ 程度のn⁺型のエミッタ領域23a, 23bを選択的に形成する。エミッタ領域23a, 23bの熱処理工程においては、ポリシリコン層25xに注入されたイオンも活性化される。更に、CVD法等により、図16に示すように、ゲート電極25、エミッタ領域23a, 23b及びベース領域22a, 22b上に SiO_2 膜等からなる層間絶縁膜26を堆積する。

- [0050] (ホ) 次に、半導体基板 20 の裏面側を、研削又はウェットエッチング等により除去し、半導体基板 20 を所望の厚さ（例えば $50\ \mu\text{m} \sim 300\ \mu\text{m}$ 程度）とする。そして、半導体基板 20 の裏面側から n 型不純物及び p 型不純物を所定の深さで順次イオン注入する。その後、熱処理を行うことにより注入されたイオンを活性化させ、図 17 に示すように、n 型の FS 層 30 及び、例えば不純物密度 $1 \times 10^{20}\ \text{cm}^{-3}$ 程度の p 型のコレクタ領域 28 を形成する。この結果、半導体基板 20 のベース領域 22 a, 22 b とコレクタ領域 28 に挟まれた領域がドリフト領域 21 となる。
- [0051] (ヘ) 次に、層間絶縁膜 26 上にフォトレジスト膜（図示省略）を塗布し、フォトリソグラフィ技術を用いてフォトレジスト膜をパターニングする。パターニングされたフォトレジスト膜をマスクとして用いて、ドライエッチングにより層間絶縁膜 26 をゲート電極 25 上に残るように選択的に除去する。その後、フォトレジスト膜を O_2 プラズマ等で除去する。
- [0052] (ト) 次に、スパッタ法又は蒸着法等により、図 18 に示すように、エミッタ領域 23 a, 23 b 及びベース領域 22 a, 22 b 上の上面に A1 等からなるエミッタ電極 27 を形成する。同様に、スパッタ法又は蒸着法等により、コレクタ領域 28 の裏面に Au 等からなるコレクタ電極 29 を形成する。
- [0053] (チ) 次に、図 18 に矢印で模式的に示すように、半導体基板 20 に裏面側から電子線を照射することにより、半導体基板 20 中にキャリアのライフタイムを制御するための結晶欠陥を発生させる。この際、電子線の吸収線量は $40\ \text{kgY} \sim 60\ \text{kgY}$ 程度であり、加速エネルギーは $3.0\ \text{MeV}$ 以下（例えば $2.0\ \text{MeV}$ ）に設定される。電子線の加速エネルギーは、 $700\ \text{keV} \sim 3\ \text{MeV}$ 以下であることが好ましく、 $700\ \text{keV} \sim 2\ \text{MeV}$ 以下であることがより好ましい。その後、例えば水素雰囲気中、 $360^\circ\text{C} \sim 380^\circ\text{C}$ 程度、90 分間の熱処理を行うことにより、電子線の照射により形成されたエネルギー状態が不安定な結晶欠陥を回復させる。このようにして、図 9 に示した本発明の第 2 の実施形態に係る半導体装置が完成する。

[0054] 本発明の第2の実施形態に係る半導体装置（IGBT）の製造方法によれば、半導体基板20に電子線を照射することにより結晶欠陥が発生するが、DLTS法の測定において同定されるVO欠陥の準位の信号ピーク強度が、C_iO_i欠陥の準位の信号ピーク強度に対して5倍以上大きくなるように電子線の加速エネルギーを設定している。このため、ドリフト領域21中にVO欠陥を支配的に形成し、VO欠陥に比して深い準位のC_iO_i欠陥等が形成され難くすることができる。したがって、母材ウェハ毎に炭素等の不純物密度が異なる場合であっても、電子線照射後の処理ウェハにおける結晶欠陥の構成比を単純化して炭素等の不純物密度に依存しない同等のレベルとすることができるので、デバイス特性のバラツキの調整が容易となる。

[0055] なお、本発明の第2の実施形態に係る半導体装置の製造方法においては、図18に示すように半導体基板20の裏面側から電子線を照射する場合を説明したが、半導体基板20の上面側から電子線を照射してもよい。また、半導体基板20の裏面側にコレクタ電極29を形成した後に電子線を照射する場合を説明したが、コレクタ電極29を形成する前（例えば、エミッタ電極27を形成する工程と、コレクタ電極29を形成する工程との間）に、半導体基板20の上面側又は裏面側から電子線を照射してもよい。また、半導体基板20に電子線照射後に電子線アニールを行わない場合もある。

[0056] （第3の実施形態）

＜半導体装置の構造＞

本発明の第3の実施形態に係る半導体装置は、図19に示すように、第1導電型（n⁺型）の第1主電極領域（カソード領域）31と、カソード領域31上に設けられ、カソード領域31よりも低不純物密度の第1導電型（n型）の第1のドリフト領域32と、第1のドリフト領域32上に設けられ、第1のドリフト領域32よりも低不純物密度の第1導電型（n⁻型）の第2のドリフト領域33とを備えるFWDである。

[0057] カソード領域31は、例えばFZ法、CZ法又はMCZ法等により製造された単結晶Siからなる半導体基板（シリコンウェハ）を出発材料として構

成される。カソード領域 31 を構成する半導体基板の厚さは例えば $50\ \mu\text{m}$ ～ $300\ \mu\text{m}$ 程度であり、要求される耐圧等に応じて適宜選択可能である。

[0058] 第 1 のドリフト領域 32 及び第 2 のドリフト領域 33 は、エピタキシャル成長層からなる。第 1 のドリフト領域 32 及び第 2 のドリフト領域 33 のエピタキシャル成長時には、第 1 のドリフト領域 32 及び第 2 のドリフト領域 33 に意図的に炭素や酸素等の不純物元素を添加している。第 1 のドリフト領域 32 及び第 2 のドリフト領域 33 の厚さは同程度であってもよく、第 1 のドリフト領域 32 が第 2 のドリフト領域 33 よりも厚くてもよく、第 1 のドリフト領域 32 が第 2 のドリフト領域 33 よりも薄くてもよい。第 1 のドリフト領域 32 及び第 2 のドリフト領域 33 のそれぞれの厚さは例えば $20\ \mu\text{m}$ ～ $100\ \mu\text{m}$ 程度である。

[0059] 第 2 のドリフト領域 33 の上部には、互いに離間するように第 2 導電型 (p^+ 型) の第 2 主電極領域 (アノード領域) 35a, 35b, 35c が設けられている。アノード領域 35a, 35b, 35c の間には、第 2 のドリフト領域 33 よりも高不純物密度の第 1 導電型 (n^+ 型) の n^+ 型領域 34a, 34b が設けられている。 n^+ 型領域 34a, 34b の深さは、アノード領域 35a, 35b, 35c の深さよりも浅い。

[0060] アノード領域 35a, 35b, 35c 及び n^+ 型領域 34a, 34b の上面にはアノード電極 37 が配置されている。アノード電極 37 の材料としては、例えば Al や、Al-Si、Al-Cu、Al-Cu-Si 等の Al 合金が使用可能である。カソード領域 31 の裏面には、カソード領域 31 よりも高不純物密度の第 1 導電型 (n^{++} 型) のカソードコンタクト領域 36 が設けられている。カソードコンタクト領域 36 の裏面にはカソード電極 38 が配置されている。カソード電極 38 としては、例えば Au からなる単層膜や、Al、Ni、Au の順で積層された金属膜が使用可能である。

[0061] 本発明の第 3 の実施形態に係る半導体装置においては、本発明の第 1 及び第 2 の実施形態に係る半導体装置と同様に、DLTS 法の測定において同定される VO 欠陥の準位の信号ピーク強度が、 C_iO_i 欠陥の準位の信号ピーク

強度に対して5倍以上大きくなるように欠陥密度が設定されている。このように欠陥密度を制御することにより、ドリフト領域11中にVO欠陥が支配的に形成され、VO欠陥に比して深い準位のC_iO_i欠陥、VV欠陥、V₂O欠陥等は形成され難くなる。したがって、母材ウェハ間で炭素等の不純物密度が異なる場合でも、電子線照射後のデバイスのドリフト領域11に対しては、各種複合欠陥の構成比率を単純化して炭素等の不純物密度に依存しない同等のレベルとすることができ、デバイス特性のバラツキの調整が容易となる。

[0062] 更に、第1のドリフト領域32及び第2のドリフト領域33のエピタキシャル成長時に添加する酸素又は炭素等の不純物元素の含有量を調整することにより、DLTS法の測定において同定されるC_iO_i欠陥の準位の信号ピークとVV又はV₂O欠陥の準位の信号ピークとの間の谷のピーク強度P2に対するC_iO_i欠陥の準位の信号ピーク強度P1の比(P1/P2)が1.0～1.5の範囲に設定されている。更に、C_iO_i欠陥の準位の信号ピークとVV又はV₂O欠陥の準位の信号ピークとの間の谷のピーク強度P2に対するVV又はV₂O欠陥の準位の信号ピーク強度P3の比(P3/P2)が2.0～2.5の範囲に設定されている。これにより、FWDの逆回復特性をソフトリカバリーで低サージとすることができる。

[0063] 或いは、第1のドリフト領域32及び第2のドリフト領域33のエピタキシャル成長時に添加する酸素又は炭素等の不純物元素の含有量を調整することにより、DLTS法の測定において同定されるC_iO_i欠陥の準位の信号ピークとVV又はV₂O欠陥の準位の信号ピークとの間の谷のピーク強度P2に対するC_iO_i欠陥の準位の信号ピーク強度P1の比(P1/P2)が1.6～2.0の範囲に設定されていてもよい。更に、C_iO_i欠陥の準位の信号ピークとVV又はV₂O欠陥の準位の信号ピークとの間の谷のピーク強度P2に対するVV又はV₂O欠陥の準位の信号ピーク強度P3の比(P3/P2)が2.6～3.0の範囲に設定されていてもよい。これにより、FWDの逆回復特性をハードリカバリーで低損失とすることができる。

[0064] 従来のエピウェハを用いたFWDにおいては、逆回復サージ電圧 V_{akp} や逆回復損失 E_{rr} を抑制するために、エピタキシャル成長層の厚みや比抵抗のパラメータを調整していた。或いは、電子線照射量や照射後のアニール温度・時間を調整することで、順方向電圧 V_F の狙い目を調整していた。しかしながら、エピタキシャル成長層の厚みや比抵抗を変更すると、逆回復特性以外の静特性、特に耐圧 V_R に影響を与えてしまい、デバイス内部の電位分布が変わり、信頼性耐量が低下するリスクがある。また、ライフタイム制御（電子線照射）の条件を変更することでトレードオフカーブ内でのサージ電圧を調整する方法では、チップの順方向電圧 V_F や損失の狙い目が変わってしまい、製品の特性要求を満たせない場合がある。

[0065] これに対して、本発明の第3の実施形態に係る半導体装置によれば、第1のドリフト領域32及び第2のドリフト領域33のエピタキシャル成長時の不純物元素の含有量を調整することにより、エピタキシャル成長層である第1のドリフト領域32及び第2のドリフト領域33の比抵抗や厚さ等の仕様を変更することなく、同一の第1のドリフト領域32及び第2のドリフト領域33の厚さであっても、同一の順方向電圧 V_F のときにFWDの逆回復波形をソフト化（低サージ）、或いはハード化（低損失）に調整することができる。

[0066] なお、本発明の第3の実施形態に係る半導体装置では、カソード領域31上に、第1のドリフト領域32及び第2のドリフト領域33の2層のエピタキシャル成長層を積層した構造を例示したが、カソード領域31上のエピタキシャル成長層が1層であってもよく、或いは3層以上の多層であってもよい。

[0067] <実施例>

2種類の異なる母材ウェハを用いて、第1のドリフト領域32の厚さと第2のドリフト領域33の厚さを同一として、図19に示した本発明の第3の実施形態に係る半導体装置の構造を有する試料A～C及び試料D～Fをそれぞれ作製した。試料A～C及び試料D～Fは、同様の製造方法であるが、第

1 のドリフト領域 3 2 及び第 2 のドリフト領域 3 3 のエピタキシャル成長時において、試料 A～C では、試料 D～F に対して、炭素濃度を低く設定するとともに、酸素含有量を低く設定している。試料 A～C は、吸収線量を 60 kGy、80 kGy、100 kGy と変えて電子線を照射し、その後のアニール温度は共通で 360℃、アニール時間は共通で 1 時間とした。一方、試料 D～F は、吸収線量を 80 kGy、100 kGy、120 kGy と変えて電子線を照射し、その後のアニール温度は共通で 360℃、アニール時間は共通で 1 時間とした。作製した試料 A～F に対して、DLTS 法を用いて複合欠陥の構成比率を測定した。

[0068] 試料 A～C の DLTS スペクトル波形を図 20 (a) に示し、図 20 (a) の部分拡大図を図 20 (b) に示す。試料 D～F の DLTS スペクトル波形を図 21 (a) に示し、図 21 (a) の部分拡大図を図 21 (b) に示す。図 20 (a) 及び図 21 (a) から、試料 A～F のいずれも、VO 欠陥の準位の信号ピーク強度が、C_iO_i 欠陥の準位の信号ピーク強度に対して 5 倍以上大きくなっているのが分かる。

[0069] 図 20 (b) に示すように、試料 A～C については、C_iO_i 欠陥の準位の信号ピークと VV 又は V₂O 欠陥の準位の信号ピークとの間の谷のピーク強度 P₂ に対する C_iO_i 欠陥の準位の信号ピーク強度 P₁ の比 (P₁/P₂) が 1.0～1.5 の範囲となっていることが分かる。更に、C_iO_i 欠陥の準位の信号ピークと VV 又は V₂O 欠陥の準位の信号ピークとの間の谷のピーク強度 P₂ に対する VV 又は V₂O 欠陥の準位の信号ピーク強度 P₃ の比 (P₃/P₂) が 2.0～2.5 の範囲となっていることが分かる。

[0070] 一方、試料 D～F については、図 21 (a) から、C_iO_i 欠陥の準位の信号ピークと VV 又は V₂O 欠陥の準位の信号ピークとの間の谷のピーク強度 P₂ に対する C_iO_i 欠陥の準位の信号ピーク強度 P₁ の比 (P₁/P₂) が 1.6～2.0 の範囲となっていることが分かる。更に、C_iO_i 欠陥の準位の信号ピークと VV 又は V₂O 欠陥の準位の信号ピークとの間の谷のピーク強度 P₂ に対する VV 又は V₂O 欠陥の準位の信号ピーク強度 P₃ の比 (P₃/P

2) が 2.6 ~ 3.0 の範囲となっていることが分かる。

[0071] 図 22 (a) は、試料 A ~ F についての $C_i O_i$ 欠陥の準位の信号ピーク強度と順方向電圧 V_F との関係を示すグラフであり、図 22 (b) は、試料 A ~ F についての $C_i O_i$ 欠陥の準位の信号ピーク強度と逆回復損失 E_{rr} との関係を示すグラフであり、図 22 (c) は、試料 A ~ F についての $C_i O_i$ 欠陥の準位の信号ピーク強度と逆回復サージ電圧 V_{akp} との関係を示すグラフである。図 22 (a) ~ 図 22 (c) に示すように、試料 A ~ C のように、 $C_i O_i$ 欠陥の準位の信号ピーク強度に対して、線形的な依存性を持たせることにより、ソフトリカバリーで低サージとすることができる。一方、試料 D ~ F のように、 $C_i O_i$ 欠陥の準位の信号ピーク強度に対して、非線形的な依存性を持たせることにより、ハードリカバリーで低サージとすることができる。 $C_i O_i$ 欠陥の準位の信号ピーク強度に対する非線形依存性は、第 1 のドリフト領域 32 及び第 2 のドリフト領域 33 のエピタキシャル成長時の炭素濃度を低くするとともに、酸素含有量も低くすることにより実現できる。

[0072] 図 23 (a) は、試料 A ~ F の順方向電圧 V_F と逆回復損失 E_{rr} との関係を示すグラフであり、図 23 (b) は、試料 A ~ F の順方向電圧 V_F と逆回復時間 T_{rr} との関係を示すグラフであり、図 23 (c) は、試料 A ~ F の順方向電圧 V_F と逆回復電荷量 Q_{rr} との関係を示すグラフである。図 24 (a) は、試料 A ~ F の順方向電圧 V_F と逆回復電流 I_{rp} との関係を示すグラフであり、図 24 (b) は、試料 A ~ F の順方向電圧 V_F と逆回復サージ電圧 V_{akp} との関係を示すグラフである。図 23 (a) ~ 図 24 (b) から、試料 A ~ C はソフトリカバリーで低サージとなっており、試料 D ~ F はハードリカバリーで低損失となっていることが分かる。

[0073] <半導体装置の製造方法>

次に、図 25 (a) ~ 図 26 (b) を用いて、本発明の第 3 の実施形態に係る半導体装置（ダイオード）の製造方法の一例を説明する。なお、以下に述べる半導体装置の製造方法は一例であり、特許請求の範囲に記載した趣旨の範囲であれば、この変形例を含めて、これ以外の種々の製造方法により実

現可能であることは勿論である。

[0074] (イ) まず、図25(a)に示すように単結晶Siからなるn⁺型の母材ウェハ(半導体基板)30を用意する。半導体基板30には、n型の不純物元素の他、半導体基板の製造方法に起因して炭素や酸素等の不純物元素が含まれている。半導体基板30の上面に、酸素及び炭素等の不純物元素の含有量を調整しながら、半導体基板30よりも低不純物密度のn型の第1のドリフト領域32をエピタキシャル成長させる。その後、第1のドリフト領域32上に、酸素及び炭素等の不純物元素の含有量を調整しながら、図25(b)に示すように、第1のドリフト領域32よりも低不純物密度のn⁻型の第2のドリフト領域33をエピタキシャル成長させる。

[0075] (ロ) 次に、第2のドリフト領域33の表面にフォトレジスト膜を塗布し、フォトリソグラフィ技術を用いてフォトレジスト膜をパターニングする。パターニングされたフォトレジスト膜をマスクとして用いて、第2のドリフト領域33の表面にB等のp型不純物イオンを注入する。その後、フォトレジスト膜を除去して熱処理を行うことにより、注入されたイオンを活性化させ、例えば不純物密度 $5 \times 10^{17} \sim 1 \times 10^{19} \text{ cm}^{-3}$ 程度のp⁺型のアノード領域35a, 35b, 35cを形成する。更に、第2のドリフト領域33の表面に新たなフォトレジスト膜を塗布し、フォトリソグラフィ技術を用いてフォトレジスト膜をパターニングする。パターニングされたフォトレジスト膜をマスクとして用いて、第2のドリフト領域33の表面にAsやP等のn型不純物イオンを注入する。その後、フォトレジスト膜を除去して熱処理を行うことにより、注入されたイオンを活性化させ、図25(c)に示すように、アノード領域35a, 35b, 35cの間にn⁺型領域34a, 34bを形成する。

[0076] (ハ) 次に、必要があれば、研削又はウェットエッチング等により、半導体基板30を裏面側から除去し、半導体基板30を所望の厚さ(例えば $50 \mu\text{m} \sim 300 \mu\text{m}$ 程度)とする。そして、半導体基板30の裏面にAsやP等のn型不純物をイオン注入する。その後、熱処理を行うことにより注入さ

れたイオンを活性化させ、図26(a)に示すように、例えば不純物密度 $1 \times 10^{19} \text{ cm}^{-3} \sim 1 \times 10^{21} \text{ cm}^{-3}$ 程度の n^{++} 型のカソードコンタクト領域36を形成し、第1のドリフト領域32とカソードコンタクト領域36に挟まれた半導体基板30をカソード領域31とする。

[0077] (二) 次に、スパッタ法又は蒸着法等により、アノード領域35a, 35b, 35c及び n^{+} 型領域34a, 34bの上面にAl等からなるアノード電極37を形成する。同様に、スパッタ法又は蒸着法等により、図26(b)に示すように、カソードコンタクト領域36の裏面にAu等からなるカソード電極38を形成する。

[0078] (ホ) 次に、図26(c)に矢印で模式的に示すように、カソード電極38の裏面側から電子線を照射することにより第1のドリフト領域32及び第2のドリフト領域33中にキャリアのライフタイムを制御するための結晶欠陥を発生させる。この際、電子線の吸収線量は40kGy～60kGy程度であり、電子線の加速エネルギーは3.0MeV以下(例えば2.0MeV)に設定される。その後、例えば水素雰囲気中、360℃～380℃程度、90分間程度の熱処理を行うことにより、電子線の照射により形成されたエネルギー状態が不安定な結晶欠陥を回復させる。このようにして、図19に示した本発明の第3の実施形態に係る半導体装置が完成する。なお、カソードコンタクト領域36を先に形成してから、アノード領域35a, 35b, 35cを形成する手順であってもよい。

[0079] 本発明の第3の実施形態に係る半導体装置の製造方法によれば、電子線を照射することにより結晶欠陥を発生させる際に、DLTS法の測定において同定されるVO欠陥の準位の信号ピーク強度が、 C_iO_i 欠陥の準位の信号ピーク強度に対して5倍以上大きくなるように電子線の加速エネルギーを設定することにより、準位の浅いVO欠陥を支配的に形成し、VO欠陥に比して深い準位の C_iO_i 欠陥等を形成し難くすることができる。

[0080] 更に、第1のドリフト領域32及び第2のドリフト領域33のエピタキシャル成長時に添加する酸素又は炭素等の不純物元素の含有量を調整すること

により、DLTS法の測定において同定される C_iO_i 欠陥の準位の信号ピークとVV又は V_2O 欠陥の準位の信号ピークとの間の谷のピーク強度 P_2 に対する C_iO_i 欠陥の準位の信号ピーク強度 P_1 の比(P_1/P_2)を1.0～1.5に設定する。更に、 C_iO_i 欠陥の準位の信号ピークとVV又は V_2O 欠陥の準位の信号ピークとの間の谷のピーク強度 P_2 に対するVV又は V_2O 欠陥の準位の信号ピーク強度 P_3 の比(P_3/P_2)を2.0～2.5に設定する。これにより、FWDの逆回復特性をソフトリカバリーで低サージとすることができる。

[0081] 或いは、第1のドリフト領域32及び第2のドリフト領域33のエピタキシャル成長時に添加する酸素又は炭素等の不純物元素の含有量を調整することにより、DLTS法の測定において同定される C_iO_i 欠陥の準位の信号ピークとVV又は V_2O 欠陥の準位の信号ピークとの間の谷のピーク強度 P_2 に対する C_iO_i 欠陥の準位の信号ピーク強度 P_1 の比(P_1/P_2)を1.6～2.0に設定してもよい。更に、 C_iO_i 欠陥の準位の信号ピークとVV又は V_2O 欠陥の準位の信号ピークとの間の谷のピーク強度 P_2 に対するVV又は V_2O 欠陥の準位の信号ピーク強度 P_3 の比(P_3/P_2)を2.6～3.0に設定してもよい。これにより、FWDの逆回復特性をハードリカバリーで低損失とすることができる。

[0082] (その他の実施形態)

上記のように、本発明は第1～第3の実施形態によって記載したが、この開示の一部をなす論述及び図面は本発明を限定するものであると理解すべきではない。この開示から当業者には様々な代替実施形態、実施例及び運用技術が明らかとなろう。

[0083] 例えば、第1～第3の実施形態では、縦型構造の半導体装置について例示的に説明したが、第1主電極領域と第2主電極領域とがドリフト領域を構成する半導体基板の同一表面上に配置された横型デバイス(プレーナ型デバイス)であっても構わない。

[0084] 更に、本発明の半導体装置の制御電極構造は、第2の実施形態で一例とし

て挙げた絶縁ゲート構造を有する IGBT に限定されるものではない。例えば、SIサイリスタやGTO等の接合ゲート構造によってキャリアの走行を制御する制御電極構造を備えた半導体装置にも本発明のドリフト領域の構造は適用可能である。よって、電子線の照射によりキャリアのライフタイムの制御が可能な半導体装置であれば、種々の半導体装置に適用できる。更に、ダブルゲート型SIサイリスタ等のように、第2主電極領域の近傍のドリフト領域の内部に第2のゲート構造を備える半導体装置であっても構わない。

[0085] さらにまた、上述したように、特にドリフト領域を構成する部分の単結晶Siからなる半導体基板は、例えばフローティングゾーン（FZ）法、チョクラスキー（CZ）法、または磁場印加型チョクラスキー（MCZ）法等により製造された単結晶Siでも良いし、支持母体となる単結晶Si基板上に形成されたエピタキシャル成長層であってもよい。

また、キャリアのライフタイムの制御は、電子線照射に限らず、ヘリウム照射やプロトン照射で有ってもよい。特にヘリウム照射であってもよく、ヘリウム照射および熱処理の結果、上記VV欠陥、V₂O欠陥、C_iO_i欠陥を含み、且つこれらが上記の所定の比率であってもよい。

[0086] このように、本発明はここでは記載していない様々な実施形態等を含むことは勿論である。したがって、本発明の技術的範囲は上記の説明から妥当な特許請求の範囲に係る発明特定事項によってのみ定められるものである。

符号の説明

[0087] 10, 30…半導体基板
11, 21, 32, 33…ドリフト領域
12, 35a, 35b, 35c…アノード領域
13, 31…カソード領域
14, 37…アノード電極
15, 38…カソード電極
22, 22a, 22b…ベース領域
23a, 23b…エミッタ領域

- 24 …ゲート絶縁膜
- 25 …ゲート電極
- 26 …層間絶縁膜
- 27 …エミッタ電極
- 28 …コレクタ領域
- 29 …コレクタ電極
- 30 …フィールドストップ層
- 34 a, 34 b … n^+ 型領域
- 36 …カソードコンタクト領域

請求の範囲

- [請求項1] 電子線の照射によって発生した結晶欠陥を有する第1導電型のドリフト領域と、
- 前記ドリフト領域の一部に配置され、前記ドリフト領域よりも高不純物密度の第1導電型の第1主電極領域と、
- 前記ドリフト領域の他の一部に前記第1主電極領域と離間して配置された第2導電型の第2主電極領域と、
- を備え、
- 前記結晶欠陥が、空孔と酸素からなる第1の複合欠陥と、炭素と酸素からなる第2の複合欠陥とを含み、深準位過渡分光法の測定において同定される前記第1の複合欠陥の準位の信号ピーク強度が、前記第2の複合欠陥の準位の信号ピーク強度の5倍以上となるように前記結晶欠陥の欠陥密度が設定されていることを特徴とする半導体装置。
- [請求項2] 前記ドリフト領域を走行するキャリアの移動を制御する制御電極構造を更に備えることを特徴とする請求項1に記載の半導体装置。
- [請求項3] 前記制御電極構造は、
- 前記第1主電極領域と前記ドリフト領域の間に少なくとも設けられた第2導電型のベース領域と、
- 該ベース領域中の電位を静電的に制御して、前記キャリアの移動を制御するゲート電極と、
- を備えることを特徴とする請求項2に記載の半導体装置。
- [請求項4] 前記第1主電極領域は前記ドリフト領域の上面に配置され、
- 前記第2主電極領域は前記ドリフト領域の裏面に配置されている
- ことを特徴とする請求項3に記載の半導体装置。
- [請求項5] 前記制御電極構造は、
- 前記ベース領域を貫通して前記ドリフト領域の上部に達する凹部の内面に設けられたゲート絶縁膜を、前記ベース領域と前記ゲート電極に挟まれるように更に備え、

前記ベース領域の電位を前記ゲート絶縁膜を介して前記ゲート電極で静電的に制御する

ことを特徴とする請求項4に記載の半導体装置。

[請求項6] 空孔と酸素からなる第1の複合欠陥と、炭素と酸素からなる第2の複合欠陥とを含む半導体装置の製造方法であって、

第1導電型の半導体基板の一部に、前記半導体基板よりも高不純物密度の第1導電型の第1主電極領域を形成する工程と、

前記半導体基板の他の一部に、前記第1主電極領域と離間するように第2導電型の第2主電極領域を形成する工程と、

前記半導体基板に電子線を照射することにより、前記半導体基板中に結晶欠陥を発生させる工程と、

を含み、

前記結晶欠陥を発生させる工程は、深準位過渡分光法の測定において同定される前記第1の複合欠陥の準位の信号ピーク強度が、前記第2の複合欠陥の準位の信号ピーク強度の5倍以上となるように前記電子線の加速エネルギーが設定されていることを特徴とする半導体装置の製造方法。

[請求項7] 前記第1主電極領域は、前記半導体基板の上面に形成され、
前記第2主電極領域は、前記半導体基板の裏面に形成される
ことを特徴とする請求項6に記載の半導体装置の製造方法。

[請求項8] 前記第1主電極領域と前記半導体基板の間に第2導電型のベース領域を形成する工程と、

前記ベース領域を貫通して前記半導体基板の上部に達する凹部を形成する工程と、

前記凹部の内面にゲート絶縁膜を形成する工程と、

前記ベース領域中の電位を制御するゲート電極を、前記ゲート絶縁膜を介して前記凹部の内部に埋め込むように形成する工程と、

を更に含むことを特徴とする請求項7に記載の半導体装置の製造方

法。

[請求項9] 前記電子線を照射する工程における、前記電子線の加速エネルギーは 3 MeV 以下であることを特徴とする請求項6～8のいずれか1項に記載の半導体装置の製造方法。

補正された請求の範囲

[2016年10月31日(31.10.2016) 国際事務局受理]

- [請求項 1] 電子線の照射によって発生した結晶欠陥を有する第 1 導電型のドリフト領域と、
- 前記ドリフト領域の一部に配置され、前記ドリフト領域よりも高不純物密度の第 1 導電型の第 1 主電極領域と、
- 前記ドリフト領域の他の一部に前記第 1 主電極領域と離間して配置された第 2 導電型の第 2 主電極領域と、
- を備え、
- 前記結晶欠陥が、空孔と酸素からなる第 1 の複合欠陥と、炭素と酸素からなる第 2 の複合欠陥とを含み、深準位過渡分光法の測定において同定される前記第 1 の複合欠陥の準位の信号ピーク強度が、前記第 2 の複合欠陥の準位の信号ピーク強度の 5 倍以上となるように前記結晶欠陥の欠陥密度が設定されていることを特徴とする半導体装置。
- [請求項 2] 前記ドリフト領域を走行するキャリアの移動を制御する制御電極構造を更に備えることを特徴とする請求項 1 に記載の半導体装置。
- [請求項 3] 前記制御電極構造は、
- 前記第 1 主電極領域と前記ドリフト領域の間に少なくとも設けられた第 2 導電型のベース領域と、
- 該ベース領域中の電位を静電的に制御して、前記キャリアの移動を制御するゲート電極と、
- を備えることを特徴とする請求項 2 に記載の半導体装置。
- [請求項 4] 前記第 1 主電極領域は前記ドリフト領域の上面に配置され、
- 前記第 2 主電極領域は前記ドリフト領域の裏面に配置されていることを特徴とする請求項 3 に記載の半導体装置。
- [請求項 5] 前記制御電極構造は、
- 前記ベース領域を貫通して前記ドリフト領域の上部に達する凹部の内面に設けられたゲート絶縁膜を、前記ベース領域と前記ゲート電極に挟まれるように更に備え、

前記ベース領域の電位を前記ゲート絶縁膜を介して前記ゲート電極で静電的に制御する

ことを特徴とする請求項 4 に記載の半導体装置。

[請求項 6]

空孔と酸素からなる第 1 の複合欠陥と、炭素と酸素からなる第 2 の複合欠陥とを含む半導体装置の製造方法であって、

第 1 導電型の半導体基板の一部に、前記半導体基板よりも高不純物密度の第 1 導電型の第 1 主電極領域を形成する工程と、

前記半導体基板の他の一部に、前記第 1 主電極領域と離間するように第 2 導電型の第 2 主電極領域を形成する工程と、

前記半導体基板に電子線を照射することにより、前記半導体基板中に結晶欠陥を発生させる工程と、

を含み、

前記結晶欠陥を発生させる工程は、深準位過渡分光法の測定において同定される前記第 1 の複合欠陥の準位の信号ピーク強度が、前記第 2 の複合欠陥の準位の信号ピーク強度の 5 倍以上となるように前記電子線の加速エネルギーが設定されていることを特徴とする半導体装置の製造方法。

[請求項 7]

前記第 1 主電極領域は、前記半導体基板の上面に形成され、

前記第 2 主電極領域は、前記半導体基板の裏面に形成される

ことを特徴とする請求項 6 に記載の半導体装置の製造方法。

[請求項 8]

前記第 1 主電極領域と前記半導体基板の間に第 2 導電型のベース領域を形成する工程と、

前記ベース領域を貫通して前記半導体基板の上部に達する凹部を形成する工程と、

前記凹部の内面にゲート絶縁膜を形成する工程と、

前記ベース領域中の電位を制御するゲート電極を、前記ゲート絶縁膜を介して前記凹部の内部に埋め込むように形成する工程と、

を更に含むことを特徴とする請求項 7 に記載の半導体装置の製造方

法。

[請求項 9] 前記電子線を照射する工程における、前記電子線の加速エネルギーは 3 MeV 以下であることを特徴とする請求項 6～8 のいずれか 1 項に記載の半導体装置の製造方法。

[請求項 10] (追加) 前記深準位過渡分光法の測定において同定される前記第 2 の複合欠陥の準位の信号ピークと、2 つの空孔又は 2 つの空孔と酸素からなる第 3 の複合欠陥の準位の信号ピークとの間の谷のピーク強度に対する前記第 2 の複合欠陥の準位の信号ピーク強度の比が $1.0 \sim 1.5$ の範囲に設定され、且つ前記第 2 の複合欠陥の準位の信号ピーク強度に対する前記第 3 の複合欠陥の準位の信号ピーク強度の比が $2.0 \sim 2.5$ の範囲に設定されていることを特徴とする請求項 1 に記載の半導体装置。

[請求項 11] (追加) 前記深準位過渡分光法の測定において同定される前記第 2 の複合欠陥の準位の信号ピークと、2 つの空孔又は 2 つの空孔と酸素からなる第 3 の複合欠陥の準位の信号ピークとの間の谷のピーク強度に対する前記第 2 の複合欠陥の準位の信号ピーク強度の比が $1.6 \sim 2.0$ の範囲に設定され、且つ前記第 2 の複合欠陥の準位の信号ピーク強度に対する前記第 3 の複合欠陥の準位の信号ピーク強度の比が $2.6 \sim 3.0$ の範囲に設定されていることを特徴とする請求項 1 に記載の半導体装置。

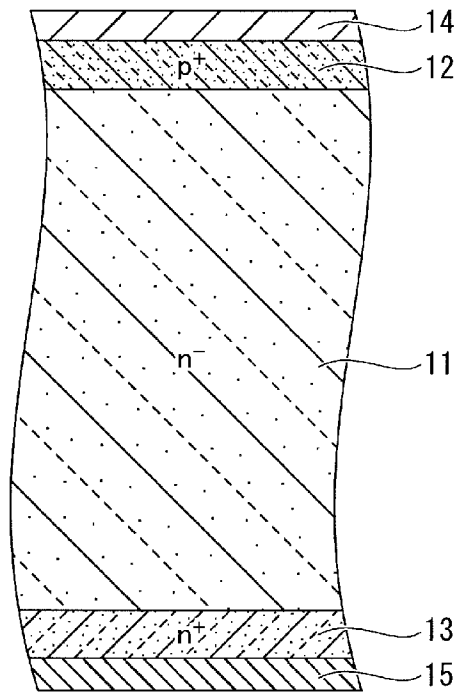
条約第 19 条（1）に基づく説明書

請求の範囲第 10 項は、出願時の明細書の段落 [0062] に記載された事項に基づく発明を新たに記載したものである。

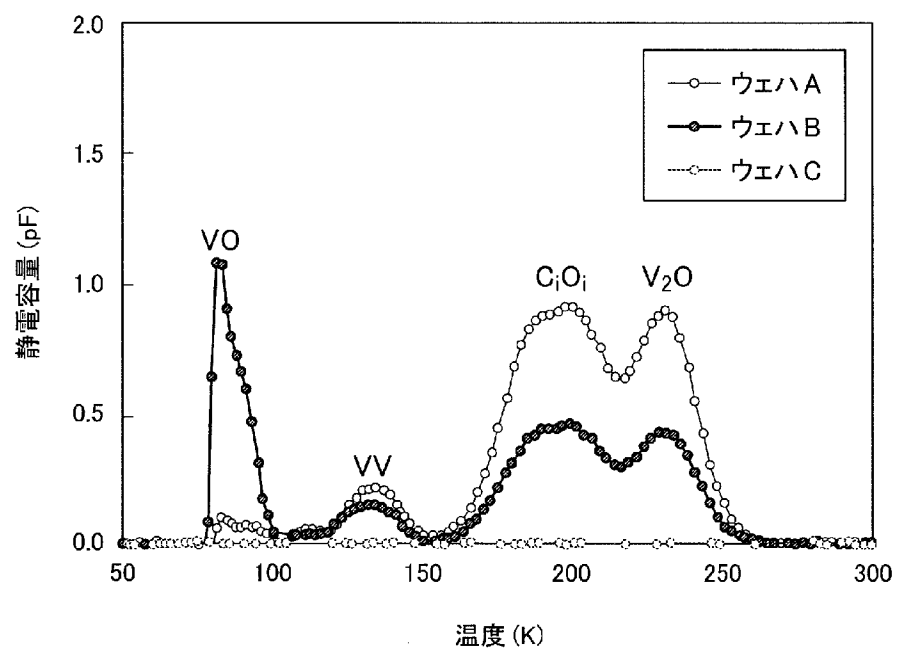
請求の範囲第 11 項は、出願時の明細書の段落 [0063] に記載された事項に基づく発明を新たに記載したものである。

以上

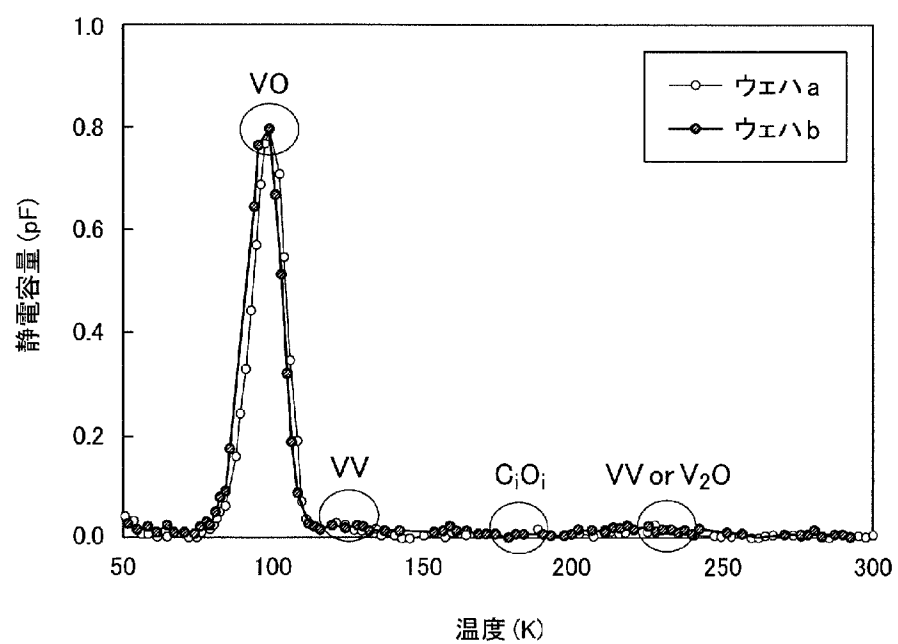
[図1]



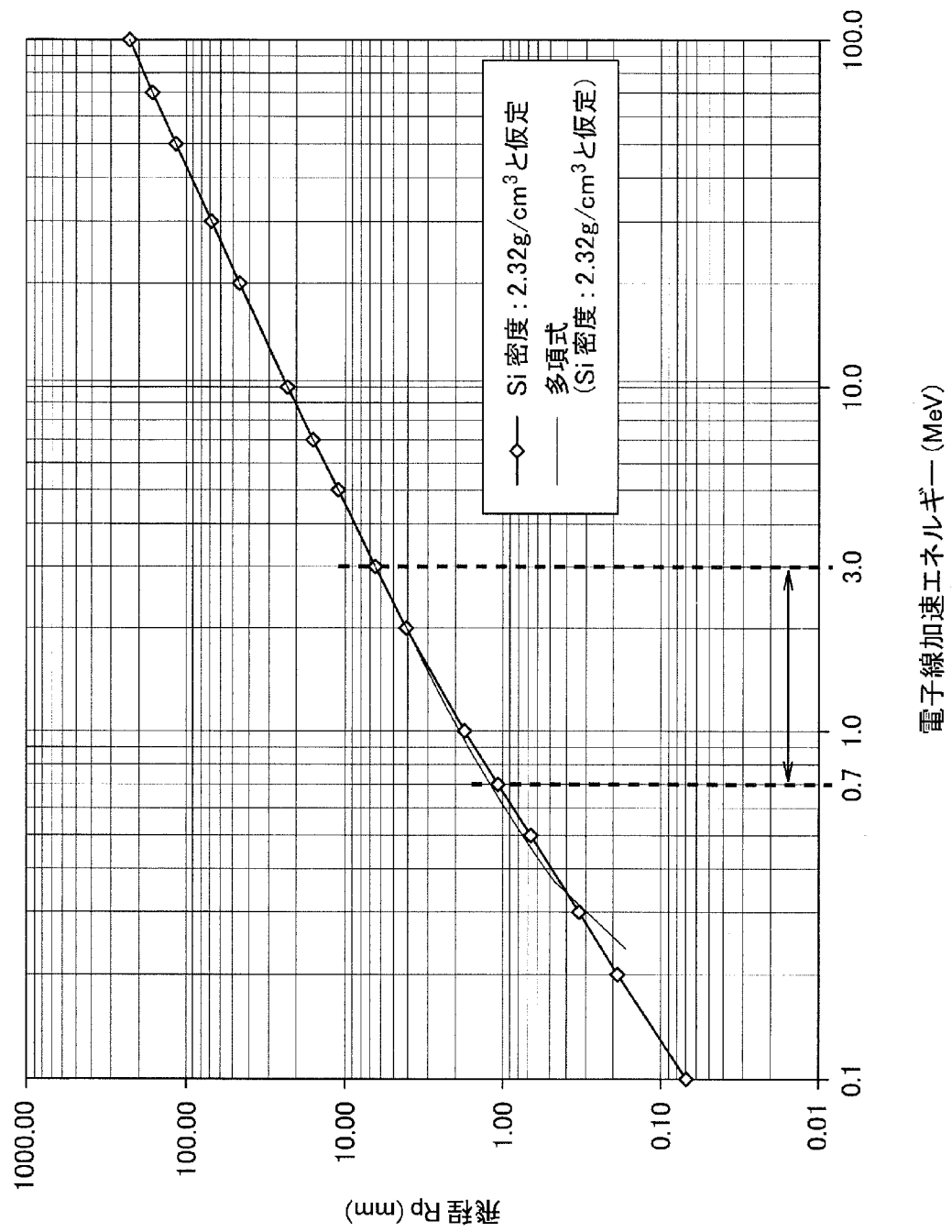
[図2]



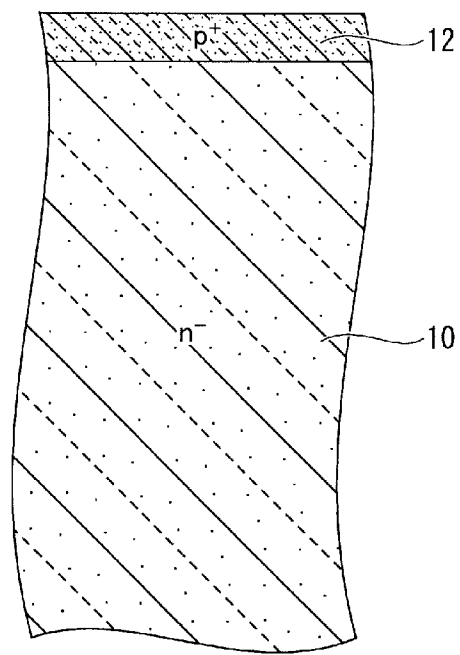
[図3]



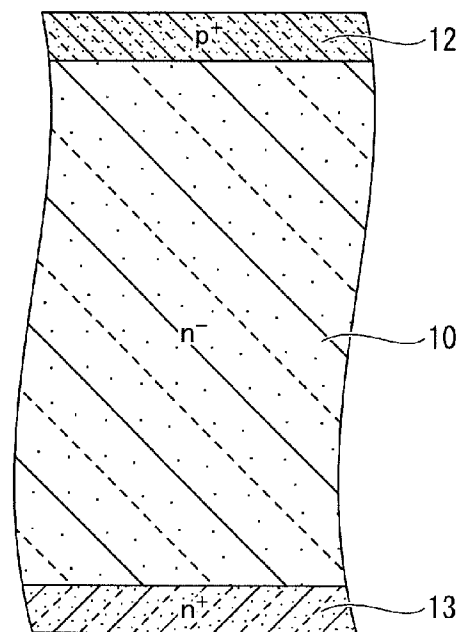
[図4]



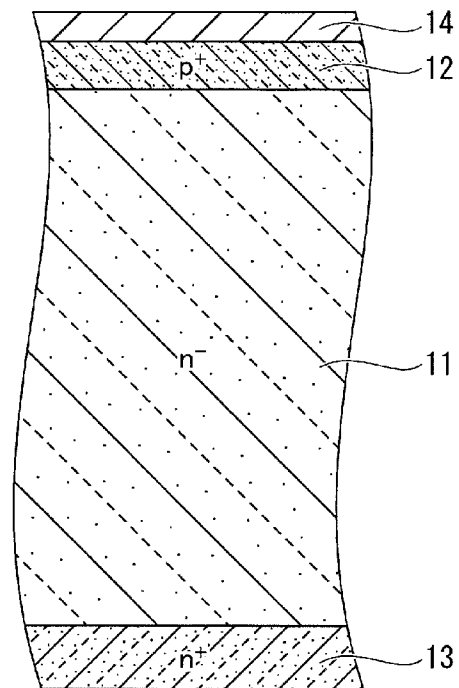
[図5]



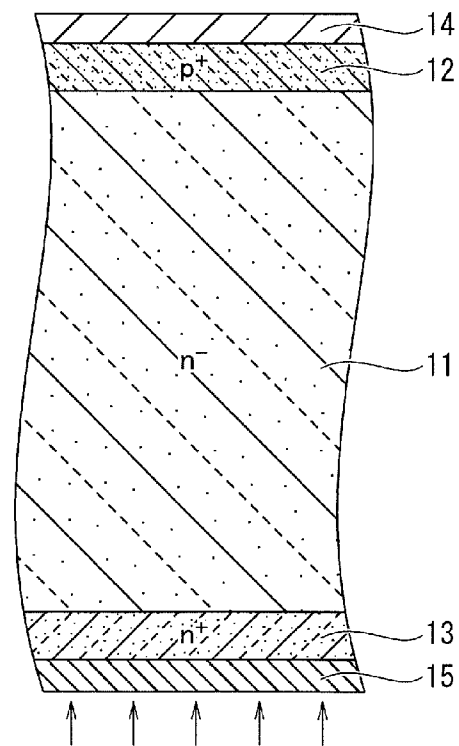
[図6]



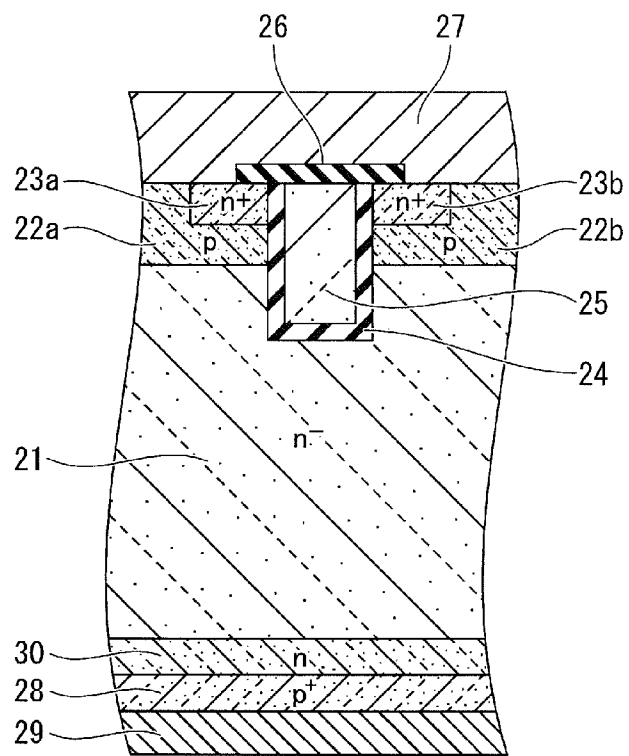
[図7]



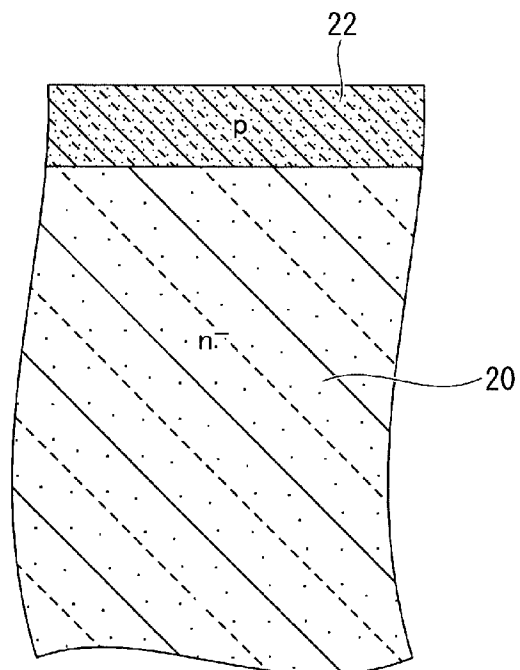
[図8]



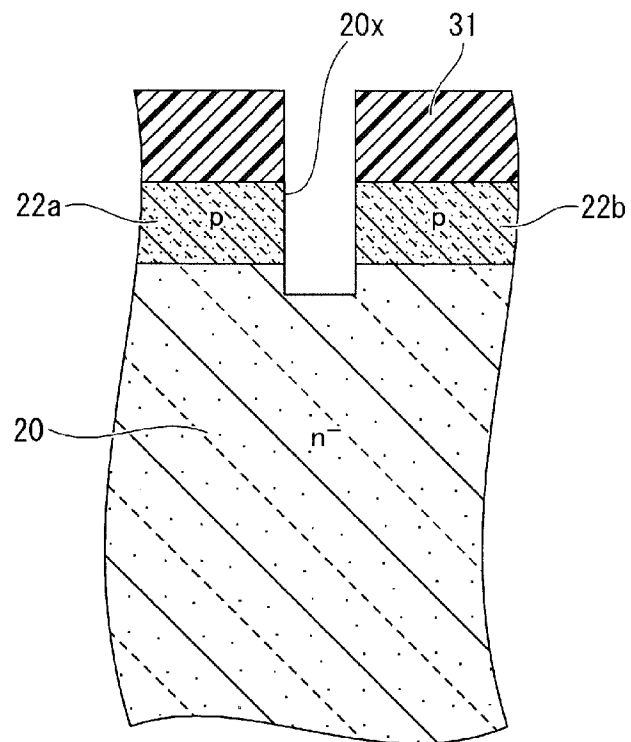
[図9]



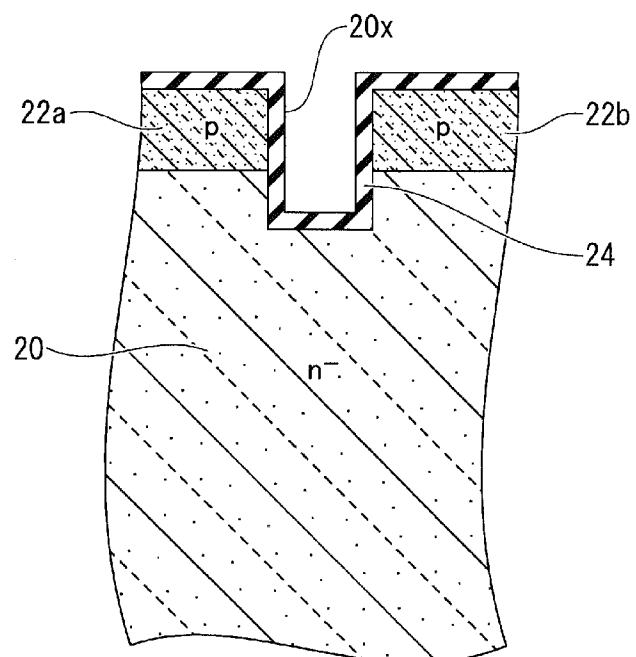
[図10]



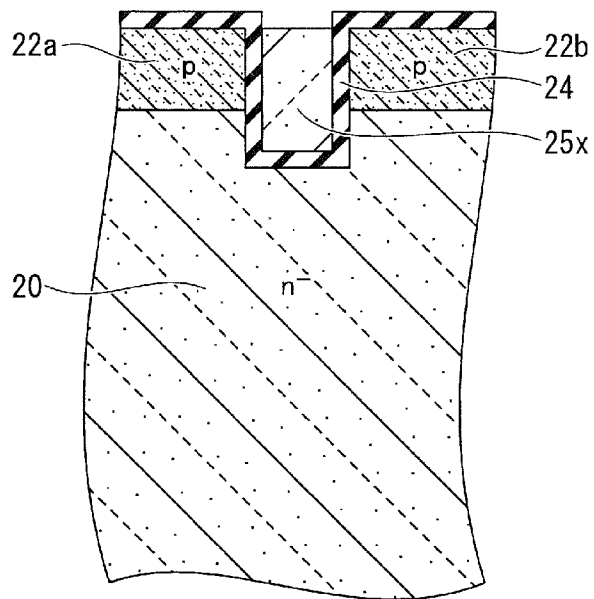
[図11]



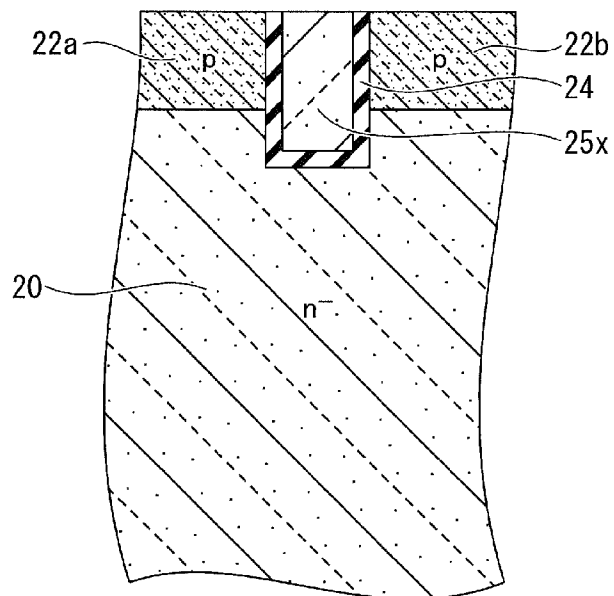
[図12]



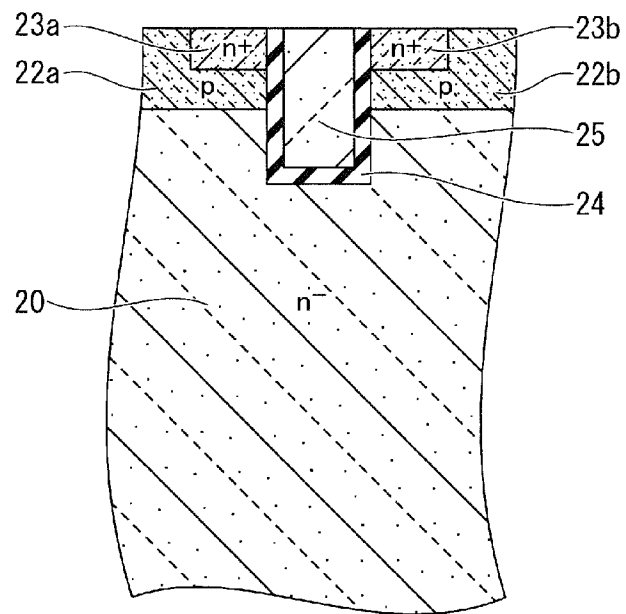
[図13]



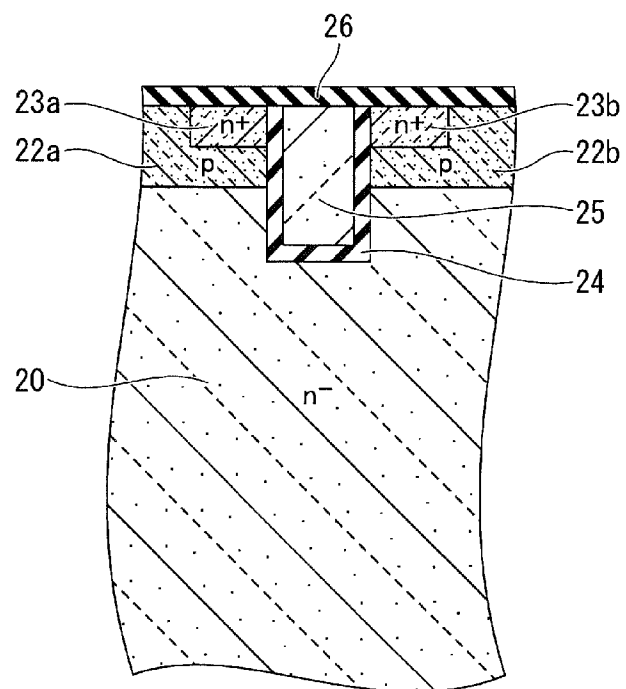
[図14]



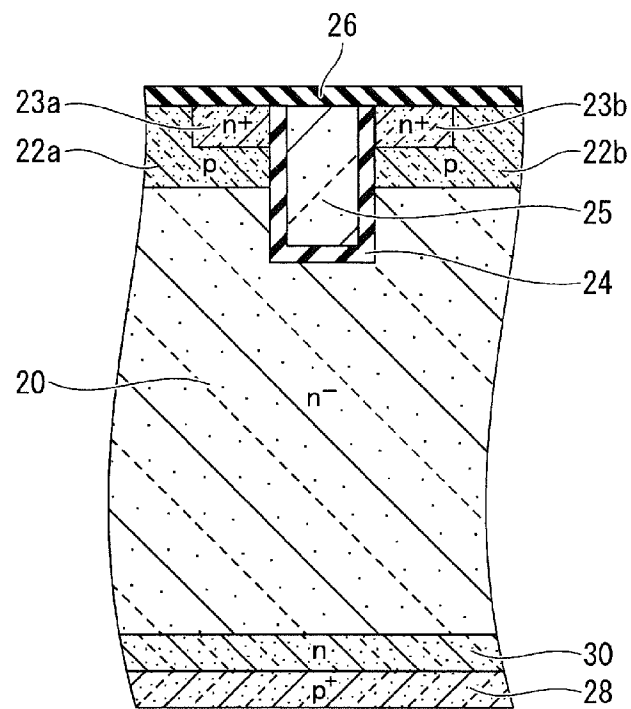
[図15]



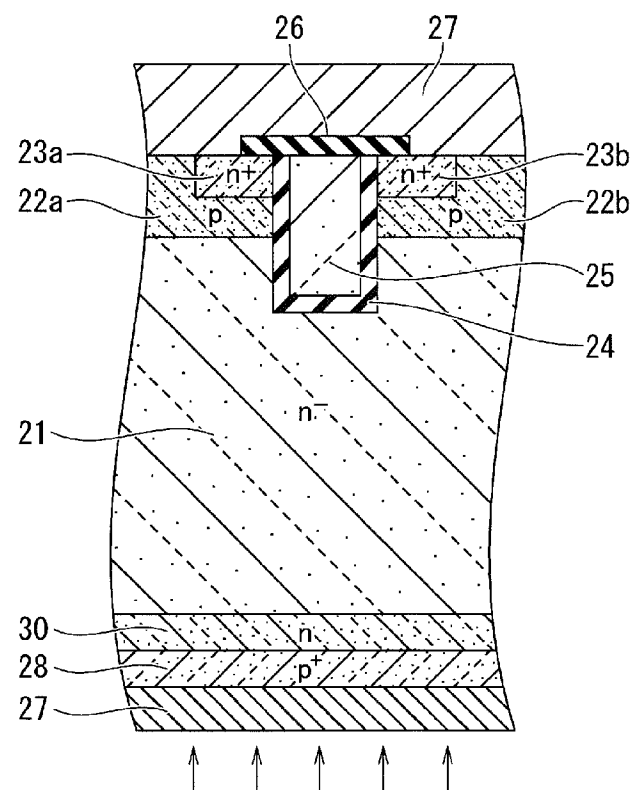
[図16]



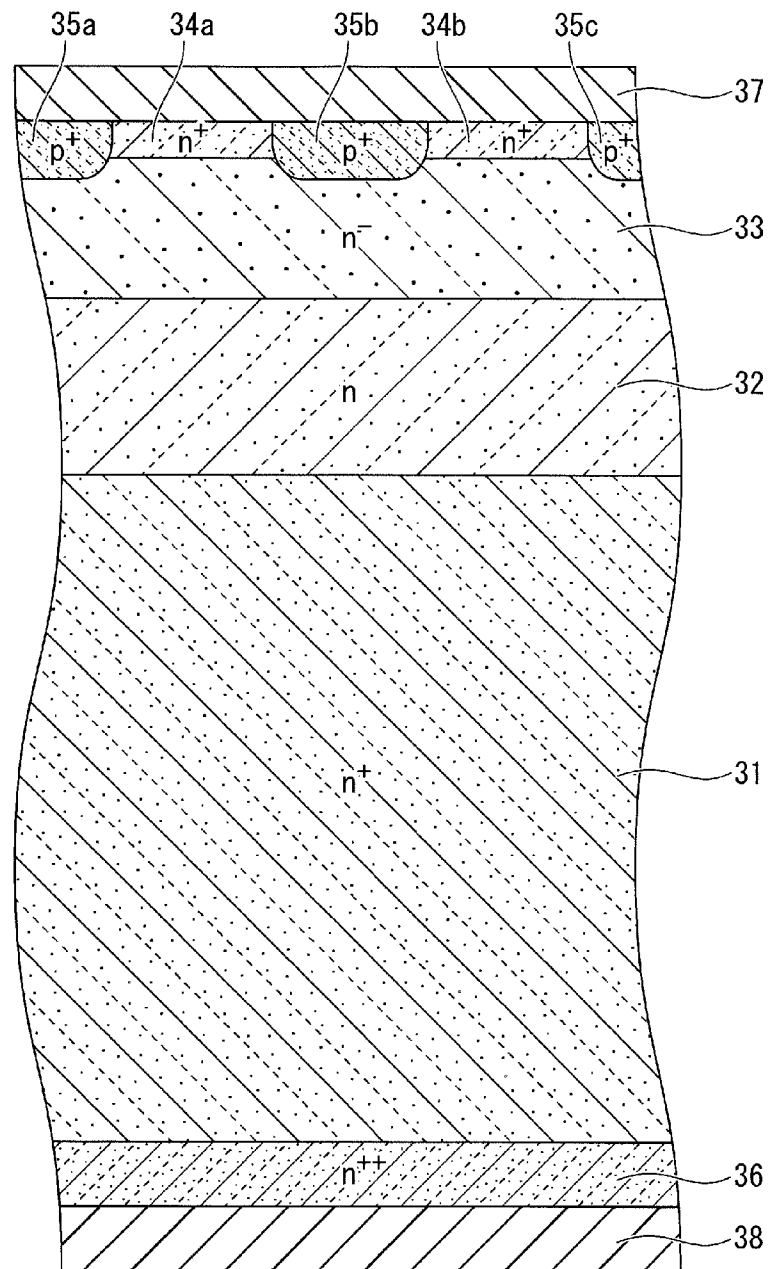
[図17]



[図18]

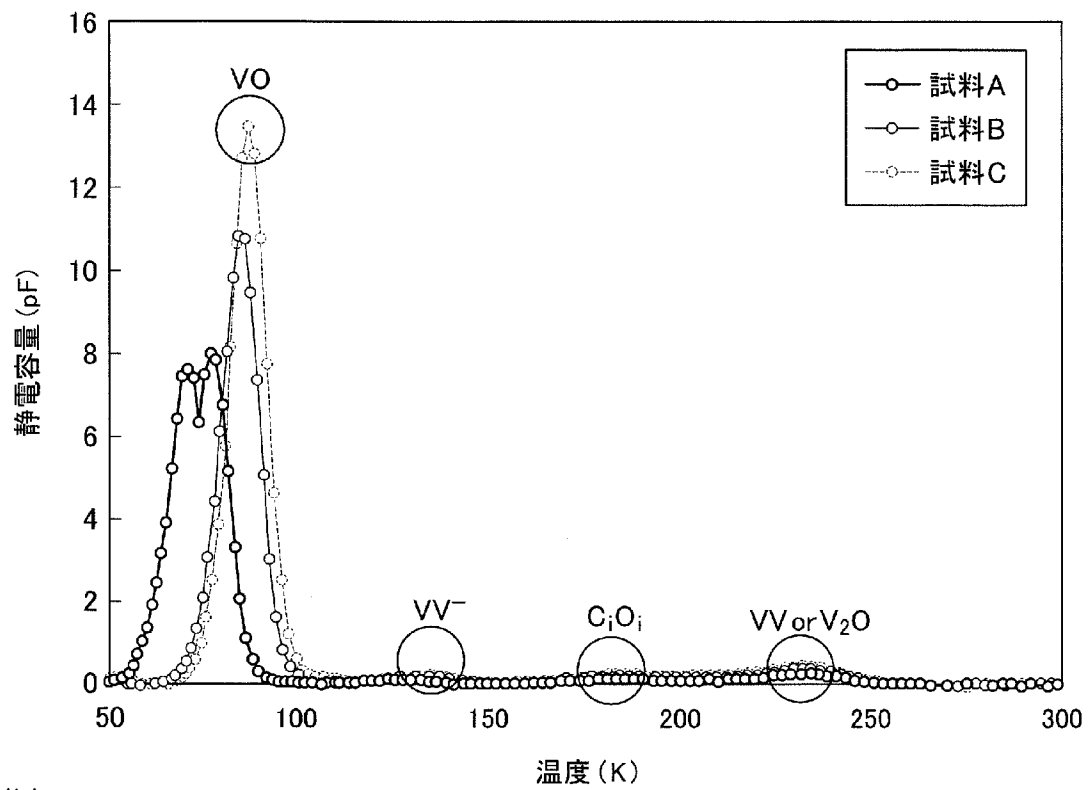


[図19]

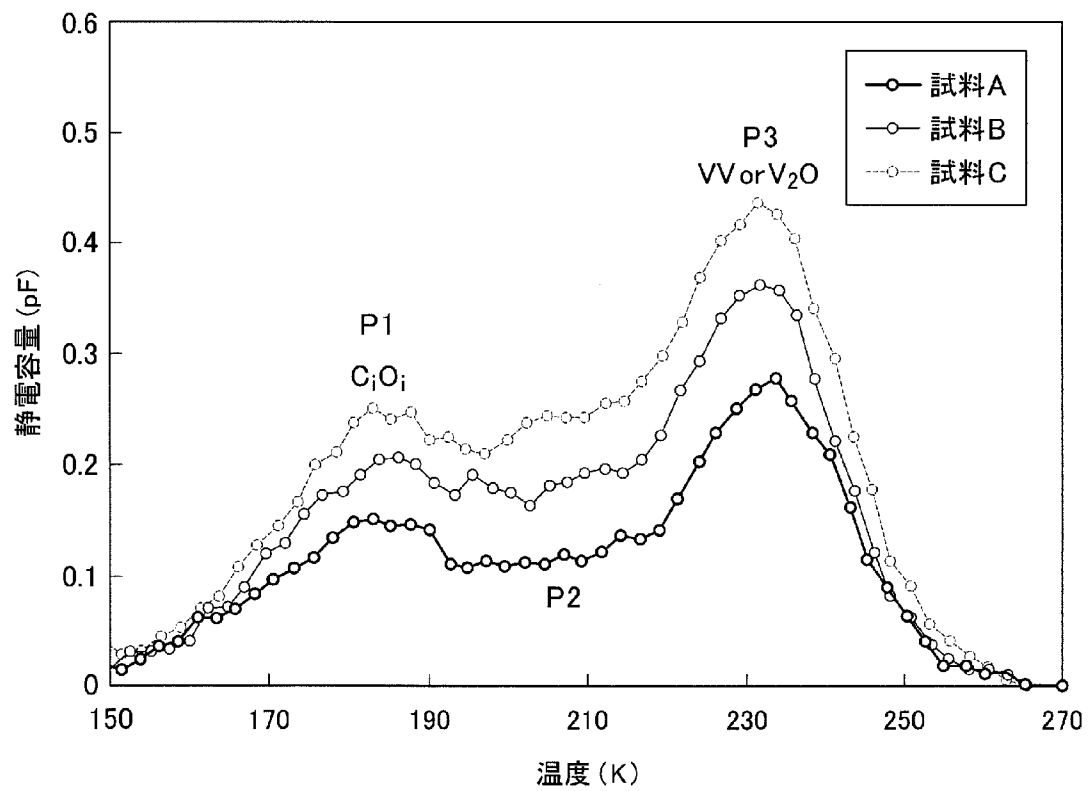


[図20]

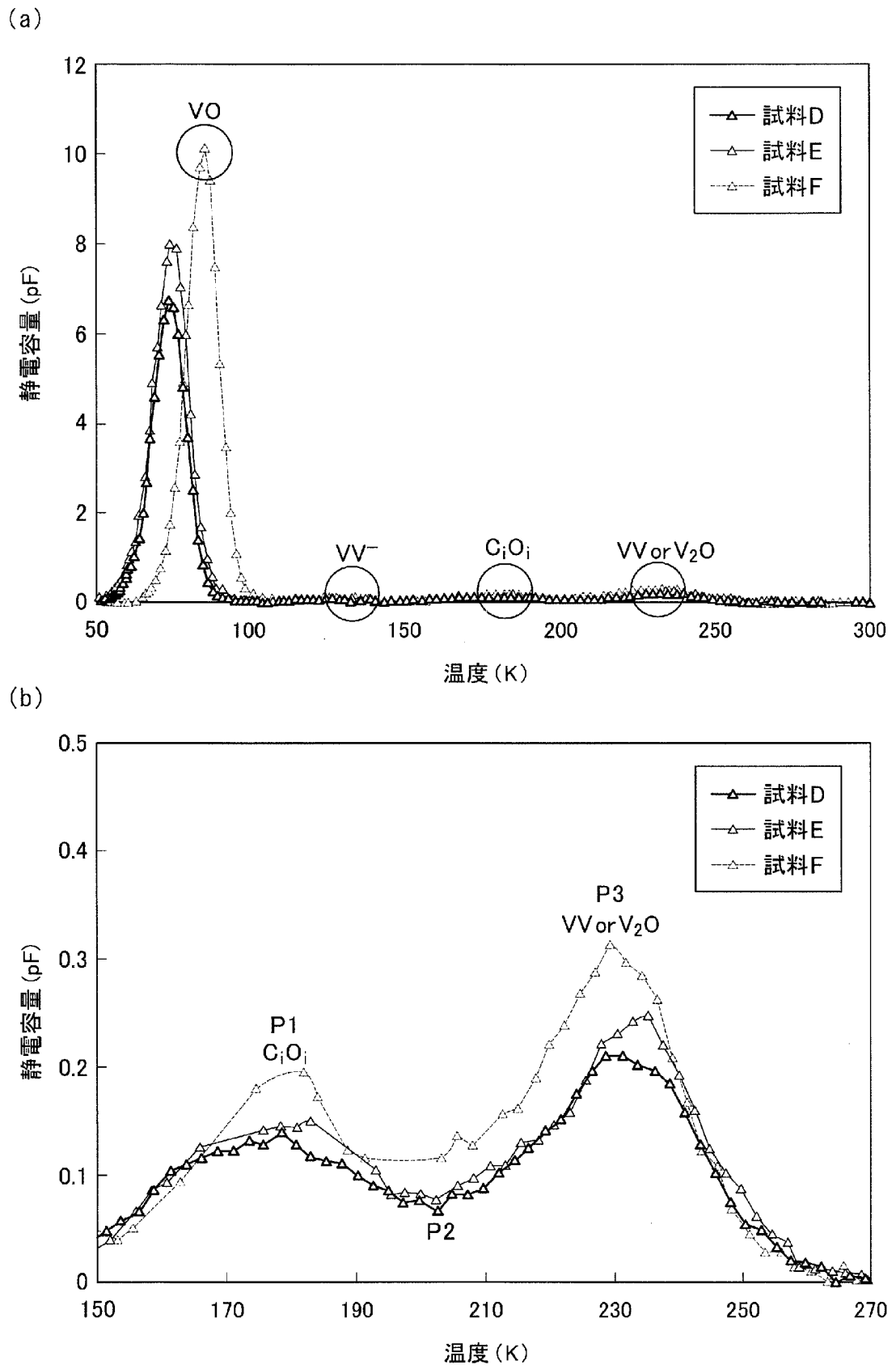
(a)



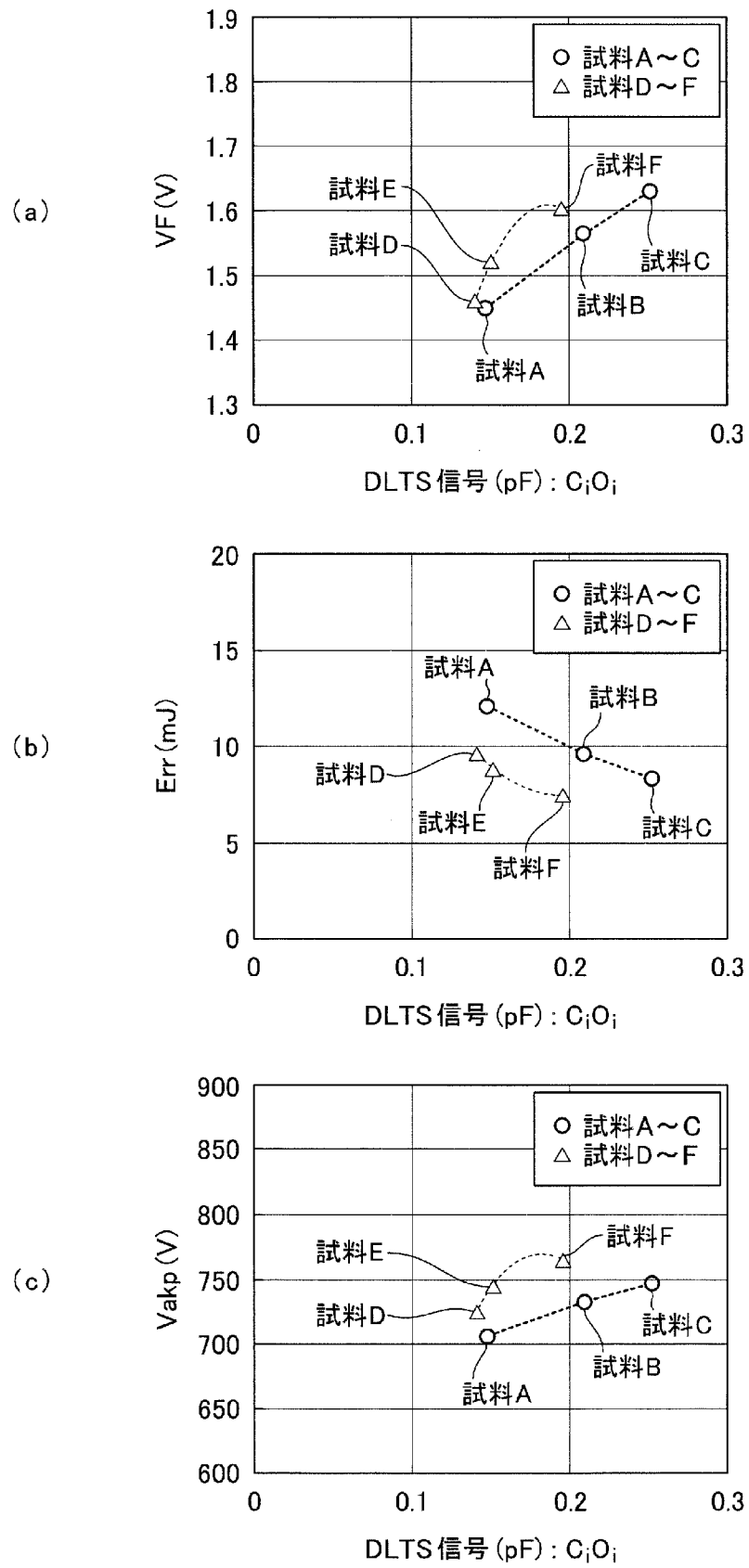
(b)



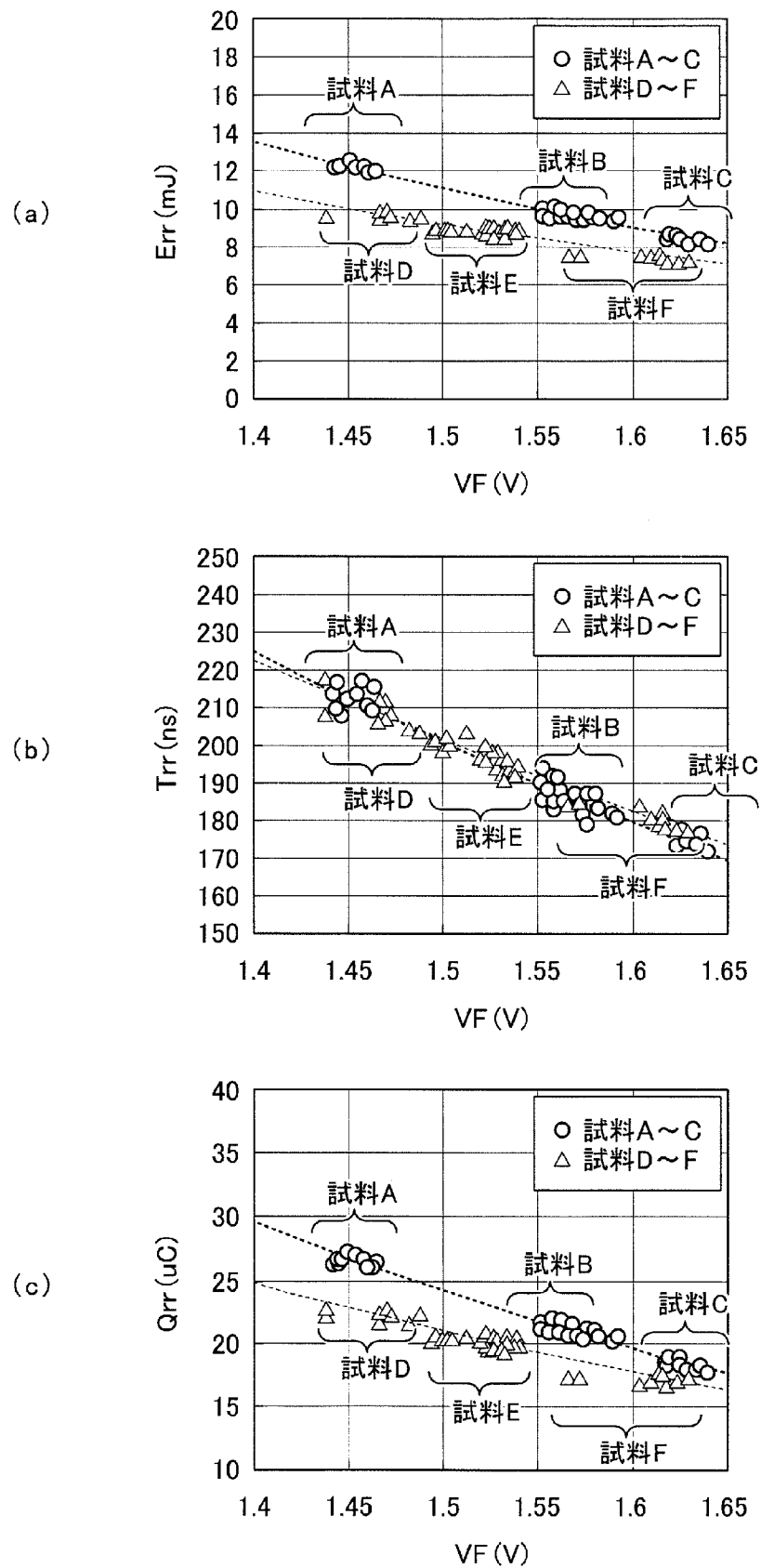
[図21]



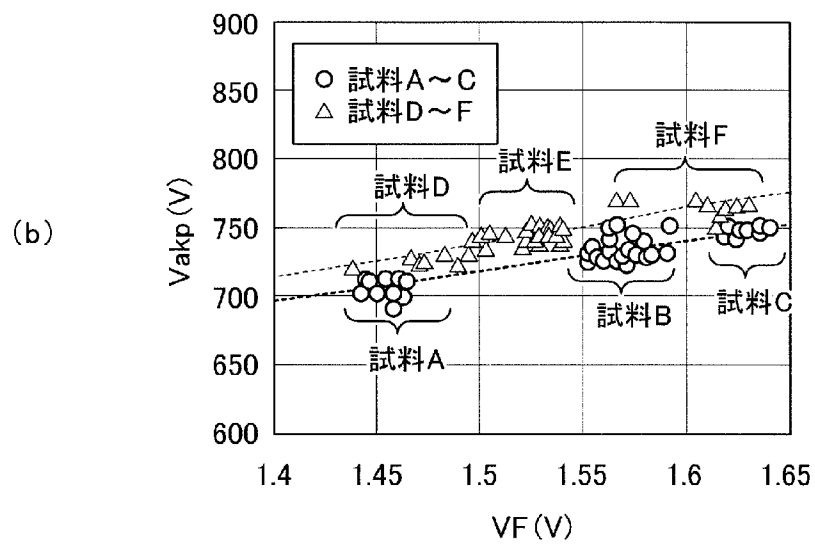
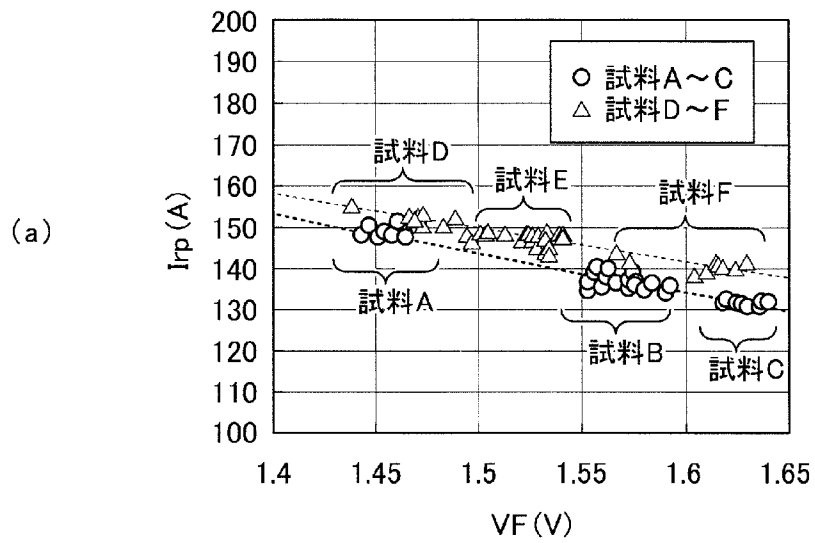
[図22]



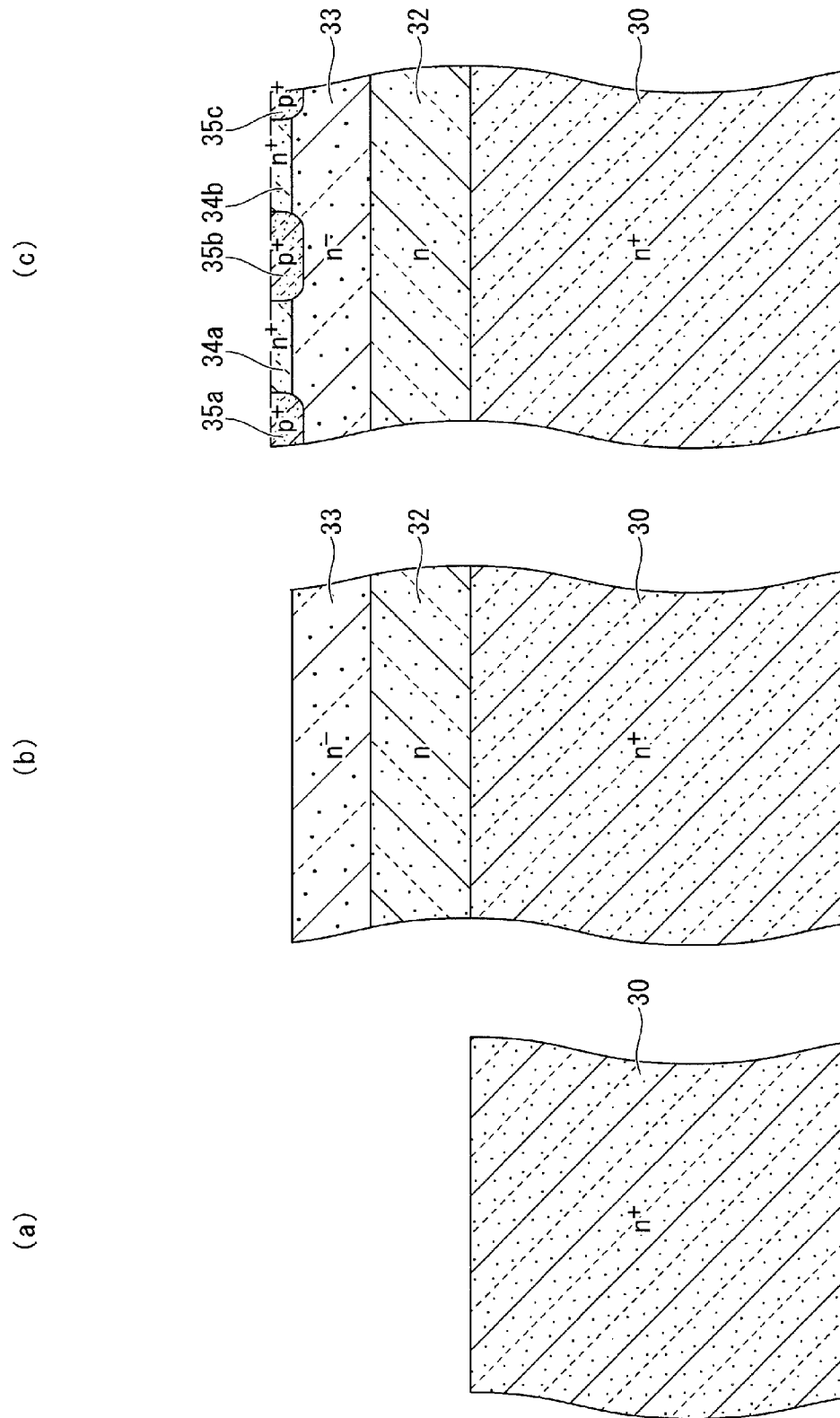
[図23]



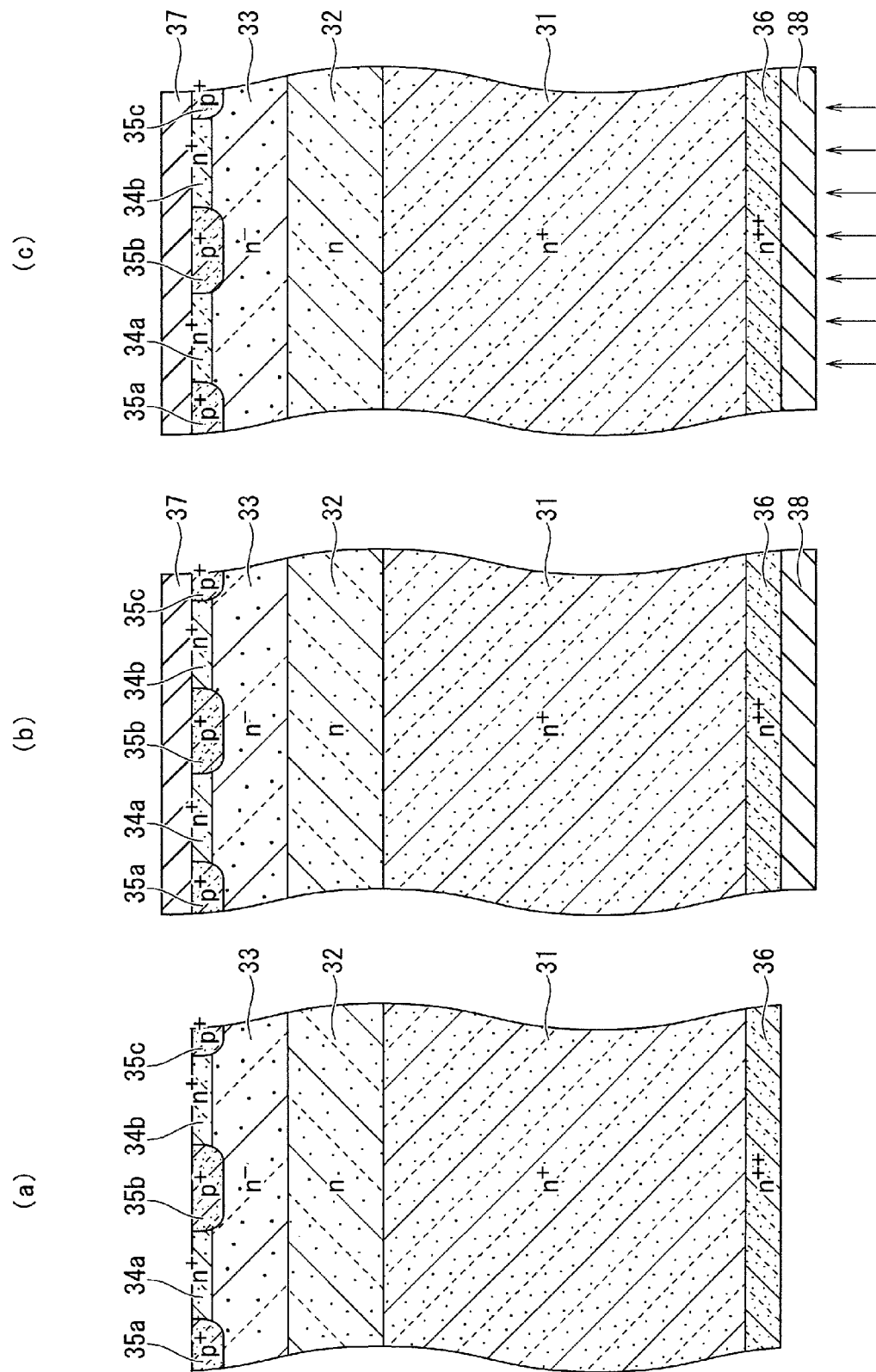
[図24]



[図25]



[図26]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/067773

A. CLASSIFICATION OF SUBJECT MATTER

H01L29/861(2006.01)i, H01L21/322(2006.01)i, H01L21/336(2006.01)i,
H01L29/739(2006.01)i, H01L29/78(2006.01)i, H01L29/868(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/861, H01L21/322, H01L21/336, H01L29/739, H01L29/78, H01L29/868

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2016
Kokai Jitsuyo Shinan Koho	1971-2016	Toroku Jitsuyo Shinan Koho	1994-2016

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 11-135509 A (Sanken Electric Co., Ltd.), 21 May 1999 (21.05.1999), paragraphs [0007] to [0014]; fig. 1 to 6 (Family: none)	1-4, 6-7, 9 5, 8
X Y	JP 2012-069861 A (Renesas Electronics Corp.), 05 April 2012 (05.04.2012), paragraphs [0050] to [0065]; fig. 4 to 16 (Family: none)	1-9 5, 8
Y	JP 2012-243888 A (Mitsubishi Electric Corp.), 10 December 2012 (10.12.2012), paragraphs [0015] to [0016], [0025]; fig. 2, 5 (Family: none)	5, 8

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
19 July 2016 (19.07.16)

Date of mailing of the international search report
02 August 2016 (02.08.16)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/067773

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
P, X	JP 2015-198166 A (Shin-Etsu Handotai Co., Ltd.), 09 November 2015 (09.11.2015), paragraphs [0007] to [0087]; fig. 1 to 5 (Family: none)	1-9

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H01L29/861(2006.01)i, H01L21/322(2006.01)i, H01L21/336(2006.01)i, H01L29/739(2006.01)i,
H01L29/78(2006.01)i, H01L29/868(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H01L29/861, H01L21/322, H01L21/336, H01L29/739, H01L29/78, H01L29/868

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2016年
日本国実用新案登録公報	1996-2016年
日本国登録実用新案公報	1994-2016年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y	JP 11-135509 A (サンケン電気株式会社) 1999.05.21, 段落 0007-0014, 図 1-6 (ファミリーなし)	1-4, 6-7, 9 5, 8
X Y	JP 2012-069861 A (ルネサスエレクトロニクス株式会社) 2012.04.05, 段落 0050-0065, 図 4-16 (ファミリーなし)	1-9 5, 8
Y	JP 2012-243888 A (三菱電機株式会社) 2012.12.10, 段落 0015-0016, 0025, 図 2, 5 (ファミリーなし)	5, 8

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

19.07.2016

国際調査報告の発送日

02.08.2016

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

綿引 隆

5 F

2934

電話番号 03-3581-1101 内線 3516

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
P X	JP 2015-198166 A (信越半導体株式会社) 2015. 11. 09, 段落 0007-0087, 図 1-5 (ファミリーなし)	1-9