

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-50724

(P2010-50724A)

(43) 公開日 平成22年3月4日(2010.3.4)

(51) Int.Cl.	F I	テーマコード (参考)
H03K 19/0175 (2006.01)	H03K 19/00 101F	5F038
H03K 19/003 (2006.01)	H03K 19/00 101Q	5J032
H01L 21/822 (2006.01)	H03K 19/003 E	5J056
H01L 27/04 (2006.01)	H01L 27/04 V	

審査請求 未請求 請求項の数 8 O L (全 11 頁)

(21) 出願番号	特願2008-212984 (P2008-212984)	(71) 出願人	000006747
(22) 出願日	平成20年8月21日 (2008.8.21)		株式会社リコー
			東京都大田区中馬込 1 丁目 3 番 6 号
		(74) 代理人	100081422
			弁理士 田中 光雄
		(74) 代理人	100068526
			弁理士 田村 恭生
		(74) 代理人	100098280
			弁理士 石野 正弘
		(72) 発明者	西村 一也
			東京都大田区中馬込 1 丁目 3 番 6 号 株式
			会社リコー内
		F ターム (参考)	5F038 AV10 AV13 AV18 EZ08 EZ20
			5J032 AA06 AB02 AC18

最終頁に続く

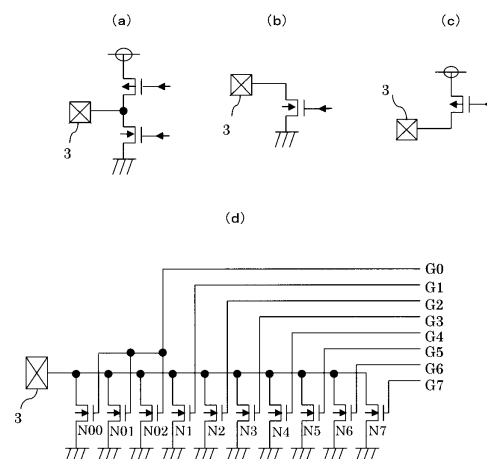
(54) 【発明の名称】 出力回路

(57) 【要約】

【課題】より精度よく外部インピーダンスとの整合をとることができる半導体集積回路の出力回路を提供する。

【解決手段】出力回路は、トランジスタN00～N7を含むトランジスタ回路が出力端子3に複数段並列に接続されてなり、各トランジスタ回路に含まれるトランジスタのゲートへの入力信号G0～G7により出力インピーダンスの調整が可能な出力回路であって、複数段のトランジスタ回路に含まれる、少なくとも2段のトランジスタ回路のインピーダンスを互いに異ならせる。

【選択図】 図 1



【特許請求の範囲】

【請求項 1】

トランジスタを含むトランジスタ回路が出力端子に複数段並列に接続されてなり、各トランジスタ回路に含まれるトランジスタのゲートへの入力信号により出力インピーダンスの調整が可能な出力回路であって、

前記複数段のトランジスタ回路に含まれる、少なくとも 2 段のトランジスタ回路のインピーダンスを互いに異ならせたことを特徴とする出力回路。

【請求項 2】

前記少なくとも 2 段のトランジスタ回路に含まれるトランジスタのゲート長を異ならせることで、インピーダンスを異ならせたことを特徴とする請求項 1 記載の出力回路。

10

【請求項 3】

前記少なくとも 2 段のトランジスタ回路に含まれるトランジスタのゲート幅を異ならせることで、インピーダンスを異ならせたことを特徴とする請求項 1 記載の出力回路。

【請求項 4】

前記トランジスタ回路はトランジスタと直列に接続された抵抗を含むことを特徴とする請求項 1 記載の出力回路。

【請求項 5】

前記複数のトランジスタ回路において常に動作するトランジスタのインピーダンスを R_0 、インピーダンス調整のために使用するトランジスタのゲートへの入力信号の本数を n 、前記前記インピーダンス調整のために使用する複数トランジスタのインピーダンスを R_1 、 R_2 、...、 R_n 、変数を X とした場合に、前記複数のトランジスタそれぞれのインピーダンスが次式の関係を満たすことを特徴とする請求項 1 記載の出力回路。

20

$$\begin{aligned} R_0 &= X / (1/R_0 + 1/R_1) \\ &= X^2 / (1/R_0 + 1/R_1 + 1/R_2) \\ &= X^3 / (1/R_0 + 1/R_1 + 1/R_2 + 1/R_3) \\ &\dots \\ &= X^{n-1} / (1/R_0 + 1/R_1 + 1/R_2 + \dots + 1/R_{n-1}) \\ &= X^n / (1/R_0 + 1/R_1 + 1/R_2 + \dots + 1/R_{n-1} + 1/R_n) \end{aligned}$$

【請求項 6】

前記トランジスタ回路に含まれるトランジスタが Pch トランジスタのみで構成される、ことを特徴とする請求項 1 記載の出力回路。

30

【請求項 7】

前記複数のトランジスタ回路に含まれるトランジスタが Nch トランジスタのみで構成される、ことを特徴とする請求項 1 記載の出力回路。

【請求項 8】

前記トランジスタ回路が Pch トランジスタと Nch トランジスタの直列回路を含み、前記少なくとも 2 段のトランジスタ回路に含まれる Pch トランジスタ及び / または Nch トランジスタのインピーダンスを異ならせることを特徴とする請求項 1 記載の出力回路。

【発明の詳細な説明】

40

【技術分野】

【0001】

本発明は、半導体集積回路における出力回路に関し、特に出力インピーダンスが調整可能な出力回路に関する。

【背景技術】

【0002】

図 1 に従来の半導体集積回路の出力回路の構成例を示す。図 1 (a) は、Pch および Nch 出力トランジスタを直列に接続した構成を示し、図 1 (b) は、Nch 出力トランジスタのみで構成される場合、図 1 (c) は Pch 出力トランジスタのみで構成される場合の例をそれぞれ示す。これらの出力トランジスタのゲートに信号が入力され、その入力信号に応じ

50

た信号が出力端子（パッド）3から出力される。一般に出力回路においては、上記のような出力トランジスタが複数個並列に接続される。図1（d）に、図1（b）に示すNch出力トランジスタを並列に複数個接続した構成を示す。

【0003】

近年、半導体装置のデータ転送速度は高速化されている。高速化の技術として、半導体装置間の伝送路のインピーダンスと半導体装置の出力回路のインピーダンスを整合させ、信号の歪を減少させる方法がある。この出力インピーダンスの調整は通常キャリブレーションとよばれ、特許文献1～4に開示のものがある。

【0004】

図1（d）に示すようなローレベル出力側のNch出力トランジスタのみで構成した出力回路においてインピーダンス整合を行う場合、ゲート信号G0～G7によって、出力端子（パッド）3に接続されたトランジスタN1～N7を選択的に使用することによって出力回路全体のインピーダンスを調整する。

【0005】

図1（d）の構成において、トランジスタN00、N01、N02は基本的に動作させるトランジスタである。すなわち、ゲート信号G0によりトランジスタN00、N01、N02は常にON/OFFの動作が行われる。ゲート信号G1、G2、...、G7は、出力インピーダンスの調整に使用されるコントロール信号である。

【0006】

出力回路のインピーダンスを最大にする場合、ゲート信号G0のみを動作させ、ゲート信号G1、G2、...、G7は常にローレベルとし、トランジスタN00、N01、N02のみで出力をローレベルに制御する。この場合、出力回路の出力インピーダンスはトランジスタN00、N01、N02のインピーダンスにより決定される。

【0007】

逆に、インピーダンスを最小にする場合、ゲート信号G0およびゲート信号G1、G2、...、G7の信号のすべてを動作させ、トランジスタN00、N01、N02、N1、N2、...、N7の全てで出力をローレベルに制御する。この場合、出力インピーダンスはトランジスタN00、N01、N02、N1、N2、...、N7のインピーダンスにより決定される。このように調整する場合、ばらつきによりトランジスタのインピーダンスが所望の値よりも高い場合は、動作させるトランジスタの数が多くなることになる。

【0008】

図2は、図1（d）に示す出力回路のレイアウトを示した図である。従来の出力回路では、トランジスタN00、N01、N02、N1、N2、...、N7のゲート長、ゲート幅はすべて同じであり、各トランジスタは同じ特性を持つ。すなわち、トランジスタN00、N01、N02、N1、N2、...、N7の、オン状態でのインピーダンスはそれぞれ等しくなる。

【0009】

【特許文献1】特開平07-142985号公報

【特許文献2】特開平11-027132号公報

【特許文献3】特開2005-065249号公報

【特許文献4】特開2007-110615号公報

【発明の開示】

【発明が解決しようとする課題】

【0010】

図1において、固定された外部インピーダンス（Z）に対し、インピーダンスにばらつきのある出力トランジスタの使用数を変えることにより出力インピーダンスをZ以下とし、さらにZに近いインピーダンスに調整する場合を考える。信号G0でコントロールされる常時動作するトランジスタN00、N01、N02の合成インピーダンスの最小値をRR0_min、その最大値をRR0_maxとすると、次式を満たすことが好ましい。

$$Z = \text{RR0_min} \quad (\text{a1})$$

【0011】

10

20

30

40

50

また、インピーダンス調整のために追加可能なトランジスタの本数を n とし、それらのトランジスタのインピーダンスが最大限ばらついた場合の各トランジスタのインピーダンス値を $RR1_max$ 、 $RR2_max$ 、...、 RRn_max 、最小限ばらついた場合の各トランジスタのインピーダンス値を $RR1_min$ 、 $RR2_min$ 、...、 RRn_min とすると、次式が満たされることが好ましい。

$$Z=1/(1/RR0_max+1/RR1_max+...+RRn_max) \quad (a2)$$

【0012】

また、常時動作するトランジスタ $N00$ 、 $N01$ 、 $N02$ 以外のトランジスタ $N1 \sim Nn$ の特性は同等であるので次式の関係が成り立つ。

$$RR1_max=RR2_max=...=RRn_max \quad \text{もしくは、}$$

$$RR1_min=RR2_min=...=RRn_min \quad (a3)$$

ばらつきに対するインピーダンスの変化も同様であるので、次式の関係が成り立つ。

$$RR0_max/RR0_min=RR1_max/RR1_min=...=RRn_max/RRn_min \quad (a4)$$

【0013】

例えば、出力回路のインピーダンス (z) を 20Ω 以下と設定し、出力インピーダンス調整のための追加トランジスタの本数 (n) を 7 とし、そのそれぞれのトランジスタのインピーダンスが $R_max/R_min=10/3$ ($=0,1,2,...,n$) にばらつく場合を考える。図 1 において信号 $G0$ でコントロールされる、トランジスタ $N00$ 、 $N01$ 、 $N02$ による出力インピーダンス $RR0_min$ は式 (a1) より 20Ω となる。ばらつきによりトランジスタのインピーダンスが 20Ω を超えると、4 本のトランジスタが必要となり、さらにトランジスタのインピーダンスが最大となった場合は全てのトランジスタを用いて、所望の出力インピーダンス 20Ω を実現する。この場合の $RR1_max$ 、 $RR2_max$ 、...、 $RR7_max$ は、式 (a2)、(a3)、(a4) より、 $RR1_max$ 、 $RR2_max$ 、...、 $RR7_max = 200 \Omega$ となる。

【0014】

図 3 は、従来の出力回路に対するキャリブレーション実施後のインピーダンス変化を示した図であり、横軸は、各トランジスタのインピーダンス (すなわち、インピーダンスのばらつき) を示し、縦軸は、キャリブレーション実施後の出力回路のインピーダンスを示している。同図において、ポイント A はキャリブレーション実施時に 1 個のトランジスタを追加した場合の最小のインピーダンスを示し、ポイント B は、キャリブレーションにおいて 2 個のトランジスタを追加した場合の最小のインピーダンスを示し、ポイント C は、キャリブレーションにおいて 3 個のトランジスタを追加した場合の最小のインピーダンスを示している。このように、従来の出力回路においては、出力インピーダンスが、キャリブレーション実施時に使用するトランジスタの個数に応じて大きく変化することが分かる。特に、図中 "A" で示すように、最初の 1 個目のトランジスタを追加した場合に、インピーダンスの変化量が最大となっている。図 3 において、最大のインピーダンス差はトランジスタインピーダンスが 60Ω のときであり、 $Z=1/(1/RR0_min+1/RR1_min)$ で計算され、この場合、 5Ω となる。

【0015】

本発明は、キャリブレーションにおいてより精度よく外部インピーダンスとの整合をとることができる半導体集積回路の出力回路を提供することを目的とする。

【課題を解決するための手段】

【0016】

本発明に係る出力回路は、トランジスタを含むトランジスタ回路が出力端子に複数段並列に接続されてなり、各トランジスタ回路に含まれるトランジスタのゲートへの入力信号により出力インピーダンスの調整が可能な出力回路であって、複数段のトランジスタ回路に含まれる、少なくとも 2 段のトランジスタ回路のインピーダンスを互いに異ならせる。

【発明の効果】

【0017】

本発明によれば、出力回路のインピーダンス調整において、出力インピーダンスと実際の出力インピーダンスの差を低減でき、さらに、インピーダンス調整のために追加するト

10

20

30

40

50

ランジスタの数に依存せず、その差をほぼ均等にできる。これにより、精度よく外部インピーダンスとの整合をとることが可能となる。

【発明を実施するための最良の形態】

【0018】

以下、添付の図面を参照して本発明の実施の形態を説明する。なお、以下の説明では、図1(d)に示す構成を有する出力回路を用いて説明する。

【0019】

図1(d)に示すように、出力回路は並列に接続された複数のトランジスタで構成され、ゲート信号G0~G7によって、パッド(出力端子)3に接続されたトランジスタN00~N7を選択的に使用することによって出力回路全体のインピーダンスを調整可能としている。ゲート信号G0によりトランジスタN00、N01、N02は常時ON/OFFの動作を行い、ゲート信号G1、G2、...、G7は出力インピーダンスの調整に使用される。この回路のインピーダンスを最も高くする場合、ゲート信号G0のみを動作させ、ゲート信号G1、G2、...、G7は常にローレベルとし、トランジスタN00、N01、N02のみで出力ローレベルとする。よって、出力インピーダンスはトランジスタN00、N01、N02のインピーダンスにより決定される。

【0020】

本実施形態では、出力回路を構成する、並列に接続された複数のトランジスタのインピーダンスを各々適宜調整することで、設定された出力インピーダンスと実際の出力インピーダンスの差を少なくする。各トランジスタのインピーダンスは以下のようにして決定する。所望の出力インピーダンスの値をZ以下とし、Zに近い値に出力回路のインピーダンスを調整する場合、ゲート信号G0でコントロールされる、常に動作するトランジスタ(すなわち、トランジスタN00、N01、N02)の最小インピーダンスをR0_min、最大インピーダンスをR0_maxとすると、R0_minはZであることが好ましい。

$$Z=R0_min \quad (1)$$

【0021】

また、ばらつきがある場合にインピーダンス調整のために追加可能なトランジスタの本数をnとし、トランジスタのインピーダンスが最大限にばらついた場合の各トランジスタのインピーダンスをR1_max、R2_max、...、Rn_max、最小限にばらついた場合の各トランジスタのインピーダンスをR1_min、R2_min、...、Rn_minとすると、次式の関係が成立することが好ましい。

$$Z=1/(1/R0_max+1/R1_max+...+Rn_max) \quad (2)$$

【0022】

ばらつきに対するインピーダンスの変化も同様であるので、次式が得られる。

$$R0_max/R0_min=R1_max/R1_min=...=Rn_max/Rn_min \quad (3)$$

【0023】

プロセスばらつきによりトランジスタのインピーダンスが増加し、それにあわせてキャリブレーション時にトランジスタ数を増加させる場合、トランジスタ数の切り替わり時点は、出力インピーダンスがZになる時点であり、また、本数増加により、出力インピーダンスが最も低くなる時点でもある。追加のトランジスタ本数が切り替わった時点それぞれにおける、変化後の出力インピーダンスを同等とするため、次式の関係を満たすように各トランジスタのインピーダンスを設定する。

$$\begin{aligned} R0_min &= X/(1/R0_min+1/R1_min) \\ &= X^2/(1/R0_min+1/R1_min+1/R2_min) \\ &= X^3/(1/R0_min+1/R1_min+1/R2_min+1/R3_min) \\ &\dots \\ &= X^{n-1}/(1/R0_min+1/R1_min+1/R2_min+...+1/Rn-1_min) \\ &= X^n/(1/R0_min+1/R1_min+1/R2_min+...+1/Rn-1_min+1/Rn_min) \end{aligned} \quad (4)$$

【0024】

ここで、Xⁿは次式で与えられる。

$$X^n=R0_max/R0_min \quad \text{または、} \quad X^n=R1_max/R1_min=...=Rn_max/Rn_min \quad (5)$$

【 0 0 2 5 】

上式 (1) ~ (5) により計算されるインピーダンス $R0_min$ 、 $R1_min$... Rn_min または $R0_max$ 、 $R1_max$... Rn_max にあわせて、各トランジスタのゲート長とトランジスタの本数を調整して各トランジスタのインピーダンスを調整することにより、出力インピーダンスのばらつきを小さくすることができる。なお、各トランジスタのインピーダンスの調整は、各トランジスタのゲート長とトランジスタの本数を調整することにより行う。

【 0 0 2 6 】

例えば、図 1 (d) に示す出力回路の規定のインピーダンス (Z) を 20Ω 以下と設定し、出力インピーダンス調整のために追加するトランジスタの本数 (n) を 7 とし、それぞれのトランジスタのインピーダンスが $R^*_max/R^*_min=10/3$ ($*$ =0,1,...,7) にばらつく場合を考える。コントロール信号 G0 で制御されるトランジスタ (この場合は 3 個のトランジスタ N00、N01、N02) の出力インピーダンス $R0_min$ は式 (1) より 20Ω となる。さらに、式 (2) ~ (5) より $R1_min$ =約 106.6Ω 、 $R2_min$ =約 89.7Ω 、 $R3_min$ =約 75.5Ω 、 $R4_min$ =約 63.6Ω 、 $R5_min$ =約 53.6Ω 、 $R6_min$ =約 45.1Ω 、 $R7_min$ =約 38Ω が算出される。出力インピーダンス設定値 Z に対する、最大のインピーダンス差は $Z - 1/(1/R0_min+1/R1_min)$ で計算され、約 3.2Ω となる。

【 0 0 2 7 】

図 4 に、トランジスタの本数 (n) を 7 として上述のようにインピーダンスを求めた出力回路に対するキャリブレーション実施後のインピーダンス変化を示す。横軸は、トランジスタのインピーダンス (ばらつき) を示し、縦軸は、キャリブレーション実施後の出力インピーダンスを示している。従来では最大のインピーダンス差は 5Ω であったのに対して、本実施形態では 3.2Ω となり、設定された出力インピーダンスと実際の出力インピーダンスの差を少なくし、コントロール信号の本数を減らすこと、つまりコントロール信号のための制御回路を減らすことが可能となる。従来回路では、図 3 のポイント A で顕著にインピーダンス差が生じていたのに対し、本実施形態では、図 4 に示すようにトランジスタ数に関わらずインピーダンス差はほぼ均等となっている。

【 0 0 2 8 】

また、追加トランジスタの本数 (n) を 5 とした場合、出力インピーダンス $R0_min$ は式 (1) より 20Ω となり、式 (2) ~ (5) より $R1_min$ =約 73.5Ω 、 $R2_min$ =約 57.7Ω 、 $R3_min$ =約 45.4Ω 、 $R4_min$ =約 35.7Ω 、 $R5_min$ = 28Ω となり最大のインピーダンス差は約 4.3Ω となる。

【 0 0 2 9 】

なお、式 (1) ~ (5) により計算されたインピーダンスに完全にあわせなくとも、このポイント A のような顕著なインピーダンス差を生じるポイントに関連するトランジスタのみのインピーダンスを上昇させることで、すなわち、トランジスタ 1 つのみでもゲート長を長くすることで、本実施形態の効果は得られる。すなわち、本発明の思想は、パッド 3 に同じゲート幅の複数のトランジスタが並列に接続され、複数のトランジスタのゲートへの入力信号が 2 種類以上あり、複数のトランジスタのゲート長が 2 種類以上である出力回路に対して適用でき、格別な効果が得られる。

【 0 0 3 0 】

また、出力回路の構成として、図 5 (a)、(b) に示すように各トランジスタに抵抗を直列に接続した構成をとる場合でも、抵抗の抵抗値を考慮して同様の計算を行えば、同様の効果が得られることは明らかである。すなわち、パッド 3 に抵抗を介して、同じゲート幅の複数のトランジスタが並列に接続され、複数のトランジスタのゲートへの入力信号が 2 種類以上あり、複数のトランジスタのゲート長が 2 種類以上である出力回路に対しても、本発明の思想が適用でき、その効果が得られる。

【 0 0 3 1 】

また、式 (1) ~ (5) により各トランジスタの出力インピーダンスが決定されれば好ましいが、式 (4) による各トランジスタのインピーダンスの関係を満たされるだけでもよい。この場合でも、トランジスタ本数が切り替わった時点それぞれの、低くなった出力

10

20

30

40

50

インピーダンスは同等となるため、十分な効果が得られる。よって、２種類以上あるゲート信号によって動作する複数のトランジスタのインピーダンスが次式の関係を満たす場合、上記と同様の効果が得られる。

$$\begin{aligned} R0 &= X / (1/R0 + 1/R1) \\ &= X^2 / (1/R0 + 1/R1 + 1/R2) \\ &= X^3 / (1/R0 + 1/R1 + 1/R2 + 1/R3) \\ &\dots \\ &= X^{n-1} / (1/R0 + 1/R1 + 1/R2 + \dots + 1/Rn-1) \\ &= X^n / (1/R0 + 1/R1 + 1/R2 + \dots + 1/Rn-1 + 1/Rn) \end{aligned}$$

ここで、

R0：ゲート長によって設定され、常に動作させるトランジスタのインピーダンス

n：常に動作するトランジスタ以外のトランジスタ（インピーダンス調整のために使用するトランジスタ）のゲートへの入力信号の本数

R1、R2、...、Rn：常に動作するトランジスタ以外の複数のトランジスタのインピーダンス、

X：変数

【 0 0 3 2 】

なお、出力回路における各トランジスタの構成として、図 1（a）、（c）に示すような構成を採用してもよい。各トランジスタのインピーダンスの調整は、図 1（c）に示すようなPchトランジスタのみで構成される出力回路の場合は、Pchトランジスタに本発明の思想が適用される。図 1（a）に示すようなPchトランジスタおよびNchトランジスタ双方で構成される出力回路の場合は、PchトランジスタとNchトランジスタのいずれか又は双方に本発明の思想が適用されてもよい。

【 0 0 3 3 】

図 6 に、図 1（d）の出力回路構成において、本発明の思想を適用して各トランジスタのインピーダンスを調整した場合のレイアウト図を示す。同図に示すように、各コントロール信号G1,G2,...G7によって動作するトランジスタN1,N2,...N7のインピーダンスがゲート長によって調整されている。

【 0 0 3 4 】

図 7（a）に出力回路の別の回路構成を示す。この構成では、ゲート信号G0～G7でインピーダンスをコントロールし、信号Gで出力を制御する。図 7（b）に図 7（a）の回路構成のレイアウト図を示す。図 8 は、図 7（a）の出力回路構成において、ゲート長を調整することでトランジスタのインピーダンスを調整した場合のレイアウト例を示す。この場合、出力端子とGND間に接続されている２段のNchトランジスタのインピーダンス双方に対して同様の調整を行う。なお、インピーダンスの調整には、図 9 に示すようにゲート幅を変更して実現することも可能である。なお、図 9 の例のようにゲート幅を変更する場合、フィールドの形状が不均一となる。このため、出力端子に接続されたトランジスタが例えばESD（静電気放電）などの外部ストレスによって破壊される可能性がある。図 10 に、ESDを考慮しフィールドの形状を均一とした構成を示す。この例では、例えばコントロール信号G7でコントロールされるトランジスタのゲート長を大きくすることで、ESDを受ける、出力端子３に接続されるトランジスタのドレイン面積が小さくならないように構成している。

【図面の簡単な説明】

【 0 0 3 5 】

【図 1】半導体集積回路の出力回路の構成図（（a）PchおよびNch出力トランジスタを直列に接続して構成した例、（b）Nch出力トランジスタのみで構成した例、（b）Pch出力トランジスタのみで構成した例、（d）複数のNch出力トランジスタを並列に接続して構成した例）

【図 2】図 1（d）に示す出力回路のレイアウト図

【図 3】従来の出力回路におけるキャリブレーション実施後のインピーダンス変化を示し

10

20

30

40

50

た図

【図 4】本発明の出力回路におけるキャリブレーション実施後のインピーダンス変化を示した図

【図 5】出力回路の別の構成例を示した図

【図 6】図 1 (d) の出力回路において、本発明の思想を適用して各トランジスタのインピーダンスを調整した場合のレイアウト図

【図 7】(a) 出力回路の別の構成例を示した図 ((a) 回路図、(b) レイアウト図)

【図 8】図 7 の出力回路において、本発明の思想を適用して各トランジスタのインピーダンスを調整した場合のレイアウト図

【図 9】図 1 (d) の出力回路において、本発明の思想を適用して各トランジスタのインピーダンスを調整した場合のレイアウト図 (ゲート幅により調整)

【図 10】ESDを考慮し、フィールドの形状が均一となるよう構成した場合の出力回路のレイアウト図

【符号の説明】

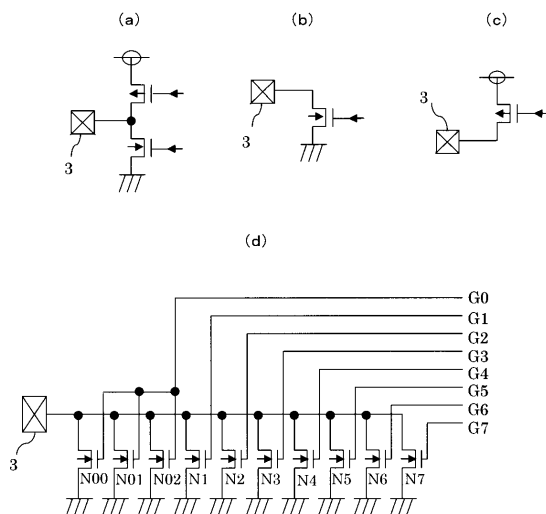
【0036】

- 3 出力端子 (パッド)
- 11 メタル配線
- 12 ポリシリコンゲート
- 13 フィールド
- 14 メタル配線とポリシリコンゲートのコンタクト
- 15 メタル配線とフィールドのコンタクト

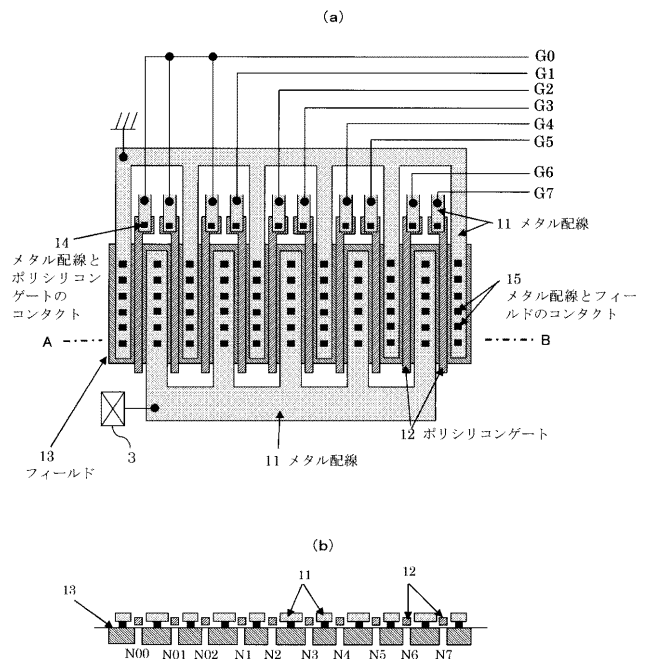
10

20

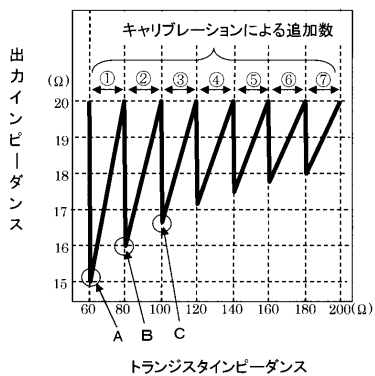
【図 1】



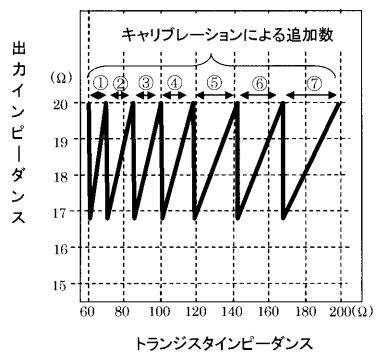
【図 2】



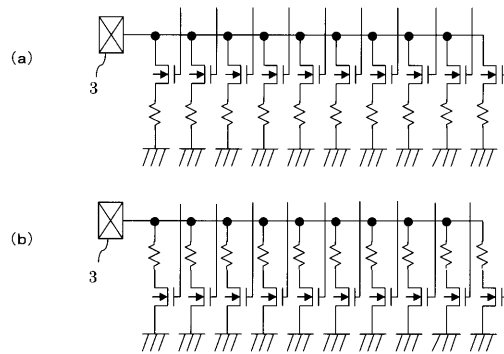
【図 3】



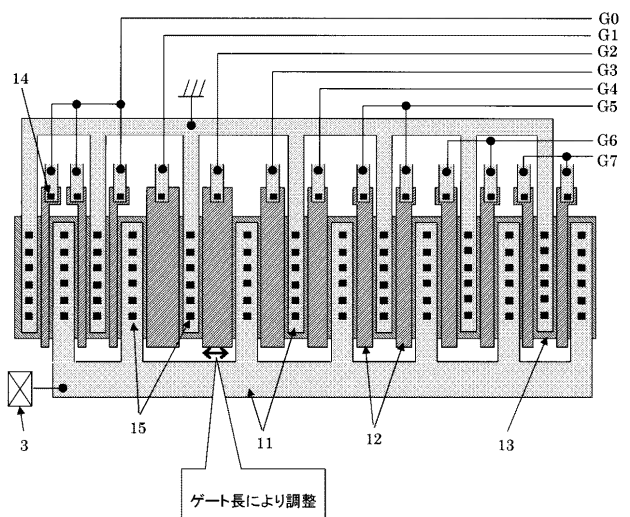
【図 4】



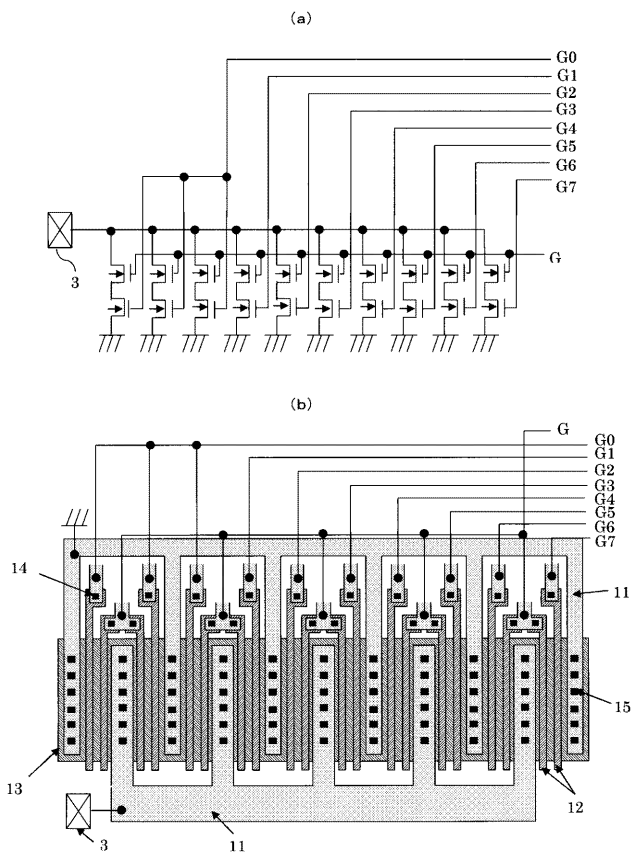
【図 5】



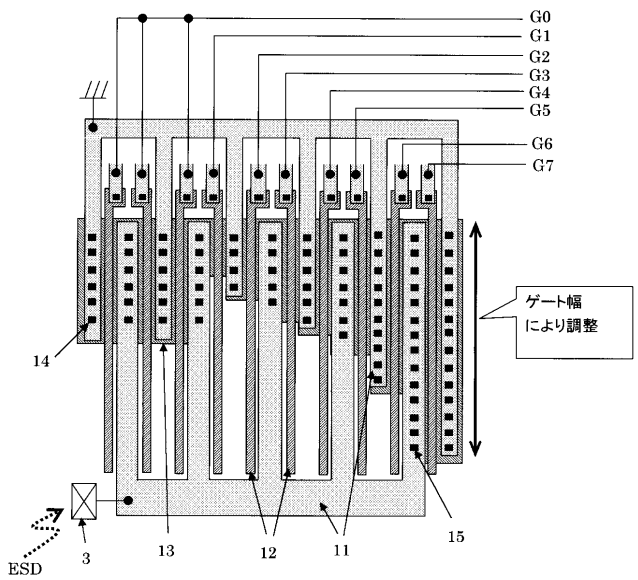
【図 6】



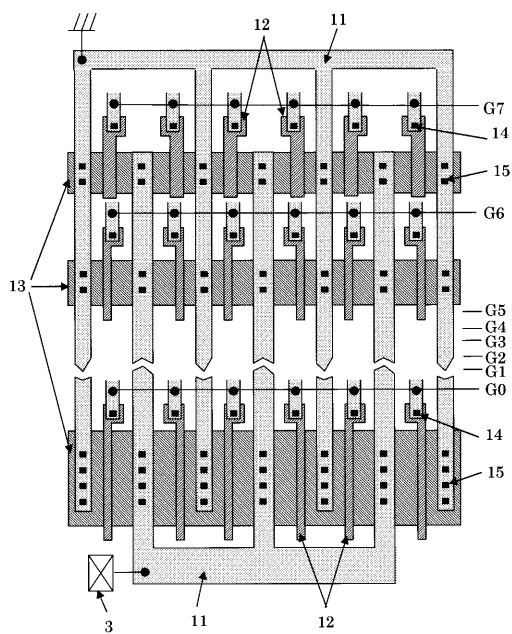
【図 7】



【 図 9 】



【 図 1 0 】



フロントページの続き

F ターム(参考) 5J056 AA04 AA40 BB60 CC00 DD12 DD27 DD59 EE06 EE08 EE15
FF07 FF08 GG09 GG13 KK02 KK03