

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局

(43) 国際公開日  
2019年11月7日(07.11.2019)



(10) 国際公開番号  
**WO 2019/211697 A1**

(51) 国際特許分類:  
G06F 12/0893 (2016.01) GIIC 11/4074 (2006.01)  
GIIC 5/14 (2006.01) H01L 21/8242 (2006.01)  
GIIC 7/04 (2006.01) H01L 27/108 (2006.01)  
GIIC 11/405 (2006.01) H01L 29/786 (2006.01)

(21) 国際出願番号: PCT/IB2019/053299

(22) 国際出願日: 2019年4月22日(22.04.2019)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:  
特願 2018-088846 2018年5月2日(02.05.2018) JP

(71) 出願人: 株式会社半導体エネルギー研究所  
(SEMICONDUCTOR ENERGY LABORATORY

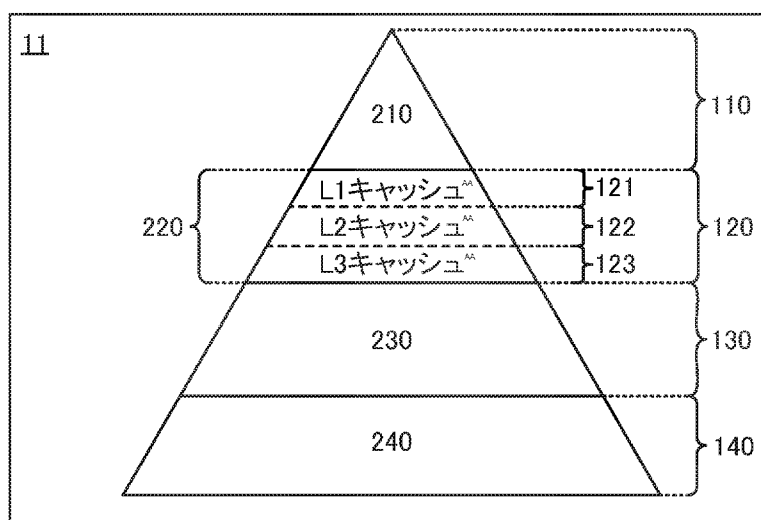
CO., LTD.) [JP/JP]; 〒2430036 神奈川県厚木市長谷398 Kanagawa (JP).

(72) 発明者: 山崎 舜平 (YAMAZAKI, Shunpei); 〒2430036 神奈川県厚木市長谷398 株式会社半導体エネルギー研究所内 Kanagawa (JP). 加藤清 (KATO, Kiyoshi); 〒2430036 神奈川県厚木市長谷398 株式会社半導体エネルギー研究所内 Kanagawa (JP). 木村肇 (KIMURA, Hajime); 〒2430036 神奈川県厚木市長谷398 株式会社半導体エネルギー研究所内 Kanagawa (JP). 宮口厚 (MIYAGUCHI, Atsushi); 〒2430036 神奈川県厚木市長谷398 株式会社半導体エネルギー研究所内 Kanagawa (JP). 井上達則 (INOUE, Tatsunori); 〒2430036 神奈

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置

[図2]



AA Cache

(57) Abstract: Provided is a semiconductor device in which it is possible to change the storage region for each hierarchy level of a storage device. Specifically provided is a semiconductor device which has a control circuit and a storage device provided with a first and a second storage circuit. The first storage circuit is provided with a first capacitive element and a first transistor that functions to hold the charge stored in the first capacitive element. The second storage circuit is provided with a second transistor, a second capacitive element electrically connected to the gate of the second transistor, and a third transistor that functions to hold the charge stored in the second capacitive element. The first and third transistors are provided with a gate, a back gate, and a semiconductor layer having an oxide semiconductor. Adjusting the voltage applied



WO 2019/211697 A1

川島厚木市長谷 398 株式会社半導体エ  
ネルギー研究所内 Kanagawa (JP).

- (81) 指定国(表示のない限り、全ての種類の国内保  
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ,  
BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH,  
CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO,  
DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT,  
HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH,  
KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,  
MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,  
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,  
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,  
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,  
UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保  
護が可能): ARIPO (BW, GH, GM, KE, LR, LS,  
MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM,  
ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ,  
TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ,  
DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT,  
LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS,  
SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM,  
GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類 :

- 一 国際調査報告 (条約第21条(3))

to the first or the third transistor back gate changes the storage region of the first or the second storage circuit, respectively.

(57) 要約 : 要約書 記憶装置の各階層の記憶領域の変更が可能な半導体装置を提供する。第1および第2記憶回路を有する記憶装置と、制御回路と、を有する半導体装置で、第1記憶回路は、第1容量素子と、第1容量素子に保持される電荷を保持する機能を有する第1トランジスタと、を有し、第2記憶回路は、第2トランジスタと、前記第2トランジスタのゲートに電気的に接続された第2容量素子と、第2容量素子に保持される電荷を保持する機能を有する第3トランジスタと、を有する。第1および第3トランジスタは、酸化物半導体を有する半導体層と、ゲートと、バックゲートと、を有する。第1又は第3トランジスタバックゲートに印加される電圧を調整することによって、第1又は第2記憶回路のそれぞれの記憶領域を変更する。

## 明細書

発明の名称

半導体装置

技術分野

[0001]

本発明の一態様は、半導体装置に関する。

[0002]

なお、本発明の一態様は、上記の技術分野に限定されない。本明細書等で開示する発明の一態様の技術分野は、物、方法、または、製造方法に関するものである。または、本発明の一態様は、プロセス、マシン、マニュファクチャ、または、組成物（コンポジション・オブ・マター）に関するものである。または、本発明の一態様は、半導体装置、表示装置、発光装置、蓄電装置、記憶装置、それらの駆動方法、または、それらの製造方法に関する。

背景技術

[0003]

情報処理を行うコンピュータシステムは、その用途に応じて多種多様な構成が提案されているが、多くのコンピュータシステムにおいて、メモリユニットを複数の階層に分割し、各階層に性能の異なる記憶装置を割り当てたアーキテクチャが採用されている。このようなコンピュータシステムにおいては、レジスタ、キャッシュメモリ、主記憶装置、補助記憶装置などの記憶装置を備えた構造が広く知られている。

[0004]

特許文献1には、酸化物半導体を半導体層に含むトランジスタを用いた記憶回路をレジスタ、キャッシュメモリ、主記憶装置に適用した発明が開示されている。酸化物半導体はシリコン等よりも広いバンドギャップを有し、真性キャリア濃度が小さいため、酸化物半導体を半導体層に含むトランジスタは、オフ電流が極めて小さい特性を有する。そのため、当該トランジスタを記憶回路に用いることによって、格納されたデータを長時間保持することができる。

[先行技術文献]

[特許文献]

[0005]

[特許文献1] 特開2015-180994号公報

発明の概要

発明が解決しようとする課題

[0006]

レジスタ、キャッシュメモリ、主記憶装置のそれぞれの記憶装置は、要求される性能が異なる。そのため、互いに記憶領域を共有して用いることが難しい。具体的には、例えば、キャッシュメモリの記憶容量が足りなくなった場合に、主記憶装置によってその不足分を補うことが難しい。

[0007]

本発明の一態様は、新規な半導体装置の提供を課題の一つとする。また、本発明の一態様は、消費電力の低減が可能な半導体装置の提供を課題の一つとする。また、本発明の一態様は、面積の縮小が可能な半導体装置の提供を課題の一つとする。また、本発明の一態様は、記憶装置の大容量化が可能な半導体装置の提供を課題の一つとする。

[0008]

なお、本発明の一態様は、必ずしも上記の課題の全てを解決する必要はなく、少なくとも一の課題を解決できるものであればよい。また、上記の課題の記載は、他の課題の存在を妨げるものではない。これら以外の課題は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の課題を抽出することが可能である。

課題を解決するための手段

[0009]

(1)

本発明の一態様は、記憶装置と、制御回路と、を有し、記憶装置は、第1記憶階層で動作する第1記憶回路と、第2記憶階層で動作する第2記憶回路を有し、第1記憶階層は、第2記憶階層よりもアクセス速度が速い階層であって、第1記憶回路は、第1容量素子と、第1容量素子に保持される電荷を保持する機能を有する第1トランジスタと、を有し、第2記憶回路は、第2トランジスタと、第2トランジスタのゲートに電氣的に接続された第2容量素子と、第2容量素子に保持される電荷を保持する機能を有する第3トランジスタと、を有し、第1および第3トランジスタは、酸化物半導体を有する半導体層と、第1ゲートと、第2ゲートと、を有し、制御回路は、第1トランジスタの第2ゲートに電圧を入力することによって、第1記憶回路を第1記憶階層から第2記憶階層に変更する機能と、第3のトランジスタの第2ゲートに電圧を入力することによって、第2記憶回路を第2記憶階層から第1記憶階層に変更する機能と、を有する、半導体装置である。

[0010]

(2)

また、本発明の一態様は、上記(1)の構成において、制御回路は、温度検知回路を有し、温度検知回路は、記憶装置の周辺の温度に応じた補正電圧を出力する機能を有し、制御回路は、第1及び第3トランジスタのそれぞれの第2ゲートに印加する電圧を、補正電圧に応じて、変動させる機能を有する、半導体装置である。

[0011]

(3)

また、本発明の一態様は、記憶装置と、制御回路と、を有し、記憶装置は、第1記憶階層で動作する第1記憶回路と、第2記憶階層で動作する第2記憶回路を有し、第1記憶階層は、第2記憶階層よりもアクセス速度が速い階層であって、第1記憶回路は、第1容量素子と、第1容量素子に保持される電荷を保持する機能を有する第1トランジスタと、を有し、第2記憶回路は、第2トランジスタと、第2トランジスタのゲートに電氣的に接続された第2容量素子と、第2容量素子に保持される電荷を保持する機能を有する第3トランジスタと、を有し、第1および第3トランジスタは、酸化物半導体を有する半導体層と、第1ゲートと、第2ゲートと、を有し、制御回路は、第1トランジスタの第2ゲートに電圧を入力することによって、第1記憶回路を第1記憶階層から第2記憶階層に変更する機能と、第3のトランジスタの第2ゲートに電圧を入力することによって、第2記憶回路を第2記憶階層から第1記憶階層に変更する機能と、を有し、制御回路は、コントローラと、複数の電圧生成回路と、切り替え回路と、を有し、記憶装置は、コントローラに対して、記憶装置の記憶容量の使用状況を有する信号を出力する機能を有し、コントローラは、信号に応じて、複数の電圧生成回路のいずれか一から出力される電圧が第1および第3のトランジスタの第2ゲートに印加されるように、切り替え回路を制御する機能を有する、半導体装置である。

[0012]

(4)

また、本発明の一態様は、上記(3)の構成において、制御回路は、温度検知回路を有し、温度検知回路は、記憶装置の周辺の温度に応じた補正電圧を出力する機能を有し、制御回路は、第1及び第3トランジスタのそれぞれの第2ゲートに印加する電圧を、補正電圧に応じて、変動させる機能を有する、半導体装置である。

[0013]

(5)

また、本発明の一態様は、記憶装置と、制御回路と、を有し、記憶装置は、第1記憶階層で動作する第1記憶回路と、第2記憶階層で動作する第2記憶回路を有し、第1記憶階層は、第2記憶階層よりもアクセス速度が速い階層であって、第1記憶回路は、第1容量素子と、第1容量素子に保持される電荷を保持する機能を有する第1トランジスタと、を有し、第2記憶回路は、第2トランジスタと、第2トランジスタのゲートに電気的に接続された第2容量素子と、第2容量素子に保持される電荷を保持する機能を有する第3トランジスタと、を有し、第1および第3トランジスタは、酸化物半導体を有する半導体層と、第1ゲートと、第2ゲートと、を有し、制御回路は、第1トランジスタの第2ゲートに電圧を入力することによって、第1記憶回路を第1記憶階層から第2記憶階層に変更する機能と、第3のトランジスタの第2ゲートに電圧を入力することによって、第2記憶回路を第2記憶階層から第1記憶階層に変更する機能と、を有し、制御回路は、コントローラと、複数の電圧生成回路と、切り替え回路と、を有し、記憶装置は、コントローラに対して、記憶装置の記憶容量の使用状況を有する信号を出力する機能を有し、コントローラは、信号に応じて、複数の電圧生成回路のいずれか一から出力される電圧が第1および第3のトランジスタの第2ゲートに印加されるように、切り替え回路を制御する機能を有し、第1記憶回路は、第2記憶回路と重畳する領域を有する、半導体装置である。

[0014]

(6)

また、本発明の一態様は、上記(5)の構成において、制御回路は、温度検知回路を有し、温度検知回路は、記憶装置の周辺の温度に応じた補正電圧を出力する機能を有し、制御回路は、第1及び第3トランジスタのそれぞれの第2ゲートに印加する電圧を、補正電圧に応じて、変動させる機能を有する、半導体装置である。

[0015]

(7)

また、本発明の一態様は、上記(1)乃至(6)のいずれか一の構成において、酸化物半導体は、インジウム、元素M(元素Mはアルミニウム、ガリウム、イットリウム、またはスズ)、亜鉛から一又は複数選ばれる材料を有する、半導体装置である。

[0016]

なお、本明細書等において、半導体装置とは、半導体特性を利用した装置であり、半導体素子(トランジスタ、ダイオード、フォトダイオード等)を含む回路、同回路を有する装置等をいう。また、半導体特性を利用することで機能しうる装置全般をいう。例えば、集積回路、集積回路を備えたチップや、パッケージにチップを収納した電子部品は半導体装置の一例である。また、記憶装置、表示装置、発光装置、照明装置及び電子機器等は、それ自体が半導体装置であり、半導体装置を有している

場合がある。

[0017]

また、本明細書等において、XとYとが接続されていると記載されている場合は、XとYとが電氣的に接続されている場合と、XとYとが機能的に接続されている場合と、XとYとが直接接続されている場合とが、本明細書等に開示されているものとする。したがって、所定の接続関係、例えば、図又は文章に示された接続関係に限定されず、図又は文章に示された接続関係以外のものも、図又は文章に開示されているものとする。X、Yは、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、層など）であるとする。

[0018]

XとYとが電氣的に接続されている場合の一例としては、XとYとの電氣的な接続を可能とする素子（例えば、スイッチ、トランジスタ、容量素子、インダクタ、抵抗素子、ダイオード、表示素子、発光素子、負荷など）が、XとYとの間に1個以上接続されることが可能である。なお、スイッチは、オンオフが制御される機能を有している。つまり、スイッチは、導通状態（オン状態）、又は、非導通状態（オフ状態）になり、電流を流すか流さないかを制御する機能を有している。

[0019]

XとYとが機能的に接続されている場合の一例としては、XとYとの機能的な接続を可能とする回路（例えば、論理回路（インバータ、NAND回路、NOR回路など）、信号変換回路（DA変換回路、AD変換回路、ガンマ補正回路など）、電位レベル変換回路（電源回路（昇圧回路、降圧回路など）、信号の電位レベルを変えるレベルシフト回路など）、電圧源、電流源、切り替え回路、増幅回路（信号振幅又は電流量などを大きく出来る回路、オペアンプ、差動増幅回路、ソースフォロワ回路、バッファ回路など）、信号生成回路、記憶回路、制御回路など）が、XとYとの間に1個以上接続されることが可能である。なお、一例として、XとYとの間に別の回路を挟んでいても、Xから出力された信号がYへ伝達される場合は、XとYとは機能的に接続されているものとする。

[0020]

なお、XとYとが電氣的に接続されている、と明示的に記載する場合は、XとYとが電氣的に接続されている場合（つまり、XとYとの間に別の素子又は別の回路を挟んで接続されている場合）と、XとYとが機能的に接続されている場合（つまり、XとYとの間に別の回路を挟んで機能的に接続されている場合）と、XとYとが直接接続されている場合（つまり、XとYとの間に別の素子又は別の回路を挟まずに接続されている場合）とを含むものとする。つまり、電氣的に接続されている、と明示的に記載する場合は、単に、接続されている、とのみ明示的に記載されている場合と同じであるとする。

[0021]

また、例えば、「XとYとトランジスタのソース（又は第1の端子など）とドレイン（又は第2の端子など）とは、互いに電氣的に接続されており、X、トランジスタのソース（又は第1の端子など）、トランジスタのドレイン（又は第2の端子など）、Yの順序で電氣的に接続されている。」と表現することができる。又は、「トランジスタのソース（又は第1の端子など）は、Xと電氣的に接続され、トランジスタのドレイン（又は第2の端子など）はYと電氣的に接続され、X、トランジスタのソース（又は第1の端子など）、トランジスタのドレイン（又は第2の端子など）、Yは、この順序で電氣的に接続されている」と表現することができる。又は、「Xは、トランジスタのソース（又は第1の端子など）とドレイン（又は第2の端子など）とを介して、Yと電氣的に接続され、X、トランジスタ

タのソース（又は第1の端子など）、トランジスタのドレイン（又は第2の端子など）、Yは、この接続順序で設けられている」と表現することができる。これらの例と同様な表現方法を用いて、回路構成における接続の順序について規定することにより、トランジスタのソース（又は第1の端子など）と、ドレイン（又は第2の端子など）とを、区別して、技術的範囲を決定することができる。なお、これらの表現方法は、一例であり、これらの表現方法に限定されない。ここで、X、Y、Z1、Z2は、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など）であるとする。

#### [0022]

なお、回路図上は独立している構成要素同士が電氣的に接続しているように図示されている場合であっても、1つの構成要素が、複数の構成要素の機能を併せ持っている場合もある。例えば配線の一部が電極としても機能する場合は、一の導電膜が、配線の機能、及び電極の機能の両方の構成要素の機能を併せ持っている。したがって、本明細書における電氣的に接続とは、このような、一の導電膜が、複数の構成要素の機能を併せ持っている場合も、その範疇に含める。

#### [0023]

また、本明細書等において、トランジスタは、ゲート、ソース、及びドレインと呼ばれる3つの端子を有する。ゲートは、トランジスタの導通状態を制御する制御端子である。ソース又はドレインとして機能する2つの端子は、トランジスタの入出力端子である。2つの入出力端子は、トランジスタの導電型（nチャンネル型、pチャンネル型）及びトランジスタの3つの端子に与えられる電位の高低によって、一方がソースとなり他方がドレインとなる。このため、本明細書等においては、ソースやドレインの用語は、言い換えることができるものとする。また、本明細書等では、トランジスタの接続関係を説明する際、「ソース又はドレインの一方」（又は第1電極、又は第1端子）、「ソース又はドレインの他方」（又は第2電極、又は第2端子）という表記を用いる。なお、トランジスタの構造によっては、上述した3つの端子に加えて、バックゲートを有する場合がある。

#### [0024]

また、本明細書等において、ノードは、回路構成やデバイス構造等に応じて、端子、配線、電極、導電層、導電体、不純物領域等と言い換えることが可能である。また、端子、配線等をノードと言い換えることが可能である。

#### [0025]

また、本明細書等において、「電圧」と「電位」は、適宜言い換えることができる。「電圧」は、基準となる電位からの電位差のことであり、例えば基準となる電位をグラウンド電位（接地電位）とすると、「電圧」を「電位」に言い換えることができる。グラウンド電位は必ずしも0Vを意味するとは限らない。なお電位は相対的なものであり、基準となる電位によっては、配線等に与える電位を変化させる場合がある。

#### [0026]

一般的に、「電流」とは、正の荷電体の移動に伴う電荷の移動現象（電気伝導）として定義されているが、「正の荷電体の電気伝導が起きている」という記載は、「その逆向きに負の荷電体の電気伝導が起きている」と換言することができる。そのため、本明細書等において、「電流」とは、特に断らない限り、キャリアの移動に伴う電荷の移動現象（電気伝導）をいうものとする。ここでいうキャリアとは、電子、正孔、アニオン、カチオン、錯イオン等が挙げられ、電流の流れる系（例えば、半導体、金属、電解液、真空中など）によってキャリアが異なる。また、配線等における「電流の向き」は、正のキャリアが移動する方向とし、正の電流量で記載する。換言すると、負のキャリアが移動す

る方向は、電流の向きと逆の方向となり、負の電流量で表現される。そのため、本明細書等において、電流の正負（又は電流の向き）について断りがない場合、「素子Aから素子Bに電流が流れる」等の記載は「素子Bから素子Aに電流が流れる」等に言い換えることができるものとする。また、「素子Aに電流が入力される」等の記載は「素子Aから電流が出力される」等に言い換えることができるものとする。

[0027]

また、本明細書等において、「第1」、「第2」、「第3」という序数詞は、構成要素の混同を避けるために付したものである。従って、構成要素の数を限定するものではない。また、構成要素の順序を限定するものではない。例えば、本明細書等の実施の形態の一において「第1」に言及された構成要素が、他の実施の形態、あるいは特許請求の範囲において「第2」に言及された構成要素とすることもありうる。また例えば、本明細書等の実施の形態の一において「第1」に言及された構成要素を、他の実施の形態、あるいは特許請求の範囲において省略することもありうる。

[0028]

また、本明細書等において、「上に」、「下に」などの配置を示す語句は、構成同士的位置関係を、図面を参照して説明するために、便宜上用いている場合がある。また、構成同士的位置関係は、各構成を描写する方向に応じて適宜変化するものである。従って、明細書等で説明した語句に限定されず、状況に応じて適切に言い換えることができる。例えば、「導電体の上面に位置する絶縁体」の表現では、示している図面の向きを180度回転することによって、「導電体の下面に位置する絶縁体」と言い換えることができる。

[0029]

また、「上」や「下」の用語は、構成要素の位置関係が直上又は直下で、かつ、直接接していることを限定するものではない。例えば、「絶縁層A上の電極B」の表現であれば、絶縁層Aの上に電極Bが直接接して形成されている必要はなく、絶縁層Aと電極Bとの間に他の構成要素を含むものを除外しない。

[0030]

また、本明細書等において、「膜」、「層」などの語句は、状況に応じて、互いに入れ替えることが可能である。例えば、「導電層」という用語を、「導電膜」という用語に変更することが可能な場合がある。又は、例えば、「絶縁膜」という用語を、「絶縁層」という用語に変更することが可能な場合がある。又は、場合によっては、又は、状況に応じて、「膜」、「層」などの語句を使わずに、別の用語に入れ替えることが可能である。例えば、「導電層」又は「導電膜」という用語を、「導電体」という用語に変更することが可能な場合がある。又は、例えば、「絶縁層」「絶縁膜」という用語を、「絶縁体」という用語に変更することが可能な場合がある。

[0031]

また、本明細書等において「電極」や「配線」の用語は、これらの構成要素を機能的に限定するものではない。例えば、「電極」は「配線」の一部として用いられることがあり、その逆もまた同様である。さらに、「電極」や「配線」の用語は、複数の「電極」や「配線」が一体となって形成されている場合なども含む。

[0032]

また、本明細書等において、「配線」、「信号線」、「電源線」などの用語は、場合によっては、又は、状況に応じて、互いに入れ替えることが可能である。例えば、「配線」という用語を、「信号線」とい

う用語に変更することが可能な場合がある。また、例えば、「配線」という用語を、「電源線」などの用語に変更することが可能な場合がある。また、その逆も同様で、「信号線」「電源線」などの用語を、「配線」という用語に変更することが可能な場合がある。「電源線」などの用語は、「信号線」などの用語に変更することが可能な場合がある。また、その逆も同様で「信号線」などの用語は、「電源線」などの用語に変更することが可能な場合がある。また、配線に印加されている「電位」という用語を、場合によっては、又は、状況に応じて、「信号」などという用語に変更することが可能な場合がある。また、その逆も同様で、「信号」などの用語は、「電位」という用語に変更することが可能な場合がある。

#### [0033]

本明細書等において、半導体の不純物とは、例えば、半導体層を構成する主成分以外をいう。例えば、濃度が0.1原子%未満の元素は不純物である。不純物が含まれることにより、例えば、半導体にDOS (Density of States) が形成されることや、キャリア移動度が低下することや、結晶性が低下することなどが起こる場合がある。半導体が酸化物半導体である場合、半導体の特性を変化させる不純物としては、例えば、第1族元素、第2族元素、第13族元素、第14族元素、第15族元素、主成分以外の遷移金属などがあり、特に、例えば、水素（水にも含まれる）、リチウム、ナトリウム、シリコン、ホウ素、リン、炭素、窒素などがある。酸化物半導体の場合、例えば水素などの不純物の混入によって酸素欠損を形成する場合がある。また、半導体がシリコンである場合、半導体の特性を変化させる不純物としては、例えば、酸素、水素を除く第1族元素、第2族元素、第13族元素、第15族元素などがある。

#### [0034]

本明細書等において、スイッチとは、導通状態（オン状態）、又は、非導通状態（オフ状態）になり、電流を流すか流さないかを制御する機能を有するものをいう。又は、スイッチとは、電流を流す経路を選択して切り替える機能を有するものをいう。一例としては、電気的なスイッチ、機械的なスイッチなどを用いることができる。つまり、スイッチは、電流を制御できるものであればよく、特定のものに限定されない。

#### [0035]

電気的なスイッチの一例としては、トランジスタ（例えば、バイポーラトランジスタ、MOSトランジスタなど）、ダイオード（例えば、PNダイオード、PINダイオード、ショットキーダイオード、MIM (Metal Insulator Metal) ダイオード、MIS (Metal Insulator Semiconductor) ダイオード、ダイオード接続のトランジスタなど）、又はこれらを組み合わせた論理回路などがある。なお、スイッチとしてトランジスタを用いる場合、トランジスタの「導通状態」とは、トランジスタのソース電極とドレイン電極が電氣的に短絡されているとみなせる状態をいう。また、トランジスタの「非導通状態」とは、トランジスタのソース電極とドレイン電極が電氣的に遮断されているとみなせる状態をいう。なおトランジスタを単なるスイッチとして動作させる場合には、トランジスタの極性（導電型）は特に限定されない。

#### [0036]

機械的なスイッチの一例としては、デジタルマイクロミラーデバイス (DMD) のように、MEMS (マイクロ・エレクトロ・メカニカル・システム) 技術を用いたスイッチがある。そのスイッチは、機械的に動かすことが可能な電極を有し、その電極が動くことによって、導通と非導通とを制御して動作する。

## 発明の効果

[0037]

本発明の一態様によって、新規な装置を提供することができる。又は、本発明の一態様によって、消費電力の低減が可能な半導体装置を提供することができる。又は、本発明の一態様によって、面積の縮小が可能な半導体装置を提供することができる。又は、本発明の一態様によって、記憶装置の大容量化が可能な半導体装置を提供することができる。

[0038]

なお、これらの効果の記載は、他の効果の存在を妨げるものではない。なお、本発明の一態様は、必ずしも、これらの効果の全てを有する必要はない。なお、これら以外の効果は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の効果を抽出することが可能である。

## 図面の簡単な説明

[0039]

[図1] 図1(A)は記憶装置の構成の一例を示すブロック図である。図1(B)は、記憶装置における記憶領域の階層の例を説明する図である。

[図2] 図2は、記憶装置における記憶領域の階層の例を説明する図である。

[図3] 図3(A)(B1)(B2)は記憶装置が有するメモリセルの構成の一例を示す回路図である。

[図4] 図4(A)(B)は記憶装置における記憶領域の階層の例を説明する図である。

[図5] 図5は記憶装置の構成の一例を示すブロック図である。

[図6] 図6は記憶装置の構成の一例を示すブロック図である。

[図7] 図7は記憶装置の構成の一例を示すブロック図である。

[図8] 図8は記憶装置の構成の一例を示すブロック図である。

[図9] 図9は記憶装置の構成の一例を示すブロック図である。

[図10] 図10は記憶装置が有するメモリセルアレイの構成の一例を示すブロック図である。

[図11] 図11は記憶装置が有するメモリセルアレイの構成の一例を示すブロック図である。

[図12] 図12(A)(B)は記憶装置が有するメモリセルアレイの構成の一例を示す図である。

[図13] 図13は記憶装置が有するメモリセルアレイの構成の一例を示す図である。

[図14] 図14は半導体装置の構成例を示す断面図である。

[図15] 図15(A)(B)(C)はトランジスタの構造例を示す断面図である。

[図16] 図16(A)はトランジスタの構造例を示す上面図であり、図16(B)(C)は当該トランジスタの構造例を示す断面図である。

[図17] 図17(A)はトランジスタの構造例を示す上面図であり、図17(B)(C)は当該トランジスタの構造例を示す断面図である。

[図18] 図18(A)はトランジスタの構造例を示す上面図であり、図18(B)(C)は当該トランジスタの構造例を示す断面図である。

[図19] 図19(A)はトランジスタの構造例を示す上面図であり、図19(B)(C)は当該トランジスタの構造例を示す断面図である。

[図20] 図20(A)はトランジスタの構造例を示す上面図であり、図20(B)(C)は当該トランジスタの構造例を示す断面図である。

[図21] 図21(A)はトランジスタの構造例を示す上面図であり、図21(B)は当該トランジ

スタの構造例を示す斜視図である。

[図 2 2] 図 2 2 (A) (B) はトランジスタの構造例を示す断面図である。

[図 2 3] 図 2 3 (A) (B) (C) (D) (E) (F) (G) (H) は、電子機器の一例を示す斜視図である。

[図 2 4] 図 2 4 (A) (B) は電子機器の一例を示す斜視図である。

発明を実施するための形態

[0040]

本明細書等において、金属酸化物 (metal oxide) とは、広い意味での金属の酸化物である。金属酸化物は、酸化物絶縁体、酸化物導電体 (透明酸化物導電体を含む)、酸化物半導体 (Oxide Semiconductor 又は単に OS ともいう) などに分類される。例えば、トランジスタの活性層に金属酸化物を用いた場合、当該金属酸化物を酸化物半導体と呼称する場合がある。つまり、金属酸化物が増幅作用、整流作用、及びスイッチング作用の少なくとも 1 つを有するトランジスタのチャンネル形成領域を構成し得る場合、当該金属酸化物を、金属酸化物半導体 (metal oxide semiconductor) と呼ぶことができる。また、OS FET、又は OS トランジスタと記載する場合においては、金属酸化物又は酸化物半導体を有するトランジスタと換言することができる。

[0041]

また、本明細書等において、窒素を有する金属酸化物も金属酸化物 (metal oxide) と総称する場合がある。また、窒素を有する金属酸化物を、金属酸窒化物 (metal oxynitride) と呼称してもよい。

[0042]

また、本明細書等において、各実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせ、本発明の一態様とすることができる。また、1 つの実施の形態の中に、複数の構成例が示される場合は、互いに構成例を適宜組み合わせることが可能である。

[0043]

なお、ある一つの実施の形態の中で述べる内容 (一部の内容でもよい) は、その実施の形態で述べる別の内容 (一部の内容でもよい) と、一つ若しくは複数の別の実施の形態 (又は一つ若しくは複数の別の実施例) で述べる内容 (一部の内容でもよい) との少なくとも一つの内容に対して、適用、組み合わせ、又は置き換えなどを行うことができる。

[0044]

なお、実施の形態の中で述べる内容とは、各々の実施の形態 (又は実施例) において、様々な図を用いて述べる内容、又は明細書に記載される文章を用いて述べる内容のことである。

[0045]

なお、ある一つの実施の形態において述べる図 (一部でもよい) は、その図の別の部分、その実施の形態において述べる別の図 (一部でもよい) と、一つ若しくは複数の別の実施の形態において述べる図 (一部でもよい) との少なくとも一つの内容に対して、組み合わせることにより、さらに多くの図を構成させることができる。

[0046]

本明細書に記載の実施の形態について図面を参照しながら説明している。但し、実施の形態は多くの異なる態様で実施することが可能であり、趣旨及びその範囲から逸脱することなく、その形態及び

詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は、実施の形態の記載内容に限定して解釈されるものではない。なお、実施の形態の発明の構成において、同一部分又は同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する場合がある。また、斜視図などにおいて、図面の明確性を期すために、一部の構成要素の記載を省略している場合がある。

[0047]

また、本明細書の図面において、大きさ、層の厚さ、又は領域は、明瞭化のために誇張されている場合がある。よって、必ずしもそのスケールに限定されない。なお図面は、理想的な例を模式的に示したものであり、図面に示す形状又は値などに限定されない。例えば、ノイズによる信号、電圧、若しくは電流のばらつき、又は、タイミングのずれによる信号、電圧、若しくは電流のばらつきなどを含むことが可能である。

[0048]

(実施の形態1)

本実施の形態では、本発明の一態様に係る構成の一例について説明する。

[0049]

<半導体装置の構成例>

図1(A)に、本発明の一態様の半導体装置11の構成の一例を示す。半導体装置11は、記憶装置を構成する記憶回路210、記憶回路220、記憶回路230、及び記憶回路240と、制御回路20と、を有する。

[0050]

なお、図1(A)に図示していないが、半導体装置11は集積回路(例えば、CPU、GPUなどが挙げられる。)を有し、記憶回路210は集積回路に含まれている構成としてもよく、更に記憶回路220も集積回路に含まれている構成としてもよい。

[0051]

また、記憶回路220は、DOSRAM(Dynamic Oxide Semiconductor Random Access Memory)(登録商標)を適用することができ、記憶回路230は、NOSRAM(Dynamic Oxide Semiconductor Random Access Memory)(登録商標)を適用することができる。なお、DOSRAM、NOSRAMの詳細については後述する。

[0052]

図1(B)は、図1(A)に示した半導体装置11に含まれる記憶装置の記憶回路を階層ごとに示した一例の図である。

[0053]

図1(B)は、半導体装置11に含まれる記憶装置の記憶回路を、アクセス速度の順に階層化したものである。記憶回路210は最上位の階層とし、記憶回路220は記憶回路210の下位の階層とし、記憶回路230は記憶回路220の下位の階層とし、記憶回路240は、最下位の階層として図示している。

[0054]

なお、本明細書等において、半導体装置11に含まれる記憶装置の記憶回路は、最上位の階層から順に、第1記憶領域110、第2記憶領域120、第3記憶領域130、第4記憶領域140と呼称

する。特に、第1記憶領域110はレジスタなどの記憶領域とし、第2記憶領域120はキャッシュメモリの記憶領域とし、第3記憶領域130は主記憶装置（メインメモリ）の記憶領域とし、第4記憶領域140は補助記憶装置の記憶領域として扱われる。

[0055]

第1記憶領域110の記憶回路210は、集積回路などにおける演算処理の結果や状態の保持などを行う。そのため、演算処理に必要なデータの送受信を行うため、記憶回路210は、記憶回路220と、記憶回路230と、に電氣的に接続されている。

[0056]

第1記憶領域110に適用できる記憶回路210は、例えば、レジスタ、フリップフロップ、SRAM (Static Random Access Memory)などを有する。

[0057]

第2記憶領域120は、キャッシュメモリの記憶領域として扱われるため、記憶回路220は、第3記憶領域130である主記憶装置として機能する記憶回路230からデータの一部をコピーして格納するため、記憶回路230に電氣的に接続されている。

[0058]

また、第2記憶領域120はキャッシュメモリの記憶領域に相当するため、第2記憶領域120は更に複数の階層に分類して設けることができる。例えば、図2では、記憶回路220を更に3つの階層に分けた場合を示している。図2における記憶回路220は、キャッシュ121乃至キャッシュ123の記憶領域を有しており、第1記憶領域110の下位の階層にキャッシュ121（1次キャッシュ、L1キャッシュ）が設けられ、キャッシュ121の下位の階層にキャッシュ122（2次キャッシュ、L2キャッシュ）が設けられ、キャッシュ122の下位の階層にキャッシュ123（3次キャッシュ、L3キャッシュ）が設けられている。

[0059]

なお、第2記憶領域120の階層の数はこれに限られない。すなわち、第2記憶領域120は、1つの階層のみから構成されていてもよいし、2つの階層、または4つ以上の階層から構成されていてもよい。

[0060]

第4記憶領域140に適用できる記憶回路240は、第3記憶領域の記憶回路230から入力されたデータを格納するため、記憶回路230に電氣的に接続されている。

[0061]

第4記憶領域140に適用できる記憶回路240としては、例えば、不揮発性メモリなどを有することができる。不揮発性メモリとしては、例えば、フラッシュメモリ、ハードディスクドライブ、ソリッドステートドライブなどが挙げられる。

[0062]

制御回路20は、記憶回路220、及び記憶回路230に電氣的に接続されている。制御回路20は、半導体装置11における第2記憶領域120、第3記憶領域130のそれぞれの階層の記憶領域を変更する機能を有する。

[0063]

記憶回路は、上位の階層に位置するほど高速動作が要求される。また、下位の階層に位置する記憶装置ほど、大容量および高密度化（或いは、ビット当たりの面積の縮小）が要求される。例えば、第

1 記憶領域 1 1 0 では、集積回路などにおける演算に用いるデータを記憶するため、特に高速な動作が要求される。また、例えば、第 2 記憶領域 1 2 0 の中で最上位の階層に位置する 1 次キャッシュは、アクセスされる頻度が最も高いため、高速な動作が要求される。一方、2 次キャッシュ、3 次キャッシュなどは、1 次キャッシュほどの高速動作は要求されないものの、大容量および 1 次キャッシュよりもビット当たりの面積の縮小が要求される。

[0064]

また、記憶回路が上位の階層に位置するほど、当該記憶装置へのデータの書き換え回数（又は、リフレッシュ回数）が多くなるため、当該記憶装置の仕様として、データの保持時間を短くすることができる。一方、記憶装置が下位の階層に位置するほど、当該記憶装置へのデータの書き換え回数（又は、リフレッシュ回数）が少なくなるため、当該記憶装置の仕様として、データの保持時間を長くする必要はある。

[0065]

本発明の一態様は、半導体装置の使用状況に応じて、各階層の記憶装置のデータ保持時間を変更して、各階層の記憶領域を増減する。つまり、本発明の一態様の記憶装置、又は、半導体装置は、当該使用状況に合わせて、記憶装置の各階層の性能の変更を行うことができる。

[0066]

<DOSRAM、及びNOSRAMの回路構成例>

次に、記憶回路 2 2 0 に適用できる DOSRAM、及び記憶回路 2 3 0 に適用できる NOSRAM のそれぞれのメモリセルの回路構成について説明する。

[0067]

なお、以下の説明で用いられる低レベル電位、高レベル電位は、特定の電位を意味するものではなく、配線が異なれば、具体的な電位も異なる場合がある。例えば、配線 WOL に印加される低レベル電位、高レベル電位のそれぞれは、配線 BIL に印加される低レベル電位、高レベル電位と異なる電位であってもよい。

[0068]

図 3 (A) には、DOSRAM のメモリセルの回路構成の例を示している。メモリセル 2 2 1 は、トランジスタ M1 と、容量素子 CA と、を有する。なお、トランジスタ M1 は、フロントゲート（単にゲートと呼ぶ場合がある。）、及びバックゲートを有する。

[0069]

トランジスタ M1 の第 1 端子は、容量素子 CA の第 1 端子と接続され、トランジスタ M1 の第 2 端子は、配線 BIL と接続され、トランジスタ M1 のゲートは、配線 WOL と接続され、トランジスタ M1 のバックゲートは、配線 BGL と接続されている。容量素子 CA の第 2 端子は、配線 CAL と接続されている。

[0070]

トランジスタ M1 は、メモリセル 2 2 1 における書き込みトランジスタとして機能する。なお、当該書き込みトランジスタは、後述する OS トランジスタであることが好ましい。

[0071]

配線 BIL は、ビット線として機能し、配線 WOL は、ワード線として機能する。配線 CAL は、容量素子 CA の第 2 端子に所定の電位を印加するための配線として機能する。データの書き込み時、及び読み出し時において、配線 CAL には、低レベル電位（基準電位という場合がある。）を印加す

るのが好ましい。

[0072]

配線BGLは、トランジスタM1のバックゲートに電位を印加するための配線として機能する。配線BGLに任意の電位を印加することによって、トランジスタM1のしきい値電圧を増減することができる。

[0073]

データの書き込み及び読み出しは、配線WOLに高レベル電位を印加し、トランジスタM1をオン状態にし、配線BILと容量素子CAの第1端子との間を導通状態にすることによって行われる。

[0074]

具体的には、データの書き込みは、配線BILに書き込むデータに応じた電位を印加し、トランジスタM1を介して、容量素子CAの第1端子に当該電位を書き込むことで行われる。データの書き込み後は、配線WOLに低レベル電位を印加して、トランジスタM1をオフ状態にすることで、当該電位をメモリセル221に保持することができる。

[0075]

また、データの読み出しは、初めに、配線BILを適当な電位、例えば、低レベル電位と高レベル電位の間電位にプリチャージして、次に配線BILを電氣的に浮遊状態にする。そして、その後、配線WOLに高レベル電位を印加して、トランジスタM1をオン状態にして、配線BILの電位を変化させる。配線BILの電位の変化は、容量素子CAの第1端子に書き込まれた電位に応じて決まるため、変化した配線BILの電位から、メモリセル221に保持されたデータを読み出すことができる。

[0076]

また、上述したメモリセル221は、図3(A)に図示した回路構成に限定されず、メモリセル221の回路の構成を適宜変更してもよい。

[0077]

図3(B1)には、NOSRAMのメモリセルの回路構成の例を示している。メモリセル231は、トランジスタM2と、トランジスタM3と、容量素子CBと、を有する。なお、トランジスタM2は、フロントゲート（単にゲートと呼ぶ場合がある。）、及びバックゲートを有する。

[0078]

トランジスタM2は、メモリセル231における書き込みトランジスタとして機能する。なお、当該書き込みトランジスタは、後述するOSトランジスタであることが好ましい。

[0079]

また、トランジスタM3は、メモリセル231における読み出しトランジスタとして機能する。当該読み出しトランジスタは、後述するOSトランジスタ、又は半導体層にシリコンが含まれるトランジスタであることが好ましい。なお、本動作例において、トランジスタM3は、特に断りのない場合は、飽和領域で動作するものとする。すなわち、トランジスタM3のゲート電圧、ソース電圧、及びドレイン電圧は、飽和領域で動作する範囲での電圧に適切にバイアスされているものとする。

[0080]

トランジスタM2の第1端子は、容量素子CBの第1端子と接続され、トランジスタM2の第2端子は、配線WBLと接続され、トランジスタM2のゲートは、配線WOLと接続され、トランジスタM2のバックゲートは、配線BGLと接続されている。容量素子CBの第2端子は、配線CALと接

続されている。トランジスタM3の第1端子は、配線RBLと接続され、トランジスタM3の第2端子は、配線SLと接続され、トランジスタM3のゲートは、容量素子CBの第1端子と接続されている。

[0081]

配線WBLは、書き込みビット線として機能し、配線RBLは、読み出しビット線として機能し、配線WOLは、ワード線として機能する。配線CALは、容量素子CBの第2端子に所定の電位を印加するための配線として機能する。データ保持の最中において、配線CALには、低レベル電位（基準電位という場合がある）を印加するのが好ましく、データの書き込み時、データの読み出し時において、配線CALには、高レベル電位を印加するのが好ましい

[0082]

配線BGLは、トランジスタM2のバックゲートに電位を印加するための配線として機能する。配線BGLに任意の電位を印加することによって、トランジスタM2のしきい値電圧を増減することができる。

[0083]

データの書き込みは、配線WOLに高レベル電位を印加し、トランジスタM2をオン状態にし、配線WBLと容量素子CBの第1端子との間を導通状態にすることによって行われる。具体的には、トランジスタM2がオン状態のときに、配線WBLに記録する情報に対応する電位を印加し、容量素子CBの第1端子、及びトランジスタM3のゲートに該電位を書き込む。その後、配線WOLに低レベル電位を印加し、トランジスタM2をオフ状態にすることによって、容量素子CBの第1端子の電位、及びトランジスタM3のゲートの電位が保持される。

[0084]

データの読み出しは、配線SLに所定の電位を印加することによって行われる。トランジスタM3のソースドレイン間に流れる電流、及びトランジスタM3の第1端子の電位は、トランジスタM3のゲートの電位、及びトランジスタM3の第2端子の電位によって決まるので、トランジスタM3の第1端子に接続されている配線RBLの電位を読み出すことによって、容量素子CBの第1端子（又はトランジスタM3のゲート）に保持されている電位を読み出すことができる。つまり、容量素子CBの第1端子（又はトランジスタM3のゲート）に保持されている電位から、このメモリセルに書き込まれている情報を読み出すことができる。

[0085]

また、上述したメモリセル231は、図3（B1）に図示した回路構成に限定されず、メモリセル231の回路の構成を適宜変更してもよい。例えば、配線WBLと配線RBLを一本の配線BILとしてまとめた構成であってもよい。そのメモリセルの回路構成例を図3（B2）に示す。メモリセル232は、メモリセル231の配線WBLと配線RBLを一本の配線BILとして、トランジスタM2の第2端子、及びトランジスタM3の第1端子が、配線BILと接続されている構成となっている。つまり、メモリセル232は、書き込みビット線と、読み出しビット線と、を一本の配線BILとして動作する構成となっている。

[0086]

DOSRAM、及びNOSRAMは、上述の通り、書き込みトランジスタとしてOSトランジスタを有する記憶装置である。OSトランジスタの半導体層は、実施の形態3で説明する金属酸化物を有する。金属酸化物としては、例えば、インジウム、元素M（元素Mはアルミニウム、ガリウム、イッ

トリウム、またはスズ)、亜鉛から一又は複数選ばれる材料とすることができる。特に、インジウム、ガリウム、亜鉛からなる金属酸化物が、当該半導体層に含まれることによって、当該半導体層のバンドギャップを大きくすることができる。そのため、OSトランジスタのオフ電流を小さくすることができる。

[0087]

<記憶装置の各階層の記憶領域の変更方法>

ところで、OSトランジスタは、実施の形態3で説明する構造を適用することによって、バックゲートを有することができる。バックゲートを有するOSトランジスタにおいて、バックゲートに電位を印加することによって、OSトランジスタのしきい値電圧を変動させることができる。例えば、OSトランジスタをnチャネル型トランジスタとした場合、バックゲートに正電位を印加することによって、そのOSトランジスタのしきい値電圧をマイナス側に変動させることができ、逆にバックゲートに負電位を印加することによって、そのOSトランジスタのしきい値電圧をプラス側に変動させることができる。

[0088]

OSトランジスタのしきい値電圧を変動させることによって、そのOSトランジスタのオフ電流を増減することができる。OSトランジスタのオフ電流を増やした場合、OSトランジスタのソースドレイン間を介した、保持しているデータに応じた電荷の移動が早くなるため、データの保持時間が短くなり、OSトランジスタの動作速度（駆動周波数という場合がある。）を速くすることができる。また、OSトランジスタのオフ電流を減らした場合、OSトランジスタのソースドレイン間を介した、保持しているデータに応じた電荷の移動が遅くなるため、データの保持時間が長くなり、OSトランジスタの動作速度が遅くすることができる。つまり、OSトランジスタのしきい値電圧を変動させることによって、データの保持時間及び動作速度を調整することができる。

[0089]

ここで、半導体装置11の記憶回路220として上述のDOSRAMを適用し、記憶回路230として上述のNOSRAMを適用した場合を考える。例えば、図1(A)(B)の半導体装置11において、第1記憶領域として用いている記憶回路210の記憶容量が不足し、かつ第2記憶領域120として用いている記憶回路220の記憶容量が余っている場合、図4(A)に示すとおり、記憶回路220の一部である記憶回路220aが有するOSトランジスタのしきい値電圧を低くして、記憶回路220aのデータの保持時間を短くし、かつ動作速度を速くすることによって、記憶回路220aを第1記憶領域110として活用することができる。

[0090]

具体的には、記憶回路220aのメモリセル221のトランジスタM1を、ゲートに印加する電位の範囲として-0.8V以上2.5V以下で動作させる場合、トランジスタM1のバックゲートには、例えば、-1.5V以上1.5V未満の電圧を与えることによって、記憶回路220aを第1記憶領域110として活用することができる。

[0091]

また、例えば、図1(A)(B)の半導体装置11において、第3記憶領域130として用いている記憶回路230の記憶容量が不足し、かつ第2記憶領域120として用いている記憶回路220の記憶容量が余っている場合、図4(A)に示すとおり、記憶回路220の一部である記憶回路220bが有するOSトランジスタのしきい値電圧を大きくして、記憶回路220bのデータの保持時

間を長くし、かつ動作速度を遅くすることで、記憶回路220bを第3記憶領域130として活用することができる。

[0092]

具体的には、記憶回路220bのメモリセル221のトランジスタM1を、ゲートに印加する電位の範囲として-0.8V以上2.5V以下で動作させる場合、トランジスタM1のバックゲートには、例えば、-7.5V以上-4.5V未満の電圧を与えることによって、記憶回路220aを第3記憶領域130として活用することができる。

[0093]

なお、図1(A)(B)の半導体装置11において、記憶回路220の記憶領域を別の階層に変更しない場合、つまり、記憶回路220を第2記憶領域120として、通常通りに動作をさせる場合、トランジスタM1のゲートに印加する電位の範囲を-0.8V以上2.5V以下として、トランジスタM1のバックゲートには、例えば、-4.5V以上-1.5V未満の電圧を与えればよい。

[0094]

また、例えば、図1(A)(B)の半導体装置11において、第2記憶領域120として用いている記憶回路220の記憶容量が不足し、かつ第3記憶領域130として用いている記憶回路230の記憶容量が余っている場合、図4(B)に示すとおり、記憶回路230の一部である記憶回路230aが有するOSトランジスタのしきい値電圧を小さくして、記憶回路230aのデータの保持時間を短くすることで、記憶回路230aを第2記憶領域120として活用することができる。

[0095]

具体的には、記憶回路230aのメモリセル231(メモリセル232)のトランジスタM2を、ゲートに印加する電位の範囲として-0.8V以上2.5V以下で動作させる場合、トランジスタM2のバックゲートには、例えば、-4.5V以上-1.5V未満の電圧を与えることによって、記憶回路230aを第2記憶領域120として活用することができる。

[0096]

また、例えば、図1(A)(B)の半導体装置11において、第4記憶領域140として用いている記憶回路240の記憶容量が不足し、かつ第3記憶領域130として用いている記憶回路230の記憶容量が余っている場合、図4(B)に示すとおり、記憶回路230の一部である記憶回路230bが有するOSトランジスタのしきい値電圧を大きくして、記憶回路230bのデータの保持時間を長くすることで、記憶回路230bを第4記憶領域140として活用することができる。

[0097]

具体的には、記憶回路230bのメモリセル231(メモリセル232)のトランジスタM2を、ゲートに印加する電位の範囲として-0.8V以上2.5V以下で動作させる場合、トランジスタM2のバックゲートには、例えば、-7.5V未満の電圧を与えることによって、記憶回路230bを第4記憶領域140として活用することができる。

[0098]

なお、図1(A)(B)の半導体装置11において、記憶回路230の記憶領域を別の階層に変更しない場合、つまり、記憶回路230を第3記憶領域130として、通常通りに動作をさせる場合、トランジスタM1のゲートに印加する電位の範囲を-0.8V以上2.5V以下として、トランジスタM1のバックゲートには、例えば、-7.5V以上-4.5V未満の電圧を与えればよい。

[0099]

さらに、メモリセル221のトランジスタM1、メモリセル231（メモリセル232）のトランジスタM2のそれぞれのゲートに印加する電圧の範囲を互いにほぼ同じにすることができる。具体的には、トランジスタM1、及びトランジスタM2のそれぞれのゲートに印加するための正電圧（又は負電圧）を生成する回路は、互いに同じ回路を用いることができる。これにより、トランジスタM1、及びトランジスタM2のゲートに印加する電圧を生成する回路の数を多く設ける必要がなくなるため、半導体装置11の消費電力を低く抑えることができる。特にトランジスタのゲートに負電圧を印加する場合、その負電圧の生成に消費電力が大きくなることがあるため、トランジスタM1、及びトランジスタM2のそれぞれのゲートに印加するための負電圧の生成回路（例えば、チャージポンプ回路などが挙げられる。）は、互いに共有して用いられることが好ましい。

[0100]

ところで、上述したトランジスタM1（トランジスタM2）のゲート及びバックゲートに与える電圧の範囲は、一例である。半導体装置全般において、当該半導体装置が有するトランジスタの半導体層の材料、構造などによって、トランジスタの特性が変化するため、状況に応じて、ゲート及びバックゲートに与える電圧の範囲を設定する必要がある。

[0101]

また、半導体装置全般において、当該半導体装置が駆動する環境に応じて、トランジスタの特性が変化する場合がある。具体的には、当該半導体装置が駆動する環境の温度が高くなるほど、当該トランジスタのゲートソース間電圧に応じたドレイン電流は大きくなり、また、当該トランジスタの駆動周波数も高くなる。つまり、環境の温度によっては、半導体装置の性能が変化する場合がある。そのため、半導体装置は、環境の温度に応じて、書き込みトランジスタであるOSトランジスタのバックゲートに与える電圧を変化させることによって、トランジスタの特性を適切に調整する構成とするのがより好ましい。つまり、メモリセル221、メモリセル231（メモリセル232）が有するトランジスタM1、トランジスタM2のそれぞれのバックゲートに対して、半導体装置11が駆動する環境の温度に応じた電圧を与えることによって、記憶回路220及び記憶回路230のそれぞれは当該環境の温度に適した動作を行うことができる。

[0102]

<制御回路20>

次に、記憶回路220及び記憶回路230のそれぞれが有する書き込みトランジスタ（図3（A）におけるトランジスタM1、図3（B1）（B2）におけるトランジスタM2に相当する。）のしきい値電圧を制御するための回路構成について説明する。

[0103]

図5は、当該書き込みトランジスタのしきい値電圧を制御するための制御回路20を表したブロック図である。なお、図5には、記憶装置との電気的な接続も説明するため、記憶回路220と、記憶回路230と、を含む記憶部30も図示している。

[0104]

制御回路20は、制御部21と、電圧生成回路22[1]乃至電圧生成回路22[P]（Pは1以上の整数である。）と、回路23Aと、回路23Bと、温度検知回路25と、を有する。なお、環境の温度に応じてバックゲートの電位を変動させない場合、制御回路20は、温度検知回路25を除いた構成とすることができる。

[0105]

制御部 2 1 は、記憶部 3 0 と、電圧生成回路 2 2 [ 1 ] 乃至電圧生成回路 2 2 [ P ] と、回路 2 3 A と、回路 2 3 B と、温度検知回路 2 5 と、に電氣的に接続されている。電圧生成回路 2 2 [ 1 ] 乃至電圧生成回路 2 2 [ P ] のそれぞれは、回路 2 3 A と回路 2 3 B と、に電氣的に接続されている。回路 2 3 A は、複数の配線 B G L 1 を介して、記憶回路 2 2 0 に電氣的に接続され、回路 2 3 B は、複数の配線 B G L 2 を介して、記憶回路 2 3 0 に電氣的に接続されている。

[ 0 1 0 6 ]

記憶部 3 0 は、記憶回路 2 2 0 及び記憶回路 2 3 0 のそれぞれの使用状態（例えば、全ての記憶容量のうち、使用されている記憶容量の割合など。）に関する信号を、制御部 2 1 に対して送信する機能を有する。制御部 2 1 は、当該信号を受け取ることによって、当該使用状態に応じて、記憶部 3 0 の各階層（例えば、図 1 ( B ) に示す第 1 記憶領域 1 1 0、第 2 記憶領域 1 2 0、第 3 記憶領域 1 3 0、第 4 記憶領域 1 4 0。）の割り当ての変更を行うために、制御回路 2 0 に含まれる各回路に信号を送信する。具体的には、制御部 2 1 は、電圧生成回路 2 2 [ 1 ] 乃至電圧生成回路 2 2 [ P ] と、回路 2 3 A と、回路 2 3 B と、に信号の送信を行う。

[ 0 1 0 7 ]

電圧生成回路 2 2 [ 1 ] 乃至電圧生成回路 2 2 [ P ] のそれぞれは、書き込みトランジスタのバックゲートに与える電圧を生成する機能を有する。また、電圧生成回路 2 2 [ 1 ] 乃至電圧生成回路 2 2 [ P ] は、制御部 2 1 から送られる信号に応じて、当該電圧の生成を開始する、又は当該電圧の生成を停止する機能を有する。この機能によって、記憶部 3 0 の各階層の割り当てにおいて必要な電圧を生成する電圧生成回路のみ駆動し、必要の無い電圧生成回路を停止することができる。このため、電圧生成回路 2 2 [ 1 ] 乃至電圧生成回路 2 2 [ P ] のうち、必要な回路のみを駆動することができるため、制御回路 2 0 の消費電力を低くすることができる。

[ 0 1 0 8 ]

また、電圧生成回路 2 2 [ 1 ] 乃至電圧生成回路 2 2 [ P ] のうち、負電圧を生成する回路は、例えば、チャージポンプ回路を用いることができる。

[ 0 1 0 9 ]

回路 2 3 A は、複数の配線 B G L 1 のそれぞれに与える電圧を、電圧生成回路 2 2 [ 1 ] 乃至電圧生成回路 2 2 [ P ] のそれぞれで生成された電圧から選択する機能を有する。なお、複数の配線 B G L 1 のそれぞれに、どの電圧が選択されるかは、制御部 2 1 から送られる信号に応じて決められる。この機能により、記憶回路 2 2 0 に含まれる書き込みトランジスタのバックゲートに、配線 B G L 1 から所定の電圧を印加することができ、記憶回路 2 2 0 を割り当てる階層ごとに応じた領域に分けることができる。例えば、記憶回路 2 2 0 を p 個（p は 2 以上 P 以下の整数である。）の階層に分ける場合、回路 2 3 A は、複数の配線 B G L 1 に p 種の電圧を与えて、記憶回路 2 2 0 を p 個の領域に分ければよい。

[ 0 1 1 0 ]

同様に、回路 2 3 B は、複数の配線 B G L 2 のそれぞれに与える電圧を、電圧生成回路 2 2 [ 1 ] 乃至電圧生成回路 2 2 [ P ] のそれぞれで生成された電圧から選択する機能を有する。なお、複数の配線 B G L 2 のそれぞれに、どの電圧が選択されるかは、制御部 2 1 から送られる信号に応じて決められる。この機能により、記憶回路 2 3 0 に含まれる書き込みトランジスタのバックゲートに、配線 B G L 2 から所定の電圧を印加することができ、記憶回路 2 3 0 を割り当てる階層ごとに応じた領域に分けることができる。

[0111]

<動作例>

ここで、制御回路20の動作例について説明する。なお、本動作例では、環境の温度に応じてバックゲートの電位を変動させない場合について説明する。

[0112]

動作例の初期の段階として、例えば、記憶部30の使用状態として、図6に示すとおり、第2記憶領域120が割り当てられている記憶回路220の記憶容量の全てがデータの保持として使われ、第3記憶領域130が割り当てられている記憶回路230の記憶容量の一部がデータの保持として使われている場合を考える。なお、この時点では、電圧生成回路22[p1]（p1は1以上P以下の整数である。）が、記憶回路220のメモリセルのうち第2記憶領域120として用いられるメモリセルに含まれる書き込みトランジスタのバックゲートに印加する電圧を生成し、電圧生成回路22[p2]（p2は1以上P以下で、かつp1でない整数である。）が、記憶回路230のメモリセルのうち第3記憶領域130として用いられるメモリセルに含まれる書き込みトランジスタのバックゲートに印加する電圧を生成しているものとする。

[0113]

この場合において、記憶部30が第2記憶領域120の記憶容量が足りないと判断したとき、記憶部30は、記憶回路220の記憶容量の全てが使用状態であり、記憶回路230の記憶容量の一部に空きがあることを、信号Sig1として制御部21に送信する。

[0114]

制御部21は、当該信号を受信することによって、電圧生成回路22[1]乃至電圧生成回路22[P]に信号Sig2を送信し、回路23Bに信号Sig3を送信する。信号Sig2及び信号Sig3は、記憶回路230に第2記憶領域120を割り当てるための信号である。

[0115]

具体的には、信号Sig2は、記憶回路230の所定の領域に第2記憶領域120を割り当てるために、当該領域に含まれる書き込みトランジスタのバックゲートに印加する電圧を生成する回路を選択するための信号とすることができる。なお、ここでは、当該回路として電圧生成回路22[p3]（p3は1以上P以下で、かつp2でない整数である。）が選択されたものとする。電圧生成回路22[p3]は、電圧生成回路22[p1]と同一としてもよいし、別の回路としてもよい。

[0116]

なお、信号Sig2において、選択されなかった電圧生成回路については、上述の通り、停止する構成とすることができる。例えば、電圧生成回路と、駆動電圧を供給する配線との間の電氣的な接続をスイッチング素子などによって非導通状態にすることによって、当該電圧生成回路を停止することができる。これにより、必要な電圧生成回路のみを駆動することができるため、制御回路20の消費電力を低くすることができる。

[0117]

また、信号Sig3は、記憶回路230の当該所定の領域の書き込みトランジスタのバックゲートに電氣的に接続されているBGL2に、電圧生成回路22[p3]で生成した電圧を印加する命令を含む信号とすることができる。また、信号Sig3は、記憶回路230の第3記憶領域130の領域に含まれる書き込みトランジスタのバックゲートに、引き続き電圧生成回路22[p2]で生成された電圧を印加する命令を含んでもよい。

[0118]

信号S i g 3が回路23Bに送られることによって、電圧生成回路22[p3]で生成した電圧を、記憶回路230の、新たに第2記憶領域120を割り当てる領域の書き込みトランジスタのバックゲートに与えることができる。これにより、記憶回路230の所定の領域に第2記憶領域120を割り当てることができる。図7に示すブロック図は、図6に示すブロック図の続きを示したもので、信号S i g 3が回路23Bに送られることによって、記憶部30の記憶回路230の残っている記憶容量の空いた領域の全てを第2記憶領域120に割り当てた例を示している。

[0119]

&lt;温度制御&gt;

次に、環境の温度に応じて、記憶部30の書き込みトランジスタ（トランジスタM1、トランジスタM2）のバックゲートに与える電位を変化させる方法について説明する。

[0120]

温度検知回路25は、一例として、図8に示す構成とすることができる。なお、温度検知回路25との電気的な接続構成を説明するため、図8には、制御部21、電圧生成回路22[1]、電圧生成回路22[P]、回路23A、配線BGL1も図示している。なお、回路23B、配線BGL2、記憶部30については省略している。

[0121]

温度検知回路25は、温度センサ25aと、アナログデジタル変換回路25bと、電圧制御回路25cと、を有する。

[0122]

温度センサ25aは、半導体装置11の周辺の温度をセンシングして、当該温度に応じたアナログ信号を出力する機能を有する。出力された当該アナログ信号は、アナログデジタル変換回路25bに対して送られる。温度センサ25aとしては、例えば、白金、ニッケルまたは銅などの测温抵抗体、サーミスタ、熱電対、IC温度センサなどを用いることができる。

[0123]

アナログデジタル変換回路25bは、アナログ信号をデジタル信号に変換する機能を有する。当該デジタル信号は、電圧制御回路25cに対して送られる。

[0124]

電圧制御回路25cは、当該デジタル信号に応じて、補正電圧を生成する機能を有する。例えば、電圧制御回路25cは、デジタル信号と補正電圧とを紐付けする対応表が記録されている記憶装置と、補正電圧を生成する回路と、を有しており、アナログデジタル変換回路25bから送られてきたデジタル信号から、該当する補正電圧の高さを読み出す。補正電圧の高さを読み出した後は、補正電圧を生成する回路によって該当する補正電圧を生成して、制御部21を介して、回路23A、回路23Bに対して送られる。なお、図5、図6、図7、図8では、温度検知回路25は、制御部21に電氣的に接続されているが、温度検知回路25は、直接、回路23A、回路23Bに電氣的に接続されていてもよい。

[0125]

ここで、回路23A（回路23B）は複数の容量素子CFを有し、複数の容量素子CFのそれぞれの2対の電極の一方は、複数の配線BGL1（複数の配線BGL2）に電氣的に接続されているものとする。回路23A（回路23B）に送られた補正電圧は、容量素子CFの2対の電極の他方に印加

される。

[0126]

ところで、回路23A（回路23B）は、内部回路23INを有する。内部回路23INは、制御部21から信号を受け取ることで、当該信号に応じて、複数の配線BGL1（複数の配線BGL2）のそれぞれに電圧生成回路22[1]乃至電圧生成回路22[P]で生成された複数種の電圧を印加する機能を有する。

[0127]

環境の温度に応じて、バックゲートの電位を変化させる場合、初めに、内部回路23INによって複数の配線BGL1（複数の配線BGL2）に電位を印加して、その後、当該容量素子の2対の電極の他方に補正電圧を印加する。これにより、それぞれに接続されている容量素子CFの容量結合によって、複数の配線BGL1（複数の配線BGL2）の電位が、補正電圧に応じて変動する。このように、半導体装置11は温度検知回路25を有することにより、環境の温度に応じて、記憶部30の書き込みトランジスタの特性を補正することができる。

[0128]

なお、本発明の一態様は、本実施の形態で述べた回路の構成に限定されず、適宜変更することができる。

[0129]

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

[0130]

（実施の形態2）

本実施の形態では、上記実施の形態で説明したDOSRAM、NOSRAMなどを構成するメモリセルアレイ40とその周辺回路の構成例について説明する。なお、本実施の形態では、メモリセルアレイ40とその周辺回路をまとめて記憶装置200と呼称する。

[0131]

<記憶装置の構成例>

図9に記憶装置の構成の一例を示す。記憶装置200は、周辺回路50、およびメモリセルアレイ40を有する。周辺回路50は、ローデコーダ53、ワード線ドライバ回路51、ビット線ドライバ回路52、出力回路54、コントロールロジック回路56を有する。また、図9には、実施の形態1で説明した制御回路20も図示している。

[0132]

ビット線ドライバ回路52は、カラムデコーダ52a、プリチャージ回路52b、センスアンプ52c、および書き込み回路52dを有する。プリチャージ回路52bは、配線SL、配線CAL、配線BILなどをプリチャージする機能を有する。センスアンプ52cは、配線BIL、配線RBLから読み出されたデータ信号を増幅する機能を有する。なお、配線SL、配線CAL、及び配線RBLは、メモリセルアレイ40が有するメモリセルに接続されている配線であり、詳しくは後述する。増幅されたデータ信号は、出力回路54を介して、デジタルのデータ信号RDATAとして記憶装置200の外部に出力される。

[0133]

記憶装置200には、外部から電源電圧として低電源電圧（VSS）、周辺回路50用の高電源電圧（VDD）、メモリセルアレイ40用の高電源電圧（VIL）が供給される。

[0134]

また、記憶装置200には、制御信号(CE、WE、RE)、アドレス信号ADDR、データ信号WDATAが外部から入力される。アドレス信号ADDRは、ローデコーダ53およびカラムデコーダ52aに入力され、WDATAは書き込み回路52dに入力される。

[0135]

コントロールロジック回路56は、外部からの入力信号(CE、WE、RE)を処理して、ローデコーダ53、カラムデコーダ52aの制御信号を生成する。CEは、チップイネーブル信号であり、WEは、書き込みイネーブル信号であり、REは、読み出しイネーブル信号である。コントロールロジック回路56が処理する信号は、これに限定されるものではなく、必要に応じて、他の制御信号を入力すればよい。

[0136]

なお、上述の各回路あるいは各信号は、必要に応じて、適宜、取捨することができる。

[0137]

メモリセルアレイ40だけでなく、周辺回路50もOSトランジスタで構成することが好ましい。そうすることで、周辺回路50とメモリセルアレイ40を、同一の製造工程で作製することが可能になり、記憶装置200の製造コストを低く抑えることができる。

[0138]

<メモリセルアレイの構成例>

メモリセルとしてDOSRAMを適用した場合のメモリセルアレイ40の詳細を、図10に図示する。メモリセルアレイ40は、一列に $m$  ( $m$ は1以上の整数である。)個、一行に $n$  ( $n$ は1以上の整数である。)個、計 $m \times n$ 個のメモリセル221を有し、メモリセル221は行列状に配置されている。図10では、メモリセル221のアドレスも併せて表記しており、 $[1, 1]$ 、 $[m, 1]$ 、 $[i, j]$ 、 $[1, n]$ 、 $[m, n]$  ( $i$ は、1以上 $m$ 以下の整数であり、 $j$ は、1以上 $n$ 以下の整数である。)のアドレスに位置しているメモリセルを図示している。なお、メモリセル221の構成の場合、メモリセルアレイ40とワード線ドライバ回路51とを接続している配線WOLの数は $m$ 本となり(図10では、配線WOL $[1]$ 、配線WOL $[i]$ 、配線WOL $[m]$ のみ図示している。)、メモリセルアレイ40と制御回路20とを接続している配線BGLの数も $m$ 本となる(図10では、配線BGL $[1]$ 、配線BGL $[i]$ 、配線BGL $[m]$ のみ図示している。)。また、メモリセルアレイ40とビット線ドライバ回路52とを接続している配線BILの数は $n$ 本となる(図10では、配線BIL $[1]$ 、配線BIL $[j]$ 、配線BIL $[n]$ のみ図示している。)

[0139]

また、メモリセルとしてNOSRAMを適用した場合のメモリセルアレイ40の詳細を、図11に図示する。メモリセルアレイ40は、一列に $m$  ( $m$ は1以上の整数である。)個、一行に $n$  ( $n$ は1以上の整数である。)個、計 $m \times n$ 個のメモリセル231を有し、メモリセル231は行列状に配置されている。図11では、メモリセル231のアドレスも併せて表記しており、 $[1, 1]$ 、 $[m, 1]$ 、 $[i, j]$ 、 $[1, n]$ 、 $[m, n]$  ( $i$ は、1以上 $m$ 以下の整数であり、 $j$ は、1以上 $n$ 以下の整数である。)のアドレスに位置しているメモリセルを図示している。なお、メモリセル231の構成の場合、メモリセルアレイ40とワード線ドライバ回路51とを接続している配線WOLの数は $m$ 本となり(図11では、配線WOL $[1]$ 、配線WOL $[i]$ 、配線WOL $[m]$ のみ図示している。)、メモリセルアレイ40と制御回路20とを接続している配線BGLの数も $m$ 本となる(図11では、配

線BGL [1]、配線BGL [i]、配線BGL [m]のみ図示している。)。なお、配線CALの配線の数もm本となっているが(図11では、配線CAL [1]、配線CAL [i]、配線CAL [m]のみ図示している。)、配線CALを介してメモリセル231と接続される先については省略している。また、メモリセルアレイ40とビット線ドライバ回路52とを接続している配線RBL、配線WBL、配線SLのそれぞれの数はn本となる(図11では、配線RBL [1]、配線RBL [j]、配線RBL [n]、配線WBL [1]、配線WBL [j]、配線WBL [n]、配線SL [1]、配線SL [j]、配線SL [n]のみ図示している。))。

[0140]

図10、図11のそれぞれに図示したメモリセルアレイ40において、配線BGL [1]乃至配線BGL [m]は行ごとに設けられているため、実施の形態1で説明した記憶装置の各層の領域の変更は、行単位で行われる。なお、メモリセルアレイ40が有するメモリセル221(メモリセル231)のトランジスタM1(トランジスタM2)のバックゲートに電氣的に接続される配線BGLの配置は、図10、図11に限定されない。例えば、複数のメモリセル221(メモリセル231)のトランジスタM1(トランジスタM2)のそれぞれに配線BGLを設けて、メモリセル221(メモリセル231)ごとに記憶装置の各層の領域の変更を行ってもよい。また、例えば、メモリセルアレイ40のメモリセル221(メモリセル231)を2×2や2×3などの領域に分割して、当該領域ごとにそれぞれ異なる配線BGLを設けて、記憶装置の各層の領域の変更を行ってもよい。

[0141]

なお、図10、図11に示すメモリセルアレイ40のそれぞれでは、メモリセル221、メモリセル231を2次元に配置されている構成としているが、図12(A)(B)に示すように3次元で配置されている構成としてもよい。図12(A)では、メモリセルアレイ40内に設けられている配線BILは、ビット線ドライバ回路52に対して略垂直となっている。また、図12(B)では、複数のメモリセルアレイ40とビット線ドライバ回路52とのそれぞれが互いに重畳されている。なお、図12(A)(B)では、メモリセル221の場合を図示したが、メモリセル231でも同様に3次元に配置することができる。図12(A)(B)では、下層にビット線ドライバ回路52を図示したが、ビット線ドライバ回路52の代わりに、ワード線ドライバ回路51、ローデコーダ53、又はこれらから複数選択して積層した回路としてもよい。

[0142]

図10、図11に示すとおり、記憶装置200を構成することによって、回路面積を小さくし、かつ記憶容量を大きくすることができる。

[0143]

さらに、図12(A)(B)では、図10に示したメモリセルアレイ40を複数有する構成としたが、図13に示すように図10、図11に示すメモリセルアレイ40のそれぞれを互いに重畳した構成としてもよい。つまり、記憶装置200は、DOSRAMと、NOSRAMと、が互いに重畳している構成、つまり、記憶回路220と、記憶回路230と、が互いに重畳している構成としてもよい。なお、図13では、その重畳している構成を明瞭に示すため、それぞれのメモリセルアレイ40とビット線ドライバ回路52との電氣的な接続を省略している。また、図13では、下層にビット線ドライバ回路52を図示したが、ビット線ドライバ回路52の代わりに、ワード線ドライバ回路51、ローデコーダ53、又はこれらから複数選択して積層した回路としてもよい。特に、下層に電圧生成回路、プリチャージ回路などの回路を設けることにより、記憶回路220、及び記憶回路230のそれ

それぞれの動作において、当該回路を互いに共有することができる。

[0144]

なお、本発明の一態様は、本実施の形態で述べた回路の構成に限定されず、適宜変更することができる。例えば、本実施の形態では、メモリセルアレイ40はメモリセル221、及びメモリセル231を適用した場合について説明したが、別のメモリセルを適用してもよい。

[0145]

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

[0146]

(実施の形態3)

本実施の形態では、上記実施の形態で説明した半導体装置に適用可能なOSトランジスタの構成例について説明する。

[0147]

<半導体装置の構成例>

図14に示す半導体装置は、トランジスタ300と、トランジスタ500と、容量素子600と、を有している。図15(A)はトランジスタ500のチャンネル長方向の断面図であり、図15(B)はトランジスタ500のチャンネル幅方向の断面図であり、図15(C)はトランジスタ300のチャンネル幅方向の断面図である。

[0148]

トランジスタ500は、チャンネル形成領域に金属酸化物を有するトランジスタ(OSトランジスタ)である。トランジスタ500は、オフ電流が小さいため、これを半導体装置、特にメモリセル231のトランジスタM2に用いることにより、長期にわたり第1データを保持することが可能である。つまり、リフレッシュ動作の頻度が少ない、あるいは、リフレッシュ動作を必要としないため、半導体装置の消費電力を低減することができる。

[0149]

トランジスタ500はトランジスタ300の上方に設けられ、容量素子600はトランジスタ300、及びトランジスタ500の上方に設けられている。なお、容量素子600は、メモリセル231における容量素子CBとすることができる。

[0150]

トランジスタ300は、基板311上に設けられ、導電体316、絶縁体315、基板311の一部からなる半導体領域313、ソース領域又はドレイン領域として機能する低抵抗領域314a、及び低抵抗領域314bを有する。なお、トランジスタ300は、例えば、上記実施の形態におけるトランジスタM3に適用することができる。

[0151]

トランジスタ300は、図15(C)に示すように、半導体領域313の上面及びチャンネル幅方向の側面が絶縁体315を介して導電体316に覆われている。このように、トランジスタ300をFin型とすることにより、実効上のチャンネル幅が増大することによりトランジスタ300のオン特性を向上させることができる。また、ゲート電極の電界の寄与を高くすることができるため、トランジスタ300のオフ特性を向上させることができる。

[0152]

なお、トランジスタ300は、pチャンネル型、あるいはnチャンネル型のいずれでもよい。

[0153]

半導体領域313のチャネルが形成される領域、その近傍の領域、ソース領域、又はドレイン領域となる低抵抗領域314a、及び低抵抗領域314bなどにおいて、シリコン系半導体などの半導体を含むことが好ましく、単結晶シリコンを含むことが好ましい。又は、Ge（ゲルマニウム）、SiGe（シリコンゲルマニウム）、GaAs（ガリウムヒ素）、GaAlAs（ガリウムアルミニウムヒ素）などを有する材料で形成してもよい。結晶格子に応力を与え、格子間隔を変化させることで有効質量を制御したシリコンを用いた構成としてもよい。又はGaAsとGaAlAs等を用いることで、トランジスタ300をHEMT（High Electron Mobility Transistor）としてもよい。

[0154]

低抵抗領域314a、及び低抵抗領域314bは、半導体領域313に適用される半導体材料に加え、ヒ素、リンなどのn型の導電性を付与する元素、又はホウ素などのp型の導電性を付与する元素を含む。

[0155]

ゲート電極として機能する導電体316は、ヒ素、リンなどのn型の導電性を付与する元素、もしくはホウ素などのp型の導電性を付与する元素を含むシリコンなどの半導体材料、金属材料、合金材料、又は金属酸化物材料などの導電性材料を用いることができる。

[0156]

なお、導電体の材料によって仕事関数が決まるため、当該導電体の材料を選択することで、トランジスタのしきい値電圧を調整することができる。具体的には、導電体に窒化チタンや窒化タンタルなどの材料を用いることが好ましい。さらに導電性と埋め込み性を両立するために導電体にタングステンやアルミニウムなどの金属材料を積層として用いることが好ましく、特にタングステンをうることが耐熱性の点で好ましい。

[0157]

なお、図14に示すトランジスタ300は一例であり、その構造に限定されず、回路構成や駆動方法に応じて適切なトランジスタを用いればよい。例えば、トランジスタ300の構成を、酸化物半導体を用いているトランジスタ500と同様の構成にしてもよい（図示しない）。なお、トランジスタ500の詳細については後述する。

[0158]

トランジスタ300を覆って、絶縁体320、絶縁体322、絶縁体324、及び絶縁体326が順に積層して設けられている。

[0159]

絶縁体320、絶縁体322、絶縁体324、及び絶縁体326として、例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、窒化アルミニウムなどを用いればよい。

[0160]

なお、本明細書中において、酸化窒化シリコンとは、その組成として窒素よりも酸素の含有量が多い材料を指し、窒化酸化シリコンとは、その組成として、酸素よりも窒素の含有量が多い材料を示す。また、本明細書中において、酸化窒化アルミニウムとは、その組成として窒素よりも酸素の含有量が多い材料を指し、窒化酸化アルミニウムとは、その組成として、酸素よりも窒素の含有量が多い材料

を示す。

[0161]

絶縁体322は、その下方に設けられるトランジスタ300などによって生じる段差を低減するための平坦化膜としての機能を有していてもよい。例えば、絶縁体322の上面は、平坦性を高めるために化学機械研磨（CMP）法等を用いた平坦化処理により平坦化されていてもよい。

[0162]

また、絶縁体324には、基板311、又はトランジスタ300などから、トランジスタ500が設けられる領域に、水素や不純物が拡散しないようなバリア性を有する膜を用いることが好ましい。

[0163]

水素に対するバリア性を有する膜の一例として、例えば、CVD法で形成した窒化シリコンを用いることができる。ここで、トランジスタ500等の酸化物半導体を有する半導体素子に、水素が拡散することで、当該半導体素子の特性が低下する場合がある。したがって、トランジスタ500と、トランジスタ300との間に、水素の拡散を抑制する膜を用いることが好ましい。水素の拡散を抑制する膜とは、具体的には、水素の脱離量が少ない膜とする。

[0164]

水素の脱離量は、例えば、昇温脱離ガス分析法（TDS）などを用いて分析することができる。例えば、絶縁体324の水素の脱離量は、TDS分析において、膜の表面温度が50℃から500℃の範囲において、水素原子に換算した脱離量が、絶縁体324の面積当たりに換算して、 $10 \times 10^{15} \text{ atoms/cm}^2$ 以下、好ましくは $5 \times 10^{15} \text{ atoms/cm}^2$ 以下であればよい。

[0165]

なお、絶縁体326は、絶縁体324よりも比誘電率が低いことが好ましい。例えば、絶縁体326の比誘電率は4未満が好ましく、3未満がより好ましい。また例えば、絶縁体326の比誘電率は、絶縁体324の比誘電率の0.7倍以下が好ましく、0.6倍以下がより好ましい。比誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。

[0166]

また、絶縁体320、絶縁体322、絶縁体324、及び絶縁体326には容量素子600、又はトランジスタ500と接続する導電体328、及び導電体330等が埋め込まれている。なお、導電体328、及び導電体330は、プラグ又は配線としての機能を有する。また、プラグ又は配線としての機能を有する導電体は、複数の構造をまとめて同一の符号を付与する場合がある。また、本明細書等において、配線と、配線と接続するプラグとが一体物であってもよい。すなわち、導電体の一部が配線として機能する場合、及び導電体の一部がプラグとして機能する場合もある。

[0167]

各プラグ、及び配線（導電体328、導電体330等）の材料としては、金属材料、合金材料、金属窒化物材料、又は金属酸化物材料などの導電性材料を、単層又は積層して用いることができる。耐熱性と導電性を両立するタングステンやモリブデンなどの高融点材料を用いることが好ましく、特にタングステンを用いることが好ましい。又は、アルミニウムや銅などの低抵抗導電性材料で形成することが好ましい。低抵抗導電性材料を用いることで配線抵抗を低くすることができる。

[0168]

絶縁体326、及び導電体330上に、配線層を設けてもよい。例えば、図14において、絶縁体350、絶縁体352、及び絶縁体354が順に積層して設けられている。また、絶縁体350、絶

縁体 352、及び絶縁体 354 には、導電体 356 が形成されている。導電体 356 は、トランジスタ 300 と接続するプラグ、又は配線としての機能を有する。なお導電体 356 は、導電体 328、及び導電体 330 と同様の材料を用いて設けることができる。

[0169]

なお、例えば、絶縁体 350 は、絶縁体 324 と同様に、水素に対するバリア性を有する絶縁体を用いることが好ましい。また、導電体 356 は、水素に対するバリア性を有する導電体を含むことが好ましい。特に、水素に対するバリア性を有する絶縁体 350 が有する開口部に、水素に対するバリア性を有する導電体が形成される。当該構成により、トランジスタ 300 とトランジスタ 500 とは、バリア層により分離することができ、トランジスタ 300 からトランジスタ 500 への水素の拡散を抑制することができる。

[0170]

なお、水素に対するバリア性を有する導電体としては、例えば、窒化タンタル等を用いるとよい。また、窒化タンタルと導電性が高いタングステンを積層することで、配線としての導電性を保持したまま、トランジスタ 300 からの水素の拡散を抑制することができる。この場合、水素に対するバリア性を有する窒化タンタル層が、水素に対するバリア性を有する絶縁体 350 と接する構造であることが好ましい。

[0171]

絶縁体 354、及び導電体 356 上に、配線層を設けてもよい。例えば、図 14 において、絶縁体 360、絶縁体 362、及び絶縁体 364 が順に積層して設けられている。また、絶縁体 360、絶縁体 362、及び絶縁体 364 には、導電体 366 が形成されている。導電体 366 は、プラグ又は配線としての機能を有する。なお導電体 366 は、導電体 328、及び導電体 330 と同様の材料を用いて設けることができる。

[0172]

なお、例えば、絶縁体 360 は、絶縁体 324 と同様に、水素に対するバリア性を有する絶縁体を用いることが好ましい。また、導電体 366 は、水素に対するバリア性を有する導電体を含むことが好ましい。特に、水素に対するバリア性を有する絶縁体 360 が有する開口部に、水素に対するバリア性を有する導電体が形成されることが好ましい。当該構成により、トランジスタ 300 とトランジスタ 500 とは、バリア層により分離することができ、トランジスタ 300 からトランジスタ 500 への水素の拡散を抑制することができる。

[0173]

絶縁体 364、及び導電体 366 上に、配線層を設けてもよい。例えば、図 14 において、絶縁体 370、絶縁体 372、及び絶縁体 374 が順に積層して設けられている。また、絶縁体 370、絶縁体 372、及び絶縁体 374 には、導電体 376 が形成されている。導電体 376 は、プラグ又は配線としての機能を有する。なお導電体 376 は、導電体 328、及び導電体 330 と同様の材料を用いて設けることができる。

[0174]

なお、例えば、絶縁体 370 は、絶縁体 324 と同様に、水素に対するバリア性を有する絶縁体を用いることが好ましい。また、導電体 376 は、水素に対するバリア性を有する導電体を含むことが好ましい。特に、水素に対するバリア性を有する絶縁体 370 が有する開口部に、水素に対するバリア性を有する導電体が形成されることが好ましい。当該構成により、トランジスタ 300 とトランジ

スタ５００とは、バリア層により分離することができ、トランジスタ３００からトランジスタ５００への水素の拡散を抑制することができる。

[０１７５]

絶縁体３７４、及び導電体３７６上に、配線層を設けてもよい。例えば、図１４において、絶縁体３８０、絶縁体３８２、及び絶縁体３８４が順に積層して設けられている。また、絶縁体３８０、絶縁体３８２、及び絶縁体３８４には、導電体３８６が形成されている。導電体３８６は、プラグ又は配線としての機能を有する。なお導電体３８６は、導電体３２８、及び導電体３３０と同様の材料を用いて設けることができる。

[０１７６]

なお、例えば、絶縁体３８０は、絶縁体３２４と同様に、水素に対するバリア性を有する絶縁体を用いることが好ましい。また、導電体３８６は、水素に対するバリア性を有する導電体を含むことが好ましい。特に、水素に対するバリア性を有する絶縁体３８０が有する開口部に、水素に対するバリア性を有する導電体が形成されることが好ましい。当該構成により、トランジスタ３００とトランジスタ５００とは、バリア層により分離することができ、トランジスタ３００からトランジスタ５００への水素の拡散を抑制することができる。

[０１７７]

上記において、導電体３５６を含む配線層、導電体３６６を含む配線層、導電体３７６を含む配線層、及び導電体３８６を含む配線層、について説明したが、本実施の形態に係る半導体装置はこれに限られるものではない。導電体３５６を含む配線層と同様の配線層を３層以下にしてもよいし、導電体３５６を含む配線層と同様の配線層を５層以上にしてもよい。

[０１７８]

絶縁体３８４上には絶縁体５１０、絶縁体５１２、絶縁体５１４、及び絶縁体５１６が、順に積層して設けられている。絶縁体５１０、絶縁体５１２、絶縁体５１４、及び絶縁体５１６のいずれかは、酸素や水素に対してバリア性のある物質を用いることが好ましい。

[０１７９]

例えば、絶縁体５１０、及び絶縁体５１４には、例えば、基板３１１、又はトランジスタ３００を設ける領域などから、トランジスタ５００を設ける領域に、水素や不純物が拡散しないようなバリア性を有する膜を用いることが好ましい。したがって、絶縁体３２４と同様の材料を用いることができる。

[０１８０]

水素に対するバリア性を有する膜の一例として、ＣＶＤ法で形成した窒化シリコンを用いることができる。ここで、トランジスタ５００等の酸化物半導体を有する半導体素子に、水素が拡散することで、当該半導体素子の特性が低下する場合がある。したがって、トランジスタ５００と、トランジスタ３００との間に、水素の拡散を抑制する膜を用いることが好ましい。水素の拡散を抑制する膜とは、具体的には、水素の脱離量が少ない膜とする。

[０１８１]

また、水素に対するバリア性を有する膜として、例えば、絶縁体５１０、及び絶縁体５１４には、酸化アルミニウム、酸化ハフニウム、酸化タンタルなどの金属酸化物を用いることが好ましい。

[０１８２]

特に、酸化アルミニウムは、酸素、及びトランジスタの電気特性の変動要因となる水素、水分など

の不純物、の両方に対して膜を透過させない遮断効果が高い。したがって、酸化アルミニウムは、トランジスタの作製工程中及び作製後において、水素、水分などの不純物のトランジスタ500への混入を防止することができる。また、トランジスタ500を構成する酸化物からの酸素の放出を抑制することができる。そのため、トランジスタ500に対する保護膜として用いることに適している。

[0183]

また、例えば、絶縁体512、及び絶縁体516には、絶縁体320と同様の材料を用いることができる。また、これらの絶縁体に、比較的比誘電率が低い材料を適用することで、配線間に生じる寄生容量を低減することができる。例えば、絶縁体512、及び絶縁体516として、酸化シリコン膜や酸化窒化シリコン膜などを用いることができる。

[0184]

また、絶縁体510、絶縁体512、絶縁体514、及び絶縁体516には、導電体518、及びトランジスタ500を構成する導電体（例えば、導電体503）等が埋め込まれている。なお、導電体518は、容量素子600、又はトランジスタ300と接続するプラグ、又は配線としての機能を有する。導電体518は、導電体328、及び導電体330と同様の材料を用いて設けることができる。

[0185]

特に、絶縁体510、及び絶縁体514と接する領域の導電体518は、酸素、水素、及び水に対するバリア性を有する導電体であることが好ましい。当該構成により、トランジスタ300とトランジスタ500とは、酸素、水素、及び水に対するバリア性を有する層で、分離することができ、トランジスタ300からトランジスタ500への水素の拡散を抑制することができる。

[0186]

絶縁体516の上方には、トランジスタ500が設けられている。

[0187]

図15(A)、(B)に示すように、トランジスタ500は、絶縁体514及び絶縁体516に埋め込まれるように配置された導電体503と、絶縁体516及び導電体503の上に配置された絶縁体520と、絶縁体520の上に配置された絶縁体522と、絶縁体522の上に配置された絶縁体524と、絶縁体524の上に配置された酸化物530aと、酸化物530aの上に配置された酸化物530bと、酸化物530b上に互いに離れて配置された導電体542a及び導電体542bと、導電体542a及び導電体542b上に配置され、導電体542aと導電体542bの間に重畳して開口が形成された絶縁体580と、開口の底面及び側面に配置された酸化物530cと、酸化物530cの形成面に配置された絶縁体550と、絶縁体550の形成面に配置された導電体560と、を有する。

[0188]

また、図15(A)、(B)に示すように、酸化物530a、酸化物530b、導電体542a、及び導電体542bと、絶縁体580との間に絶縁体544が配置されることが好ましい。また、図15(A)、(B)に示すように、導電体560は、絶縁体550の内側に設けられた導電体560aと、導電体560aの内側に埋め込まれるように設けられた導電体560bと、を有することが好ましい。また、図15(A)、(B)に示すように、絶縁体580、導電体560、及び絶縁体550の上に絶縁体574が配置されることが好ましい。

[0189]

なお、以下において、酸化物530a、酸化物530b、及び酸化物530cをまとめて酸化物530という場合がある。

[0190]

なお、トランジスタ500では、チャンネルが形成される領域と、その近傍において、酸化物530a、酸化物530b、及び酸化物530cの3層を積層する構成について示しているが、本発明はこれに限られるものではない。例えば、酸化物530bの単層、酸化物530bと酸化物530aの2層構造、酸化物530bと酸化物530cの2層構造、又は4層以上の積層構造を設ける構成にしてもよい。また、トランジスタ500では、導電体560を2層の積層構造として示しているが、本発明はこれに限られるものではない。例えば、導電体560が、単層構造であってもよいし、3層以上の積層構造であってもよい。また、図14、図15(A)(B)に示すトランジスタ500は一例であり、その構造に限定されず、回路構成や駆動方法に応じて適切なトランジスタを用いればよい。

[0191]

ここで、導電体560は、トランジスタのゲート電極として機能し、導電体542a及び導電体542bは、それぞれソース電極又はドレイン電極として機能する。上記のように、導電体560は、絶縁体580の開口、及び導電体542aと導電体542bに挟まれた領域に埋め込まれるように形成される。導電体560、導電体542a及び導電体542bの配置は、絶縁体580の開口に対して、自己整合的に選択される。つまり、トランジスタ500において、ゲート電極を、ソース電極とドレイン電極の間に、自己整合的に配置させることができる。よって、導電体560を位置合わせのマージンを設けることなく形成することができるので、トランジスタ500の占有面積の縮小を図ることができる。これにより、半導体装置の微細化、高集積化を図ることができる。

[0192]

さらに、導電体560が、導電体542aと導電体542bの間の領域に自己整合的に形成されるので、導電体560は、導電体542a又は導電体542bと重畳する領域を有さない。これにより、導電体560と導電体542a及び導電体542bとの間に形成される寄生容量を低減することができる。よって、トランジスタ500のスイッチング速度を向上させ、高い周波数特性を有せしめることができる。

[0193]

導電体560は、第1のゲート(トップゲートともいう)電極として機能する場合がある。また、導電体503は、第2のゲート(ボトムゲートともいう)電極として機能する場合がある。その場合、導電体503に印加する電位を、導電体560に印加する電位と、連動させず、独立して変化させることで、トランジスタ500のしきい値電圧を制御することができる。特に、導電体503に負の電位を印加することにより、トランジスタ500のしきい値電圧を0Vより大きくし、オフ電流を低減することが可能となる。したがって、導電体503に負の電位を印加したほうが、印加しない場合よりも、導電体560に印加する電位が0Vのときのドレイン電流を小さくすることができる。

[0194]

導電体503は、酸化物530、及び導電体560と、重なるように配置する。これにより、導電体560、及び導電体503に電位を印加した場合、導電体560から生じる電界と、導電体503から生じる電界と、がつながり、酸化物530に形成されるチャンネル形成領域を覆うことができる。本明細書等において、第1のゲート電極、及び第2のゲート電極の電界によって、チャンネル形成領域を電氣的に取り囲むトランジスタの構造を、surrounded channel(S-channel)

ne l) 構造とよぶ。

[0195]

また、導電体503は、導電体518と同様の構成であり、絶縁体514及び絶縁体516の開口の内壁に接して導電体503aが形成され、さらに内側に導電体503bが形成されている。

[0196]

絶縁体520、絶縁体522、絶縁体524、及び絶縁体550は、ゲート絶縁膜としての機能を有する。

[0197]

ここで、酸化物530と接する絶縁体524は、化学量論的組成を満たす酸素よりも多くの酸素を含む絶縁体を用いることが好ましい。つまり、絶縁体524には、過剰酸素領域が形成されていることが好ましい。このような過剰酸素を含む絶縁体を酸化物530に接して設けることにより、酸化物530中の酸素欠損を低減し、トランジスタ500の信頼性を向上させることができる。

[0198]

過剰酸素領域を有する絶縁体として、具体的には、加熱により一部の酸素が脱離する酸化物材料を用いることが好ましい。加熱により酸素を脱離する酸化物とは、TDS (Thermal Desorption Spectroscopy) 分析にて、酸素原子に換算しての酸素の脱離量が $1.0 \times 10^{18} \text{ atoms/cm}^3$ 以上、好ましくは $1.0 \times 10^{19} \text{ atoms/cm}^3$ 以上、さらに好ましくは $2.0 \times 10^{19} \text{ atoms/cm}^3$ 以上、又は $3.0 \times 10^{20} \text{ atoms/cm}^3$ 以上である酸化物膜である。なお、上記TDS分析時における膜の表面温度としては $100^\circ\text{C}$ 以上 $700^\circ\text{C}$ 以下、又は $100^\circ\text{C}$ 以上 $400^\circ\text{C}$ 以下の範囲が好ましい。

[0199]

また、絶縁体524が、過剰酸素領域を有する場合、絶縁体522は、酸素（例えば、酸素原子、酸素分子など）の拡散を抑制する機能を有する（上記酸素が透過しにくい）ことが好ましい。

[0200]

絶縁体522が、酸素や不純物の拡散を抑制する機能を有することで、酸化物530が有する酸素は、絶縁体520側へ拡散することがなく、好ましい。また、導電体503が、絶縁体524や、酸化物530が有する酸素と反応することを抑制することができる。

[0201]

絶縁体522は、例えば、酸化アルミニウム、酸化ハフニウム、アルミニウム及びハフニウムを含む酸化物（ハフニウムアルミネート）、酸化タンタル、酸化ジルコニウム、チタン酸ジルコン酸鉛（PZT）、チタン酸ストロンチウム（ $\text{SrTiO}_3$ ）、又は（ $\text{Ba, SrTiO}_3$ （BST）などのいわゆるhigh-k材料を含む絶縁体を単層又は積層で用いることが好ましい。トランジスタの微細化、及び高集積化が進むと、ゲート絶縁膜の薄膜化により、リーク電流などの問題が生じる場合がある。ゲート絶縁膜として機能する絶縁体にhigh-k材料を用いることで、物理膜厚を保ちながら、トランジスタ動作時のゲート電位の低減が可能となる。

[0202]

特に、不純物、及び酸素などの拡散を抑制する機能を有する（上記酸素が透過しにくい）絶縁性材料であるアルミニウム、ハフニウムの一方又は双方の酸化物を含む絶縁体を用いるとよい。アルミニウム、ハフニウムの一方又は双方の酸化物を含む絶縁体として、酸化アルミニウム、酸化ハフニウム、アルミニウム及びハフニウムを含む酸化物（ハフニウムアルミネート）などを用いることが好ましい。

このような材料を用いて絶縁体522を形成した場合、絶縁体522は、酸化物530からの酸素の放出や、トランジスタ500の周辺部から酸化物530への水素等の不純物の混入を抑制する層として機能する。

[0203]

又は、これらの絶縁体に、例えば、酸化アルミニウム、酸化ビスマス、酸化ゲルマニウム、酸化ニオブ、酸化シリコン、酸化チタン、酸化タングステン、酸化イットリウム、酸化ジルコニウムを添加してもよい。又はこれらの絶縁体を窒化処理してもよい。上記の絶縁体に酸化シリコン、酸化窒化シリコン又は窒化シリコンを積層して用いてもよい。

[0204]

また、絶縁体520は、熱的に安定していることが好ましい。例えば、酸化シリコン及び酸化窒化シリコンは、熱的に安定であるため、好適である。また、high-k材料の絶縁体を酸化シリコン、または酸化窒化シリコンと組み合わせることで、熱的に安定かつ比誘電率の高い積層構造の絶縁体520を得ることができる。

[0205]

なお、絶縁体520、絶縁体522、及び絶縁体524が、2層以上の積層構造を有していてもよい。その場合、同じ材料からなる積層構造に限定されず、異なる材料からなる積層構造でもよい。

[0206]

トランジスタ500は、チャンネル形成領域を含む酸化物530に、酸化物半導体として機能する金属酸化物を用いることが好ましい。例えば、酸化物530として、In-M-Zn酸化物(元素Mは、アルミニウム、ガリウム、イットリウム、銅、バナジウム、ベリリウム、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジウム、ハフニウム、タンタル、タングステン、又はマグネシウムなどから選ばれた一種、又は複数種)等の金属酸化物を用いるとよい。特に、酸化物530として適用できるIn-M-Zn酸化物は、実施の形態4で説明するCAAC-OS、CAC-OSであることが好ましい。また、酸化物530として、In-Ga酸化物、In-Zn酸化物を用いてもよい。

[0207]

酸化物530においてチャンネル形成領域として機能する金属酸化物は、バンドギャップが2eV以上、好ましくは2.5eV以上のものを用いることが好ましい。このように、バンドギャップの大きい金属酸化物を用いることで、トランジスタのオフ電流を低減することができる。

[0208]

酸化物530は、酸化物530b下に酸化物530aを有することで、酸化物530aよりも下方に形成された構造物から、酸化物530bへの不純物の拡散を抑制することができる。また、酸化物530b上に酸化物530cを有することで、酸化物530cよりも上方に形成された構造物から、酸化物530bへの不純物の拡散を抑制することができる。

[0209]

なお、酸化物530は、各金属原子の原子数比が異なる酸化物により、積層構造を有することが好ましい。具体的には、酸化物530aに用いる金属酸化物において、構成元素中の元素Mの原子数比が、酸化物530bに用いる金属酸化物における、構成元素中の元素Mの原子数比より、大きいことが好ましい。また、酸化物530aに用いる金属酸化物において、Inに対する元素Mの原子数比が、酸化物530bに用いる金属酸化物における、Inに対する元素Mの原子数比より大きいことが好

ましい。また、酸化物530bに用いる金属酸化物において、元素Mに対するInの原子数比が、酸化物530aに用いる金属酸化物における、元素Mに対するInの原子数比より大きいことが好ましい。また、酸化物530cは、酸化物530a又は酸化物530bに用いることができる金属酸化物を、用いることができる。

[0210]

また、酸化物530a及び酸化物530cの伝導帯下端のエネルギーが、酸化物530bの伝導帯下端のエネルギーより高くなることが好ましい。また、言い換えると、酸化物530a及び酸化物530cの電子親和力が、酸化物530bの電子親和力より小さいことが好ましい。

[0211]

ここで、酸化物530a、酸化物530b、及び酸化物530cの接合部において、伝導帯下端のエネルギー準位はなだらかに変化する。換言すると、酸化物530a、酸化物530b、及び酸化物530cの接合部における伝導帯下端のエネルギー準位は、連続的に変化又は連続接合するともいうことができる。このようにするためには、酸化物530aと酸化物530bとの界面、及び酸化物530bと酸化物530cとの界面において形成される混合層の欠陥準位密度を低くするとよい。

[0212]

具体的には、酸化物530aと酸化物530b、酸化物530bと酸化物530cが、酸素以外に共通の元素を有する（主成分とする）ことで、欠陥準位密度が低い混合層を形成することができる。例えば、酸化物530bがIn-Ga-Zn酸化物の場合、酸化物530a及び酸化物530cとして、In-Ga-Zn酸化物、Ga-Zn酸化物、酸化ガリウムなどを用いるとよい。

[0213]

このとき、キャリアの主たる経路は酸化物530bとなる。酸化物530a、酸化物530cを上記の構成とすることで、酸化物530aと酸化物530bとの界面、及び酸化物530bと酸化物530cとの界面における欠陥準位密度を低くすることができる。そのため、界面散乱によるキャリア伝導への影響が小さくなり、トランジスタ500は高いオン電流を得られる。

[0214]

酸化物530b上には、ソース電極、及びドレイン電極として機能する導電体542a、及び導電体542bが設けられる。導電体542a、及び導電体542bとしては、アルミニウム、クロム、銅、銀、金、白金、タンタル、ニッケル、チタン、モリブデン、タングステン、ハフニウム、バナジウム、ニオブ、マンガン、マグネシウム、ジルコニウム、ベリリウム、インジウム、ルテニウム、イリジウム、ストロンチウム、ランタンから選ばれた金属元素、又は上述した金属元素を成分とする合金か、上述した金属元素を組み合わせた合金等を用いることが好ましい。例えば、窒化タンタル、窒化チタン、窒化タングステン、チタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物などを用いることが好ましい。また、窒化タンタル、窒化チタン、チタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物は、酸化しにくい導電性材料、又は、酸素を吸収しても導電性を維持する材料であるため、好ましい。

[0215]

また、図15(A)に示すように、酸化物530の、導電体542a（導電体542b）との界面とその近傍には、低抵抗領域として、領域543a、及び領域543bが形成される場合がある。こ

のとき、領域543aはソース領域又はドレイン領域の一方として機能し、領域543bはソース領域又はドレイン領域の他方として機能する。また、領域543aと領域543bに挟まれる領域にチャンネル形成領域が形成される。

[0216]

酸化物530と接するように上記導電体542a（導電体542b）を設けることで、領域543a（領域543b）の酸素濃度が低減する場合がある。また、領域543a（領域543b）に導電体542a（導電体542b）に含まれる金属と、酸化物530の成分とを含む金属化合物層が形成される場合がある。このような場合、領域543a（領域543b）のキャリア濃度が増加し、領域543a（領域543b）は、低抵抗領域となる。

[0217]

絶縁体544は、導電体542a、及び導電体542bを覆うように設けられ、導電体542a、及び導電体542bの酸化を抑制する。このとき、絶縁体544は、酸化物530の側面を覆い、絶縁体524と接するように設けられてもよい。

[0218]

絶縁体544として、ハフニウム、アルミニウム、ガリウム、イットリウム、ジルコニウム、タングステン、チタン、タンタル、ニッケル、ゲルマニウム、又は、マグネシウムなどから選ばれた一種、又は二種以上が含まれた金属酸化物を用いることができる。

[0219]

特に、絶縁体544として、アルミニウム、又はハフニウムの一方又は双方の酸化物を含む絶縁体である、酸化アルミニウム、酸化ハフニウム、アルミニウム及びハフニウムを含む酸化物（ハフニウムアルミネート）などを用いることが好ましい。特に、ハフニウムアルミネートは、酸化ハフニウム膜よりも、耐熱性が高い。そのため、後の工程での熱処理において、結晶化しにくいいため好ましい。なお、導電体542a、及び導電体542bが耐酸化性を有する材料、又は、酸素を吸収しても著しく導電性が低下しない材料の場合、絶縁体544は、必須の構成ではない。求めるトランジスタ特性により、適宜設計すればよい。

[0220]

絶縁体550は、ゲート絶縁膜として機能する。絶縁体550は、酸化物530cの内側（上面、及び側面）接して配置することが好ましい。絶縁体550は、上述した絶縁体524と同様に、過剰に酸素を含み、かつ加熱により酸素が放出される絶縁体を用いて形成することが好ましい。

[0221]

具体的には、過剰酸素を有する酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素及び窒素を添加した酸化シリコン、空孔を有する酸化シリコンを用いることができる。特に、酸化シリコン、及び酸化窒化シリコンは熱に対し安定であるため好ましい。

[0222]

加熱により酸素が放出される絶縁体を、絶縁体550として、酸化物530cの上面に接して設けることにより、絶縁体550から、酸化物530cを通じて、酸化物530bのチャンネル形成領域に効果的に酸素を供給することができる。また、絶縁体524と同様に、絶縁体550中の水又は水素などの不純物濃度が低減されていることが好ましい。絶縁体550の膜厚は、1nm以上20nm以下とするのが好ましい。

[0223]

また、絶縁体550が有する過剰酸素を、効率的に酸化物530へ供給するために、絶縁体550と導電体560との間に金属酸化物を設けてもよい。当該金属酸化物は、絶縁体550から導電体560への酸素拡散を抑制することが好ましい。酸素の拡散を抑制する金属酸化物を設けることで、絶縁体550から導電体560への過剰酸素の拡散が抑制される。つまり、酸化物530へ供給する過剰酸素量の減少を抑制することができる。また、過剰酸素による導電体560の酸化を抑制することができる。当該金属酸化物としては、絶縁体544に用いることができる材料を用いればよい。

[0224]

第1のゲート電極として機能する導電体560は、図15(A)、(B)では2層構造として示しているが、単層構造でもよいし、3層以上の積層構造であってもよい。

[0225]

導電体560aは、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子(N<sub>2</sub>O、NO、NO<sub>2</sub>など)、銅原子などの不純物の拡散を抑制する機能を有する導電性材料を用いることが好ましい。又は、酸素(例えば、酸素原子、酸素分子などの少なくとも一)の拡散を抑制する機能を有する導電性材料を用いることが好ましい。導電体560aが酸素の拡散を抑制する機能を持つことにより、絶縁体550に含まれる酸素により、導電体560bが酸化して導電率が低下することを抑制することができる。酸素の拡散を抑制する機能として、例えば、タンタル、窒化タンタル、ルテニウム、又は酸化ルテニウムなどを用いることが好ましい。

[0226]

また、導電体560bは、タングステン、銅、又はアルミニウムを主成分とする導電性材料を用いることが好ましい。また、導電体560bは、配線としても機能するため、導電性が高い導電体を用いることが好ましい。また、導電体560bは積層構造としてもよく、例えば、チタン、窒化チタンと上記導電性材料との積層構造としてもよい。

[0227]

絶縁体580は、絶縁体544を介して、導電体542a、及び導電体542b上に設けられる。絶縁体580は、過剰酸素領域を有することが好ましい。例えば、絶縁体580として、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素、及び窒素を添加した酸化シリコン、空孔を有する酸化シリコン、又は樹脂などを有することが好ましい。特に、酸化シリコン、及び酸化窒化シリコンは、熱的に安定であるため好ましい。特に、酸化シリコン、空孔を有する酸化シリコンは、後の工程で、容易に過剰酸素領域を形成することができるため好ましい。

[0228]

過剰酸素領域を有し、かつ加熱により酸素が放出される絶縁体580を、酸化物530cと接して設けることで、絶縁体580中の酸素を、酸化物530cを通じて、酸化物530a、酸化物530bへと効率良く供給することができる。なお、絶縁体580中の水又は水素などの不純物濃度が低減されていることが好ましい。

[0229]

絶縁体580の開口は、導電体542aと導電体542bの間の領域に重畳して形成される。これにより、導電体560は、絶縁体580の開口、及び導電体542aと導電体542bに挟まれた領域に、埋め込まれるように形成される。

[0230]

半導体装置を微細化するに当たり、ゲート長を短くすることが求められるが、導電体560の導電性が下がらないようにする必要がある。そのために導電体560の膜厚を大きくすると、導電体560はアスペクト比が高い形状となりうる。本実施の形態では、導電体560を絶縁体580の開口に埋め込むように設けるため、導電体560をアスペクト比の高い形状にしても、工程中に導電体560を倒壊させることなく、形成することができる。

[0231]

絶縁体574は、絶縁体580の上面、導電体560の上面、及び絶縁体550の上面に接して設けられることが好ましい。絶縁体574をスパッタリング法で成膜することで、絶縁体550、及び絶縁体580へ過剰酸素領域を設けることができる。これにより、当該過剰酸素領域から、酸化物530中に酸素を供給することができる。

[0232]

例えば、絶縁体574として、ハフニウム、アルミニウム、ガリウム、イットリウム、ジルコニウム、タングステン、チタン、タンタル、ニッケル、ゲルマニウム、又はマグネシウムなどから選ばれた一種、又は二種以上が含まれた金属酸化物を用いることができる。

[0233]

特に、酸化アルミニウムはバリア性が高く、0.5nm以上3.0nm以下の薄膜であっても、水素、及び窒素の拡散を抑制することができる。したがって、スパッタリング法で成膜した酸化アルミニウムは、酸素供給源であるとともに、水素などの不純物のバリア膜としての機能も有することができる。

[0234]

また、絶縁体574の上に、層間膜として機能する絶縁体581を設けることが好ましい。絶縁体581は、絶縁体524などと同様に、膜中の水又は水素などの不純物濃度が低減されていることが好ましい。

[0235]

また、絶縁体581、絶縁体574、絶縁体580、及び絶縁体544に形成された開口に、導電体540a、及び導電体540bを配置する。導電体540a及び導電体540bは、導電体560を挟んで対向して設ける。導電体540a及び導電体540bは、後述する導電体546、及び導電体548と同様の構成である。

[0236]

絶縁体581上には、絶縁体582が設けられている。絶縁体582は、酸素や水素に対してバリア性のある物質を用いることが好ましい。したがって、絶縁体582には、絶縁体514と同様の材料を用いることができる。例えば、絶縁体582には、酸化アルミニウム、酸化ハフニウム、酸化タンタルなどの金属酸化物を用いることが好ましい。

[0237]

特に、酸化アルミニウムは、酸素、及びトランジスタの電気特性の変動要因となる水素、水分などの不純物、の両方に対して膜を透過させない遮断効果が高い。したがって、酸化アルミニウムは、トランジスタの作製工程中及び作製後において、水素、水分などの不純物のトランジスタ500への混入を防止することができる。また、トランジスタ500を構成する酸化物からの酸素の放出を抑制することができる。そのため、トランジスタ500に対する保護膜として用いることに適している。

[0238]

また、絶縁体582上には、絶縁体586が設けられている。絶縁体586は、絶縁体320と同様の材料を用いることができる。また、これらの絶縁体に、比較的比誘電率が低い材料を適用することで、配線間に生じる寄生容量を低減することができる。例えば、絶縁体586として、酸化シリコン膜や酸化窒化シリコン膜などを用いることができる。

[0239]

また、絶縁体520、絶縁体522、絶縁体524、絶縁体544、絶縁体580、絶縁体574、絶縁体581、絶縁体582、及び絶縁体586には、導電体546、及び導電体548等が埋め込まれている。

[0240]

導電体546、及び導電体548は、容量素子600、トランジスタ500、又はトランジスタ300と接続するプラグ、又は配線としての機能を有する。導電体546、及び導電体548は、導電体328、及び導電体330と同様の材料を用いて設けることができる。

[0241]

続いて、トランジスタ500の上方には、容量素子600が設けられている。容量素子600は、導電体610と、導電体620、絶縁体630とを有する。

[0242]

また、導電体546、及び導電体548上に、導電体612を設けてもよい。導電体612は、トランジスタ500と接続するプラグ、又は配線としての機能を有する。導電体610は、容量素子600の電極としての機能を有する。なお、導電体612、及び導電体610は、同時に形成することができる。

[0243]

導電体612、及び導電体610には、モリブデン、チタン、タンタル、タングステン、アルミニウム、銅、クロム、ネオジム、スカンジウムから選ばれた元素を含む金属膜、又は上述した元素を成分とする金属窒化物膜（窒化タンタル膜、窒化チタン膜、窒化モリブデン膜、窒化タングステン膜）等を用いることができる。又は、インジウム錫酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの導電性材料を適用することもできる。

[0244]

図14では、導電体612、及び導電体610は単層構造を示したが、当該構成に限定されず、2層以上の積層構造でもよい。例えば、バリア性を有する導電体と導電性が高い導電体との間に、バリア性を有する導電体、及び導電性が高い導電体に対して密着性が高い導電体を形成してもよい。

[0245]

絶縁体630を介して、導電体610と重畳するように、導電体620を設ける。なお、導電体620は、金属材料、合金材料、又は金属酸化物材料などの導電性材料を用いることができる。耐熱性と導電性を両立するタングステンやモリブデンなどの高融点材料を用いることが好ましく、特にタングステンをを用いることが好ましい。また、導電体などの他の構造と同時に形成する場合は、低抵抗金属材料であるCu（銅）やAl（アルミニウム）等を用いればよい。

[0246]

導電体620、及び絶縁体630上には、絶縁体650が設けられている。絶縁体650は、絶縁体320と同様の材料を用いて設けることができる。また、絶縁体650は、その下方の凹凸形状を被覆する平坦化膜として機能してもよい。

[0247]

本構造を用いることで、酸化半導体を有するトランジスタを用いた半導体装置において、電気特性の変動を抑制するとともに、信頼性を向上させることができる。又は、酸化半導体を有するトランジスタを用いた半導体装置において、微細化又は高集積化を図ることができる。

[0248]

<トランジスタの構造例>

なお、本実施の形態に示す半導体装置のトランジスタ500は、上記の構造に限られるものではない。以下、トランジスタ500に用いることができる構造例について説明する。なお、下記に説明するトランジスタは、上記に説明したトランジスタの変形例であるため、下記の説明では、異なる点を主に説明し、同一の点については省略することがある。

[0249]

<<トランジスタの構造例1>>

図16(A)、(B)及び(C)を用いてトランジスタ500Aの構造例を説明する。図16(A)はトランジスタ500Aの上面図である。図16(B)は、図16(A)に一点鎖線L1-L2で示す部位の断面図である。図16(C)は、図16(A)に一点鎖線W1-W2で示す部位の断面図である。なお、図16(A)の上面図では、図の明瞭化のために一部の要素を省いて図示している。

[0250]

図16(A)、(B)及び(C)では、トランジスタ500Aと、層間膜として機能する絶縁体511、絶縁体512、絶縁体514、絶縁体516、絶縁体580、絶縁体574、及び絶縁体581を示している。また、図16(A)、(B)及び(C)には、トランジスタ500Aと電氣的に接続されている、導電体540a、導電体540b、及び導電体505を示している。特に、導電体540a及び導電体540bはコンタクトプラグとして機能し、導電体505は配線として機能する。

[0251]

トランジスタ500Aは、第1のゲート電極として機能する導電体560(導電体560a、及び導電体560b)と、第2のゲート電極として機能する導電体503(導電体503a、及び導電体503b)と、第1のゲート絶縁膜として機能する絶縁体550と、第2のゲート絶縁膜として機能する絶縁体520、絶縁体522、及び絶縁体524と、チャンネルが形成される領域を有する酸化半導体530(酸化半導体530a、酸化半導体530b、及び酸化半導体530c)と、ソース又はドレインの一方として機能する導電体542aと、ソース又はドレインの他方として機能する導電体542bと、絶縁体544とを有する。

[0252]

また、図16(A)、(B)及び(C)に示すトランジスタ500Aでは、酸化半導体530c、絶縁体550、及び導電体560が、絶縁体580に設けられた開口部内に、絶縁体544を介して配置される。また、酸化半導体530c、絶縁体550、及び導電体560は、導電体542a、及び導電体542bとの間に配置される。

[0253]

絶縁体511、及び絶縁体512は、層間膜として機能する。

[0254]

層間膜としては、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、酸化アルミニウム、酸化ハフニウム、酸化タンタル、酸化ジルコニウム、チタン酸ジルコン酸鉛 (PZT)、チタン酸ストロンチウム ( $\text{SrTiO}_3$ ) 又は ( $\text{Ba, Sr}$ )  $\text{TiO}_3$  (BST) などの絶縁体を単層又は積層で用いることができる。又はこれらの絶縁体に、例えば、酸化アルミニウム、酸化ビスマス、酸化ゲルマニウム、酸化ニオブ、酸化シリコン、酸化チタン、酸化タングステン、酸化イットリウム、酸化ジルコニウムを添加してもよい。又はこれらの絶縁体を窒化処理してもよい。上記の絶縁体に酸化シリコン、酸化窒化シリコン又は窒化シリコンを積層して用いてもよい。

[0255]

例えば、絶縁体511は、水又は水素などの不純物が、基板側からトランジスタ500Aに混入するのを抑制するバリア膜として機能することが好ましい。したがって、絶縁体511は、水素原子、水素分子、水分子、銅原子などの不純物の拡散を抑制する機能を有する(上記不純物が透過しにくい。)絶縁性材料を用いることが好ましい。又は、酸素(例えば、酸素原子、酸素分子などの少なくとも一)の拡散を抑制する機能を有する(上記酸素が透過しにくい。)絶縁性材料を用いることが好ましい。また、例えば、絶縁体511として酸化アルミニウムや窒化シリコンなどを用いてもよい。当該構成により、水素、水などの不純物が絶縁体511よりも基板側からトランジスタ500A側に拡散するのを抑制することができる。

[0256]

例えば、絶縁体512は、絶縁体511よりも比誘電率が低いことが好ましい。比誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。

[0257]

導電体505は、絶縁体512に埋め込まれるように形成される。ここで、導電体505の上面の高さと、絶縁体512の上面の高さは同程度にできる。なお導電体505は、単層とする構成について示しているが、本発明はこれに限られるものではない。例えば、導電体505を2層以上の多層膜構造としてもよい。なお、導電体505は、タングステン、銅、又はアルミニウムを主成分とする導電性が高い導電性材料を用いることが好ましい。

[0258]

トランジスタ500Aにおいて、導電体560は、第1のゲート(トップゲートともいう。)電極として機能する場合がある。また、導電体503は、第2のゲート(ボトムゲートともいう。)電極として機能する場合がある。その場合、導電体503に印加する電位を、導電体560に印加する電位と連動させず、独立して変化させることで、トランジスタ500Aの閾値電圧を制御することができる。特に、導電体503に負の電位を印加することにより、トランジスタ500Aの閾値電圧を0Vより大きくし、オフ電流を低減することが可能となる。したがって、導電体503に負の電位を印加したほうが、印加しない場合よりも、導電体560に印加する電位が0Vのときのドレイン電流を小さくすることができる。

[0259]

また、例えば、導電体503と、導電体560とを重畳して設けることで、導電体560、及び導電体503に電位を印加した場合、導電体560から生じる電界と、導電体503から生じる電界と、がつながり、酸化物530に形成されるチャンネル形成領域を覆うことができる。

[0260]

つまり、第1のゲート電極としての機能を有する導電体560の電界と、第2のゲート電極としての機能を有する導電体503の電界によって、チャンネル形成領域を電氣的に取り囲むことができる。本明細書において、第1のゲート電極、及び第2のゲート電極の電界によって、チャンネル形成領域を電氣的に取り囲むトランジスタの構造を、surrounded channel (S-channel) 構造とよぶ。

[0261]

絶縁体514、及び絶縁体516は、絶縁体511又は絶縁体512と同様に、層間膜として機能する。例えば、絶縁体514は、水又は水素などの不純物が、基板側からトランジスタ500Aに混入するのを抑制するバリア膜として機能することが好ましい。当該構成により、水素、水などの不純物が絶縁体514よりも基板側からトランジスタ500A側に拡散するのを抑制することができる。また、例えば、絶縁体516は、絶縁体514よりも比誘電率が低いことが好ましい。比誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。

[0262]

第2のゲートとして機能する導電体503は、絶縁体514及び絶縁体516の開口の内壁に接して導電体503aが形成され、さらに内側に導電体503bが形成されている。ここで、導電体503a及び導電体503bの上面の高さと、絶縁体516の上面の高さは同程度にできる。なお、トランジスタ500Aでは、導電体503a及び導電体503bを積層する構成について示しているが、本発明はこれに限られるものではない。例えば、導電体503は、単層、又は3層以上の積層構造として設ける構成にしてもよい。

[0263]

ここで、導電体503aは、水素原子、水素分子、水分子、銅原子などの不純物の拡散を抑制する機能を有する（上記不純物が透過しにくい。）導電性材料を用いることが好ましい。又は、酸素（例えば、酸素原子、酸素分子などの少なくとも一）の拡散を抑制する機能を有する（上記酸素が透過しにくい。）導電性材料を用いることが好ましい。なお、本明細書において、不純物、又は酸素の拡散を抑制する機能とは、上記不純物、又は上記酸素のいずれか一又は、すべての拡散を抑制する機能とする。

[0264]

例えば、導電体503aが酸素の拡散を抑制する機能を持つことにより、導電体503bが酸化して導電率が低下することを抑制することができる。

[0265]

また、導電体503が配線の機能を兼ねる場合、導電体503bは、タングステン、銅、又はアルミニウムを主成分とする、導電性が高い導電性材料を用いることが好ましい。その場合、導電体505は、必ずしも設けなくともよい。なお、導電体503bを単層で図示したが、積層構造としてもよく、例えば、チタン、窒化チタンと上記導電性材料との積層としてもよい。

[0266]

第2のゲート絶縁膜としての機能を有する絶縁体522は、バリア性を有することが好ましい。絶縁体522がバリア性を有することで、トランジスタ500Aの周辺部からトランジスタ500Aへの水素等の不純物の混入を抑制する層として機能する。

[0267]

なお、図16(B)及び(C)には、第2のゲート絶縁膜として、3層の積層構造を示したが、単

層、2層、又は4層以上の積層構造としてもよい。その場合、同じ材料からなる積層構造に限定されず、異なる材料からなる積層構造でもよい。

[0268]

チャンネル形成領域として機能する領域を有する酸化物530は、酸化物530aと、酸化物530a上の酸化物530bと、酸化物530b上の酸化物530cと、を有する。酸化物530b下に酸化物530aを有することで、酸化物530aよりも下方に形成された構造物から、酸化物530bへの不純物の拡散を抑制することができる。また、酸化物530b上に酸化物530cを有することで、酸化物530cよりも上方に形成された構造物から、酸化物530bへの不純物の拡散を抑制することができる。酸化物530として、上述した金属酸化物の一種である酸化物半導体を用いることができる。

[0269]

なお、酸化物530cは、絶縁体580に設けられた開口部内に、絶縁体544を介して設けられることが好ましい。絶縁体544がバリア性を有する場合、絶縁体580からの不純物が酸化物530へと拡散することを抑制することができる。

[0270]

ソース電極又はドレイン電極の一方として機能する導電体542aと、ソース電極又はドレイン電極の他方として機能する導電体542bとは、アルミニウム、チタン、クロム、ニッケル、銅、イットリウム、ジルコニウム、モリブデン、銀、タンタル、又はタングステンなどの金属、又はこれを主成分とする合金を用いることができる。特に、窒化タンタルなどの金属窒化物膜は、水素又は酸素に対するバリア性があり、また、耐酸化性が高いため、好ましい。

[0271]

また、図16(B)では単層構造を示したが、2層以上の積層構造としてもよい。例えば、窒化タンタル膜とタングステン膜を積層するとよい。また、チタン膜とアルミニウム膜を積層してもよい。また、タングステン膜上にアルミニウム膜を積層する二層構造、銅-マグネシウム-アルミニウム合金膜上に銅膜を積層する二層構造、チタン膜上に銅膜を積層する二層構造、タングステン膜上に銅膜を積層する二層構造としてもよい。

[0272]

また、チタン膜又は窒化チタン膜と、そのチタン膜又は窒化チタン膜上に重ねてアルミニウム膜又は銅膜を積層し、さらにその上にチタン膜又は窒化チタン膜を形成する三層構造、モリブデン膜又は窒化モリブデン膜と、そのモリブデン膜又は窒化モリブデン膜上に重ねてアルミニウム膜又は銅膜を積層し、さらにその上にモリブデン膜又は窒化モリブデン膜を形成する三層構造等がある。なお、酸化インジウム、酸化錫又は酸化亜鉛を含む透明導電材料を用いてもよい。

[0273]

また、導電体542a、及び導電体542b上に、バリア層を設けてもよい。バリア層は、酸素、又は水素に対してバリア性を有する物質を用いることが好ましい。当該構成により、絶縁体544を成膜する際に、導電体542a、及び導電体542bが酸化することを抑制することができる。

[0274]

バリア層には、例えば、金属酸化物を用いることができる。特に、酸化アルミニウム、酸化ハフニウム、酸化ガリウムなどの、酸素や水素に対してバリア性のある絶縁膜を用いることが好ましい。また、CVD法で形成した窒化シリコンを用いてもよい。

[0275]

バリア層を有することで、導電体542a、及び導電体542bの材料選択の幅を広げることができる。例えば、導電体542a、及び導電体542bに、タングステンや、アルミニウムなどの耐酸化性が低い一方で導電性が高い材料を用いることができる。また、例えば、成膜、又は加工がしやすい導電体を用いることができる。

[0276]

絶縁体550は、第1のゲート絶縁膜として機能する。絶縁体550は、絶縁体580に設けられた開口部内に、酸化物530c、及び絶縁体544を介して設けられることが好ましい。

[0277]

トランジスタの微細化、及び高集積化が進むと、ゲート絶縁膜の薄膜化により、リーク電流などの問題が生じる場合がある。その場合、絶縁体550は、第2のゲート絶縁膜と同様に、積層構造としてもよい。ゲート絶縁膜として機能する絶縁体を、high-k材料と、熱的に安定している材料との積層構造とすることで、物理膜厚を保ちながら、トランジスタ動作時のゲート電位の低減が可能となる。また、熱的に安定かつ比誘電率の高い積層構造とすることができる。

[0278]

第1のゲート電極として機能する導電体560は、導電体560a、及び導電体560a上の導電体560bを有する。導電体560aは、導電体503aと同様に、水素原子、水素分子、水分子、銅原子などの不純物の拡散を抑制する機能を有する導電性材料を用いることが好ましい。又は、酸素（例えば、酸素原子、酸素分子などの少なくとも一）の拡散を抑制する機能を有する導電性材料を用いることが好ましい。

[0279]

導電体560aが酸素の拡散を抑制する機能を持つことにより、導電体560bの材料選択性を向上することができる。つまり、導電体560aを有することで、導電体560bの酸化が抑制され、導電率が低下することを防止することができる。

[0280]

酸素の拡散を抑制する機能を有する導電性材料としては、例えば、タンタル、窒化タンタル、ルテニウム又は酸化ルテニウムなどを用いることが好ましい。また、導電体560aとして、酸化物530として用いることができる酸化物半導体を用いることができる。その場合、導電体560bをスパッタリング法で成膜することで、導電体560aの電気抵抗値を低下させて導電体とすることができる。これをOC (Oxide Conductor) 電極と呼ぶことができる。

[0281]

導電体560bは、タングステン、銅、又はアルミニウムを主成分とする導電性材料を用いることが好ましい。また、導電体560は、配線として機能するため、導電性が高い導電体を用いることが好ましい。また、導電体560bは積層構造としてもよく、例えば、チタン、窒化チタンと上記導電性材料との積層としてもよい。

[0282]

絶縁体580と、トランジスタ500Aとの間に絶縁体544を配置する。絶縁体544は、水又は水素などの不純物、及び酸素の拡散を抑制する機能を有する絶縁性材料を用いるとよい。例えば、酸化アルミニウム又は酸化ハフニウムなどを用いることが好ましい。また、他にも、例えば、酸化マグネシウム、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタ

ン、酸化ネオジウム又は酸化タンタルなどの金属酸化物、窒化酸化シリコン又は窒化シリコンなどを用いることができる。

[0283]

絶縁体544を有することで、絶縁体580に含まれる水、及び水素などの不純物が酸化物530c、絶縁体550を介して、酸化物530bに拡散することを抑制することができる。また、絶縁体580が有する過剰酸素により、導電体560が酸化するのを抑制することができる。

[0284]

絶縁体580、絶縁体574、及び絶縁体581は、層間膜として機能する。

[0285]

絶縁体574は、絶縁体514と同様に、水又は水素などの不純物が、外部からトランジスタ500Aに混入するのを抑制するバリア絶縁膜として機能することが好ましい。

[0286]

また、絶縁体580、及び絶縁体581は、絶縁体516と同様に、絶縁体574よりも比誘電率が低いことが好ましい。比誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。

[0287]

また、トランジスタ500Aは、絶縁体580、絶縁体574、及び絶縁体581に埋め込まれた導電体540a、導電体540bなどのプラグや配線を介して、他の構造と電気的に接続してもよい。

[0288]

また、導電体540a、及び導電体540bの材料としては、導電体503と同様に、金属材料、合金材料、金属窒化物材料、又は金属酸化物材料などの導電性材料を、単層又は積層して用いることができる。例えば、耐熱性と導電性を両立するタングステンやモリブデンなどの高融点材料を用いることが好ましい。又は、アルミニウムや銅などの低抵抗導電性材料で形成することが好ましい。低抵抗導電性材料を用いることで配線抵抗を低くすることができる。

[0289]

例えば、導電体540a、及び導電体540bとしては、例えば、水素、及び酸素に対してバリア性を有する導電体である窒化タンタル等と、導電性が高いタングステンとの積層構造を用いることで、配線としての導電性を保持したまま、外部からの不純物の拡散を抑制することができる。

[0290]

上記構造を有することで、オン電流が大きい酸化物半導体を有するトランジスタを有する半導体装置を提供することができる。又は、オフ電流が小さい酸化物半導体を有するトランジスタを有する半導体装置を提供することができる。又は、電気特性の変動を抑制し、安定した電気特性を有すると共に、信頼性を向上させた半導体装置を提供することができる。

[0291]

<<トランジスタの構造例2>>

図17(A)、(B)及び(C)を用いてトランジスタ500Bの構造例を説明する。図17(A)はトランジスタ500Bの上面図である。図17(B)は、図17(A)に一点鎖線L1-L2で示す部位の断面図である。図17(C)は、図17(A)に一点鎖線W1-W2で示す部位の断面図である。なお、図17(A)の上面図では、図の明瞭化のために一部の要素を省いて図示している。

[0292]

トランジスタ500Bはトランジスタ500Aの変形例である。よって、説明の繰り返しを防ぐため、主にトランジスタ500Aと異なる点について説明する。

[0293]

トランジスタ500Bは、導電体542a（導電体542b）と、酸化物530cと、絶縁体550と、導電体560と、が重畳する領域を有する。当該構造とすることで、オン電流が高いトランジスタを提供することができる。また、制御性が高いトランジスタを提供することができる。

[0294]

第1のゲート電極として機能する導電体560は、導電体560a、及び導電体560a上の導電体560bを有する。導電体560aは、導電体503aと同様に、水素原子、水素分子、水分子、銅原子などの不純物の拡散を抑制する機能を有する導電性材料を用いることが好ましい。又は、酸素（例えば、酸素原子、酸素分子などの少なくとも一）の拡散を抑制する機能を有する導電性材料を用いることが好ましい。

[0295]

導電体560aが酸素の拡散を抑制する機能を持つことにより、導電体560bの材料選択性を向上することができる。つまり、導電体560aを有することで、導電体560bの酸化が抑制され、導電率が低下することを防止することができる。

[0296]

また、導電体560の上面及び側面と、絶縁体550の側面と、酸化物530cの側面と、を覆うように、絶縁体544を設けることが好ましい。なお、絶縁体544は、水又は水素などの不純物、及び酸素の拡散を抑制する機能を有する絶縁性材料を用いるとよい。例えば、酸化アルミニウム又は酸化ハフニウムなどを用いることが好ましい。また、他にも、例えば、酸化マグネシウム、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム又は酸化タンタルなどの金属酸化物、窒化酸化シリコン又は窒化シリコンなどを用いることができる。

[0297]

絶縁体544を設けることで、導電体560の酸化を抑制することができる。また、絶縁体544を有することで、絶縁体580が有する水、及び水素などの不純物がトランジスタ500Bへ拡散することを抑制することができる。

[0298]

また、トランジスタ500Bのコンタクトプラグは、トランジスタ500Aのコンタクトプラグの構成と異なっている。トランジスタ500Bでは、コンタクトプラグとして機能する導電体546a（導電体546b）と、絶縁体580との間に、バリア性を有する絶縁体576a（絶縁体576b）が配置されている。絶縁体576a（絶縁体576b）を設けることで、絶縁体580の酸素が導電体546と反応し、導電体546が酸化することを抑制することができる。

[0299]

また、バリア性を有する絶縁体576a（絶縁体576b）を設けることで、プラグや配線に用いられる導電体の材料選択の幅を広げることができる。例えば、導電体546a（導電体546b）に、酸素を吸収する性質を持つ一方で、導電性が高い金属材料を用いることで、低消費電力の半導体装置を提供することができる。具体的には、タングステンや、アルミニウムなどの耐酸化性が低い一方で導電性が高い材料を用いることができる。また、例えば、成膜、又は加工がしやすい導電体を用いることができる。

[0300]

<<トランジスタの構造例3>>

図18(A)、(B)及び(C)を用いてトランジスタ500Cの構造例を説明する。図18(A)はトランジスタ500Cの上面図である。図18(B)は、図18(A)に一点鎖線L1-L2で示す部位の断面図である。図18(C)は、図18(A)に一点鎖線W1-W2で示す部位の断面図である。なお、図18(A)の上面図では、図の明瞭化のために一部の要素を省いて図示している。

[0301]

トランジスタ500Cはトランジスタ500Aの変形例である。よって、説明の繰り返しを防ぐため、主にトランジスタ500Aと異なる点について説明する。

[0302]

図18(A)、(B)及び(C)に示すトランジスタ500Cは、導電体542aと酸化物530bの間に導電体547aが配置され、導電体542bと酸化物530bの間に導電体547bが配置されている。ここで、導電体542a(導電体542b)は、導電体547a(導電体547b)の上面及び導電体560側の側面を越えて延在し、酸化物530bの上面に接する領域を有する。ここで、導電体547a、及び導電体547bは、導電体542a、及び導電体542bに用いることができる導電体を用いればよい。さらに、導電体547a、及び導電体547bの膜厚は、少なくとも導電体542a、及び導電体542bより厚いことが好ましい。

[0303]

図18(A)、(B)及び(C)に示すトランジスタ500Cは、上記のような構成を有することにより、トランジスタ500Aよりも、導電体542a、及び導電体542bを導電体560に近づけることができる。又は、導電体542aの端部及び導電体542bの端部と、導電体560を重ねることができる。これにより、トランジスタ500Cの実質的なチャンネル長を短くし、オン電流の向上と、周波数特性の向上と、を図ることができる。

[0304]

また、導電体547a(導電体547b)は、導電体542a(導電体542b)と重畳して設けられることが好ましい。このような構成にすることで、導電体540a(導電体540b)を埋め込む開口を形成するエッチングにおいて、導電体547a(導電体547b)がストップとして機能し、酸化物530bがオーバーエッチングされるのを防ぐことができる。

[0305]

また、図18(A)、(B)及び(C)に示すトランジスタ500Cは、絶縁体544の上に接して絶縁体545を配置する構成にしてもよい。絶縁体544としては、水又は水素などの不純物や、過剰な酸素が、絶縁体580側からトランジスタ500Cに混入するのを抑制するバリア絶縁膜として機能することが好ましい。絶縁体545としては、絶縁体544に用いることができる絶縁体を用いることができる。また、絶縁体544としては、例えば、窒化アルミニウム、窒化アルミニウムチタン、窒化チタン、窒化シリコン又は窒化酸化シリコンなどの、窒化物絶縁体を用いてもよい。

[0306]

また、図18(A)、(B)及び(C)に示すトランジスタ500Cは、図16(A)、(B)及び(C)に示すトランジスタ500Aと異なり、導電体503を単層構造で設けてもよい。この場合、パターン形成された導電体503の上に絶縁体516となる絶縁膜を成膜し、当該絶縁膜の上部を、導電体503の上面が露出するまでCMP法などを用いて除去すればよい。ここで、導電体503の上面の

平坦性を良好にすることが好ましい。例えば、導電体503上面の平均面粗さ(Ra)を1nm以下、好ましくは0.5nm以下、より好ましくは0.3nm以下にすればよい。これにより、導電体503の上に形成される、絶縁層の平坦性を良好にし、酸化物530b及び酸化物530cの結晶性の向上を図ることができる。

[0307]

<<トランジスタの構造例4>>

図19(A)、(B)及び(C)を用いてトランジスタ500Dの構造例を説明する。図19(A)はトランジスタ500Dの上面図である。図19(B)は、図19(A)に一点鎖線L1-L2で示す部位の断面図である。図19(C)は、図19(A)に一点鎖線W1-W2で示す部位の断面図である。なお、図19(A)の上面図では、図の明瞭化のために一部の要素を省いて図示している。

[0308]

トランジスタ500Dはトランジスタ500A、トランジスタ500B、トランジスタ500Cとは異なる構造となっている。そのため、説明の繰り返しを防ぐため、主にトランジスタ500A、トランジスタ500B、トランジスタ500Cと内容が重複する点については説明を省略し、主に異なる点について説明する。

[0309]

図19(A)乃至(C)に示すトランジスタ500Dは、図18(A)、(B)及び(C)に示したトランジスタ500Cと同様に、導電体505を設けずに、第2のゲートとしての機能を有する導電体503を配線としても機能させている。また、酸化物530c上に絶縁体550を有し、絶縁体550上に金属酸化物552を有する。また、金属酸化物552上に導電体560を有し、導電体560上に絶縁体570を有する。また、絶縁体570上に絶縁体571を有する。

[0310]

金属酸化物552は、酸素拡散を抑制する機能を有することが好ましい。絶縁体550と、導電体560との間に、酸素の拡散を抑制する金属酸化物552を設けることで、導電体560への酸素の拡散が抑制される。つまり、酸化物530へ供給する酸素量の減少を抑制することができる。また、酸素による導電体560の酸化を抑制することができる。

[0311]

なお、金属酸化物552は、第1のゲートの一部としての機能を有してもよい。例えば、酸化物530として用いることができる酸化物半導体を、金属酸化物552として用いることができる。その場合、導電体560をスパッタリング法で成膜することで、金属酸化物552の電気抵抗値を低下させて導電層とすることができる。これをOC(Oxide Conductor)電極と呼ぶことができる。

[0312]

また、金属酸化物552は、ゲート絶縁膜の一部としての機能を有する場合がある。したがって、絶縁体550に酸化シリコンや酸化窒化シリコンなどを用いる場合、金属酸化物552は、比誘電率が高いhigh-k材料である金属酸化物を用いることが好ましい。当該積層構造とすることで、熱に対して安定、かつ比誘電率の高い積層構造とすることができる。したがって、物理膜厚を保持したまま、トランジスタ動作時に印加するゲート電位の低減化が可能となる。また、ゲート絶縁膜として機能する絶縁層の等価酸化膜厚(EOT)の薄膜化が可能となる。

[0313]

トランジスタ500Dにおいて、金属酸化物552を単層で示したが、2層以上の積層構造としてもよい。例えば、ゲート電極の一部として機能する金属酸化物と、ゲート絶縁膜の一部として機能する金属酸化物とを積層して設けてもよい。

[0314]

金属酸化物552を有することで、ゲート電極として機能する場合は、導電体560からの電界の影響を弱めることなく、トランジスタ500Dのオン電流の向上を図ることができる。又は、ゲート絶縁膜として機能する場合は、絶縁体550と、金属酸化物552との物理的な厚みにより、導電体560と、酸化物530との間の距離を保つことで、導電体560と酸化物530との間のリーク電流を抑制することができる。従って、絶縁体550、及び金属酸化物552との積層構造を設けることで、導電体560と酸化物530との間の物理的な距離、及び導電体560から酸化物530へかかる電界強度を、容易に適宜調整することができる。

[0315]

具体的には、酸化物530に用いることができる酸化物半導体を低抵抗化することで、金属酸化物552として用いることができる。又は、ハフニウム、アルミニウム、ガリウム、イットリウム、ジルコニウム、タングステン、チタン、タンタル、ニッケル、ゲルマニウム、又は、マグネシウムなどから選ばれた一種、又は二種以上が含まれた金属酸化物を用いることができる。

[0316]

特に、アルミニウム、又はハフニウムの一方又は双方の酸化物を含む絶縁層である、酸化アルミニウム、酸化ハフニウム、アルミニウム及びハフニウムを含む酸化物（ハフニウムアルミネート）などを用いることが好ましい。特に、ハフニウムアルミネートは、酸化ハフニウム膜よりも、耐熱性が高い。そのため、後の工程での熱処理において、結晶化しにくいいため好ましい。なお、金属酸化物552は、必須の構成ではない。求めるトランジスタ特性により、適宜設計すればよい。

[0317]

絶縁体570は、水又は水素などの不純物、及び酸素の透過を抑制する機能を有する絶縁性材料を用いるとよい。例えば、酸化アルミニウム又は酸化ハフニウムなどを用いることが好ましい。これにより、絶縁体570よりも上方からの酸素で導電体560が酸化するのを抑制することができる。また、絶縁体570よりも上方からの水又は水素などの不純物が、導電体560、及び絶縁体550を介して、酸化物530に混入することを抑制することができる。

[0318]

絶縁体571はハードマスクとして機能する。絶縁体571を設けることで、導電体560の加工の際、導電体560の側面が概略垂直、具体的には、導電体560の側面と基板表面のなす角を、75度以上100度以下、好ましくは80度以上95度以下とすることができる。

[0319]

なお、絶縁体571に、水又は水素などの不純物、及び酸素の透過を抑制する機能を有する絶縁性材料を用いることで、バリア層としての機能を兼ねさせてもよい。その場合、絶縁体570は設けなくともよい。

[0320]

絶縁体571をハードマスクとして用いて、絶縁体570、導電体560、金属酸化物552、絶縁体550、及び酸化物530cの一部を選択的に除去することで、これらの側面を略一致させて、かつ、酸化物530b表面の一部を露出させることができる。

[0321]

また、トランジスタ500Dは、露出した酸化物530b表面の一部に領域531a及び領域531bを有する。領域531a又は領域531bの一方はソース領域として機能し、他方はドレイン領域として機能する。

[0322]

領域531a及び領域531bの形成は、例えば、イオン注入法、イオンドーピング法、プラズマイメージョンイオン注入法、又はプラズマ処理などを用いて、露出した酸化物530b表面にリン又はボロンなどの不純物元素を導入することで実現できる。なお、本実施の形態などにおいて「不純物元素」とは、主成分元素以外の元素のことをいう。

[0323]

また、酸化物530b表面の一部を露出させた後に金属膜を成膜し、その後加熱処理することにより、該金属膜に含まれる元素を酸化物530bに拡散させて領域531a及び領域531bを形成することもできる。

[0324]

酸化物530bの不純物元素が導入された領域は、電気抵抗率が低下する。このため、領域531a及び領域531bを「不純物領域」又は「低抵抗領域」という場合がある。

[0325]

絶縁体571及び／又は導電体560をマスクとして用いることで、領域531a及び領域531bを自己整合（セルフアライメント）的に形成することができる。よって、領域531a及び／又は領域531bと、導電体560が重ならず、寄生容量を低減することができる。また、チャネル形成領域とソースドレイン領域（領域531a又は領域531b）の間にオフセット領域が形成されない。領域531a及び領域531bを自己整合（セルフアライメント）的に形成することにより、オン電流の増加、しきい値電圧の低減、動作周波数の向上などを実現できる。

[0326]

なお、オフ電流を更に低減するため、チャネル形成領域とソースドレイン領域の間にオフセット領域を設けてもよい。オフセット領域とは、電気抵抗率が高い領域であり、前述した不純物元素の導入が行なわれない領域である。オフセット領域の形成は、絶縁体575の形成後に前述した不純物元素の導入を行なうことで実現できる。この場合、絶縁体575も絶縁体571などと同様にマスクとして機能する。よって、酸化物530bの絶縁体575と重なる領域に不純物元素が導入されず、該領域の電気抵抗率を高いままとすることができる。

[0327]

また、トランジスタ500Dは、絶縁体570、導電体560、金属酸化物552、絶縁体550、及び酸化物530cの側面に絶縁体575を有する。絶縁体575は、比誘電率の低い絶縁体であることが好ましい。例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素、及び窒素を添加した酸化シリコン、空孔を有する酸化シリコン、又は樹脂などであることが好ましい。特に、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、空孔を有する酸化シリコンを絶縁体575に用いると、後の工程で絶縁体575中に過剰酸素領域を容易に形成できるため好ましい。また、酸化シリコン、及び酸化窒化シリコンは、熱的に安定であるため好ましい。また、絶縁体575は、酸素を拡散する機能を有することが好ましい。

[0328]

また、トランジスタ500Dは、絶縁体575、酸化物530上に絶縁体544を有する。絶縁体544は、スパッタリング法を用いて成膜することが好ましい。スパッタリング法を用いることにより、水又は水素などの不純物の少ない絶縁体を成膜することができる。例えば、絶縁体544として、酸化アルミニウムを用いるとよい。

[0329]

なお、スパッタリング法を用いて形成された酸化膜は、被成膜構造体から水素を引き抜く場合がある。従って、絶縁体544が酸化物530及び絶縁体575から水素及び水を吸収することで、酸化物530及び絶縁体575の水素濃度を低減することができる。

[0330]

<<トランジスタの構造例5>>

図20(A)乃至図20(C)を用いてトランジスタ500Eの構造例を説明する。図20(A)はトランジスタ500Eの上面図である。図20(B)は、図20(A)に一点鎖線L1-L2で示す部位の断面図である。図20(C)は、図20(A)に一点鎖線W1-W2で示す部位の断面図である。なお、図20(A)の上面図では、図の明瞭化のために一部の要素を省いて図示している。

[0331]

トランジスタ500Eはトランジスタ500A、トランジスタ500B、トランジスタ500C、トランジスタ500D、とは異なる構造となっている。そのため、説明の繰り返しを防ぐため、トランジスタ500A、トランジスタ500B、トランジスタ500C、トランジスタ500Dと内容が重複する点については説明を省略し、主に異なる点について説明する。[0332]

図20(A)、(B)、及び(C)では、導電体542a、及び導電体542bを設けずに、露出した酸化物530b表面の一部に領域531a及び領域531bを有する。領域531a又は領域531bの一方はソース領域として機能し、他方はドレイン領域として機能する。また、酸化物530bと、絶縁体544の間に、絶縁体573を有する。

[0333]

図20(B)に示す、領域531a、及び領域531bは、酸化物530bに下記の元素が添加された領域である。領域531a、及び領域531bは、例えば、ダミーゲートを用いることで形成することができる。

[0334]

具体的には、酸化物530b上にダミーゲートを設け、当該ダミーゲートをマスクとして用い、酸化物530bの一部の領域を低抵抗化する元素を添加するとよい。つまり、酸化物530a及び酸化物530bのダミーゲートと重畳していない領域に、当該元素が添加され、領域531a及び領域531bが形成される。なお、当該元素の添加方法としては、イオン化された原料ガスを質量分離して添加するイオン注入法、イオン化された原料ガスを質量分離せずに添加するイオンドーピング法、プラズマイマージョンイオンインプランテーション法などを用いることができる。

[0335]

なお、酸化物530bの一部の領域を低抵抗化する元素としては、代表的には、ホウ素、又はリンが挙げられる。また、水素、炭素、窒素、フッ素、硫黄、塩素、チタン、希ガス等を用いてもよい。希ガスの代表例としては、ヘリウム、ネオン、アルゴン、クリプトン、及びキセノン等がある。当該元素の濃度は、二次イオン質量分析法(SIMS: Secondary Ion Mass Spe

ctrometry) などを用いて測定すればよい。

[0336]

特に、アモルファスシリコン、低温ポリシリコンなどが半導体層に含まれるSiトランジスタの製造ラインの装置において、ホウ素、及びリンを添加することができるため、当該製造ラインの装置を用いることにより酸化物530bの一部を低抵抗化することができる。つまり、Siトランジスタの製造ラインの一部を、トランジスタ500Eの作製工程に用いることができる。

[0337]

続いて、酸化物530b、及びダミーゲート上に、絶縁体573となる絶縁膜、及び絶縁体544となる絶縁膜を成膜してもよい。絶縁体573となる絶縁膜、及び絶縁体544となる絶縁膜を積層して設けることで、領域531a又は領域531bと、酸化物530cと、絶縁体550と、が重畳する領域を設けることができる。

[0338]

具体的には、絶縁体544となる絶縁膜上に絶縁体580となる絶縁膜を設けた後、絶縁体580となる絶縁膜にCMP (Chemical Mechanical Polishing) 処理を行うことで、絶縁体580となる絶縁膜の一部を除去し、ダミーゲートを露出する。続いて、ダミーゲートを除去する際に、ダミーゲートと接する絶縁体573の一部も除去するとよい。従って、絶縁体580に設けられた開口部の側面には、絶縁体544、及び絶縁体573が露出し、当該開口部の底面には、酸化物530bに設けられた領域531a、及び領域531bのそれぞれの一部が露出する。次に、当該開口部に酸化物530cとなる酸化膜、絶縁体550となる絶縁膜、及び導電体560となる導電膜を順に成膜した後、絶縁体580が露出するまでCMP処理などにより、酸化物530cとなる酸化膜、絶縁体550となる絶縁膜、及び導電体560となる導電膜の一部を除去することで、図20(A)、(B)、及び(C)に示すトランジスタを形成することができる。

[0339]

なお、絶縁体573、及び絶縁体544は必須の構成ではない。求めるトランジスタ特性により、適宜設計すればよい。

[0340]

図20(A)、(B)、及び(C)に示すトランジスタは、導電体542a、及び導電体542bを設けないため、当該トランジスタを作製するためのコストの低減を図ることができる。

[0341]

<<トランジスタの構造例6>>

また、図15(A)(B)では、ゲートとしての機能を機能する導電体560が、絶縁体580の開口の内部に形成されている構造例について説明したが、例えば、当該導電体の上方に、当該絶縁体が設けられた構造を用いることもできる。このようなトランジスタの構造例を、図21(A)(B)、図22(A)(B)に示す。

[0342]

図21(A)はトランジスタの上面図であり、図21(B)はトランジスタの斜視図である。また、図21(A)におけるL1-L2の断面図を図22(A)に示し、W1-W2の断面図を図22(B)に示す。

[0343]

図21(A)(B)、図22(A)(B)に示すトランジスタは、バックゲートとしての機能を有す

る導電体BGEと、ゲート絶縁膜としての機能を有する絶縁体BGIと、酸化物半導体Sと、ゲート絶縁膜としての機能を有する絶縁体FGIと、フロントゲートとしての機能を有する導電体FGEと、配線としての機能を有する導電体WEと、を有する。また、導電体PEは、導電体WEと、酸化物S、導電体BGE、又は導電体FGEと、を接続するためのプラグとしての機能を有する。なお、ここでは、酸化物半導体Sが、3層の酸化物S1、S2、S3によって構成されている例を示している。

[0344]

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

[0345]

(実施の形態4)

本実施の形態では、上記の実施の形態で説明したOSトランジスタに用いることができる金属酸化物であるCAC-OS (Cloud-Aligned Composite Oxide Semiconductor)、及びCAAC-OS (c-axis Aligned Crystalline Oxide Semiconductor)の構成について説明する。なお、明細書等において、CACは機能、又は材料の構成の一例を表し、CAACは結晶構造の一例を表す。

[0346]

<金属酸化物の構成>

CAC-OS又はCAC-metal oxideとは、材料の一部では導電性の機能と、材料の一部では絶縁性の機能とを有し、材料の全体では半導体としての機能を有する。なお、CAC-OS又はCAC-metal oxideを、トランジスタの活性層に用いる場合、導電性の機能は、キャリアとなる電子(又はホール)を流す機能であり、絶縁性の機能は、キャリアとなる電子を流さない機能である。導電性の機能と、絶縁性の機能とを、それぞれ相補的に作用させることで、スイッチングさせる機能(On/Offさせる機能)をCAC-OS又はCAC-metal oxideに付与することができる。CAC-OS又はCAC-metal oxideにおいて、それぞれの機能を分離させることで、双方の機能を最大限に高めることができる。

[0347]

また、CAC-OS又はCAC-metal oxideは、導電性領域、及び絶縁性領域を有する。導電性領域は、上述の導電性の機能を有し、絶縁性領域は、上述の絶縁性の機能を有する。また、材料中において、導電性領域と、絶縁性領域とは、ナノ粒子レベルで分離している場合がある。また、導電性領域と、絶縁性領域とは、それぞれ材料中に偏在する場合がある。また、導電性領域は、周辺がぼけてクラウド状に連結して観察される場合がある。

[0348]

また、CAC-OS又はCAC-metal oxideにおいて、導電性領域と、絶縁性領域とは、それぞれ0.5nm以上10nm以下、好ましくは0.5nm以上3nm以下のサイズで材料中に分散している場合がある。

[0349]

また、CAC-OS又はCAC-metal oxideは、異なるバンドギャップを有する成分により構成される。例えば、CAC-OS又はCAC-metal oxideは、絶縁性領域に起因するワイドギャップを有する成分と、導電性領域に起因するナローギャップを有する成分と、により構成される。当該構成の場合、キャリアを流す際に、ナローギャップを有する成分において、主に

キャリアが流れる。また、ナローギャップを有する成分が、ワイドギャップを有する成分に相補的に作用し、ナローギャップを有する成分に連動してワイドギャップを有する成分にもキャリアが流れる。このため、上記CAC-OS又はCAC-metal oxideをトランジスタのチャンネル形成領域に用いる場合、トランジスタのオン状態において高い電流駆動力、つまり大きなオン電流、及び高い電界効果移動度を得ることができる。

[0350]

すなわち、CAC-OS又はCAC-metal oxideは、マトリックス複合材 (matrix composite)、又は金属マトリックス複合材 (metal matrix composite) と呼称することもできる。

[0351]

<金属酸化物の構造>

酸化物半導体は、単結晶酸化物半導体と、それ以外の非単結晶酸化物半導体と、に分けられる。非単結晶酸化物半導体としては、例えば、CAAC-OS (c-axis aligned crystalline oxide semiconductor)、多結晶酸化物半導体、nc-OS (nanocrystalline oxide semiconductor)、擬似非晶質酸化物半導体 (a-like OS: amorphous-like oxide semiconductor) 及び非晶質酸化物半導体などがある。

[0352]

CAAC-OSは、c軸配向性を有し、かつa-b面方向において複数のナノ結晶が連結し、歪みを有した結晶構造となっている。なお、歪みとは、複数のナノ結晶が連結する領域において、格子配列の揃った領域と、別の格子配列の揃った領域と、の間で格子配列の向きが変化している箇所を指す。

[0353]

ナノ結晶は、六角形を基本とするが、正六角形状とは限らず、非正六角形状である場合がある。また、歪みにおいて、五角形、及び七角形などの格子配列を有する場合がある。なお、CAAC-OSにおいて、歪み近傍においても、明確な結晶粒界 (グレインバウンダリーともいう) を確認することはできない。即ち、格子配列の歪みによって、結晶粒界の形成が抑制されていることがわかる。これは、CAAC-OSが、a-b面方向において酸素原子の配列が稠密でないことや、金属元素が置換することで原子間の結合距離が変化することなどによって、歪みを許容することができるためと考えられる。

[0354]

また、CAAC-OSは、インジウム、及び酸素を有する層 (以下、In層) と、元素M、亜鉛、及び酸素を有する層 (以下、(M, Zn) 層) とが積層した、層状の結晶構造 (層状構造ともいう) を有する傾向がある。なお、インジウムと元素Mは、互いに置換可能であり、(M, Zn) 層の元素Mがインジウムと置換した場合、(In, M, Zn) 層と表すこともできる。また、In層のインジウムが元素Mと置換した場合、(In, M) 層と表すこともできる。

[0355]

CAAC-OSは結晶性の高い酸化物半導体である。一方、CAAC-OSは、明確な結晶粒界を確認することはできないため、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。また、酸化物半導体の結晶性は不純物の混入や欠陥の生成などによって低下する場合があるため、CAAC-OSは不純物や欠陥 (酸素欠損など) の少ない酸化物半導体ともいえる。従って、CAAC-O

Sを有する酸化物半導体は、物理的性質が安定する。そのため、CAAC-OSを有する酸化物半導体は熱に強く、信頼性が高い。また、CAAC-OSは、製造工程における高い温度（所謂サーマルバジェット）に対しても安定である。したがって、OSトランジスタにCAAC-OSを用いると、製造工程の自由度を広げることが可能となる。

[0356]

nc-OSは、微小な領域（例えば、1nm以上10nm以下の領域、特に1nm以上3nm以下の領域）において原子配列に周期性を有する。また、nc-OSは、異なるナノ結晶間で結晶方位に規則性が見られない。そのため、膜全体で配向性が見られない。したがって、nc-OSは、分析方法によっては、a-like OSや非晶質酸化物半導体と区別が付かない場合がある。

[0357]

a-like OSは、nc-OSと非晶質酸化物半導体との間の構造を有する酸化物半導体である。a-like OSは、鬆又は低密度領域を有する。即ち、a-like OSは、nc-OS及びCAAC-OSと比べて、結晶性が低い。

[0358]

酸化物半導体は、多様な構造をとり、それぞれが異なる特性を有する。本発明の一態様の酸化物半導体は、非晶質酸化物半導体、多結晶酸化物半導体、a-like OS、nc-OS、CAAC-OSのうち、二種以上を有していてもよい。

[0359]

<酸化物半導体を有するトランジスタ>

続いて、上記酸化物半導体をトランジスタに用いる場合について説明する。

[0360]

上記酸化物半導体をトランジスタに用いることで、高い電界効果移動度のトランジスタを実現することができる。また、信頼性の高いトランジスタを実現することができる。

[0361]

また、トランジスタには、キャリア濃度の低い酸化物半導体を用いることが好ましい。酸化物半導体膜のキャリア濃度を低くする場合においては、酸化物半導体膜中の不純物濃度を低くし、欠陥準位密度を低くすればよい。本明細書等において、不純物濃度が低く、欠陥準位密度の低いことを高純度真性又は実質的に高純度真性と言う。例えば、酸化物半導体は、キャリア濃度が $8 \times 10^{11} \text{ cm}^{-3}$ 未満、好ましくは $1 \times 10^{11} \text{ cm}^{-3}$ 未満、さらに好ましくは $1 \times 10^{10} \text{ cm}^{-3}$ 未満であり、 $1 \times 10^{-9} \text{ cm}^{-3}$ 以上とすればよい。

[0362]

また、高純度真性又は実質的に高純度真性である酸化物半導体膜は、欠陥準位密度が低いため、トラップ準位密度も低くなる場合がある。

[0363]

また、酸化物半導体のトラップ準位に捕獲された電荷は、消失するまでに要する時間が長く、あたかも固定電荷のように振る舞うことがある。そのため、トラップ準位密度の高い酸化物半導体にチャネル形成領域が形成されるトランジスタは、電気特性が不安定となる場合がある。

[0364]

従って、トランジスタの電気特性を安定にするためには、酸化物半導体中の不純物濃度を低減することが有効である。また、酸化物半導体中の不純物濃度を低減するためには、近接する膜中の不純物

濃度も低減することが好ましい。不純物としては、水素、窒素、アルカリ金属、アルカリ土類金属、鉄、ニッケル、シリコン等がある。

[0365]

<不純物>

ここで、酸化物半導体中における各不純物の影響について説明する。

[0366]

酸化物半導体において、第14族元素の一つであるシリコンや炭素が含まれると、酸化物半導体において欠陥準位が形成される。このため、酸化物半導体におけるシリコンや炭素の濃度と、酸化物半導体との界面近傍のシリコンや炭素の濃度（二次イオン質量分析法（SIMS: Secondary Ion Mass Spectrometry）により得られる濃度）を、 $2 \times 10^{18} \text{ atoms/cm}^3$ 以下、好ましくは $2 \times 10^{17} \text{ atoms/cm}^3$ 以下とする。

[0367]

また、酸化物半導体にアルカリ金属又はアルカリ土類金属が含まれると、欠陥準位を形成し、キャリアを生成する場合がある。従って、アルカリ金属又はアルカリ土類金属が含まれている酸化物半導体を用いたトランジスタはノーマリーオン特性となりやすい。このため、酸化物半導体中のアルカリ金属又はアルカリ土類金属の濃度を低減することが好ましい。具体的には、SIMSにより得られる酸化物半導体中のアルカリ金属又はアルカリ土類金属の濃度を、 $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、好ましくは $2 \times 10^{16} \text{ atoms/cm}^3$ 以下にする。

[0368]

また、酸化物半導体において、窒素が含まれると、キャリアである電子が生じ、キャリア濃度が増加し、n型化しやすくなる。この結果、窒素が含まれている酸化物半導体を半導体を用いたトランジスタはノーマリーオン特性となりやすい。従って、該酸化物半導体において、窒素はできる限り低減されていることが好ましい、例えば、酸化物半導体中の窒素濃度は、SIMSにおいて、 $5 \times 10^{19} \text{ atoms/cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以下、より好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、さらに好ましくは $5 \times 10^{17} \text{ atoms/cm}^3$ 以下とする。

[0369]

また、酸化物半導体に含まれる水素は、金属原子と結合する酸素と反応して水になるため、酸素欠損を形成する場合がある。該酸素欠損に水素が入ることで、キャリアである電子が生成される場合がある。また、水素の一部が金属原子と結合する酸素と結合して、キャリアである電子を生成することもある。従って、水素が含まれている酸化物半導体を用いたトランジスタはノーマリーオン特性となりやすい。このため、酸化物半導体中の水素はできる限り低減されていることが好ましい。具体的には、酸化物半導体において、SIMSにより得られる水素濃度を、 $1 \times 10^{20} \text{ atoms/cm}^3$ 未満、好ましくは $1 \times 10^{19} \text{ atoms/cm}^3$ 未満、より好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 未満、さらに好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 未満とする。

[0370]

不純物が十分に低減された酸化物半導体をトランジスタのチャンネル形成領域に用いることで、安定した電気特性を付与することができる。

[0371]

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

[0372]

## (実施の形態 5)

本実施の形態では、上述の実施の形態で説明した半導体装置を電子機器に適用した製品例について説明する。

## [0373]

## &lt;ノート型パーソナルコンピュータ&gt;

本発明の一態様の半導体装置は、情報端末装置に備えられるディスプレイに適用することができる。図23(A)は、情報端末装置の一種であるノート型パーソナルコンピュータであり、筐体5401、表示部5402、キーボード5403、ポインティングデバイス5404等を有する。

## [0374]

## &lt;スマートウォッチ&gt;

本発明の一態様の半導体装置は、ウェアラブル端末に適用することができる。図23(B)はウェアラブル端末の一種であるスマートウォッチであり、筐体5901、表示部5902、操作ボタン5903、操作子5904、バンド5905などを有する。また、表示部5902に、位置入力装置としての機能が付加された表示装置を用いるようにしてもよい。また、位置入力装置としての機能は、表示装置にタッチパネルを設けることで付加することができる。あるいは、位置入力装置としての機能は、フォトセンサとも呼ばれる光電変換素子を表示装置の画素部に設けることでも、付加することができる。また、操作ボタン5903にスマートウォッチを起動する電源スイッチ、スマートウォッチのアプリケーションを操作するボタン、音量調整ボタン、又は表示部5902を点灯、あるいは消灯するスイッチなどのいずれかを備えることができる。また、図23(B)に示したスマートウォッチでは、操作ボタン5903の数を2個示しているが、スマートウォッチの有する操作ボタンの数は、これに限定されない。また、操作子5904は、スマートウォッチの時刻合わせを行うリユーズとして機能する。また、操作子5904は、時刻合わせ以外に、スマートウォッチのアプリケーションを操作する入力インターフェースとして、用いるようにしてもよい。なお、図23(B)に示したスマートウォッチでは、操作子5904を有する構成となっているが、これに限定されず、操作子5904を有さない構成であってもよい。

## [0375]

## &lt;ビデオカメラ&gt;

本発明の一態様の半導体装置は、ビデオカメラに適用することができる。図23(C)に示すビデオカメラは、第1筐体5801、第2筐体5802、表示部5803、操作キー5804、レンズ5805、接続部5806等を有する。操作キー5804及びレンズ5805は第1筐体5801に設けられており、表示部5803は第2筐体5802に設けられている。そして、第1筐体5801と第2筐体5802とは、接続部5806により接続されており、第1筐体5801と第2筐体5802の間の角度は、接続部5806により変更が可能である。表示部5803における映像を、接続部5806における第1筐体5801と第2筐体5802との間の角度に従って切り替える構成としてもよい。

## [0376]

## &lt;携帯電話&gt;

本発明の一態様の半導体装置は、携帯電話に適用することができる。図23(D)は、情報端末の機能を有する携帯電話であり、筐体5501、表示部5502、マイク5503、スピーカ5504、操作ボタン5505を有する。また、表示部5502に、位置入力装置としての機能が付加された表

示装置を用いるようにしてもよい。また、位置入力装置としての機能は、表示装置にタッチパネルを設けることで付加することができる。あるいは、位置入力装置としての機能は、フォトセンサとも呼ばれる光電変換素子を表示装置の画素部に設けることでも、付加することができる。また、操作ボタン 5505 に携帯電話を起動する電源スイッチ、携帯電話のアプリケーションを操作するボタン、音量調整ボタン、又は表示部 5502 を点灯、あるいは消灯するスイッチなどのいずれかを備えることができる。

[0377]

また、図 23 (D) に示した携帯電話では、操作ボタン 5505 の数を 2 個示しているが、携帯電話の有する操作ボタンの数は、これに限定されない。また、図示していないが、図 23 (D) に示した携帯電話は、フラッシュライト、又は照明の用途として発光装置を有する構成であってもよい。

[0378]

<据え置き型ゲーム機>

本発明の一態様の半導体装置は、ゲーム機の一例である据え置き型ゲーム機に適用することができる。図 23 (E) では、据え置き型ゲーム機として、ゲーム機本体 7520 と、コントローラ 7522 を示している。なお、ゲーム機本体 7520 には、無線または有線によってコントローラ 7522 を接続することができる。また、図 23 (E) に示していないが、コントローラ 7522 は、ゲームの画像を表示する表示部、ボタン以外の入力インターフェースとなるタッチパネルやスティック、回転式つまみ、スライド式つまみなどを備えることができる。また、コントローラ 7522 は、図 23 (E) に示す形状に限定されず、ゲームのジャンルに応じて、コントローラ 7522 の形状を様々に変更してもよい。例えば、FPS (First Person Shooter) などのシューティングゲームでは、トリガーをボタンとし、銃を模した形状のコントローラを用いることができる。また、例えば、音楽ゲームなどでは、楽器、音楽機器などを模した形状のコントローラを用いることができる。更に、据え置き型ゲーム機は、コントローラを使わず、代わりにカメラ、深度センサ、マイクロフォンなどを備えて、ゲームプレイヤーのジェスチャー、及び/又は音声によって操作する形式としてもよい。

[0379]

<携帯型ゲーム機>

本発明の一態様の半導体装置は、ゲーム機の一例である携帯ゲーム機に適用することができる。図 23 (F) に示す携帯ゲーム機は、筐体 5201、表示部 5202、ボタン 5203 等を有する。なお、図 23 (F) に示す携帯ゲーム機は一例であり、本発明の一態様の半導体装置が適用された携帯ゲーム機の表示部、ボタンなどの配置、形状や数、は、図 23 (F) に示す構成に限定されない。また、携帯ゲーム機の筐体の形状は、図 23 (F) に示す構成に限定されない。

[0380]

上述では、ゲーム機の一例として、据え置き型ゲーム機、携帯ゲーム機などを挙げたが、本発明の一態様の半導体装置は、上述した以外に業務用ゲーム機 (アーケードゲーム機) などにも適用することができる。

[0381]

<テレビジョン装置>

本発明の一態様の半導体装置は、テレビジョン装置に適用することができる。図 23 (G) に示すテレビジョン装置は、筐体 9000、表示部 9001、スピーカ 9003、操作キー 9005 (電源

スイッチ、又は操作スイッチを含む)、接続端子9006などを有する。テレビジョン装置は、大画面、例えば、50インチ以上、又は100インチ以上の表示部9001を組み込むことが可能である。

[0382]

<移動体>

本発明の一態様の半導体装置は、移動体である自動車の運転席周辺に適用することができる。

[0383]

例えば、図23(H)は、自動車の室内におけるフロントガラス周辺を表す図である。図23(H)では、ダッシュボードに取り付けられた表示パネル5701、表示パネル5702、表示パネル5703の他、ピラーに取り付けられた表示パネル5704を図示している。

[0384]

表示パネル5701乃至表示パネル5703は、ナビゲーション情報、スピードメーターやタコメーター、走行距離、燃料計、ギア状態、エアコンの設定などを表示することによって、様々な情報を提供することができる。また、表示パネルに表示される表示項目やレイアウトなどは、ユーザの好みに合わせて適宜変更することができ、デザイン性を高めることが可能である。表示パネル5701乃至表示パネル5703は、照明装置として用いることも可能である。

[0385]

表示パネル5704には、車体に設けられた撮像手段からの映像を映し出すことによって、ピラーで遮られた視界(死角)を補完することができる。すなわち、自動車の外側に設けられた撮像手段からの画像を表示することによって、死角を補い、安全性を高めることができる。また、見えない部分を補完する映像を映すことによって、より自然に違和感なく安全確認を行うことができる。表示パネル5704は、照明装置として用いることもできる。

[0386]

<電子広告用の電子機器>

本発明の一態様の半導体装置は、電子広告を用途とするディスプレイに適用することができる。図24(A)は、壁に取り付けが可能な電子看板(デジタルサイネージ)の例を示している。図24(A)は、電子看板6200が壁6201に取り付けられている様子を示している。

[0387]

<折り畳み式のタブレット型情報端末>

本発明の一態様の半導体装置は、タブレット型の情報端末に適用することができる。図24(B)には、折り畳むことができる構造を有するタブレット型の情報端末を示している。図24(B)に示す情報端末は、筐体5321aと、筐体5321bと、表示部5322と、操作ボタン5323と、を有している。特に、表示部5322は可撓性を有する基材を有しており、当該基材によって折り畳むことができる構造を実現できる。

[0388]

また、筐体5321aと筐体5321bと、は、ヒンジ部5321cにより結合されており、ヒンジ部5321cによって、2つ折りが可能となっている。また、表示部5322は、筐体5321a、筐体5321b、及びヒンジ部5321cに設けられている。

[0389]

また、図示していないが、図23(A)乃至(C)、(E)、図24(A)、(B)に示した電子機器は、マイク及びスピーカを有する構成であってもよい。この構成により、例えば、上述した電子機器

に音声入力機能を付することができる。

[0390]

また、図示していないが、図23(A)、(B)、(D)、図24(A)、(B)に示した電子機器は、カメラを有する構成であってもよい。

[0391]

また、図示していないが、図23(A)乃至(G)、図24(A)、(B)に示した電子機器は、筐体の内部にセンサ(力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、におい又は赤外線などを測定する機能を含むもの)を有する構成であってもよい。特に、図23(D)に示す携帯電話に、ジャイロ、加速度センサなどの傾きを検出するセンサを有する検出装置を設けることで、該携帯電話の向き(鉛直方向に対して該携帯電話がどの向きに向いているか)を判断して、表示部5502の画面表示を、該携帯電話の向きに応じて自動的に切り替えるようにすることができる。

[0392]

また、図示していないが、図23(A)乃至(G)、図24(A)、(B)に示した電子機器は、指紋、静脈、虹彩、又は声紋など生体情報を取得する装置を有する構成であってもよい。この構成を適用することによって、生体認証機能を有する電子機器を実現することができる。

[0393]

また、図23(A)乃至(G)、図24(A)に示した電子機器の表示部として、可撓性を有する基材を用いてもよい。具体的には、該表示部は、可撓性を有する基材上にトランジスタ、容量素子、及び表示素子などを設けた構成としてもよい。この構成を適用することによって、図23(A)乃至(G)、図24(A)に示した電子機器のように平らな面を有する筐体だけでなく、図23(H)に示したダッシュボード、ピラーのように、曲面を有するような筐体の電子機器を実現することができる。

[0394]

図23(A)乃至(G)、図24(A)、(B)の表示部に適用できる、可撓性を有する基材としては、可視光に対する透光性を有する材料を例に挙げると、ポリエチレンテレフタレート樹脂(PET)、ポリエチレンナフタレート樹脂(PEN)、ポリエーテルサルフォン樹脂(PES)、ポリアクリロニトリル樹脂、アクリル樹脂、ポリイミド樹脂、ポリメチルメタクリレート樹脂、ポリカーボネート樹脂、ポリアミド樹脂、ポリシクロオレフィン樹脂、ポリスチレン樹脂、ポリアミドイミド樹脂、ポリプロピレン樹脂、ポリエステル樹脂、ポリハロゲン化ビニル樹脂、アラミド樹脂、エポキシ樹脂などを用いることができる。また、これらの材料を混合又は積層して用いてもよい。

[0395]

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

[符号の説明]

[0396]

M1：トランジスタ、M2：トランジスタ、M3：トランジスタ、CA：容量素子、CB：容量素子、CF：容量素子、BIL：配線、RBL：配線、WBL：配線、WOL：配線、SL：配線、CAL：配線、BGL：配線、BGL1：配線、BGL2：配線、BGI：絶縁体、FGI：絶縁体、BGE：導電体、FGE：導電体、PE：導電体、WE：導電体、11：半導体装置、20：制御回路、21：制御部、22[1]：電圧生成回路、22[P]：電圧生成回路、22[p1]：電圧生成回路、22

[p 2]: 電圧生成回路、22 [p 3]: 電圧生成回路、23A: 回路、23B: 回路、23IN: 内部回路、25: 温度検知回路、25a: 温度センサ、25b: アナログデジタル変換回路、25c: 電圧制御回路、30: 記憶部、40: メモリセルアレイ、50: 周辺回路、51: ワード線ドライバ回路、52: ビット線ドライバ回路、52a: カラムデコーダ、52b: プリチャージ回路、52c: センスアンプ、52d: 書き込み回路、53: ローデコーダ、54: 出力回路、56: コントロールロジック回路、110: 第1記憶領域、120: 第2記憶領域、121: キャッシュ、122: キャッシュ、123: キャッシュ、130: 第3記憶領域、140: 第4記憶領域、200: 記憶装置、210: 記憶回路、220: 記憶回路、220a: 記憶回路、220b: 記憶回路、221: メモリセル、230: 記憶回路、230a: 記憶回路、230b: 記憶回路、231: メモリセル、232: メモリセル、240: 記憶回路、300: トランジスタ、311: 基板、313: 半導体領域、314a: 低抵抗領域、314b: 低抵抗領域、315: 絶縁体、316: 導電体、320: 絶縁体、322: 絶縁体、324: 絶縁体、326: 絶縁体、328: 導電体、330: 導電体、350: 絶縁体、352: 絶縁体、354: 絶縁体、356: 導電体、360: 絶縁体、362: 絶縁体、364: 絶縁体、366: 導電体、370: 絶縁体、372: 絶縁体、374: 絶縁体、376: 導電体、380: 絶縁体、382: 絶縁体、384: 絶縁体、386: 導電体、500: トランジスタ、500A: トランジスタ、500B: トランジスタ、500C: トランジスタ、500D: トランジスタ、500E: トランジスタ、503: 導電体、503a: 導電体、503b: 導電体、505: 導電体、510: 絶縁体、511: 絶縁体、512: 絶縁体、514: 絶縁体、516: 絶縁体、518: 導電体、520: 絶縁体、522: 絶縁体、524: 絶縁体、530: 酸化物、530a: 酸化物、530b: 酸化物、530c: 酸化物、531a: 領域、531b: 領域、540a: 導電体、540b: 導電体、542a: 導電体、542b: 導電体、543a: 領域、543b: 領域、544: 絶縁体、545: 絶縁体、546: 導電体、546a: 導電体、546b: 導電体、547a: 導電体、547b: 導電体、548: 導電体、550: 絶縁体、552: 金属酸化物、560: 導電体、560a: 導電体、560b: 導電体、570: 絶縁体、571: 絶縁体、573: 絶縁体、574: 絶縁体、575: 絶縁体、576a: 絶縁体、576b: 絶縁体、580: 絶縁体、581: 絶縁体、582: 絶縁体、586: 絶縁体、600: 容量素子、610: 導電体、612: 導電体、620: 導電体、630: 絶縁体、650: 絶縁体、5201: 筐体、5202: 表示部、5203: ボタン、5321a: 筐体、5321b: 筐体、5321c: ヒンジ部、5322: 表示部、5323: 操作ボタン、5401: 筐体、5402: 表示部、5403: キーボード、5404: ポインティングデバイス、5501: 筐体、5502: 表示部、5503: マイク、5504: スピーカ、5505: 操作ボタン、5701: 表示パネル、5702: 表示パネル、5703: 表示パネル、5704: 表示パネル、5801: 第1筐体、5802: 第2筐体、5803: 表示部、5804: 操作キー、5805: レンズ、5806: 接続部、5901: 筐体、5902: 表示部、5903: 操作ボタン、5904: 操作子、5905: バンド、6200: 電子看板、6201: 壁、7520: ゲーム機本体、7522: コントローラ、9000: 筐体、9001: 表示部、9003: スピーカ、9005: 操作キー、9006: 接続端子

## 請求の範囲

## [請求項 1]

記憶装置と、制御回路と、を有し、

前記記憶装置は、第 1 記憶階層で動作する第 1 記憶回路と、第 2 記憶階層で動作する前記第 2 記憶回路を有し、

前記第 1 記憶階層は、前記第 2 記憶階層よりもアクセス速度が速い階層であって、

前記第 1 記憶回路は、第 1 容量素子と、前記第 1 容量素子に保持される電荷を保持する機能を有する第 1 トランジスタと、を有し、

前記第 2 記憶回路は、第 2 トランジスタと、前記第 2 トランジスタのゲートに電氣的に接続された第 2 容量素子と、前記第 2 容量素子に保持される電荷を保持する機能を有する第 3 トランジスタと、を有し、

前記第 1 および第 3 トランジスタは、酸化半導体を有する半導体層と、第 1 ゲートと、第 2 ゲートと、を有し、

前記制御回路は、

前記第 1 トランジスタの前記第 2 ゲートに電圧を入力することによって、前記第 1 記憶回路を前記第 1 記憶階層から前記第 2 記憶階層に変更する機能と、

前記第 3 のトランジスタの前記第 2 ゲートに電圧を入力することによって、前記第 2 記憶回路を前記第 2 記憶階層から前記第 1 記憶階層に変更する機能と、を有する、

半導体装置。

## [請求項 2]

請求項 1 において、

前記制御回路は、温度検知回路を有し、

前記温度検知回路は、前記記憶装置の周辺の温度に応じた補正電圧を出力する機能を有し、

前記制御回路は、前記第 1 及び前記第 3 トランジスタのそれぞれの前記第 2 ゲートに印加する電圧を、前記補正電圧に応じて、変動させる機能を有する、

半導体装置。

## [請求項 3]

記憶装置と、制御回路と、を有し、

前記記憶装置は、第 1 記憶階層で動作する第 1 記憶回路と、第 2 記憶階層で動作する前記第 2 記憶回路を有し、

前記第 1 記憶階層は、前記第 2 記憶階層よりもアクセス速度が速い階層であって、

前記第 1 記憶回路は、第 1 容量素子と、前記第 1 容量素子に保持される電荷を保持する機能を有する第 1 トランジスタと、を有し、

前記第 2 記憶回路は、第 2 トランジスタと、前記第 2 トランジスタのゲートに電氣的に接続された第 2 容量素子と、前記第 2 容量素子に保持される電荷を保持する機能を有する第 3 トランジスタと、を有し、

前記第 1 および第 3 トランジスタは、酸化半導体を有する半導体層と、第 1 ゲートと、第 2 ゲートと、を有し、

前記制御回路は、

前記第 1 トランジスタの前記第 2 ゲートに電圧を入力することによって、前記第 1 記憶回路を

前記第 1 記憶階層から前記第 2 記憶階層に変更する機能と、

前記第 3 のトランジスタの前記第 2 ゲートに電圧を入力することによって、前記第 2 記憶回路を前記第 2 記憶階層から前記第 1 記憶階層に変更する機能と、を有し、

前記制御回路は、コントローラと、複数の電圧生成回路と、切り替え回路と、を有し、

前記記憶装置は、前記コントローラに対して、前記記憶装置の記憶容量の使用状況を有する信号を出力する機能を有し、

前記コントローラは、前記信号に応じて、複数の前記電圧生成回路のいずれか一から出力される電圧が前記第 1 および第 3 のトランジスタの前記第 2 ゲートに印加されるように、前記切り替え回路を制御する機能を有する、

半導体装置。

[請求項 4]

請求項 3 において、

前記制御回路は、温度検知回路を有し、

前記温度検知回路は、前記記憶装置の周辺の温度に応じた補正電圧を出力する機能を有し、

前記制御回路は、前記第 1 及び前記第 3 トランジスタのそれぞれの前記第 2 ゲートに印加する電圧を、前記補正電圧に応じて、変動させる機能を有する、

半導体装置。

[請求項 5]

記憶装置と、制御回路と、を有し、

前記記憶装置は、第 1 記憶階層で動作する第 1 記憶回路と、第 2 記憶階層で動作する前記第 2 記憶回路を有し、

前記第 1 記憶階層は、前記第 2 記憶階層よりもアクセス速度が速い階層であって、

前記第 1 記憶回路は、第 1 容量素子と、前記第 1 容量素子に保持される電荷を保持する機能を有する第 1 トランジスタと、を有し、

前記第 2 記憶回路は、第 2 トランジスタと、前記第 2 トランジスタのゲートに電気的に接続された第 2 容量素子と、前記第 2 容量素子に保持される電荷を保持する機能を有する第 3 トランジスタと、を有し、

前記第 1 および第 3 トランジスタは、酸化半導体を有する半導体層と、第 1 ゲートと、第 2 ゲートと、を有し、

前記制御回路は、

前記第 1 トランジスタの前記第 2 ゲートに電圧を入力することによって、前記第 1 記憶回路を前記第 1 記憶階層から前記第 2 記憶階層に変更する機能と、

前記第 3 のトランジスタの前記第 2 ゲートに電圧を入力することによって、前記第 2 記憶回路を前記第 2 記憶階層から前記第 1 記憶階層に変更する機能と、を有し、

前記制御回路は、コントローラと、複数の電圧生成回路と、切り替え回路と、を有し、

前記記憶装置は、前記コントローラに対して、前記記憶装置の記憶容量の使用状況を有する信号を出力する機能を有し、

前記コントローラは、前記信号に応じて、複数の前記電圧生成回路のいずれか一から出力される電圧が前記第 1 および第 3 のトランジスタの前記第 2 ゲートに印加されるように、前記切り替え回路を制御する機能を有し、

前記第1記憶回路は、前記第2記憶回路と重畳する領域を有する、  
半導体装置。

[請求項6]

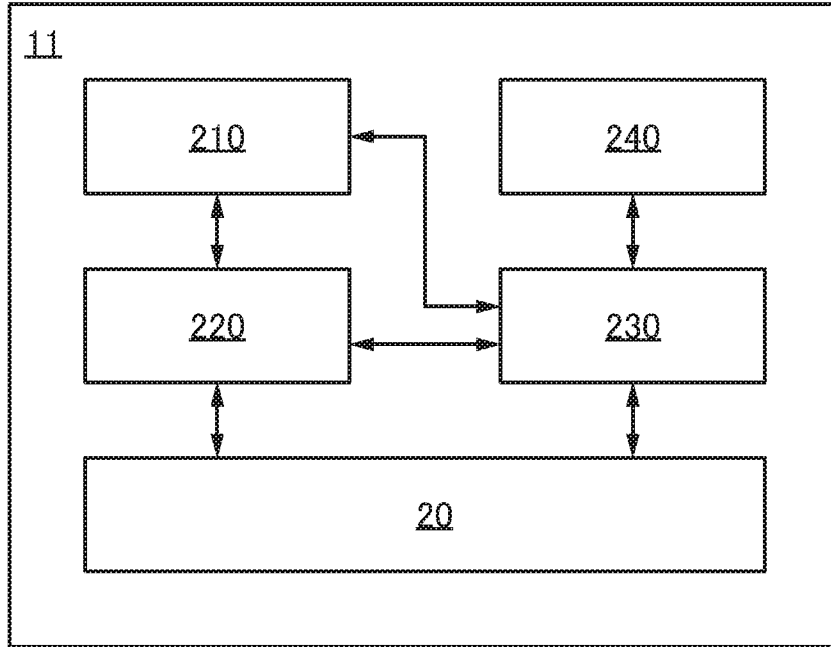
請求項5において、  
前記制御回路は、温度検知回路を有し、  
前記温度検知回路は、前記記憶装置の周辺の温度に応じた補正電圧を出力する機能を有し、  
前記制御回路は、前記第1及び前記第3トランジスタのそれぞれの前記第2ゲートに印加する電  
圧を、前記補正電圧に応じて、変動させる機能を有する、  
半導体装置。

[請求項7]

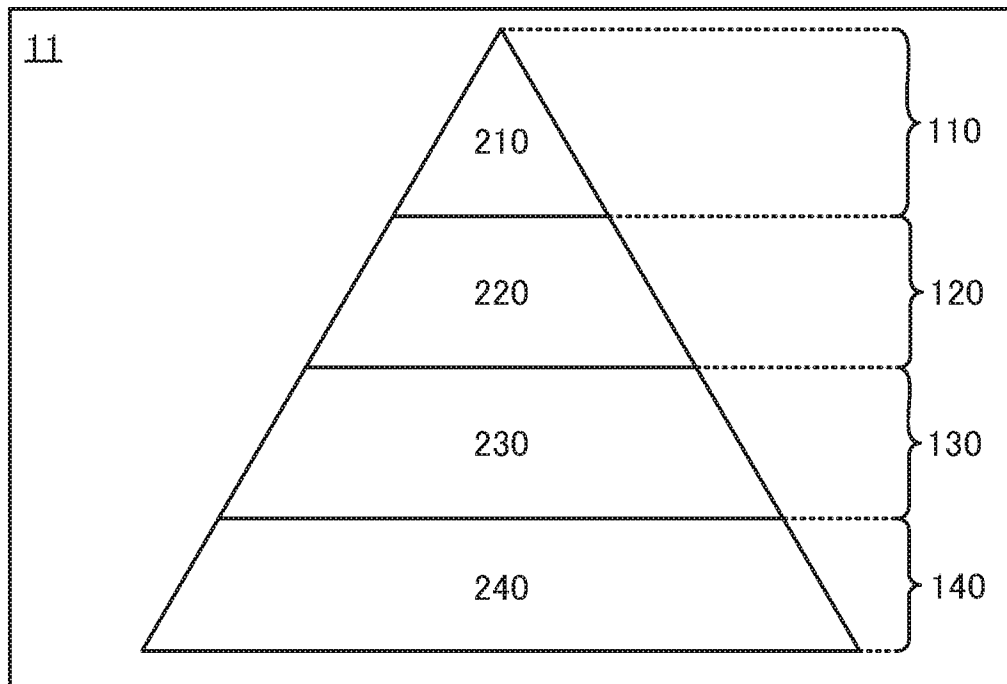
請求項1乃至請求項6のいずれか一において、  
前記酸化物半導体は、インジウム、元素M（元素Mはアルミニウム、ガリウム、イットリウム、ま  
たはスズ）、亜鉛から一又は複数選ばれる材料を有する、  
半導体装置。

[圖 1]

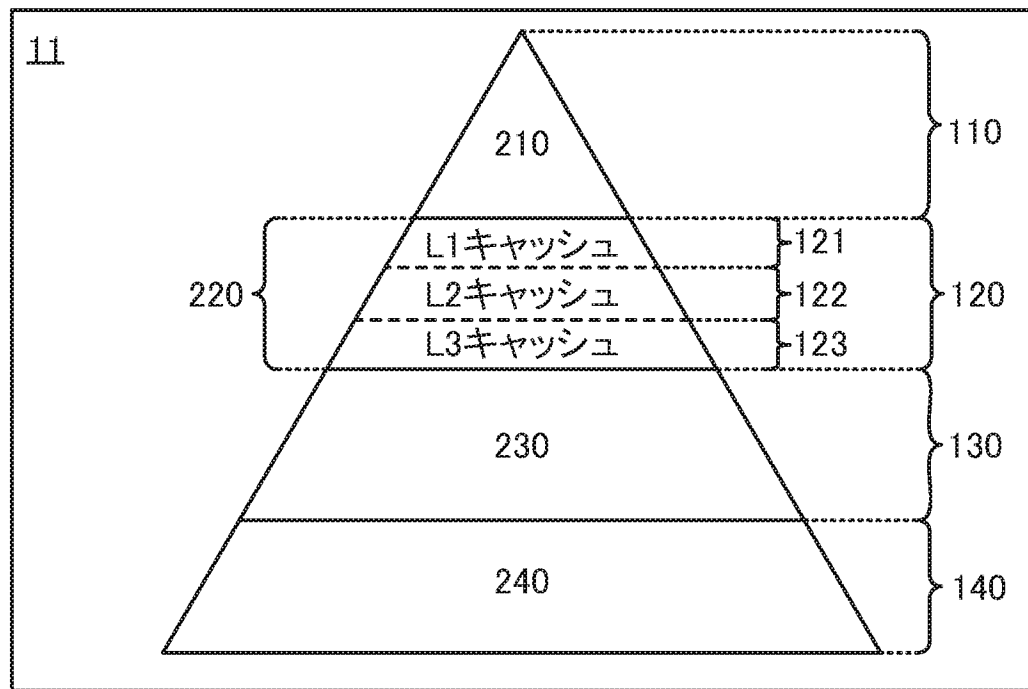
(A)



(B)



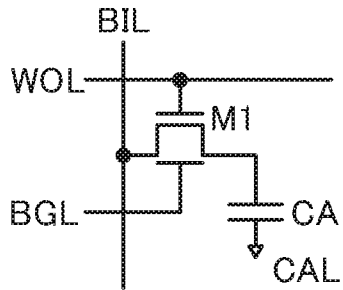
[図2]



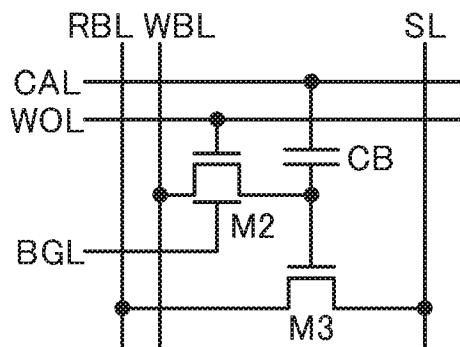
[圖3]

3/24

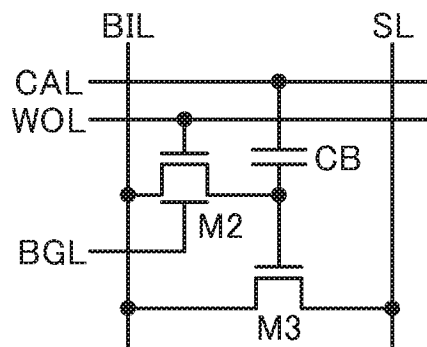
(A) 221



(B1) 231



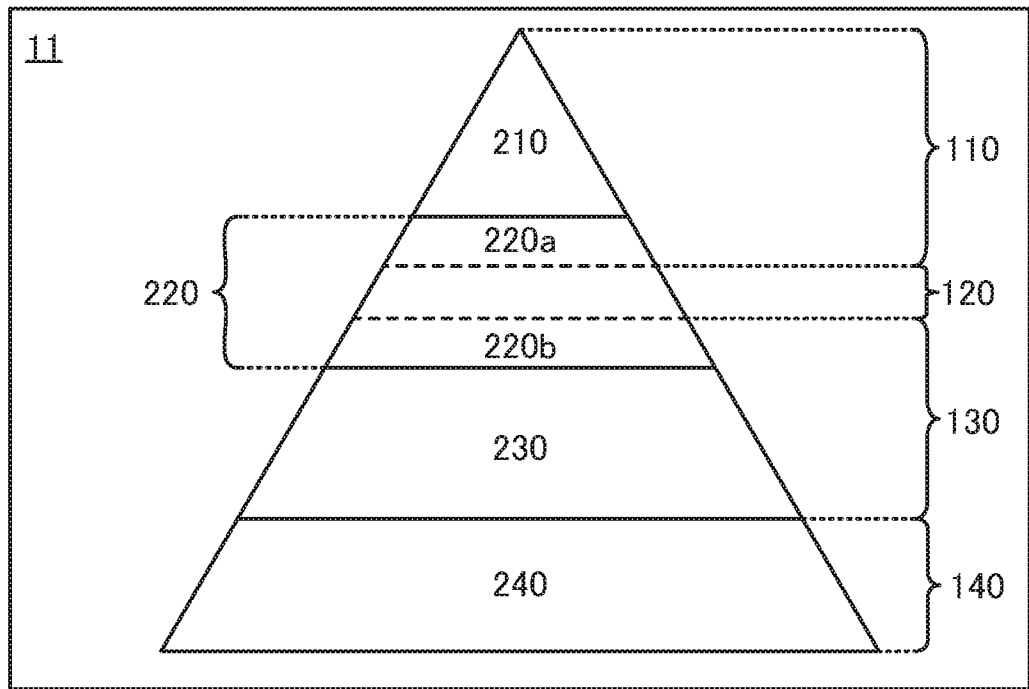
(B2) 232



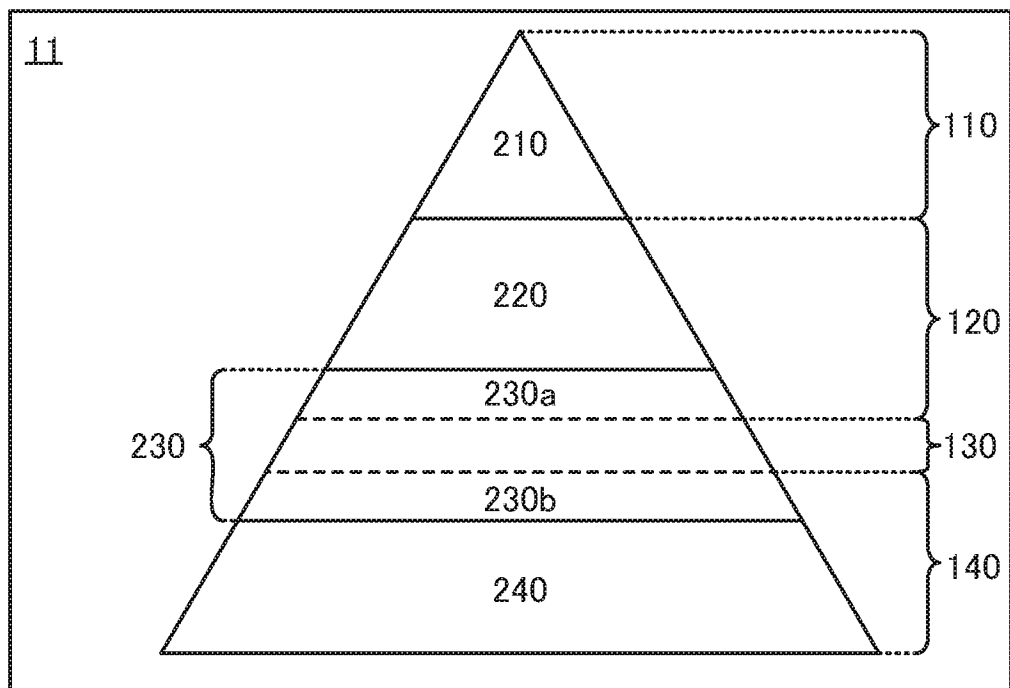
[圖 4]

4/24

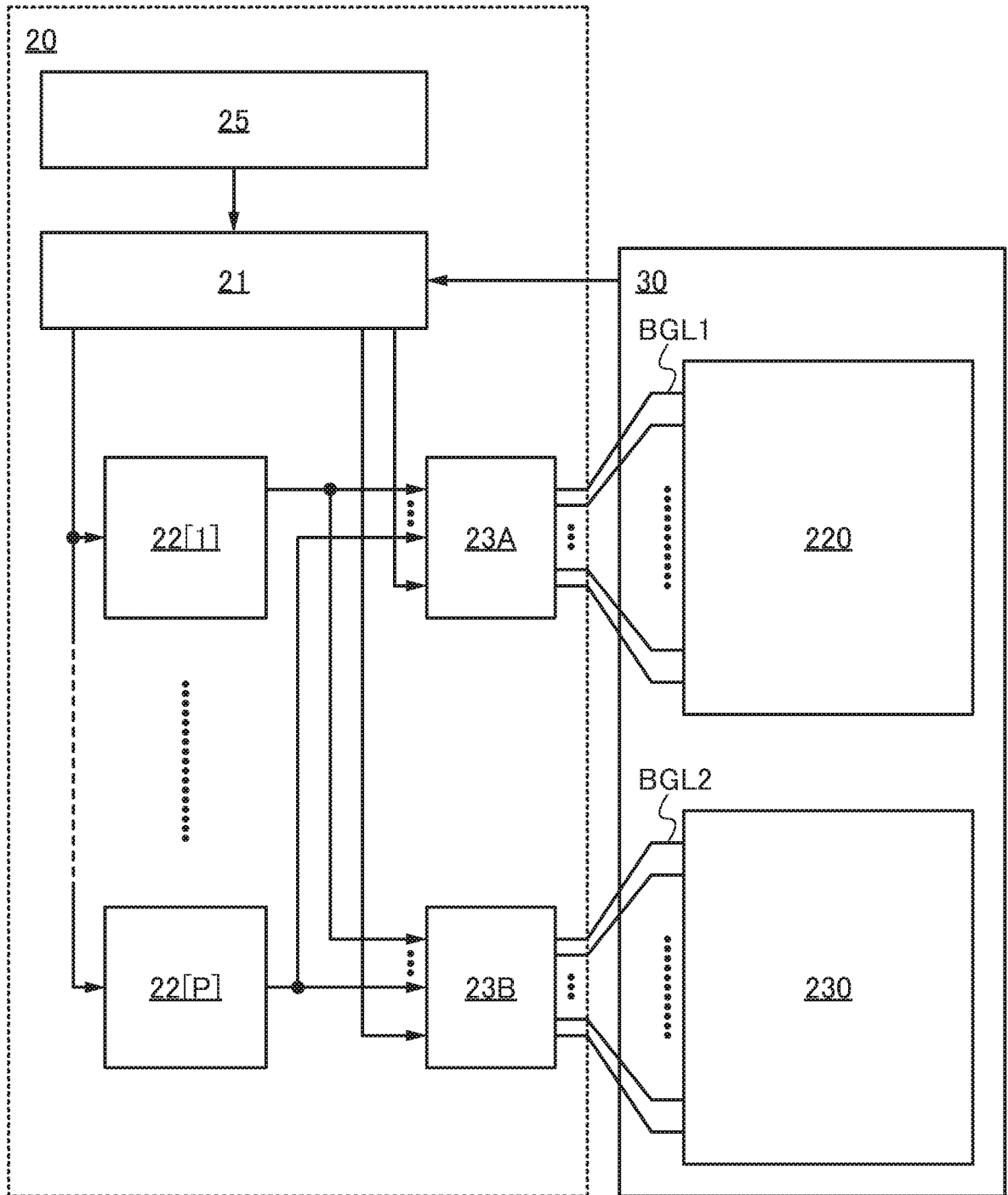
(A)



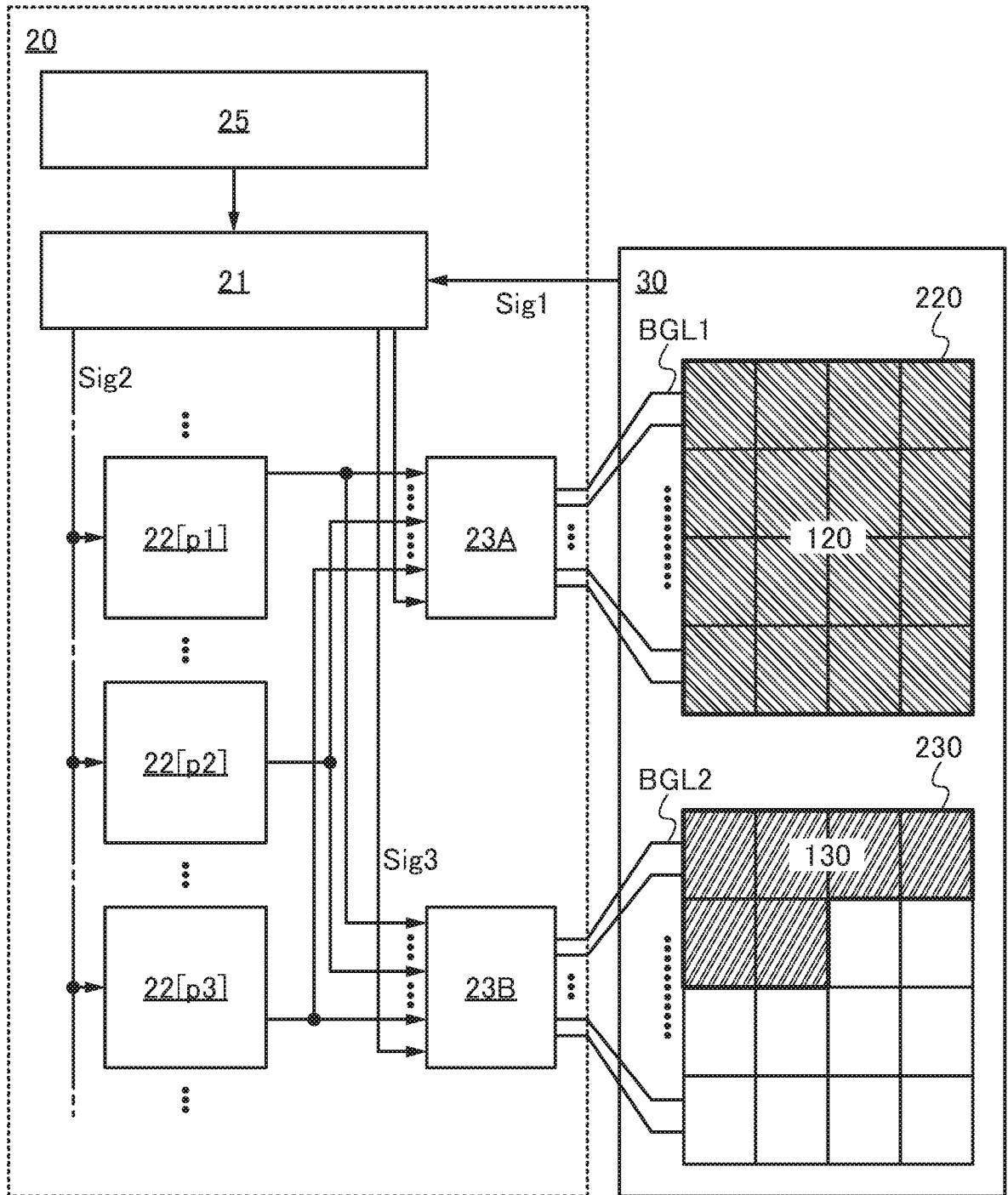
(B)



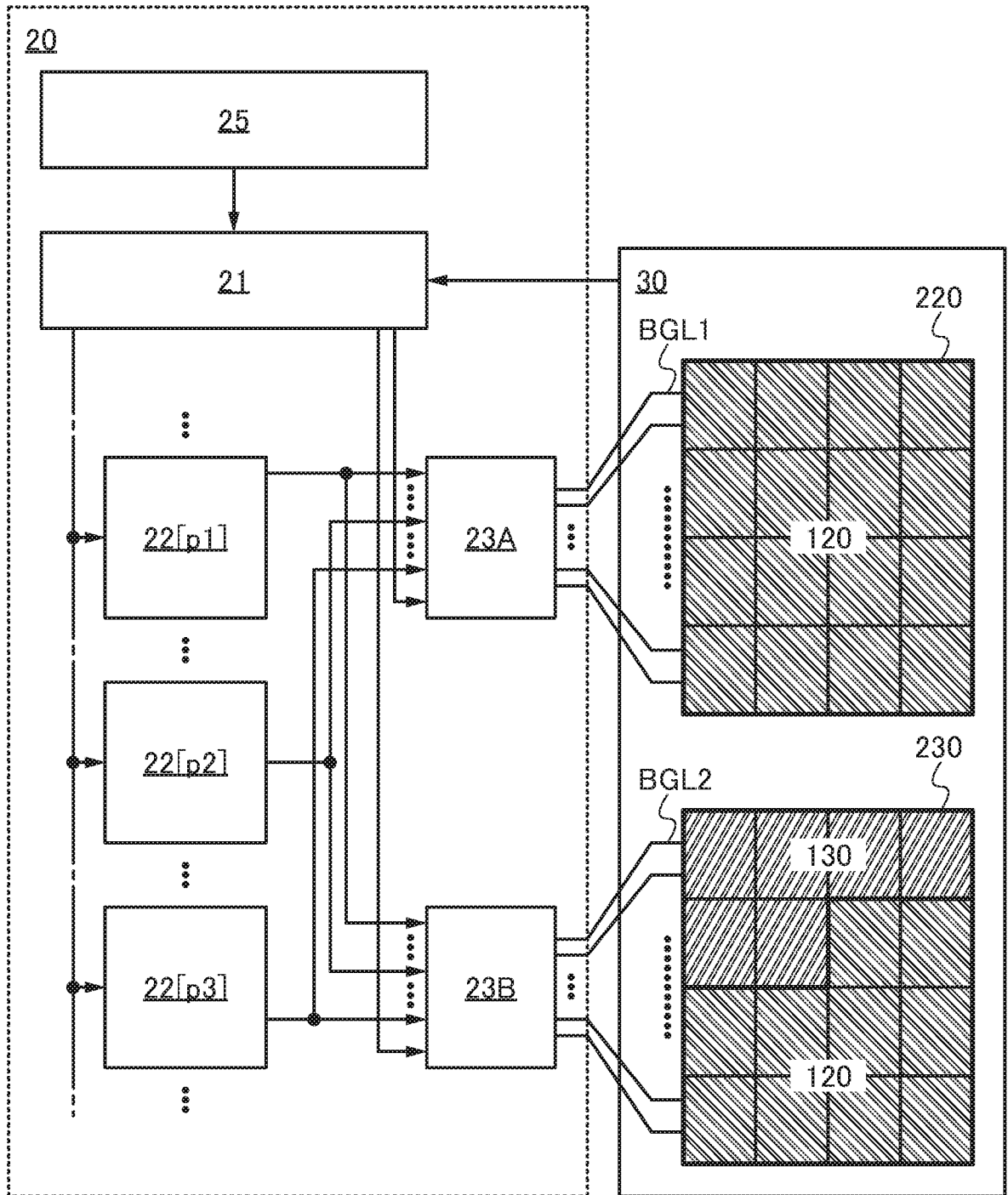
[図5]



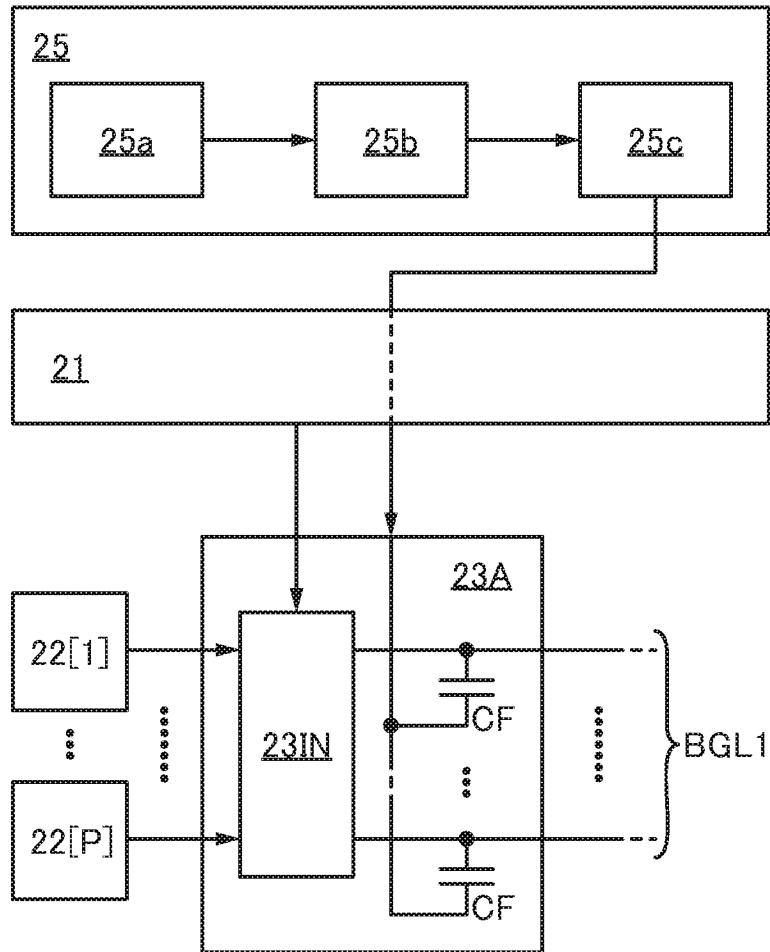
[図6]



[図 7]

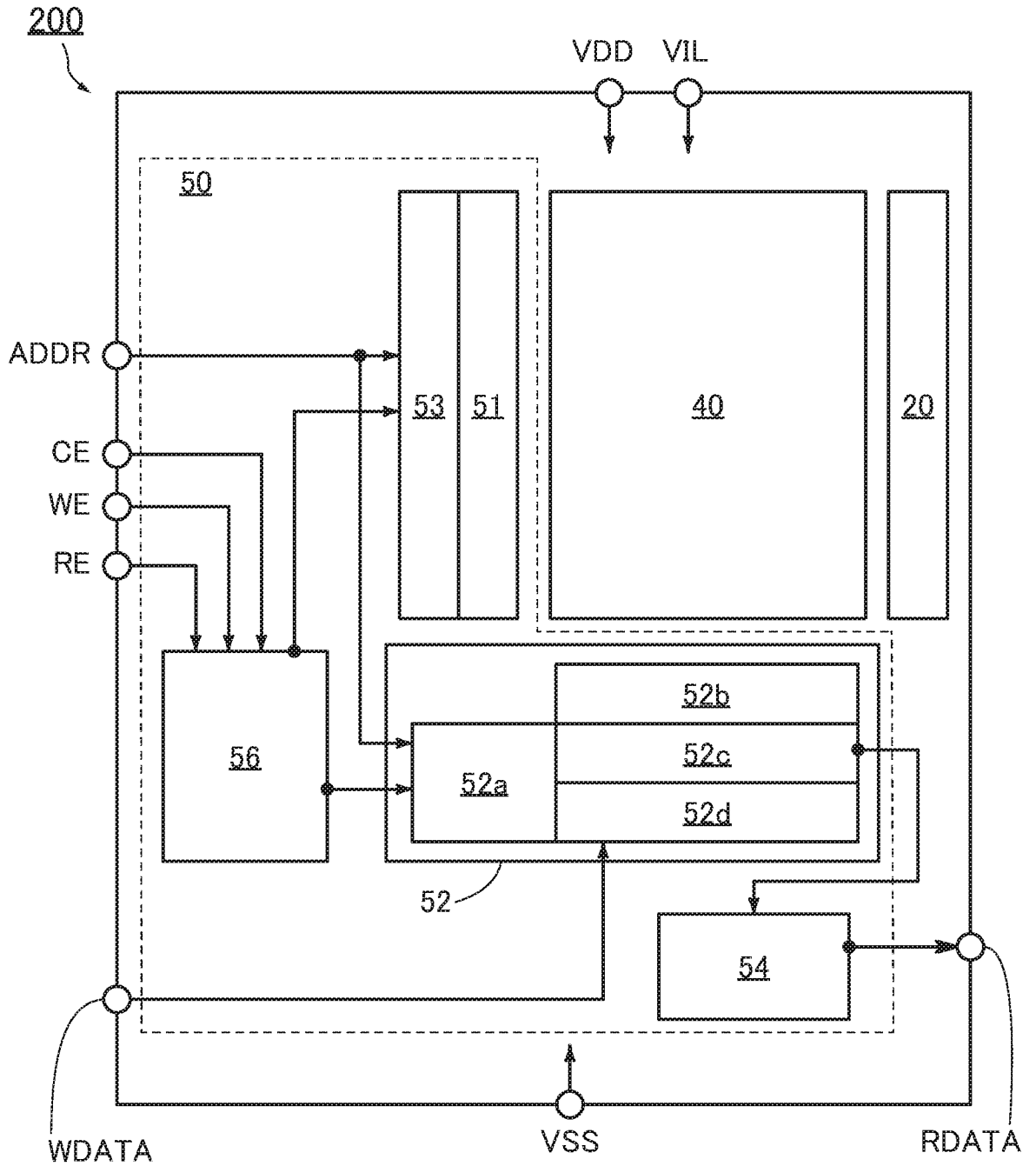


[ 8 ]



[圖9]

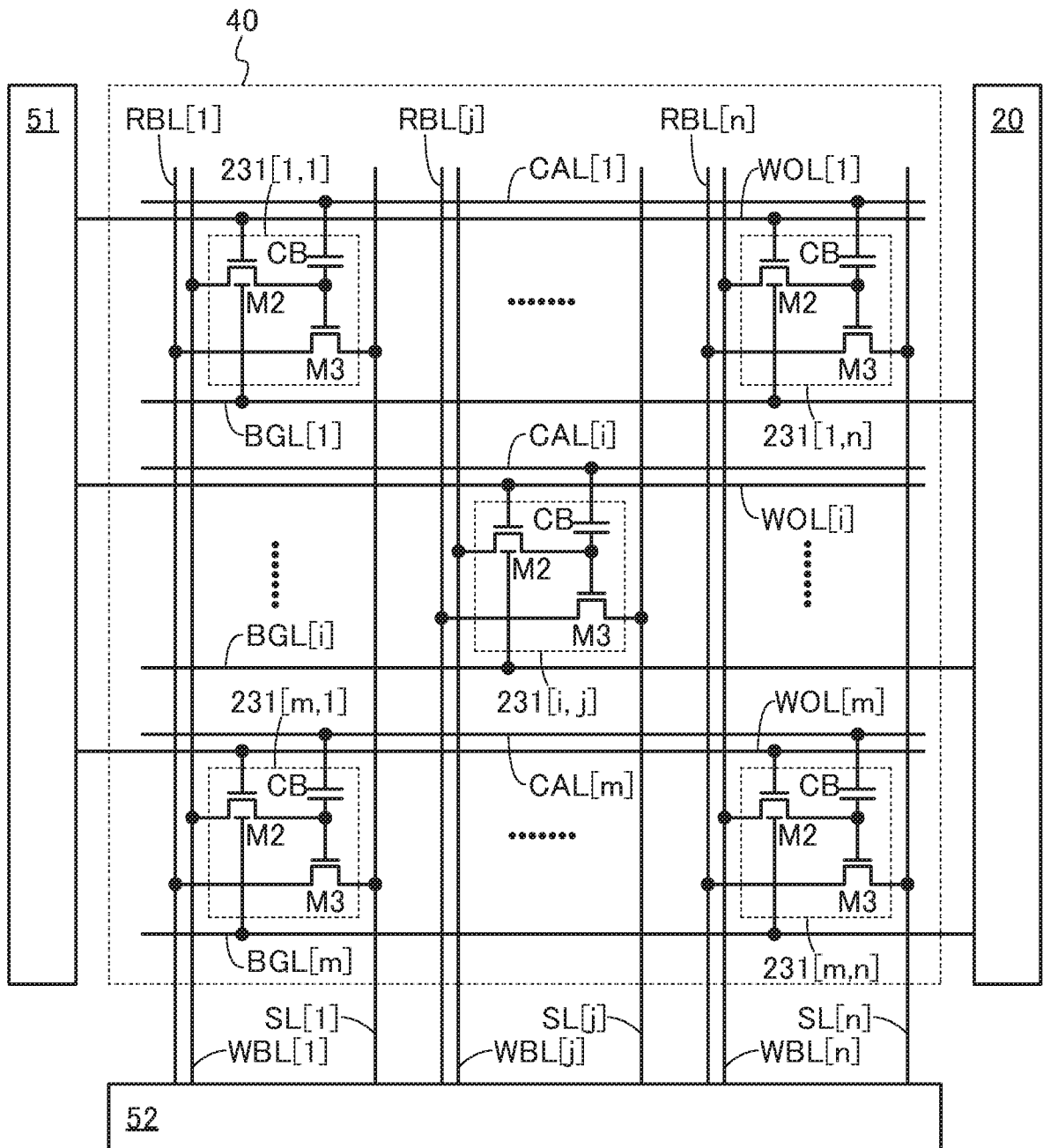
9/24





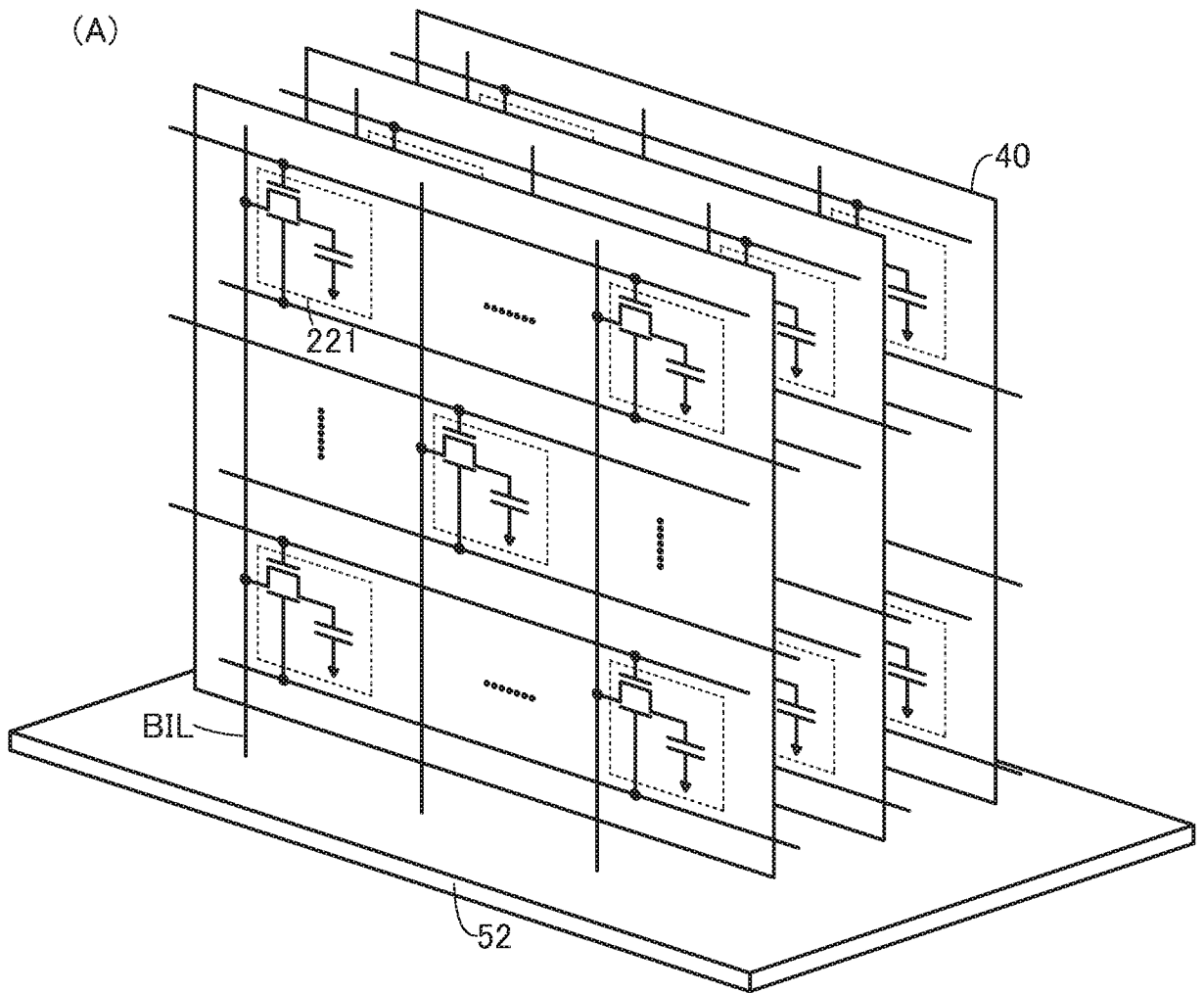
[ 11 ]

11/24

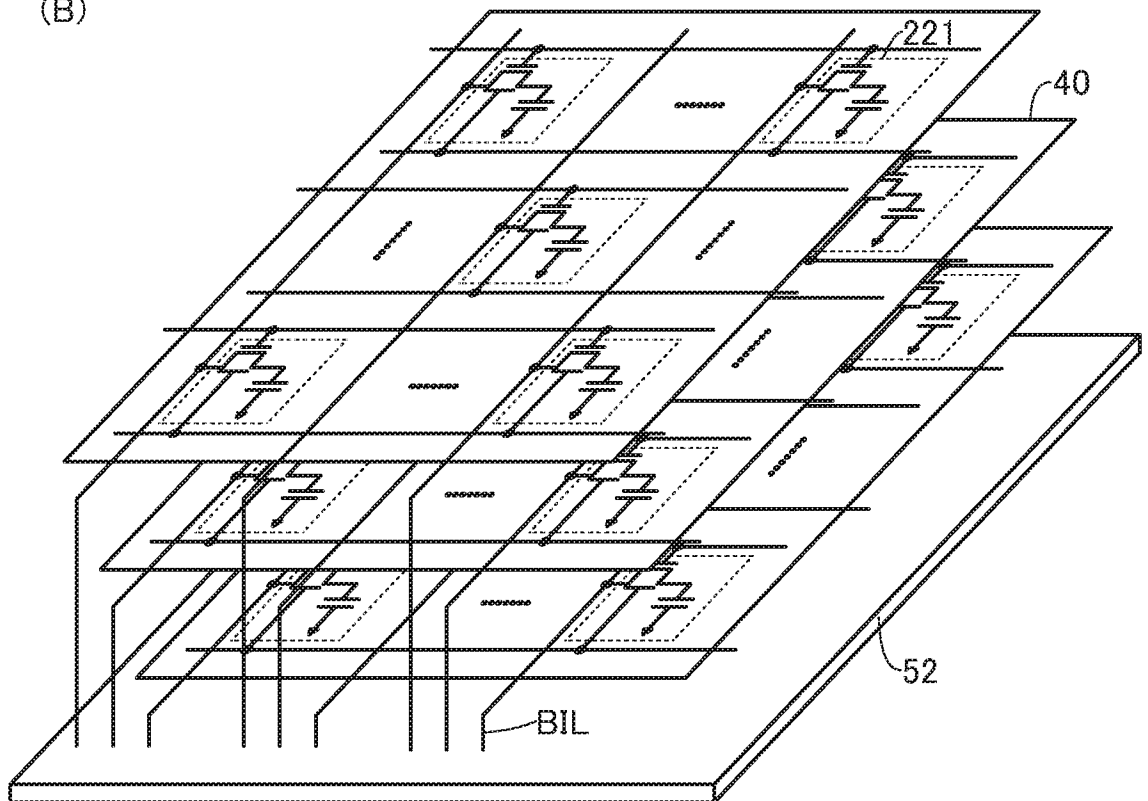


[圖 12]

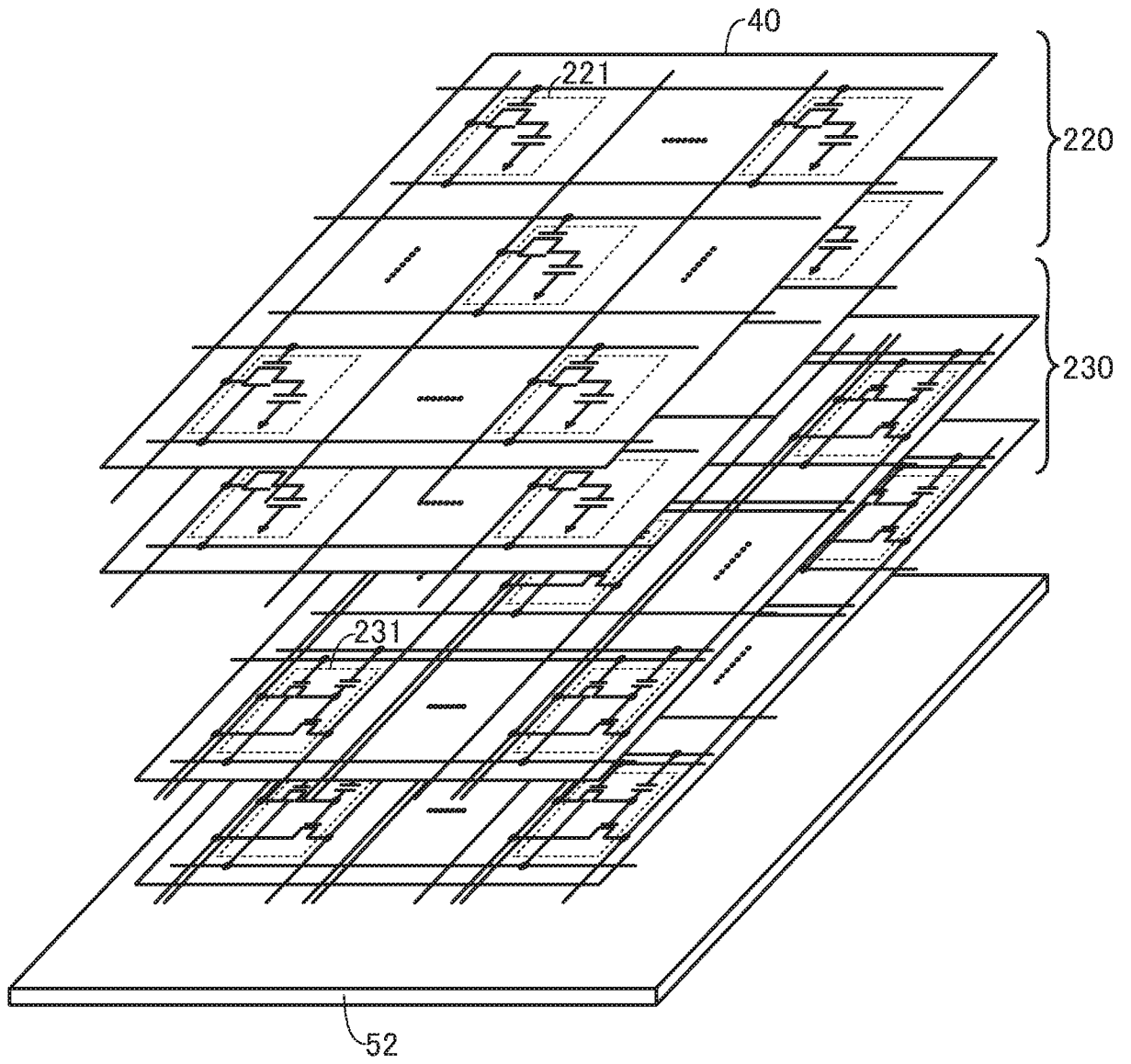
(A)



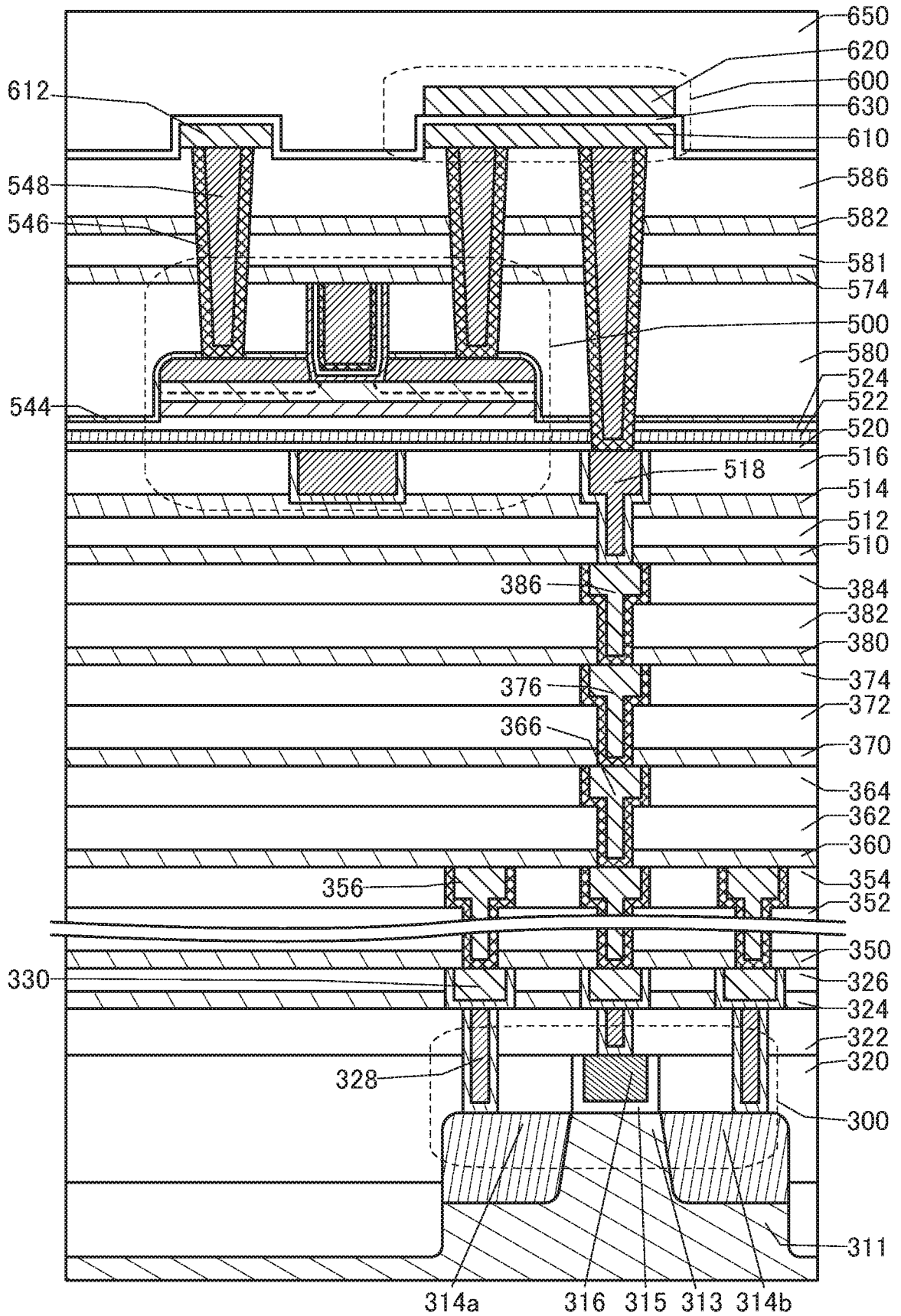
(B)



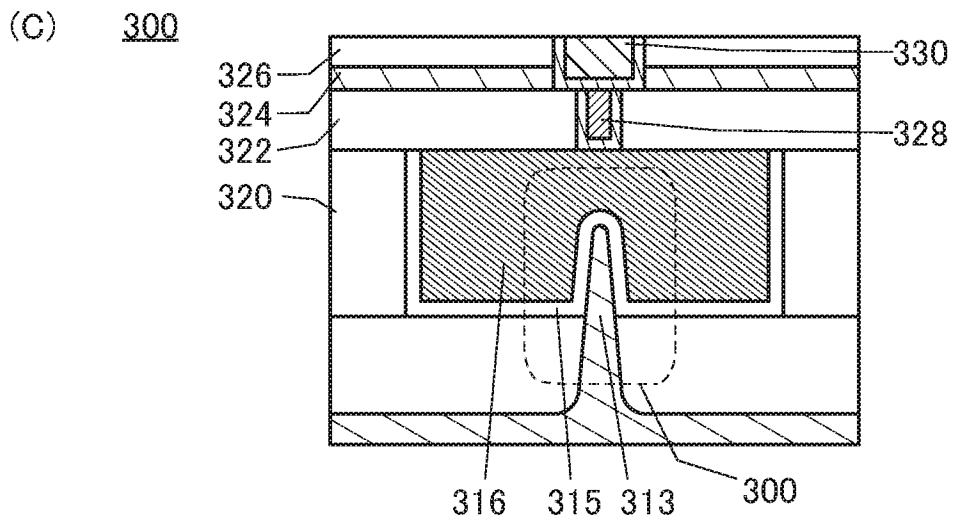
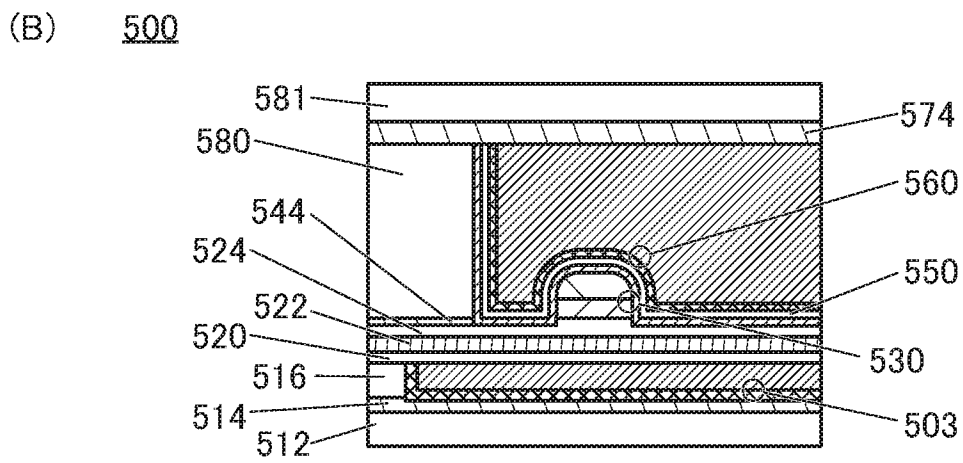
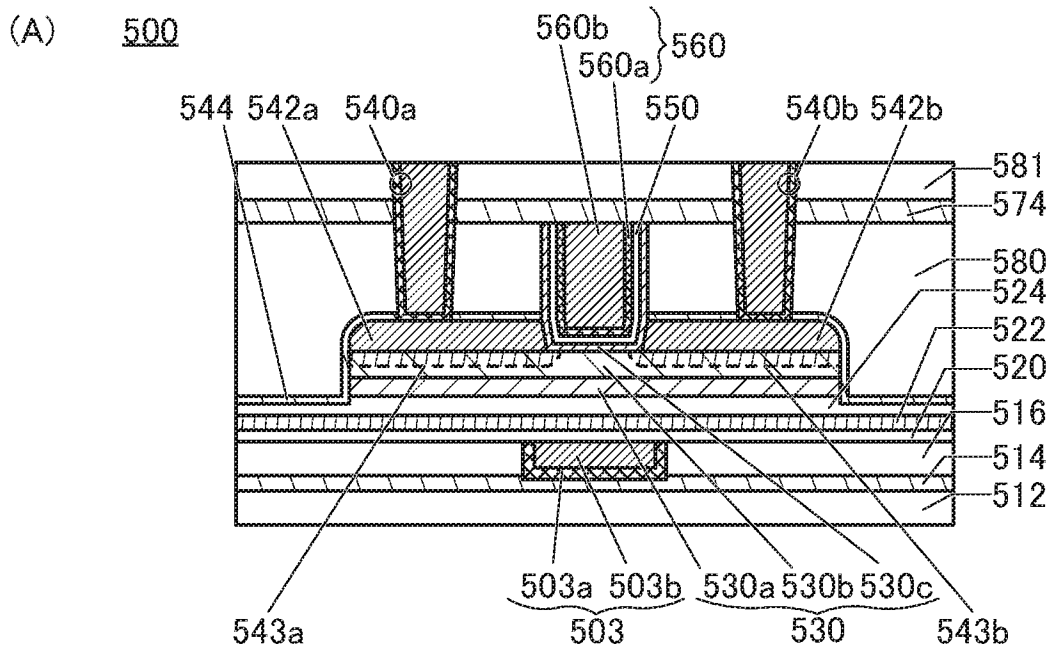
[圖 13]



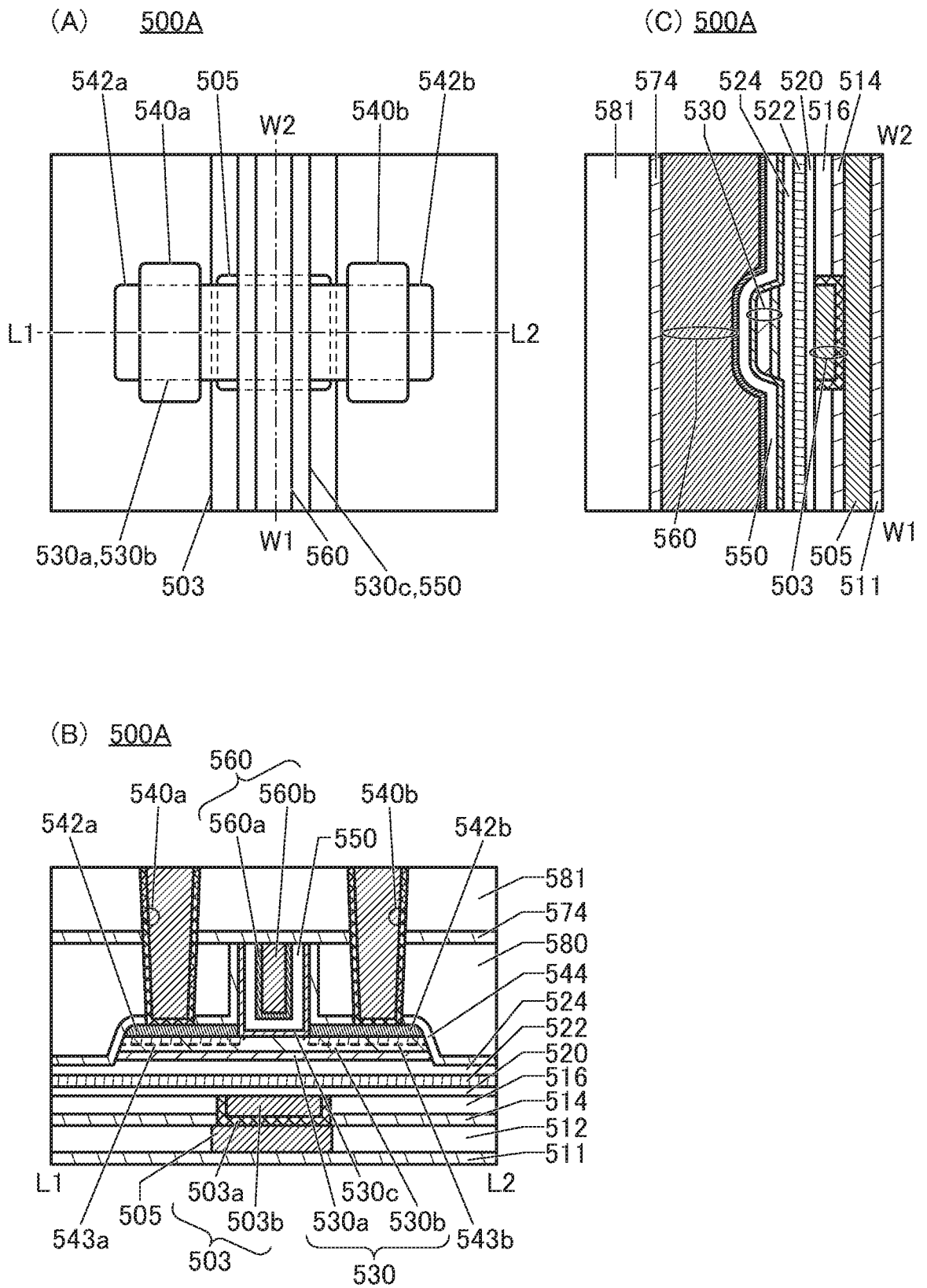
[圖 14]



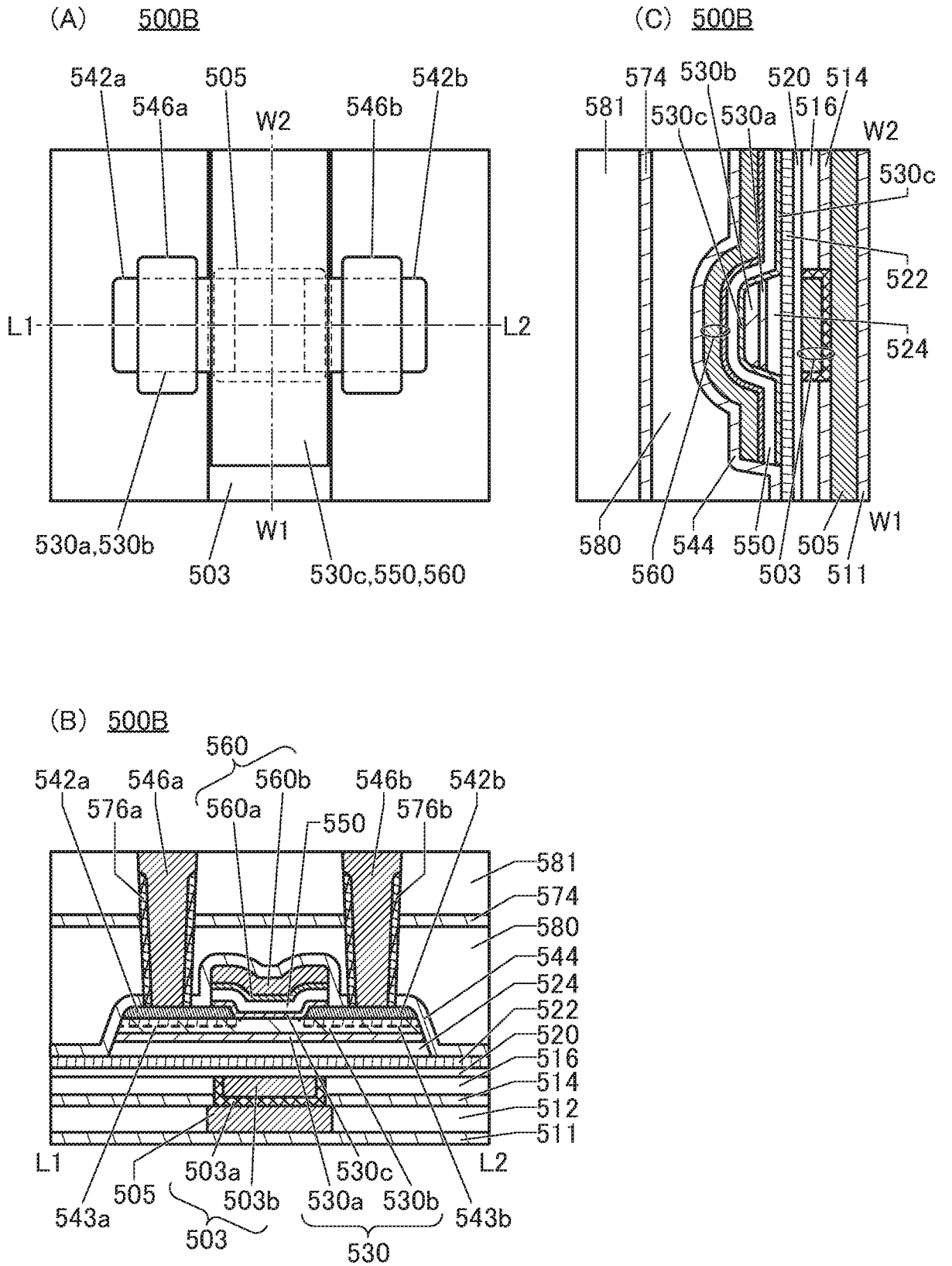
[圖 15]



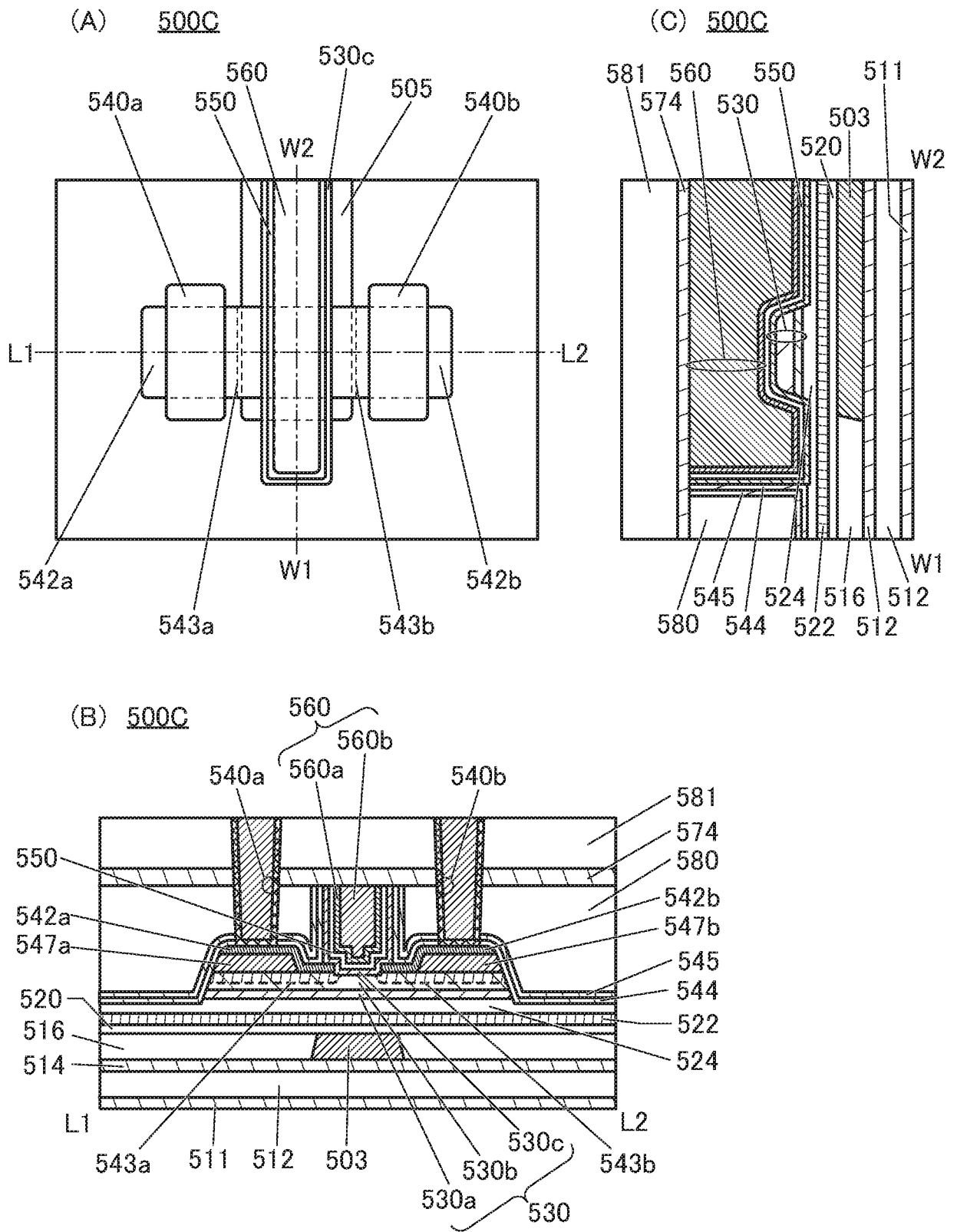
[] 16



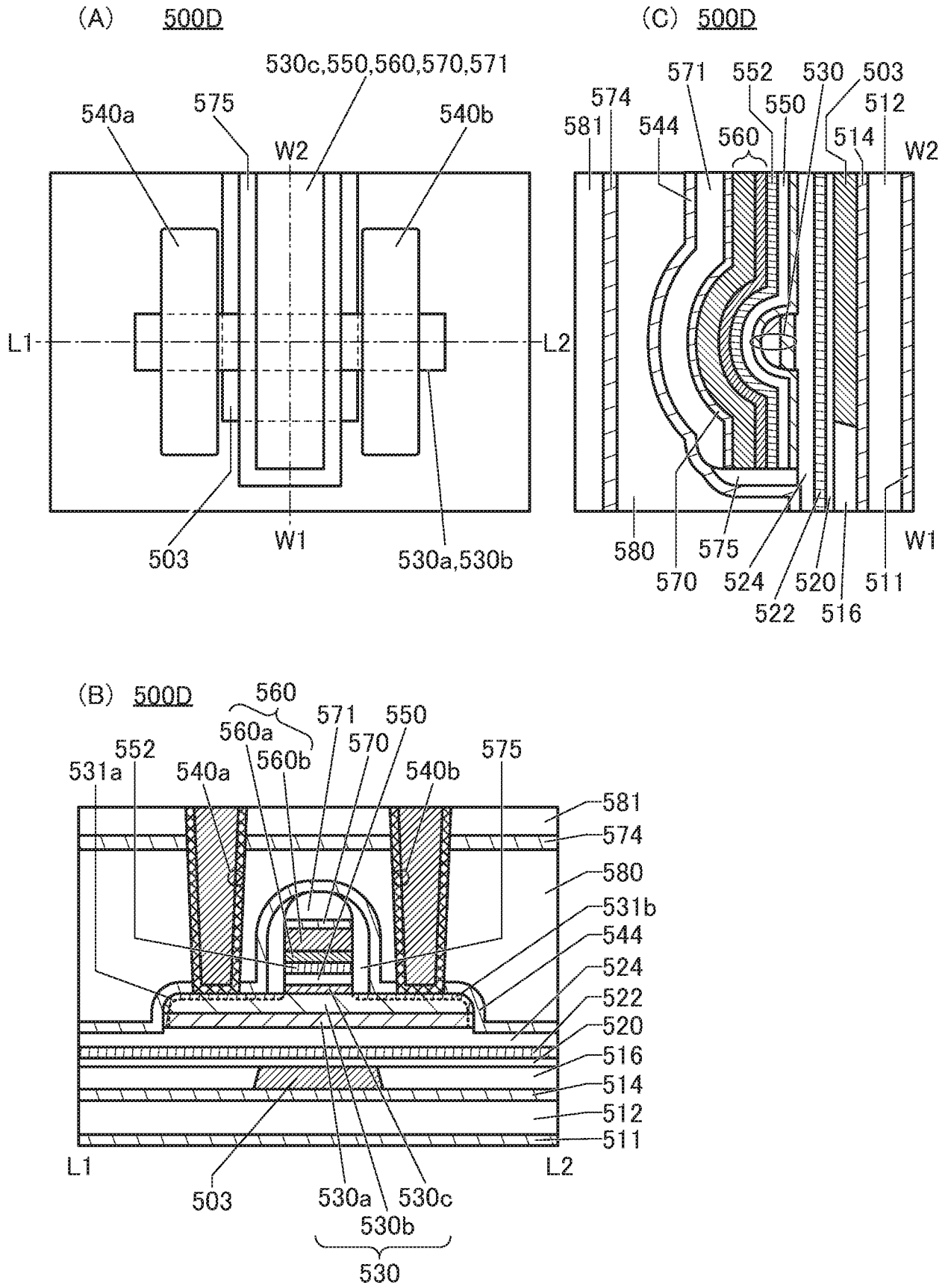
[ 17 ]



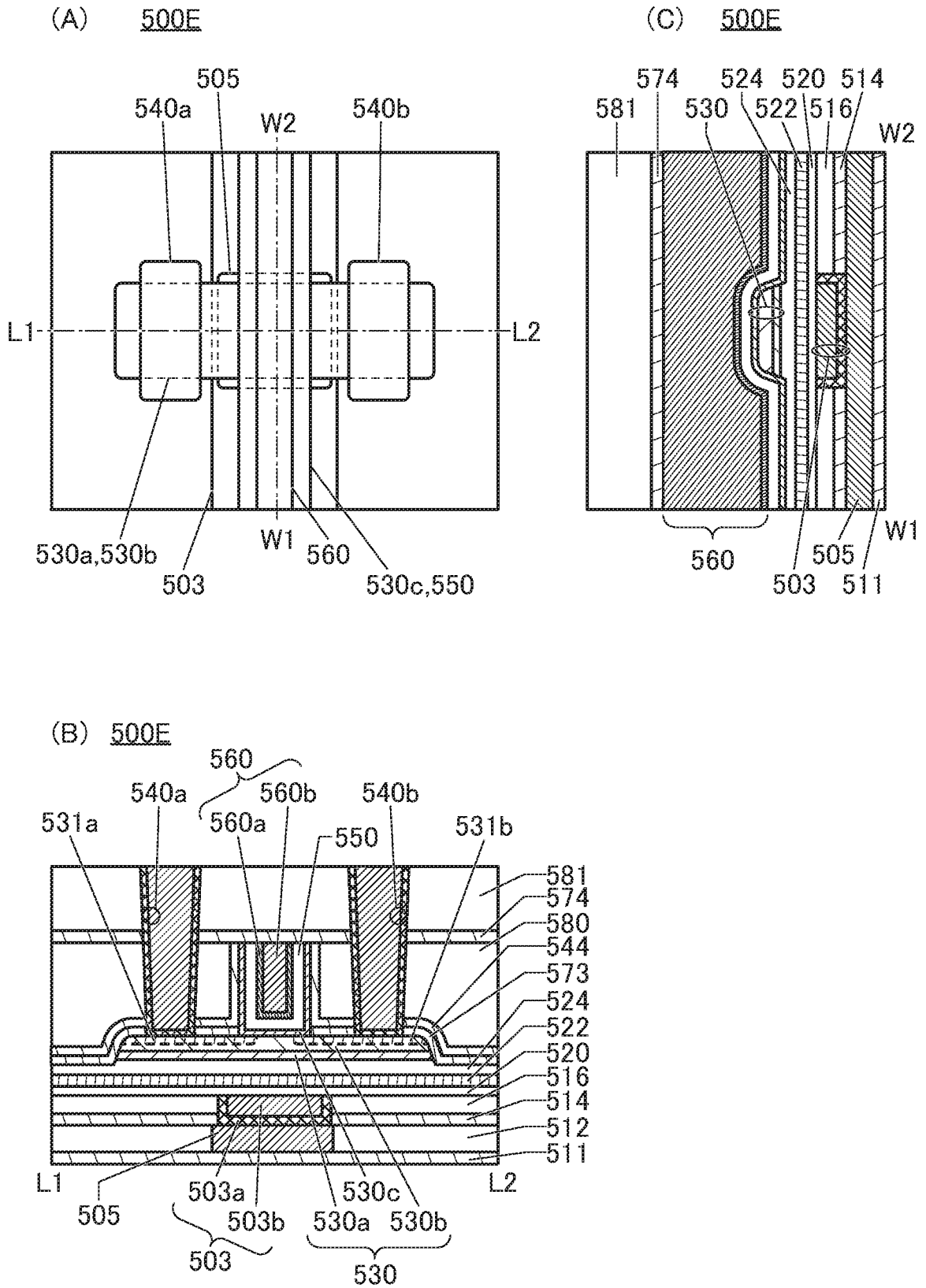
[] 18




[] 19

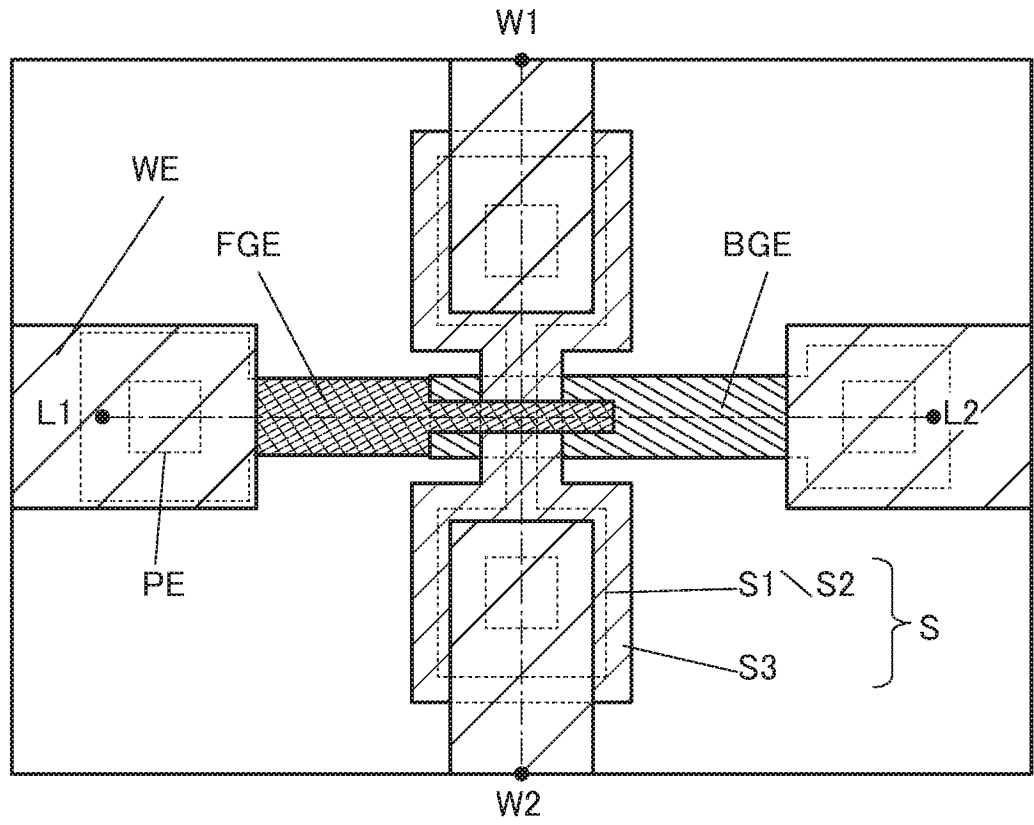


[] 20

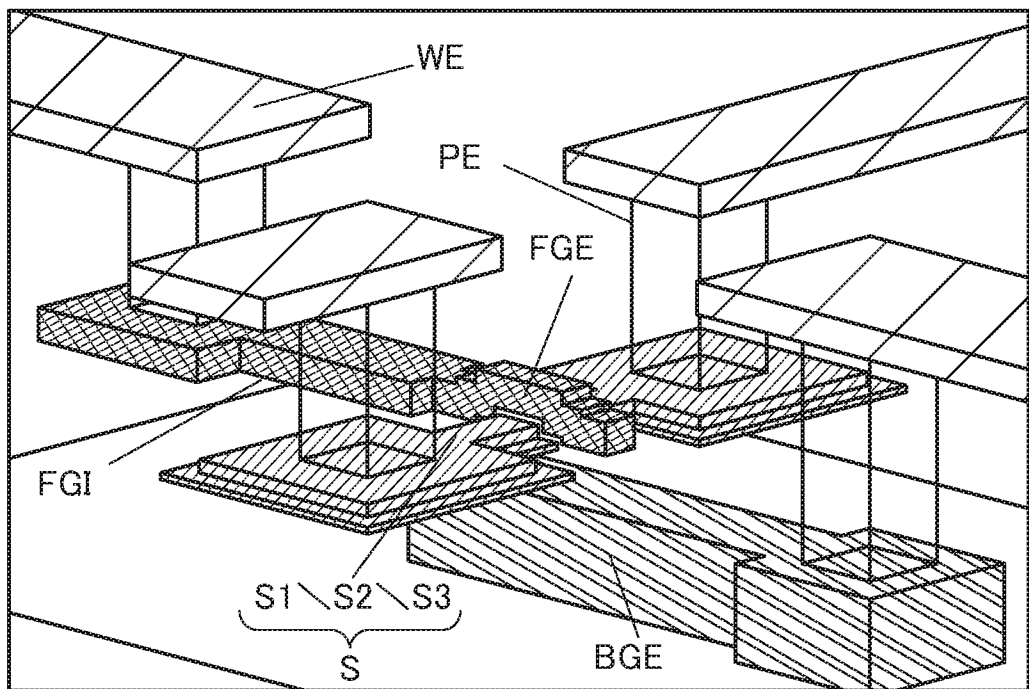


[ 21]

(A)

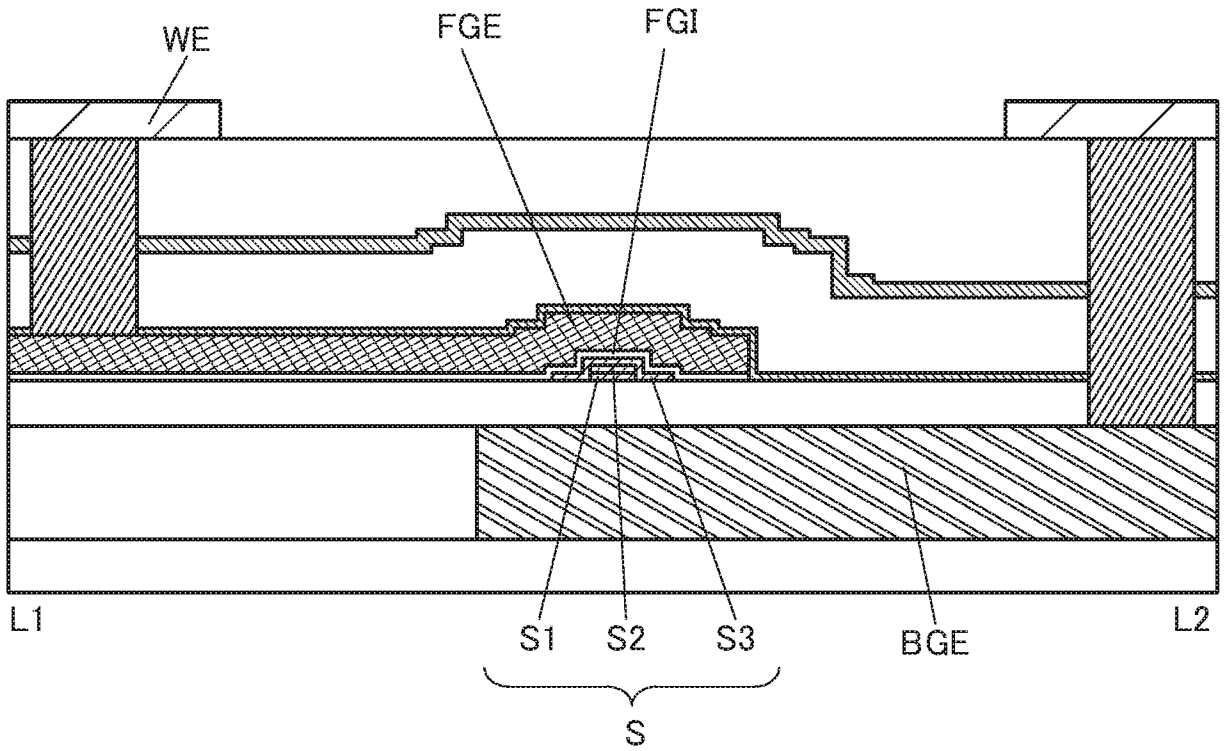


(B)

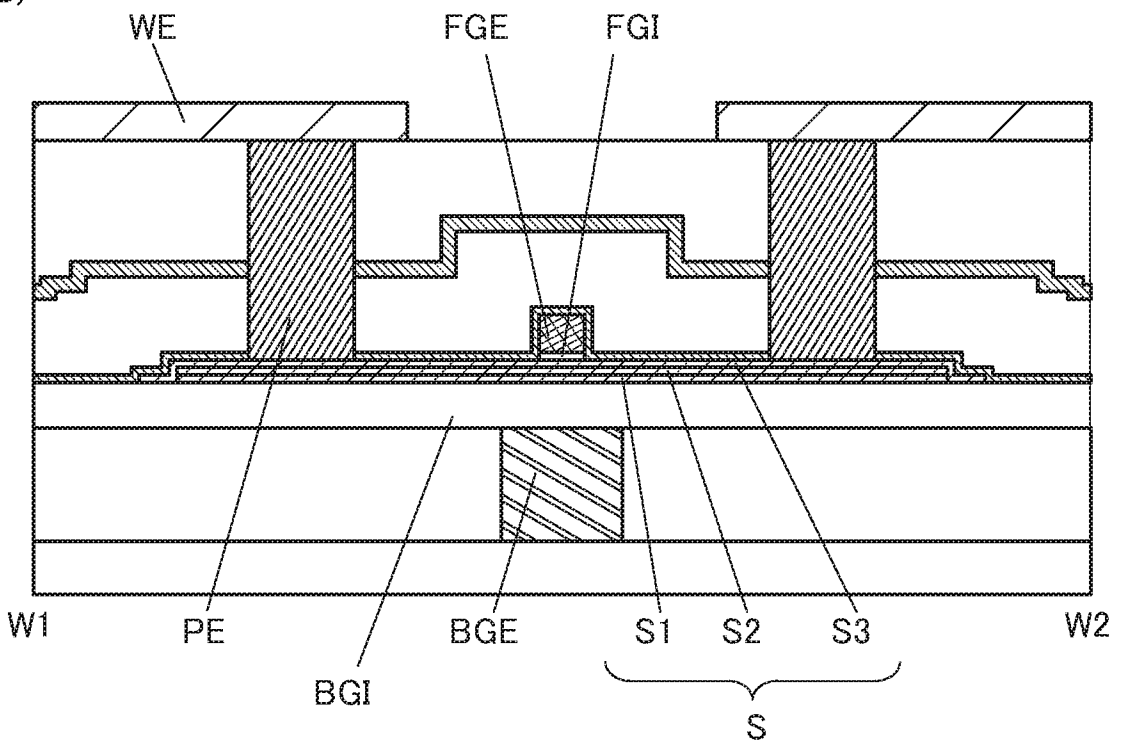


[ 22]

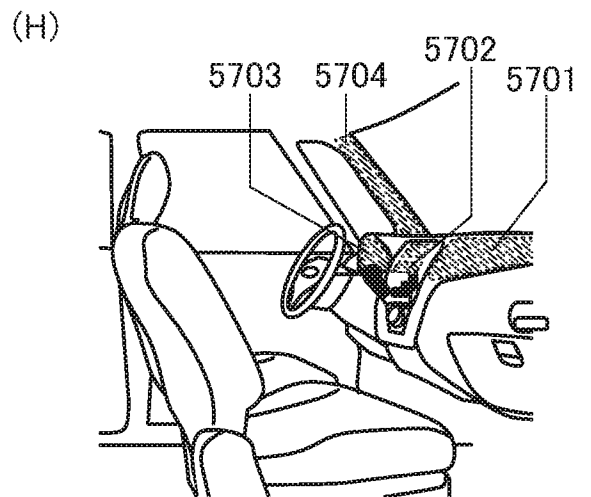
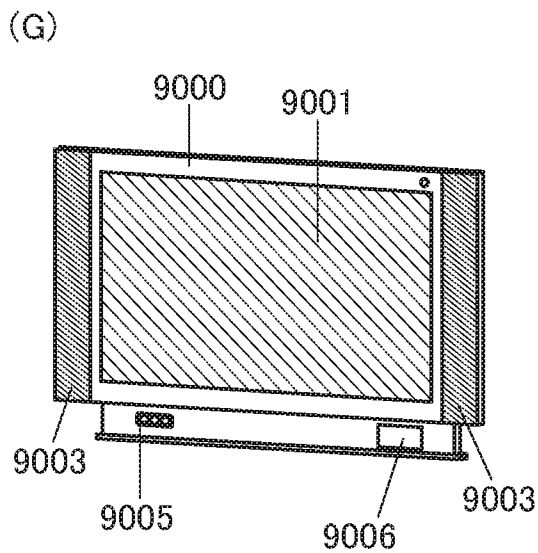
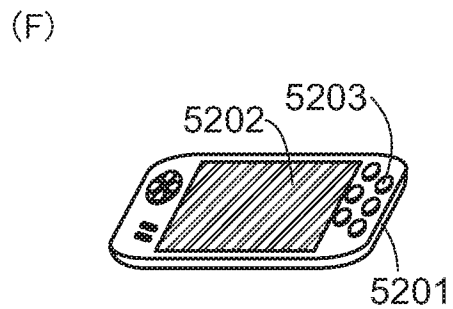
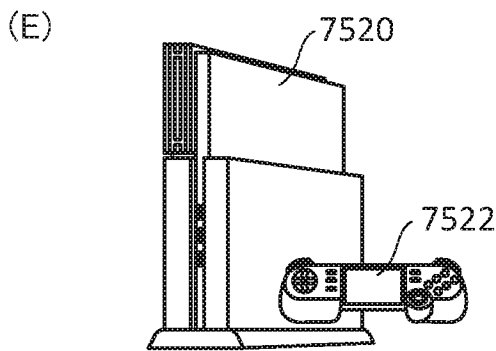
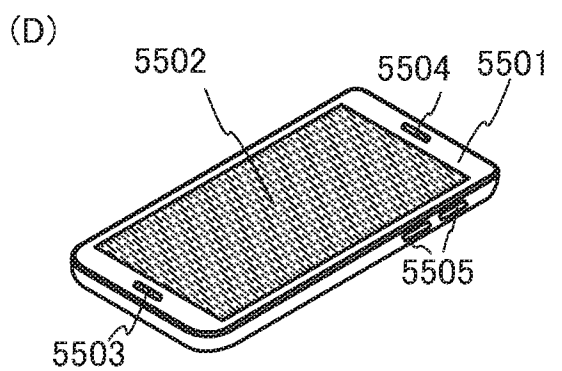
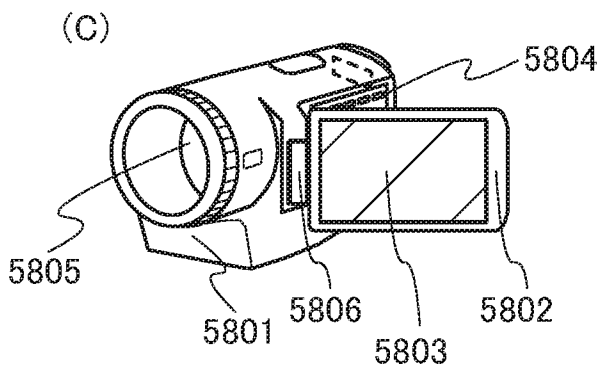
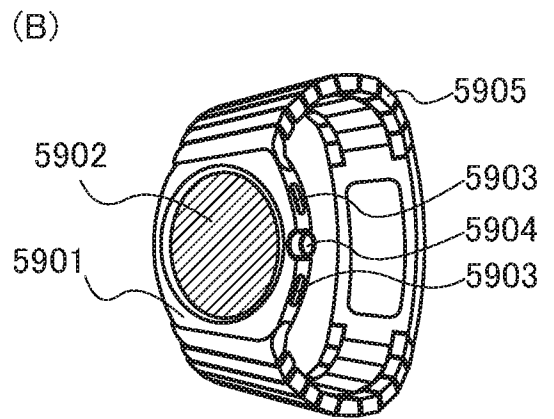
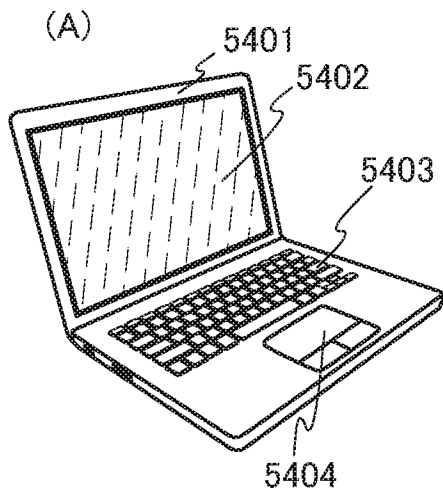
(A)



(B)

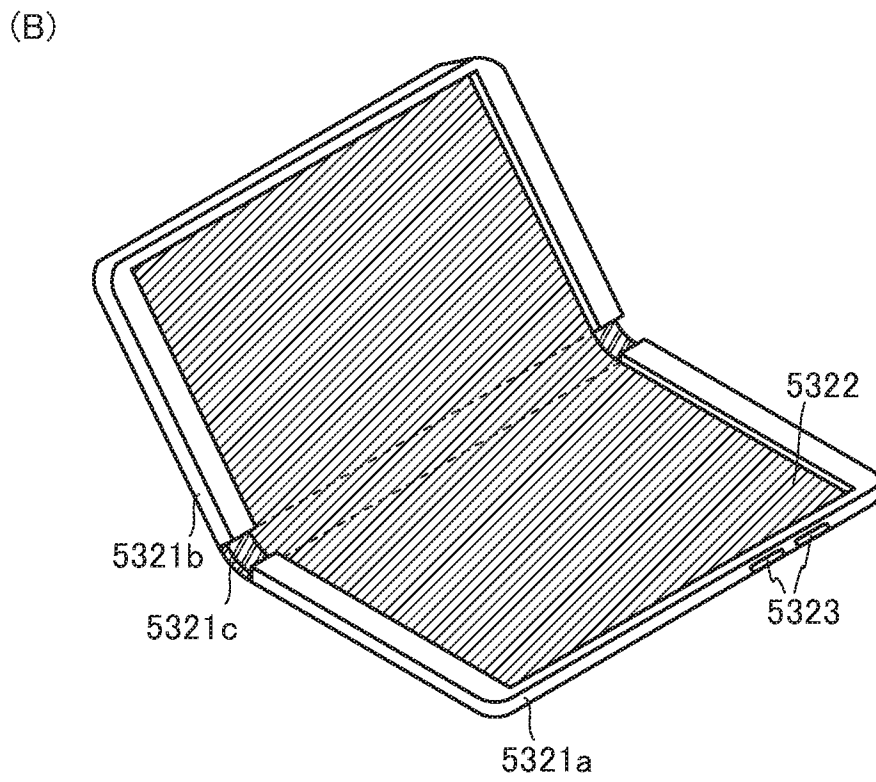
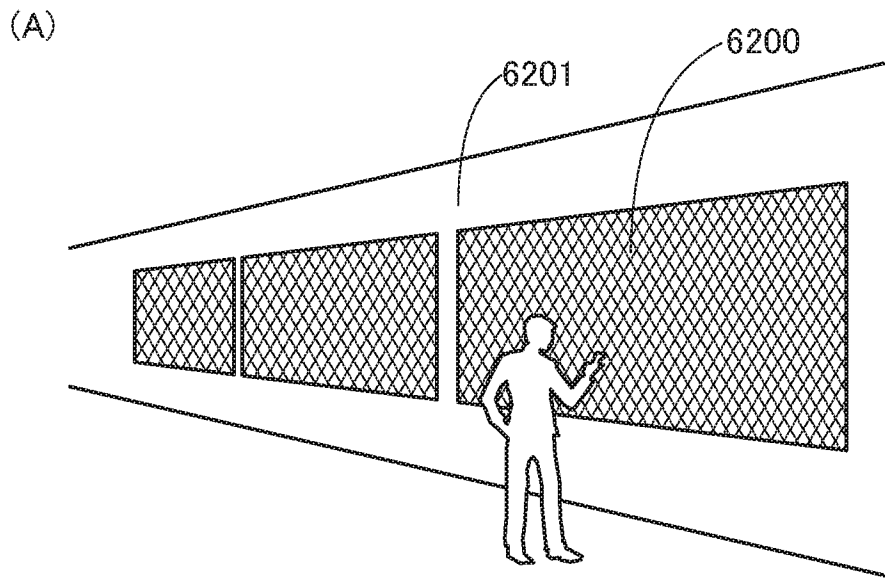


[圖23]



[圖24]

24/24



**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/IB2019/053299

**A. CLASSIFICATION OF SUBJECT MATTER**  
 Int.Cl. G06F12/0893 (2006.01) i, G11C5/14 (2006.01) i, G11C7/04 (2006.01) i,  
 G11C11/405 (2006.01) i, G11C11/4074 (2006.01) i,  
 H01L21/8242 (2006.01) i, H01L27/108 (2006.01) i, H01L29/786 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

**B. FIELDS SEARCHED**  
 Minimum documentation searched (classification system followed by classification symbols)  
 Int.Cl. G06F12/0893, G11C5/14, G11C7/04, G11C11/405, G11C11/4074,  
 H01L21/8242, H01L27/108, H01L29/786

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2019
Registered utility model specifications of Japan	1996-2019
Published registered utility model applications of Japan	1994-2019

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2015-180994 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 15 October 2015, paragraphs [0021]-[0107], fig. 1-4 (Family: none)	1-7
A	JP 2012-69932 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 05 April 2012, paragraphs [0030]-[0039], fig. 1 & US 2012/0051118 A1, paragraphs [0049]-[0058], fig. 1 & WO 2012/026503 A1 & CN 103081092 A & KR 10-2013-0107285 A	1-7

Further documents are listed in the continuation of Box C.  See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 04 July 2019 (04.07.2019)	Date of mailing of the international search report 16 July 2019 (16.07.2019)
--	---

Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Authorized officer  Telephone No.
--	---

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/IB2019/053299

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2016-177689 A (TOSHIBA CORP.) 06 October 2016, paragraphs [0010]-[0033], fig. 1-3 & US 2016/0276008 A1, paragraphs [0034]-[0058], fig. 1-3	1-7
A	JP 2016-170729 A (TOSHIBA CORP.) 23 September 2016, paragraphs [0010]-[0044], fig. 1-4 & US 2016/0267008 A1, paragraphs [0018]-[0056], fig. 1-4	1-7
A	JP 2018-56558 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 05 April 2018, paragraphs [0048]-[0067], fig. 4-5 & US 2018/0090498 A1, paragraphs [0077]-[0096], fig. 4-5	2, 4, 6
P, A	JP 2019-36280 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 07 March 2019, paragraphs [0102]-[0126], fig. 11 (Family: none)	1-7

<p>A. 発明の属する分野の分類（国際特許分類（IPC））</p> <p>Int.Cl. G06F12/0893(2016.01)i, G11C5/14(2006.01)i, G11C7/04(2006.01)i, G11C11/405(2006.01)i, G11C11/4074(2006.01)i, H01L21/8242(2006.01)i, H01L27/108(2006.01)i, H01L29/786(2006.01)i</p>												
<p>B. 調査を行った分野</p> <p>調査を行った最小限資料（国際特許分類（IPC））</p> <p>Int.Cl. G06F12/0893, G11C5/14, G11C7/04, G11C11/405, G11C11/4074, H01L21/8242, H01L27/108, H01L29/786</p>												
<p>最小限資料以外の資料で調査を行った分野に含まれるもの</p> <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2019年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2019年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2019年</td> </tr> </table>			日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2019年	日本国実用新案登録公報	1996-2019年	日本国登録実用新案公報	1994-2019年		
日本国実用新案公報	1922-1996年											
日本国公開実用新案公報	1971-2019年											
日本国実用新案登録公報	1996-2019年											
日本国登録実用新案公報	1994-2019年											
<p>国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）</p>												
<p>C. 関連すると認められる文献</p> <table border="1"> <thead> <tr> <th>引用文献の カテゴリー*</th> <th>引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示</th> <th>関連する 請求項の番号</th> </tr> </thead> <tbody> <tr> <td>A</td> <td>JP 2015-180994 A（株式会社半導体エネルギー研究所）2015.10.15, 段落[0021]-[0107], 第1-4図（ファミリーなし）</td> <td>1-7</td> </tr> <tr> <td>A</td> <td>JP 2012-69932 A（株式会社半導体エネルギー研究所）2012.04.05, 段落[030]-[0039], 第1図 &amp; US 2012/0051118 A1, 段落[0049]-[0058], 第1図 &amp; WO 2012/026503 A1 &amp; CN 103081092 A &amp; KR 10-2013-0107285 A</td> <td>1-7</td> </tr> </tbody> </table>			引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	A	JP 2015-180994 A（株式会社半導体エネルギー研究所）2015.10.15, 段落[0021]-[0107], 第1-4図（ファミリーなし）	1-7	A	JP 2012-69932 A（株式会社半導体エネルギー研究所）2012.04.05, 段落[030]-[0039], 第1図 & US 2012/0051118 A1, 段落[0049]-[0058], 第1図 & WO 2012/026503 A1 & CN 103081092 A & KR 10-2013-0107285 A	1-7	
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号										
A	JP 2015-180994 A（株式会社半導体エネルギー研究所）2015.10.15, 段落[0021]-[0107], 第1-4図（ファミリーなし）	1-7										
A	JP 2012-69932 A（株式会社半導体エネルギー研究所）2012.04.05, 段落[030]-[0039], 第1図 & US 2012/0051118 A1, 段落[0049]-[0058], 第1図 & WO 2012/026503 A1 & CN 103081092 A & KR 10-2013-0107285 A	1-7										
<p><input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。</p>												
<p>* 引用文献のカテゴリー</p> <table border="0"> <tr> <td>「A」 特に関連のある文献ではなく、一般的技術水準を示すもの</td> <td>「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの</td> </tr> <tr> <td>「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</td> <td>「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</td> </tr> <tr> <td>「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）</td> <td>「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</td> </tr> <tr> <td>「O」 口頭による開示、使用、展示等に言及する文献</td> <td>「&amp;」 同一パテントファミリー文献</td> </tr> <tr> <td>「P」 国際出願日前で、かつ優先権の主張の基礎となる出願</td> <td></td> </tr> </table>			「A」 特に関連のある文献ではなく、一般的技術水準を示すもの	「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの	「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの	「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの	「O」 口頭による開示、使用、展示等に言及する文献	「&」 同一パテントファミリー文献	「P」 国際出願日前で、かつ優先権の主張の基礎となる出願	
「A」 特に関連のある文献ではなく、一般的技術水準を示すもの	「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの											
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの											
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの											
「O」 口頭による開示、使用、展示等に言及する文献	「&」 同一パテントファミリー文献											
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願												
<p>国際調査を完了した日</p> <p>04.07.2019</p>	<p>国際調査報告の発送日</p> <p>16.07.2019</p>											
<p>国際調査機関の名称及びあて先</p> <p>日本国特許庁（ISA/JIP）</p> <p>郵便番号100-8915</p> <p>東京都千代田区霞が関三丁目4番3号</p>	<p>特許庁審査官（権限のある職員）</p> <p>堀田 和義</p> <p>電話番号 03-3581-1101 内線 3585</p>	<p>5N 8840</p>										

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2016-177689 A (株式会社東芝) 2016. 10. 06, 段落[0010]-[0033], 第 1-3 図 & US 2016/0276008 A1, 段落[0034]-[0058], 第 1-3 図	1-7
A	JP 2016-170729 A (株式会社東芝) 2016. 09. 23, 段落[0010]-[0044], 第 1-4 図 & US 2016/0267008 A1, 段落[0018]-[0056], 第 1-4 図	1-7
A	JP 2018-56558 A (株式会社半導体エネルギー研究所) 2018. 04. 05, 段落[0048]-[0067], 第 4-5 図 & US 2018/0090498 A1, 段落[0077]-[0096], 第 4-5 図	2, 4, 6
P, A	JP 2019-36280 A (株式会社半導体エネルギー研究所) 2019. 03. 07, 段落[0102]-[0126], 第 11 図 (ファミリーなし)	1-7