

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2015 年 7 月 9 日 (09.07.2015)



(10) 国际公布号
WO 2015/100813 A1

- (51) 国际专利分类号:
G09G 3/36 (2006.01)
- (21) 国际申请号: PCT/CN2014/070940
- (22) 国际申请日: 2014 年 1 月 21 日 (21.01.2014)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201310746276.X 2013 年 12 月 30 日 (30.12.2013) CN
- (71) 申请人: 深圳市华星光电技术有限公司 (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。
- (72) 发明人: 戴超 (DAI, Chao); 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。
- (74) 代理人: 深圳市德力知识产权代理事务所 (COMIPS INTELLECTUAL PROPERTY OFFICE); 中国广东省深圳市深南中路新闻大厦 1 号楼 3 楼 307 室, Guangdong 518027 (CN)。

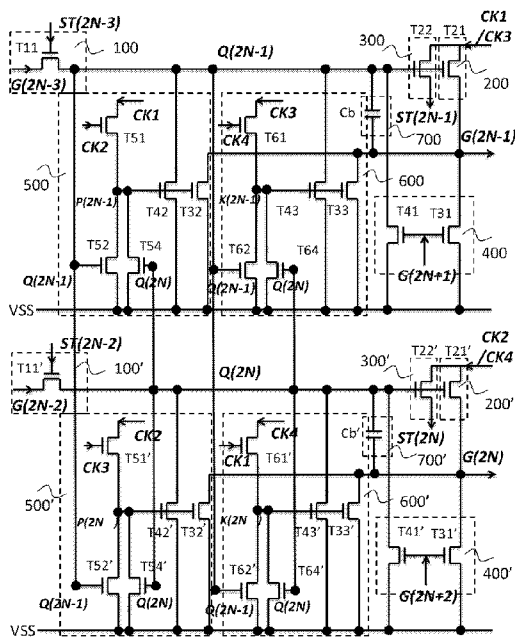
- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。
- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第 21 条(3))。

(54) Title: GOA CIRCUIT STRUCTURE

(54) 发明名称: GOA 电路结构



GOA电路结构

技术领域

本发明涉及液晶显示技术领域，尤其涉及一种 GOA 电路结构。

5

背景技术

液晶显示器具有机身薄、省电、无辐射等众多优点，得到了广泛的应用。现有市场上的液晶显示器大部分为背光型液晶显示器，其包括液晶面板及背光模组（backlight module）。液晶面板的工作原理是在两片平行的剥离基板当中放置液晶分子，并在两片玻璃基板上施加驱动电压来控制液晶分子的旋转方向，以将背光模组的光线折射出来产生画面。

10

主动式液晶显示器中，每个像素具有一个薄膜晶体管（TFT），其栅极（Gate）连接至水平扫描线，漏极（Drain）连接至垂直方向的数据线，源极（Source）则连接至像素电极。在水平扫描线上施加足够的电压，会使得该条线上的所有 TFT 打开，此时该水平扫描线上的像素电极会与垂直方向的数据线连接，从而将数据线上的显示信号电压写入像素，控制不同液晶的透光度进而达到控制色彩的效果。目前主动式液晶显示面板水平扫描线的驱动主要由面板外接的 IC 来完成，外接的 IC 可以控制各级水平扫描线的逐级充电和放电。而 Gate Driver On Array（阵列基板行驱动），简称 GOA，是利用现有薄膜晶体管液晶显示器阵列（Array）制程将 Gate 行扫描驱动信号电路制作在阵列（Array）基板上，实现对 Gate 逐行扫描的驱动方式。因此，可以运用液晶显示面板的原有制程将水平扫描线的驱动电路制作在显示区周围的基板上，使之能替代外接 IC 来完成水平扫描线的驱动。GOA 技术能减少外接 IC 的绑定（bonding）工序，有机会提升产能并降低产品成本，而且可以使液晶显示面板更适合制作窄边框或无边框的显示产品。

15

20

25

30

现有的 GOA 电路，通常包括级联的多个 GOA 单元，每一级 GOA 单元对应驱动一级水平扫描线。GOA 单元的主要结构包括上拉电路（Pull-up part），上拉控制电路（Pull-up control part），下传电路（Transfer Part），下拉电路（Key Pull-down Part）和下拉维持电路（Pull-down Holding Part），以及负责电位抬升的自举（Boast）电容。上拉电路主要负责将时钟信号（Clock）输出为栅极（Gate）信号；上拉控制电路负责控制上拉电路的打开时间，一般连接前面级 GOA 电路传递过来的下传信号或者 Gate

信号；下拉电路负责在第一时间将 Gate 拉低为低电位，即关闭 Gate 信号；下拉维持电路则负责将 Gate 输出信号和上拉电路的 Gate 信号（通常称为 Q 点）维持（Holding）在关闭状态（即负电位），通常有两个下拉维持模块交替作用；自举电容（C boost）则负责 Q 点的二次抬升，这样有利于上拉电路的 G(N) 输出。

现有技术中 GOA 电路结构基本是将上述几部分放置在同一级 GOA 单元电路中，尤其是非晶硅 GOA 电路中比较重要的两个下拉维持电路是交替作用在同一级 GOA 电路的，如图 1 所示，其为现有技术常采用的 GOA 电路结构示意图。用于传递直流低电压 VSS、以及 CK1~CK4 的 4 个高频时钟信号的金属线放置于各级 GOA 电路的外围。各级 GOA 单元分别具有第一下拉维持电路和第二下拉维持电路，第一下拉维持电路和第二下拉维持电路分别连接在 Q(N) 和 G(N) 之间，从而用于交替起作用将 Q(N) 和 G(N) 维持在关闭状态。第 N 级 GOA 单元电路分别接受 VSS、CK1~CK4 中的 1 个 CK 信号，并产生 G(N) 信号。STV 信号为 GOA 电路的启动信号，所以 STV 信号负责启动第一级和第二级 GOA 单元电路，而后面第 N 级 GOA 电路的启动信号由前面 N-2 级电路的下传电路部分的 ST(N-2) 的信号负责产生，这样就可以逐级打开 GOA 驱动电路，实现行扫描驱动。图 1 所示的各级 GOA 单元电路间的连接方法可保证 GOA 信号可以逐级传递，使得各级水平扫描线可以被逐级充电和放电。

这种结构存在以下不足：

1、虽然第一和第二下拉维持电路交替作用，也就是工作时间和休息时间各占一半，但是对于 TFT 而言应力（Stress）之后的恢复时间还是比较短，因此下拉维持电路的失效远比其他电路部分要严重；

2、相邻两级 GOA 单元的下拉维持电路和 Q 点没有相互作用使得电路实际作用效率很低，因为 Gate 信号打开只是一瞬间，其他很长时间处于关闭状态，相邻级 GOA 单元的下拉作用时间和 Q 点波形基本是相似的；

3、下拉维持电路部分一般采用的是高频控制信号，这样会增加电路的功耗，也有采用两组低频控制信号，但这样同时也加剧了 TFT 应力（Stress）作用。

发明内容

因此，本发明的目的在于提供一种 GOA 电路结构，通过 GOA 下拉电路共享实现减少每个下拉维持电路的工作时间，有更多的时间进行应力恢复。

为实现上述目的，本发明提供了一种 GOA 电路结构，其包括级联的多个孪生 GOA 单元，设 N 为自然数，第 N 级 GOA 单元控制对显示区域第 N 级水平扫描线充电，每个所述孪生 GOA 单元包括第 $2N-1$ 级 GOA 单元和第 $2N$ 级 GOA 单元，该第 $2N-1$ 级 GOA 单元包括分别与其第 $2N-1$ 级栅极信号点和第 $2N-1$ 级水平扫描线连接的第一下拉维持电路和第二下拉维持电路，该第 $2N$ 级 GOA 单元包括分别与其第 $2N$ 级栅极信号点和第 $2N$ 级水平扫描线连接的第三下拉维持电路和第四下拉维持电路；该第 $2N-1$ 级栅极信号点还分别连接该第三下拉维持电路和第四下拉维持电路，该第 $2N$ 级栅极信号点还分别连接该第一下拉维持电路和第二下拉维持电路；

该第一下拉维持电路包括：

第一薄膜晶体管，其栅极输入第二时钟信号，漏极和源极分别输入第一时钟信号和连接第一电路点，该第一下拉维持电路是否工作根据该第一电路点的电位高低决定；

该第二下拉维持电路包括：

第二薄膜晶体管，其栅极输入第四时钟信号，漏极和源极分别输入第三时钟信号和连接第二电路点，该第二下拉维持电路是否工作根据该第二电路点的电位高低决定；

该第三下拉维持电路包括：

第三薄膜晶体管，其栅极输入第三时钟信号，漏极和源极分别输入第二时钟信号和连接第三电路点，该第三下拉维持电路是否工作根据该第三电路点的电位高低决定；

该第四下拉维持电路包括：

第四薄膜晶体管，其栅极输入第一时钟信号，漏极和源极分别输入第四时钟信号和连接第四电路点，该第四下拉维持电路是否工作根据该第四电路点的电位高低决定；

该第一时钟信号、第二时钟信号、第三时钟信号及第四时钟信号设置为使该第一下拉维持电路、第二下拉维持电路、第三下拉维持电路及第四下拉维持电路交替工作。

其中，第一上拉时钟信号、第二上拉时钟信号、第三上拉时钟信号及第四上拉时钟信号分别输入第 $2N-1$ 级，第 $2N$ 级，第 $2N+1$ 级和第 $2N+2$ 级 GOA 单元的上拉电路以分别对显示区域相应的水平扫描线充电，该第一时钟信号、第二时钟信号、第三时钟信号及第四时钟信号分别对应为该第一上拉时钟信号、第二上拉时钟信号、第三上拉时钟信号及第四上拉时

钟信号。

其中，该第一时钟信号、第二时钟信号、第三时钟信号及第四时钟信号分别对应为四个低频时钟信号。

其中，该第一下拉维持电路还包括：

5 第五薄膜晶体管，其栅极连接该第 $2N-1$ 级栅极信号点，漏极和源极分别连接该第一电路点和输入直流低电压；

第六薄膜晶体管，其栅极连接该第一电路点，漏极和源极分别连接该第 $2N-1$ 级栅极信号点和输入该直流低电压；

10 第七薄膜晶体管，其栅极连接该第一电路点，漏极和源极分别连接该第 $2N-1$ 级水平扫描线和输入该直流低电压；

第八薄膜晶体管，其栅极连接该第 $2N$ 级栅极信号点，漏极和源极分别连接该第一电路点和输入该直流低电压。

其中，该第二下拉维持电路还包括：

15 第九薄膜晶体管，其栅极连接该第级栅极信号点，漏极和源极分别连接该第二电路点和输入该直流低电压；

第十薄膜晶体管，其栅极连接该第二电路点，漏极和源极分别连接该第 $2N-1$ 级栅极信号点和输入该直流低电压；

第十一薄膜晶体管，其栅极连接该第二电路点，漏极和源极分别连接该第 $2N-1$ 级水平扫描线和输入该直流低电压；

20 第十二薄膜晶体管，其栅极连接该第 $2N$ 级栅极信号点，漏极和源极分别连接该第二电路点和输入该直流低电压。

其中，该第三下拉维持电路还包括：

第十三薄膜晶体管，其栅极连接该第 $2N-1$ 级栅极信号点，漏极和源极分别连接该第三电路点和输入该直流低电压；

25 第十四薄膜晶体管，其栅极连接该第三电路点，漏极和源极分别连接该第 $2N$ 级栅极信号点和输入该直流低电压；

第十五薄膜晶体管，其栅极连接该第三电路点，漏极和源极分别连接该第 $2N$ 级水平扫描线和输入该直流低电压；

30 第十六薄膜晶体管，其栅极连接该第 $2N$ 级栅极信号点，漏极和源极分别连接该第三电路点和输入该直流低电压。

其中，该第四下拉维持电路还包括：

第十七薄膜晶体管，其栅极连接该第 $2N-1$ 级栅极信号点，漏极和源极分别连接该第四电路点和输入该直流低电压；

第十八薄膜晶体管，其栅极连接该第四电路点，漏极和源极分别连接

该第 2N 级栅极信号点和输入该直流低电压；

第十九薄膜晶体管，其栅极连接该第四电路点，漏极和源极分别连接该第 2N 级水平扫描线和输入该直流低电压；

第二十薄膜晶体管，其栅极连接该第 2N 级栅极信号点，漏极和源极
5 分别连接该第四电路点和输入该直流低电压。

其中：

该第 2N-1 级 GOA 单元还包括上拉控制电路，上拉电路，下传电路，
下拉电路及自举电容，该上拉电路、下拉电路及自举电容分别与该第 2N-1
级栅极信号点和该第 2N-1 级水平扫描线连接，该上拉控制电路和下传电
10 路（300）分别与该第 2N-1 级栅极信号点连接；

该第 2N 级 GOA 单元还包括上拉控制电路，上拉电路，下传电路，下
拉电路及自举电容，该上拉电路、下拉电路及自举电容分别与该第 2N 级
栅极信号点和该第 2N 级水平扫描线连接，该上拉控制电路和下传电路分
别与该第 2N 级栅极信号点连接。

15 其中，所述第 2N-1 级 GOA 单元的栅极信号点和第 2N 级 GOA 单元
的栅极信号点连接在一起。

其中，该第 2N-1 级 GOA 单元还包括上拉电路，下拉电路及自举电
容，该上拉电、下拉电路及自举电容分别与该第 2N-1 级栅极信号点和该
第 2N-1 级水平扫描线连接；

20 该第 2N 级 GOA 单元还包括上拉控制电路，上拉电路，下传电路，下
拉电路及自举电容，该上拉电路、下拉电路及自举电容分别与该第 2N 级
栅极信号点和该第 2N 级水平扫描线连接，该上拉控制电路和下传电路分
别与该第 2N 级栅极信号点连接。

本发明还提供一种 GOA 电路结构，包括级联的多个孪生 GOA 单元，
25 设 N 为自然数，第 N 级 GOA 单元控制对显示区域第 N 级水平扫描线充
电，每个所述孪生 GOA 单元包括第 2N-1 级 GOA 单元和第 2N 级 GOA 单
元，该第 2N-1 级 GOA 单元包括分别与其第 2N-1 级栅极信号点和第 2N-1
级水平扫描线连接的第一下拉维持电路和第二下拉维持电路，该第 2N 级
GOA 单元包括分别与其第 2N 级栅极信号点和第 2N 级水平扫描线连接的
30 第三下拉维持电路和第四下拉维持电路；该第 2N-1 级栅极信号点还分别
连接该第三下拉维持电路和第四下拉维持电路，该第 2N 级栅极信号点还
分别连接该第一下拉维持电路和第二下拉维持电路；

该第一下拉维持电路包括：

第一薄膜晶体管，其栅极输入第二时钟信号，漏极和源极分别输入第

一时钟信号和连接第一电路点, 该第一下拉维持电路是否工作根据该第一电路点的电位高低决定;

该第二下拉维持电路包括:

5 第二薄膜晶体管, 其栅极输入第四时钟信号, 漏极和源极分别输入第三时钟信号和连接第二电路点, 该第二下拉维持电路是否工作根据该第二电路点的电位高低决定;

该第三下拉维持电路包括:

10 第三薄膜晶体管, 其栅极输入第三时钟信号, 漏极和源极分别输入第二时钟信号和连接第三电路点, 该第三下拉维持电路是否工作根据该第三电路点的电位高低决定;

该第四下拉维持电路包括:

第四薄膜晶体管, 其栅极输入第一时钟信号, 漏极和源极分别输入第四时钟信号和连接第四电路点, 该第四下拉维持电路是否工作根据该第四电路点的电位高低决定;

15 该第一时钟信号、第二时钟信号、第三时钟信号及第四时钟信号设置为使该第一下拉维持电路、第二下拉维持电路、第三下拉维持电路及第四下拉维持电路交替工作;

其中, 第一上拉时钟信号、第二上拉时钟信号、第三上拉时钟信号及第四上拉时钟信号分别输入第 $2N-1$ 级, 第 $2N$ 级, 第 $2N+1$ 级和第 $2N+2$ 级 GOA 单元的上拉电路以分别对显示区域相应的水平扫描线充电, 该第一时钟信号、第二时钟信号、第三时钟信号及第四时钟信号分别对应为该第一上拉时钟信号、第二上拉时钟信号、第三上拉时钟信号及第四上拉时钟信号;

25 其中, 该第一时钟信号、第二时钟信号、第三时钟信号及第四时钟信号分别对应为四个低频时钟信号;

其中, 该第一下拉维持电路还包括:

第五薄膜晶体管, 其栅极连接该第 $2N-1$ 级栅极信号点, 漏极和源极分别连接该第一电路点和输入直流低电压;

30 第六薄膜晶体管, 其栅极连接该第一电路点, 漏极和源极分别连接该第 $2N-1$ 级栅极信号点和输入该直流低电压;

第七薄膜晶体管, 其栅极连接该第一电路点, 漏极和源极分别连接该第 $2N-1$ 级水平扫描线和输入该直流低电压;

第八薄膜晶体管, 其栅极连接该第 $2N$ 级栅极信号点, 漏极和源极分别连接该第一电路点和输入该直流低电压;

其中，该第二下拉维持电路还包括：

第九薄膜晶体管，其栅极连接该第 $2N-1$ 级栅极信号点，漏极和源极分别连接该第二电路点和输入该直流低电压；

第十薄膜晶体管，其栅极连接该第二电路点，漏极和源极分别连接该第 $2N-1$ 级栅极信号点和输入该直流低电压；

第十一薄膜晶体管，其栅极连接该第二电路点，漏极和源极分别连接该第 $2N-1$ 级水平扫描线和输入该直流低电压；

第十二薄膜晶体管，其栅极连接该第 $2N$ 级栅极信号点，漏极和源极分别连接该第二电路点和输入该直流低电压；

10 其中，该第三下拉维持电路还包括：

第十三薄膜晶体管，其栅极连接该第 $2N-1$ 级栅极信号点，漏极和源极分别连接该第三电路点和输入该直流低电压；

第十四薄膜晶体管，其栅极连接该第三电路点，漏极和源极分别连接该第 $2N$ 级栅极信号点和输入该直流低电压；

15 第十五薄膜晶体管，其栅极连接该第三电路点，漏极和源极分别连接该第 $2N$ 级水平扫描线和输入该直流低电压；

第十六薄膜晶体管，其栅极连接该第 $2N$ 级栅极信号点，漏极和源极分别连接该第三电路点和输入该直流低电压；

其中，该第四下拉维持电路还包括：

20 第十七薄膜晶体管，其栅极连接该第 $2N-1$ 级栅极信号点，漏极和源极分别连接该第四电路点和输入该直流低电压；

第十八薄膜晶体管，其栅极连接该第四电路点，漏极和源极分别连接该第 $2N$ 级栅极信号点和输入该直流低电压；

25 第十九薄膜晶体管，其栅极连接该第四电路点，漏极和源极分别连接该第 $2N$ 级水平扫描线和输入该直流低电压；

第二十薄膜晶体管，其栅极连接该第 $2N$ 级栅极信号点，漏极和源极分别连接该第四电路点和输入该直流低电压。

该第 $2N-1$ 级 GOA 单元还包括上拉控制电路，上拉电路，下传电路，下拉电路及自举电容，该上拉电路、下拉电路及自举电容分别与该第 $2N-1$ 级栅极信号点和该第 $2N-1$ 级水平扫描线连接，该上拉控制电路和下传电路分别与该第 $2N-1$ 级栅极信号点连接；

该第 $2N$ 级 GOA 单元还包括上拉控制电路，上拉电路，下传电路，下拉电路及自举电容，该上拉电路、下拉电路及自举电容分别与该第 $2N$ 级栅极信号点和该第 $2N$ 级水平扫描线连接，该上拉控制电路和下传电路分

别与该第 2N 级栅极信号点连接。

所述第 2N-1 级 GOA 单元的栅极信号点和第 2N 级 GOA 单元的栅极信号点连接在一起。

5 该第 2N-1 级 GOA 单元还包括上拉电路，下拉电路及自举电容，该上拉电路、下拉电路及自举电容分别与该第 2N-1 级栅极信号点和该第 2N-1 级水平扫描线连接；

10 该第 2N 级 GOA 单元还包括上拉控制电路，上拉电路，下传电路，下拉电路及自举电容，该上拉电路、下拉电路及自举电容分别与该第 2N 级栅极信号点和该第 2N 级水平扫描线连接，该上拉控制电路和下传电路分别与该第 2N 级栅极信号点连接。

15 本发明的 GOA 电路结构通过共享下拉维持电路可以让每个部分工作 1/4 时间，休息 3/4 时间，这样可以减轻下拉维持电路部分关键 TFT 的应力（Stress）作用；共享 Q 点可以减少 GOA 电路的部分功能相似的模块，两级电路只需要一个上拉控制部分，而且可以实现 QS 点电位的二次抬升，这样有利于栅极（Gate）信号的输入；引入四组低频信号控制下拉维持电路可以降低电路功耗，而且更负的 LCL 有利于实现负压应力（Stress）恢复作用。

附图说明

20 下面结合附图，通过对本发明的具体实施方式详细描述，将使本发明的技术方案及其他有益效果显而易见。

附图中，

图 1 为现有技术常采用的 GOA 电路结构示意图；

图 2 为本发明的 GOA 电路结构的多级架构示意图；

25 图 3 为本发明的 GOA 电路结构的第一较佳实施例的电路结构示意图；

图 4 为图 3 所示电路结构的输入信号和各个关键节点的波形示意图；

图 5 为本发明的 GOA 电路结构的第二较佳实施例的电路结构示意图；

30 图 6 为图 5 所示电路结构的控制信号和各个节点信号的示意图；

图 7 为图 5 所示电路结构的另一种信号接法示意图；

图 8 为图 7 中四组下拉维持电路的 LC 信号的时序以及信号接法示意图。

具体实施方式

参见图 2，其为本发明的 GOA 电路结构的多级架构示意图。本发明提出的新的 GOA 电路架构基于每两级 GOA 电路实现共享，尤其是下拉维持电路部分和上拉控制电路部分的 Q 点，每两级的 GOA 电路会输出两级栅极（Gate）波形，这里称之为孪生 GOA 单元（Twined-GOA）（图 2 中 T100 部分）。每个 Twined-GOA 接受 CK1/CK2/CK3/CK4/VSS/STV 信号进行电路驱动，主要输出两组 Gate 波形，而 Twined-GOA 中四组下拉维持电路是交替作用的，这样每个只要工作 1/4 时间，其他 3/4 时间用来做 Stress 恢复，这样可以大大降低应力（Stress）作用从而提高 GOA 电路的操作寿命。

如图 3 所示，其为本发明的 GOA 电路结构的第一较佳实施例的电路结构示意图。孪生 GOA 单元主要包括以下几部分：上拉控制电路 100 和 100'，上拉电路 200 和 200'，下传电路 300 和 300'，下拉电路 400 和 400'，第一下拉维持电路 500，第二下拉维持电路 600，第三下拉维持电路 500'，第四下拉维持电路 600'，自举电容 700 和 700'（C boast），其中第一下拉维持电路 500，第二下拉维持电路 600，第三下拉维持电路 500'和第四下拉维持电路 600'构成四组下拉维持电路且交替工作，这样有更多的时间进行 Stress 恢复。

第一下拉维持电路 500 中 T51 Gate 端连接 CK2，Drain 端连接 CK1，Source 端连接 P(2N-1)；第二下拉维持电路 600 中 T61 Gate 端连接 CK4，Drain 端连接 CK3，Source 端连接 K(2N-1)；第三下拉维持电路 500'中 T51' Gate 端连接 CK3，Drain 端连接 CK2，Source 端连接 P(2N)；第四下拉维持电路 600'中 T61' Gate 端连接 CK1，Drain 端连接 CK4，Source 端连接 K(2N)。这样利用 CK 信号之间的时序交叠部分可以产生四个独立的下拉维持电路控制信号 P(2N-1)、K(2N-1)、P(2N)、K(2N)。

其中 T52、T52'、T62、T62'的 Gate 端接 Q(2N-1)，T54、T54'、T64、T64'的 Gate 端接 Q(2N)，主要是为了栅极（Gate）信号输出时关闭孪生 GOA 单元（Twined-GOA）的下拉维持电路。

参见图 4，其为图 3 所示电路结构的输入信号和各个关键节点的波形示意图。可以看出 P(2N-1)、K(2N-1)、P(2N)、K(2N)的工作时间为 1/4，应力恢复时间为 3/4，而且图 3 所示 Twined-GOA 电路的 Q(2N-1)和 Q(2N)、G(2N-1)和 G(2N)是独立的，因此实际上只有 P(2N-1)和 K(2N-1)在维持（Holding）Q(2N-1)和 G(2N-1)，P(2N)和 K(2N)在维持 Q(2N)和 G(2N)，也就是说每级 Twined-GOA 电路的每个子电路只有一半时间在维

持, 这样对于 Q 点来说存在较高的风险, 因此需要进行一定的改进。

如图 5 所示, 其为本发明的 GOA 电路结构的第二较佳实施例的电路结构示意图。结合图 3 可看出, 图 5 是在图 3 所示电路结构上针对 Q(2N-1) 和 Q(2N) 进行的改进, 也就是将两级 GOA 的 Q 点共享(Q Sharing, 简称 QS 点), 这样就可以实现四组下拉维持电路对 Q 点的一直作用, 既降低了下拉维持电路应力作用, 又解决了图 3 所示电路结构 Q 点的风险。

基本电路架构包括: 一个共享的上拉控制电路 100', 一个共享的下传电路 300', 两个上拉电路 200 和 200', 两个下拉电路 400 和 400', 两个自举电容 (C Boast) 以及四个共享的下拉维持电路。相对于图 3 所示电路结构, 这种 Q 点共享的架构去掉了一些多余的 TFT, 更加简单实用, 而且应力作用弱、Q 点风险低。

T52、T62、T52'、T62' 的 Gate 端接 QS 点, Drain 端分别接 P(2N-1)、K(2N-1)、P(2N)、K(2N), Source 端都接直流低电压 VSS, 主要是在 QS 高电位时关闭下拉维持电路。T41' 主要是用来放掉 QS 点的电荷; T31 用来拉低 G(2N-1), 由于 QS 打开时 T21 可以辅助放掉 G(2N-1), 因此 T31 的尺寸 (Size) 可以小一些; T31' 用来拉低 G(2N); T22' 用来作为孪生 GOA 单元电路的下传信号。

如图 6 所示, 是图 5 所示电路结构的控制信号和各个节点信号的示意图。其中 QS(N) 点变化比较复杂, 可以实现多次抬升。STV 信号为电路启动信号, 只在开始扫描的时候打开, 后面一直处于低电位; CK 信号占空比 (Duty Ratio) 为 50%, 然后利用时钟信号的重叠部分产生 P(2N-1)、K(2N-1)、P(2N)、K(2N) 点的下拉维持电路控制信号; 后面级的孪生 GOA 单元电路下传信号只连接到偶数级 GOA 子电路, 因此时序上与 CK2 和 CK4 刚好相同, 这样的做法主要是为了避免共享 Q 点后产生的错充问题。

QS(N) 会产生三次抬升的机会, 第一次是传递信号输入上拉控制电路的 T11', 第二次是由于 CK1 或 CK3 的信号输入 G(2N-1), 第三次是由于 CK2 或 CK4 的信号输入 G(2N), 这样 Q 点的电位可以抬升更高有利于 G(2N-1) 和 G(2N) 信号的输入, 这样就会产生如图所示的 QS(N) 点电位变化。

如图 7 所示, 是图 5 所示电路结构的另一种信号接法示意图。其中四组下拉维持电路分别接入四组低频或超低频信号 (LC) 产生如图所示的 P(2N-1)、K(2N-1)、P(2N)、K(2N) 信号, 而且 LCL (低频信号低电位) 可以设置的小于直流低电压 VSS, 这样可以利用 3/4 的休息时间进行一个负压恢复作用, 这样更有利于减轻应力作用。这样也可以降低功耗, 但是会

增加布局 (Layout) 布线上的难度。

本发明利用时钟信号的错位和 GOA 下拉电路共享和 Q 点共享实现减少每个下拉维持电路的一半工作时间, 有更多的时间进行应力恢复, 降低主要下拉 TFT 的应力作用; 采用四组低频信号可以降低功耗, 而且控制低频信号负电位也可以更好的恢复下拉维持电路的主要下拉 TFT 的应力作用。

如图 8 所示, 是图 7 中四组下拉维持电路的 LC 信号的时序以及信号接法示意图。T51 Gate 端连接 LC2, Drain 端连接 LC1, Source 端连接 P(2N-1); T61 Gate 端连接 LC4, Drain 端连接 LC3, Source 端连接 K(2N-1); T51' Gate 端连接 LC3, Drain 端连接 LC2, Source 端连接 P(2N); T61' Gate 端连接 LC1, Drain 端连接 LC4, Source 端连接 K(2N)。这样利用 LC 信号之间的时序交叠部分可以产生四个独立的下拉维持电路控制信号 P(2N-1)、K(2N-1)、P(2N)、K(2N)。

本发明所采用的高频信号 CK1, CK2, CK3 及 CK4 可以选择为波形相同, 依次相差四分之一周期的时钟信号, 低频信号也可同样如此选择。

综上所述, 本发明的 GOA 电路结构具有如下益处:

1、两级 GOA 电路的下拉维持电路共享, 这样就会产生四组下拉维持电路作用于一级 GOA 电路的效果, 那么每个电路只需要作用 1/4 时间, 其他 3/4 时间用来进行应力恢复, 这样等于减轻了应力作用, 延长了下拉维持电路工作寿命;

2、相邻级共享 Q 点, 构建 Twined-GOA 架构, 可以简化电路且实现 Q 点多次抬升;

3、两级 GOA 电路的下拉维持电路共享后的输入控制信号可以采用原来的高频时钟信号, 利用两两一组的形式连接 TFT 的 Gate 端和 Drain 端; 也可以另外加四组低频甚至超低频控制信号, 可以降低电路功耗, 也可以通过低频信号的低电位来更好的恢复应力作用。

以上所述, 对于本领域的普通技术人员来说, 可以根据本发明的技术方案和技术构思作出其他各种相应的改变和变形, 而所有这些改变和变形都应属于本发明后附的权利要求的保护范围。

权 利 要 求

1、一种 GOA 电路结构，包括级联的多个孪生 GOA 单元，设 N 为自然数，第 N 级 GOA 单元控制对显示区域第 N 级水平扫描线充电，每个所述孪生 GOA 单元包括第 $2N-1$ 级 GOA 单元和第 $2N$ 级 GOA 单元，该第 $2N-1$ 级 GOA 单元包括分别与其第 $2N-1$ 级栅极信号点和第 $2N-1$ 级水平扫描线连接的第一下拉维持电路和第二下拉维持电路，该第 $2N$ 级 GOA 单元包括分别与其第 $2N$ 级栅极信号点和第 $2N$ 级水平扫描线连接的第三下拉维持电路和第四下拉维持电路；该第 $2N-1$ 级栅极信号点还分别连接该第三下拉维持电路和第四下拉维持电路，该第 $2N$ 级栅极信号点还分别连接该第一下拉维持电路和第二下拉维持电路；

该第一下拉维持电路包括：

第一薄膜晶体管，其栅极输入第二时钟信号，漏极和源极分别输入第一时钟信号和连接第一电路点，该第一下拉维持电路是否工作根据该第一电路点的电位高低决定；

该第二下拉维持电路包括：

第二薄膜晶体管，其栅极输入第四时钟信号，漏极和源极分别输入第三时钟信号和连接第二电路点，该第二下拉维持电路是否工作根据该第二电路点的电位高低决定；

该第三下拉维持电路包括：

第三薄膜晶体管，其栅极输入第三时钟信号，漏极和源极分别输入第二时钟信号和连接第三电路点，该第三下拉维持电路是否工作根据该第三电路点的电位高低决定；

该第四下拉维持电路包括：

第四薄膜晶体管，其栅极输入第一时钟信号，漏极和源极分别输入第四时钟信号和连接第四电路点，该第四下拉维持电路是否工作根据该第四电路点的电位高低决定；

该第一时钟信号、第二时钟信号、第三时钟信号及第四时钟信号设置为使该第一下拉维持电路、第二下拉维持电路、第三下拉维持电路及第四下拉维持电路交替工作。

2、如权利要求 1 所述的 GOA 电路结构，其中，第一上拉时钟信号、第二上拉时钟信号、第三上拉时钟信号及第四上拉时钟信号分别输入第 $2N-1$ 级，第 $2N$ 级，第 $2N+1$ 级和第 $2N+2$ 级 GOA 单元的上拉电路以分别

对显示区域相应的水平扫描线充电，该第一时钟信号、第二时钟信号、第三时钟信号及第四时钟信号分别对应为该第一上拉时钟信号、第二上拉时钟信号、第三上拉时钟信号及第四上拉时钟信号。

3、如权利要求 1 所述的 GOA 电路结构，其中，该第一时钟信号、第二时钟信号、第三时钟信号及第四时钟信号分别对应为四个低频时钟信号。

4、如权利要求 1 所述的 GOA 电路结构，其中，该第一下拉维持电路还包括：

第五薄膜晶体管，其栅极连接该第 $2N-1$ 级栅极信号点，漏极和源极分别连接该第一电路点和输入直流低电压；

第六薄膜晶体管，其栅极连接该第一电路点，漏极和源极分别连接该第 $2N-1$ 级栅极信号点和输入该直流低电压；

第七薄膜晶体管，其栅极连接该第一电路点，漏极和源极分别连接该第 $2N-1$ 级水平扫描线和输入该直流低电压；

第八薄膜晶体管，其栅极连接该第 $2N$ 级栅极信号点，漏极和源极分别连接该第一电路点和输入该直流低电压。

5、如权利要求 1 所述的 GOA 电路结构，其中，该第二下拉维持电路还包括：

第九薄膜晶体管，其栅极连接该第 $2N-1$ 级栅极信号点，漏极和源极分别连接该第二电路点和输入该直流低电压；

第十薄膜晶体管，其栅极连接该第二电路点，漏极和源极分别连接该第 $2N-1$ 级栅极信号点和输入该直流低电压；

第十一薄膜晶体管，其栅极连接该第二电路点，漏极和源极分别连接该第 $2N-1$ 级水平扫描线和输入该直流低电压；

第十二薄膜晶体管，其栅极连接该第 $2N$ 级栅极信号点，漏极和源极分别连接该第二电路点和输入该直流低电压。

6、如权利要求 1 所述的 GOA 电路结构，其中，该第三下拉维持电路还包括：

第十三薄膜晶体管，其栅极连接该第 $2N-1$ 级栅极信号点，漏极和源极分别连接该第三电路点和输入该直流低电压；

第十四薄膜晶体管，其栅极连接该第三电路点，漏极和源极分别连接该第 $2N$ 级栅极信号点和输入该直流低电压；

第十五薄膜晶体管，其栅极连接该第三电路点，漏极和源极分别连接该第 $2N$ 级水平扫描线和输入该直流低电压；

第十六薄膜晶体管，其栅极连接该第 2N 级栅极信号点，漏极和源极分别连接该第三电路点和输入该直流低电压。

7、如权利要求 1 所述的 GOA 电路结构，其中，该第四下拉维持电路还包括：

5 第十七薄膜晶体管，其栅极连接该第 2N-1 级栅极信号点，漏极和源极分别连接该第四电路点和输入该直流低电压；

第十八薄膜晶体管，其栅极连接该第四电路点，漏极和源极分别连接该第 2N 级栅极信号点和输入该直流低电压；

10 第十九薄膜晶体管，其栅极连接该第四电路点，漏极和源极分别连接该第 2N 级水平扫描线和输入该直流低电压；

第二十薄膜晶体管，其栅极连接该第 2N 级栅极信号点，漏极和源极分别连接该第四电路点和输入该直流低电压。

8、如权利要求 1 所述的 GOA 电路结构，其中：

15 该第 2N-1 级 GOA 单元还包括上拉控制电路，上拉电路，下传电路，下拉电路及自举电容，该上拉电路、下拉电路及自举电容分别与该第 2N-1 级栅极信号点和该第 2N-1 级水平扫描线连接，该上拉控制电路和下传电路分别与该第 2N-1 级栅极信号点连接；

20 该第 2N 级 GOA 单元还包括上拉控制电路，上拉电路，下传电路，下拉电路及自举电容，该上拉电路、下拉电路及自举电容分别与该第 2N 级栅极信号点和该第 2N 级水平扫描线连接，该上拉控制电路和下传电路分别与该第 2N 级栅极信号点连接。

9、如权利要求 1 所述的 GOA 电路结构，其中，所述第 2N-1 级 GOA 单元的栅极信号点和第 2N 级 GOA 单元的栅极信号点连接在一起。

25 10、如权利要求 1 所述的 GOA 电路结构，其中，该第 2N-1 级 GOA 单元还包括上拉电路，下拉电路及自举电容，该上拉电路、下拉电路及自举电容分别与该第 2N-1 级栅极信号点和该第 2N-1 级水平扫描线连接；

30 该第 2N 级 GOA 单元还包括上拉控制电路，上拉电路，下传电路，下拉电路及自举电容，该上拉电路、下拉电路及自举电容分别与该第 2N 级栅极信号点和该第 2N 级水平扫描线连接，该上拉控制电路和下传电路分别与该第 2N 级栅极信号点连接。

11、一种 GOA 电路结构，包括级联的多个孪生 GOA 单元，设 N 为自然数，第 N 级 GOA 单元控制对显示区域第 N 级水平扫描线充电，每个所述孪生 GOA 单元包括第 2N-1 级 GOA 单元和第 2N 级 GOA 单元，该第 2N-1 级 GOA 单元包括分别与其第 2N-1 级栅极信号点和第 2N-1 级水平扫

描线连接的第一下拉维持电路和第二下拉维持电路, 该第 $2N$ 级 GOA 单元包括分别与其第 $2N$ 级栅极信号点和第 $2N$ 级水平扫描线连接的第三下拉维持电路和第四下拉维持电路; 该第 $2N-1$ 级栅极信号点还分别连接该第三下拉维持电路和第四下拉维持电路, 该第 $2N$ 级栅极信号点还分别连接该第一下拉维持电路和第二下拉维持电路;

该第一下拉维持电路包括:

第一薄膜晶体管, 其栅极输入第二时钟信号, 漏极和源极分别输入第一时钟信号和连接第一电路点, 该第一下拉维持电路是否工作根据该第一电路点的电位高低决定;

该第二下拉维持电路包括:

第二薄膜晶体管, 其栅极输入第四时钟信号, 漏极和源极分别输入第三时钟信号和连接第二电路点, 该第二下拉维持电路是否工作根据该第二电路点的电位高低决定;

该第三下拉维持电路包括:

第三薄膜晶体管, 其栅极输入第三时钟信号, 漏极和源极分别输入第二时钟信号和连接第三电路点, 该第三下拉维持电路是否工作根据该第三电路点的电位高低决定;

该第四下拉维持电路包括:

第四薄膜晶体管, 其栅极输入第一时钟信号, 漏极和源极分别输入第四时钟信号和连接第四电路点, 该第四下拉维持电路是否工作根据该第四电路点的电位高低决定;

该第一时钟信号、第二时钟信号、第三时钟信号及第四时钟信号设置为使该第一下拉维持电路、第二下拉维持电路、第三下拉维持电路及第四下拉维持电路交替工作;

其中, 第一上拉时钟信号、第二上拉时钟信号、第三上拉时钟信号及第四上拉时钟信号分别输入第 $2N-1$ 级, 第 $2N$ 级, 第 $2N+1$ 级和第 $2N+2$ 级 GOA 单元的上拉电路以分别对显示区域相应的水平扫描线充电, 该第一时钟信号、第二时钟信号、第三时钟信号及第四时钟信号分别对应为该第一上拉时钟信号、第二上拉时钟信号、第三上拉时钟信号及第四上拉时钟信号;

其中, 该第一时钟信号、第二时钟信号、第三时钟信号及第四时钟信号分别对应为四个低频时钟信号;

其中, 该第一下拉维持电路还包括:

第五薄膜晶体管, 其栅极连接该第 $2N-1$ 级栅极信号点, 漏极和源极

分别连接该第一电路点和输入直流低电压;

第六薄膜晶体管, 其栅极连接该第一电路点, 漏极和源极分别连接该第 2N-1 级栅极信号点和输入该直流低电压;

5 第七薄膜晶体管, 其栅极连接该第一电路点, 漏极和源极分别连接该第 2N-1 级水平扫描线和输入该直流低电压;

第八薄膜晶体管, 其栅极连接该第 2N 级栅极信号点, 漏极和源极分别连接该第一电路点和输入该直流低电压;

其中, 该第二下拉维持电路还包括:

10 第九薄膜晶体管, 其栅极连接该第 2N-1 级栅极信号点, 漏极和源极分别连接该第二电路点和输入该直流低电压;

第十薄膜晶体管, 其栅极连接该第二电路点, 漏极和源极分别连接该第 2N-1 级栅极信号点和输入该直流低电压;

第十一薄膜晶体管, 其栅极连接该第二电路点, 漏极和源极分别连接该第 2N-1 级水平扫描线和输入该直流低电压;

15 第十二薄膜晶体管, 其栅极连接该第 2N 级栅极信号点, 漏极和源极分别连接该第二电路点和输入该直流低电压;

其中, 该第三下拉维持电路还包括:

第十三薄膜晶体管, 其栅极连接该第 2N-1 级栅极信号点, 漏极和源极分别连接该第三电路点和输入该直流低电压;

20 第十四薄膜晶体管, 其栅极连接该第三电路点, 漏极和源极分别连接该第 2N 级栅极信号点和输入该直流低电压;

第十五薄膜晶体管, 其栅极连接该第三电路点, 漏极和源极分别连接该第 2N 级水平扫描线和输入该直流低电压;

25 第十六薄膜晶体管, 其栅极连接该第 2N 级栅极信号点, 漏极和源极分别连接该第三电路点和输入该直流低电压;

其中, 该第四下拉维持电路还包括:

第十七薄膜晶体管, 其栅极连接该第 2N-1 级栅极信号点, 漏极和源极分别连接该第四电路点和输入该直流低电压;

30 第十八薄膜晶体管, 其栅极连接该第四电路点, 漏极和源极分别连接该第 2N 级栅极信号点和输入该直流低电压;

第十九薄膜晶体管, 其栅极连接该第四电路点, 漏极和源极分别连接该第 2N 级水平扫描线和输入该直流低电压;

第二十薄膜晶体管, 其栅极连接该第 2N 级栅极信号点, 漏极和源极分别连接该第四电路点和输入该直流低电压。

12、如权利要求 11 所述的 GOA 电路结构，其中：

5 该第 2N-1 级 GOA 单元还包括上拉控制电路，上拉电路，下传电路，下拉电路及自举电容，该上拉电路、下拉电路及自举电容分别与该第 2N-1 级栅极信号点和该第 2N-1 级水平扫描线连接，该上拉控制电路和下传电路分别与该第 2N-1 级栅极信号点连接；

该第 2N 级 GOA 单元还包括上拉控制电路，上拉电路，下传电路，下拉电路及自举电容，该上拉电路、下拉电路及自举电容分别与该第 2N 级栅极信号点和该第 2N 级水平扫描线连接，该上拉控制电路和下传电路分别与该第 2N 级栅极信号点连接。

10 13、如权利要求 11 所述的 GOA 电路结构，其中，所述第 2N-1 级 GOA 单元的栅极信号点和第 2N 级 GOA 单元的栅极信号点连接在一起。

14、如权利要求 11 所述的 GOA 电路结构，其中，该第 2N-1 级 GOA 单元还包括上拉电路，下拉电路及自举电容，该上拉电路、下拉电路及自举电容分别与该第 2N-1 级栅极信号点和该第 2N-1 级水平扫描线连接；

15 该第 2N 级 GOA 单元还包括上拉控制电路，上拉电路，下传电路，下拉电路及自举电容，该上拉电路、下拉电路及自举电容分别与该第 2N 级栅极信号点和该第 2N 级水平扫描线连接，该上拉控制电路和下传电路分别与该第 2N 级栅极信号点连接。

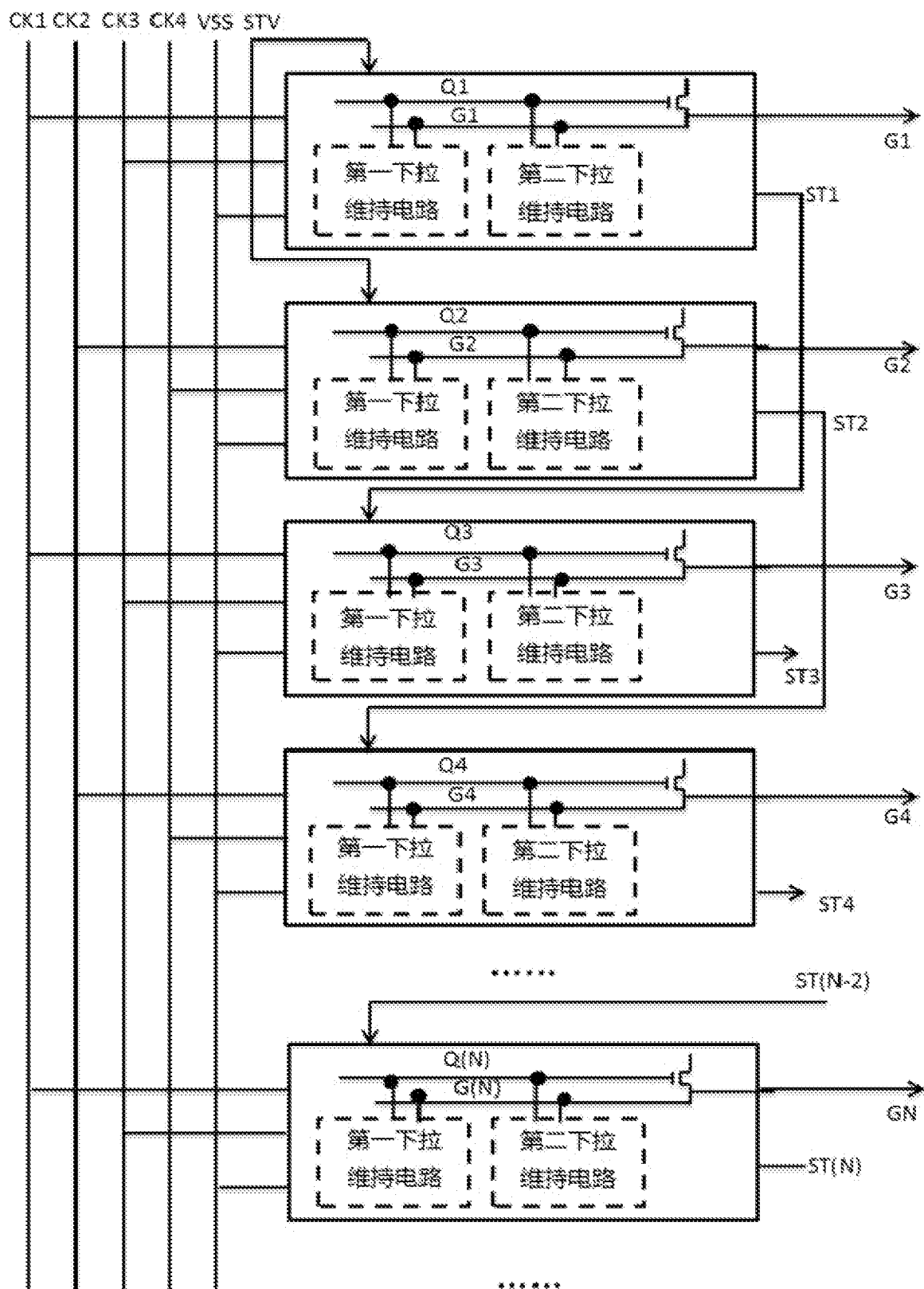


图 1

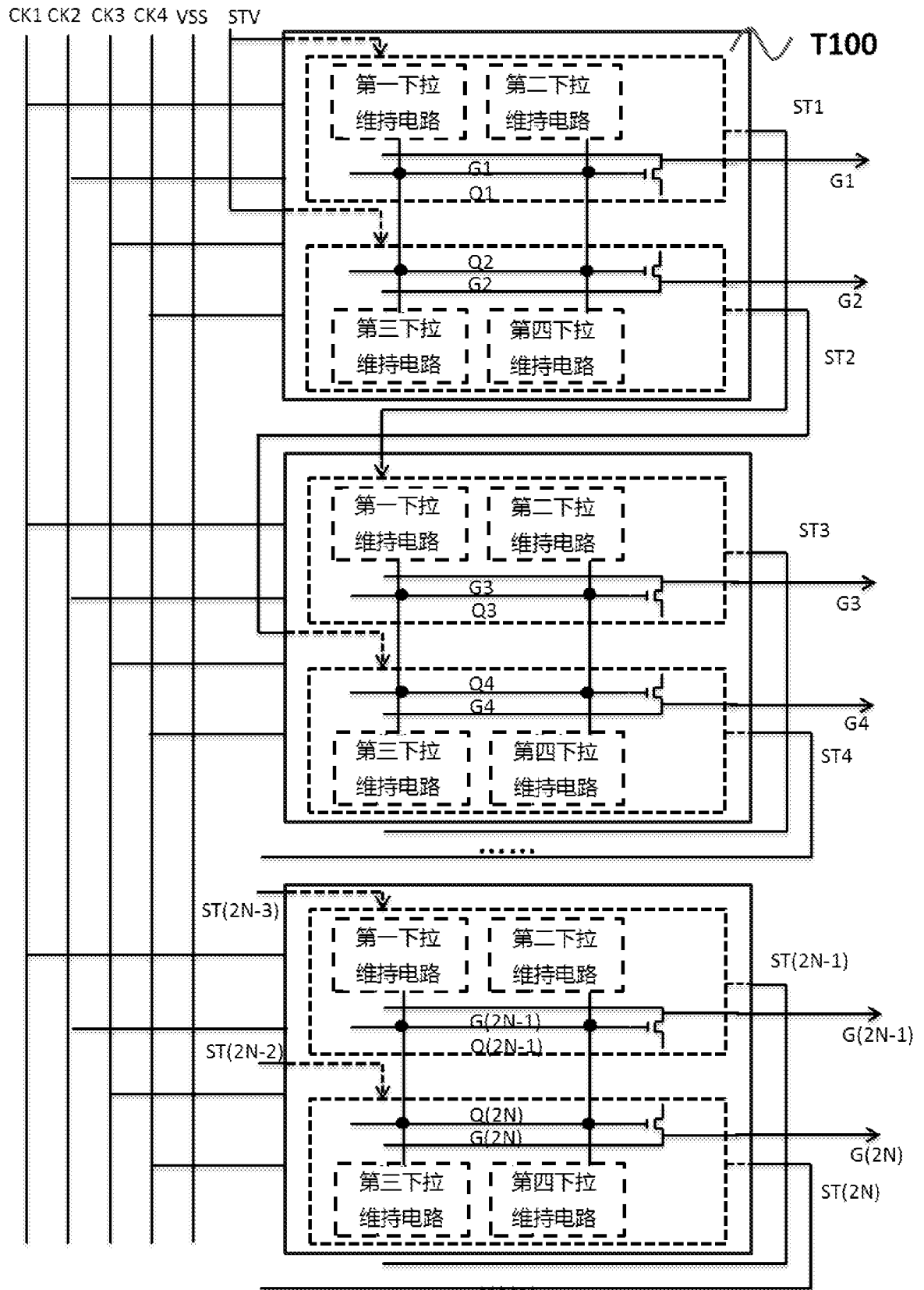


图 2

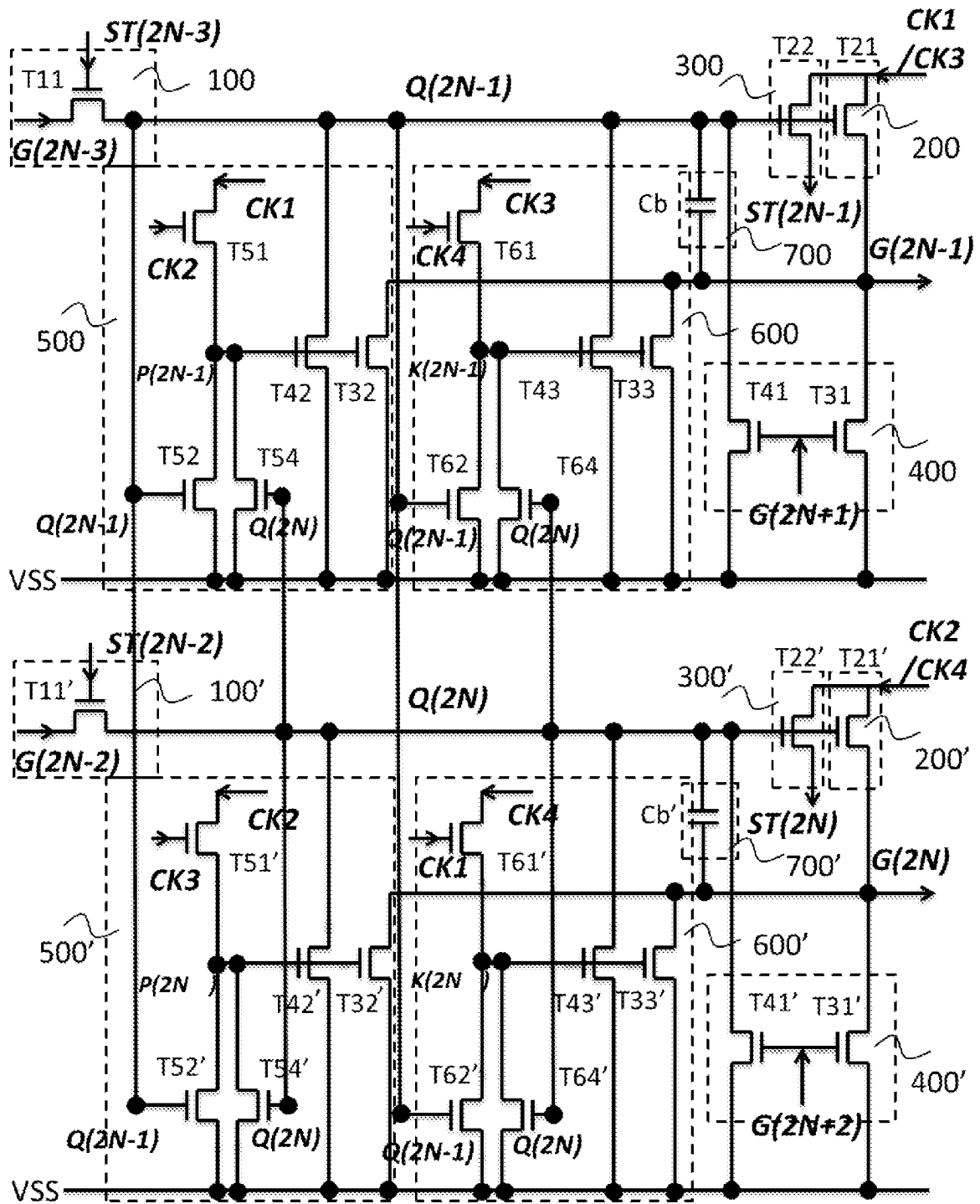


图 3

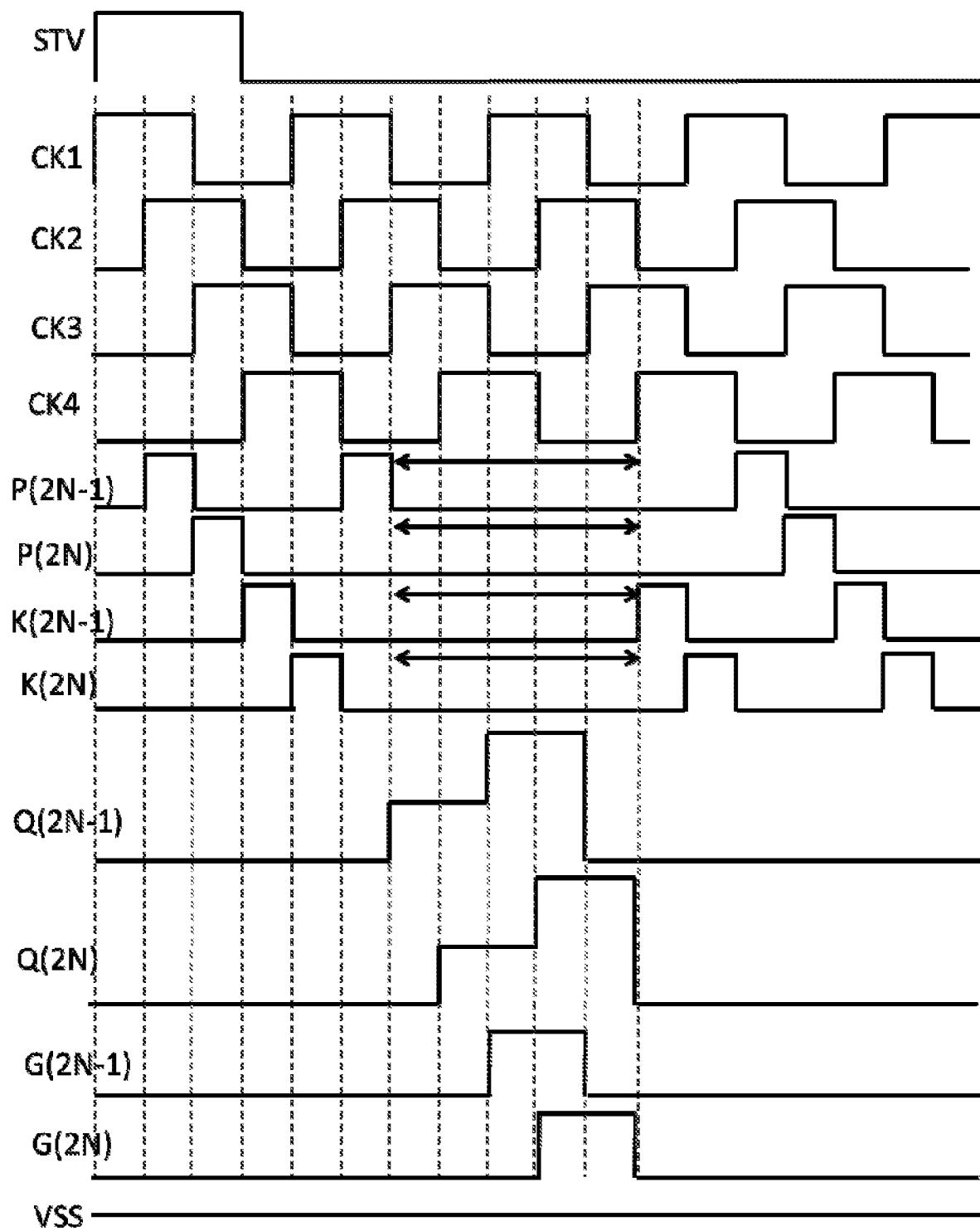


图 4

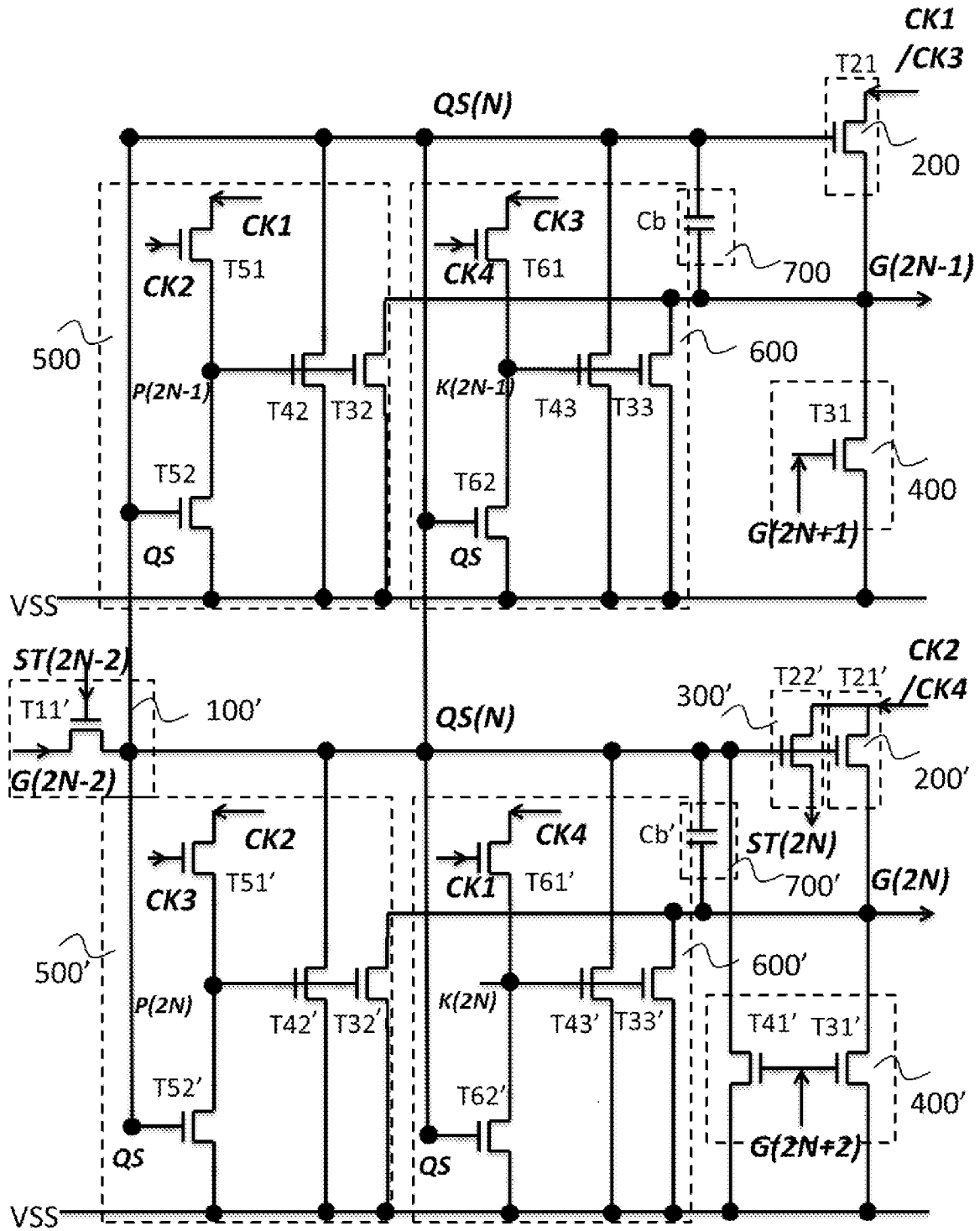


图 5

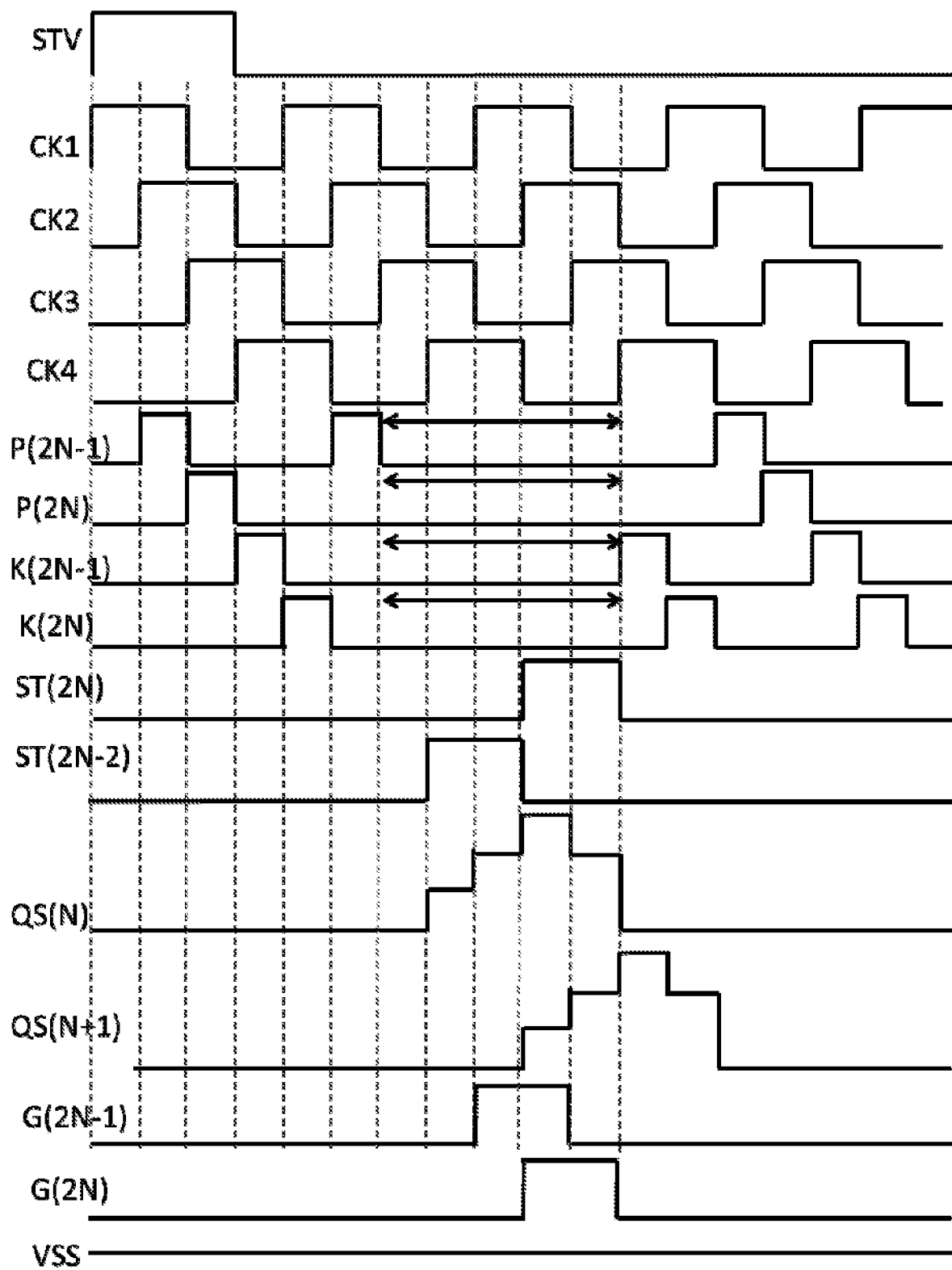


图 6

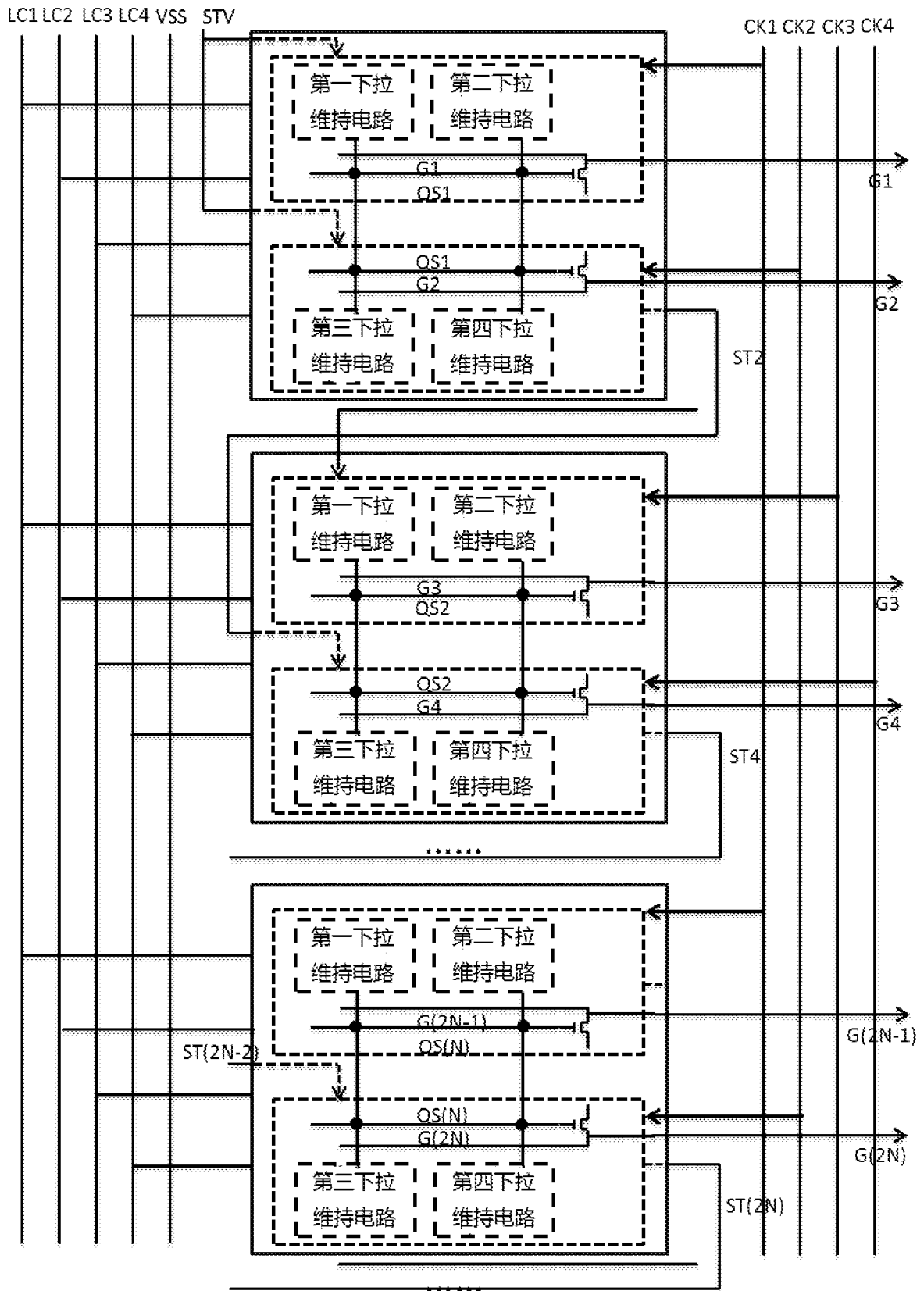


图 7

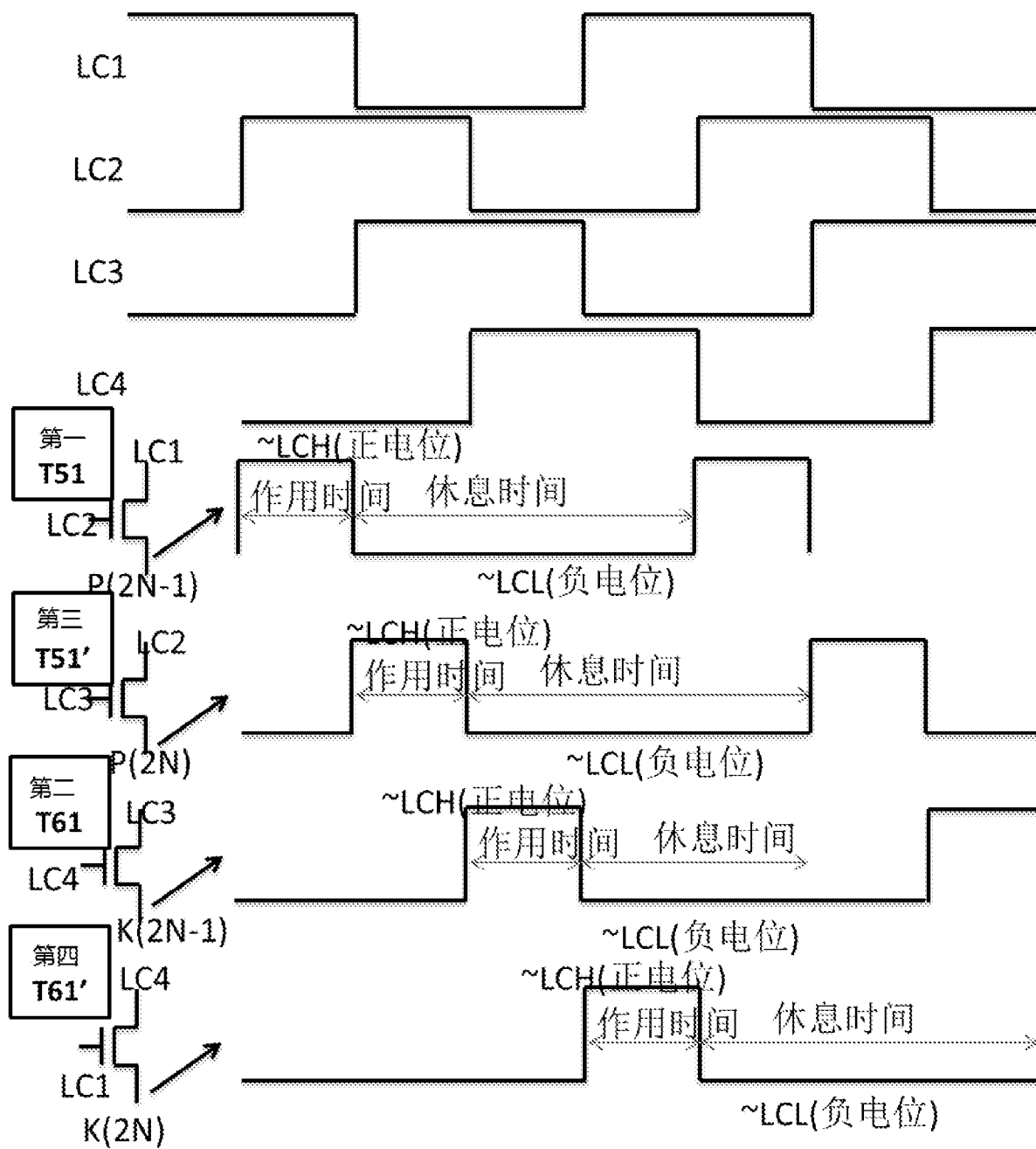


图 8

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2014/070940**A. CLASSIFICATION OF SUBJECT MATTER**

G09G 3/36 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC: G09G; G02F

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

WPI; EPODOC; CPRS; CNKI; IEEE; CNTXT; TWTXT; USTXT; WOTXT; EPTXT; CATXT: CHINA STAR OPTOELECTRONICS, array substrate, row drive, liquid crystal, thin film transistor, common, GOA, cascaded???, twin??, twin??-GOA, LCD, screen, scan???, charge???, pull-down, TFT, clock, sharp???, QS, stress, recovery

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 103310755 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.), 18 September 2013 (18.09.2013), description, paragraphs [0033]-[0045], and figures 3-5	1-14
A	CN 101201518 A (SAMSUNG ELECTRONICS CO., LTD.), 18 June 2008 (18.06.2008), the whole document	1-14
A	US 2013027283 A1 (STMICROELECTRONICS S.R.L), 31 January 2013 (31.01.2013), the whole document	1-14

☐ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“A” document defining the general state of the art which is not considered to be of particular relevance	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“E” earlier application or patent but published on or after the international filing date	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“&” document member of the same patent family
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 18 August 2014 (18.08.2014)	Date of mailing of the international search report 02 September 2014 (02.09.2014)
Name and mailing address of the ISA/CN: State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No.: (86-10) 62019451	Authorized officer YANG, Qi Telephone No.: (86-10) 62413649

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2014/070940

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 103310755 A	18 September 2013	None	
CN 101201518 A	18 June 2008	KR 20080053597 A	16 June 2008
		KR 20080056781 A	24 June 2008
		JP 2008146079 A	26 June 2008
		US 2008211760 A1	04 September 2008
US 2013027283 A1	31 January 2013	None	

国际检索报告

国际申请号

PCT/CN2014/070940

A. 主题的分类

G09G 3/36(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

G09G; G02F

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

WPI; EPODOC; CPRS; CNKI; IEEE; CNTXT; TWTXT; USTXT; WOTXT; EPTXT; CATXT: 华星光电, 阵列基板, 行驱动, 级联, 孪生, 液晶, 屏幕, 扫描, 充电, 下拉, 薄膜晶体管, 时钟, 公用, 共用, 共享, 分享, 应力, 压力, 恢复, GOA, cascad???, twin??, twin??-GOA, LCD, screen, scan???, charg???, pull-down, TFT, clock, shar???, QS, stress, recovery

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
A	CN 103310755 A (深圳市华星光电技术有限公司) 2013年 9月 18日 (2013 - 09 - 18) 说明书第[0033]-[0045]段, 附图3-5	1-14
A	CN 101201518 A (三星电子株式会社) 2008年 6月 18日 (2008 - 06 - 18) 全文	1-14
A	US 2013027283 A1 (STMICROELECTRONICS S. R. L.) 2013年 1月 31日 (2013 - 01 - 31) 全文	1-14

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2014年 8月 18日

国际检索报告邮寄日期

2014年 9月 02日

ISA/CN的名称和邮寄地址

中华人民共和国国家知识产权局 (ISA/CN)
北京市海淀区蓟门桥西土城路6号
100088 中国

传真号 (86-10)62019451

授权官员

杨祺

电话号码 (86-10)62413649

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2014/070940

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	103310755	A	2013年 9月 18日	无			
CN	101201518	A	2008年 6月 18日	KR	20080053597	A	2008年 6月 16日
				KR	20080056781	A	2008年 6月 24日
				JP	2008146079	A	2008年 6月 26日
				US	2008211760	A1	2008年 9月 04日
US	2013027283	A1	2013年 1月 31日	无			