[19]中华人民共和国专利局

[51]Int.Cl[6]
G06F 9/46

[12]发明专利说明书

[21] ZL 专利号 93109006.7

[45]授权公告日 1998 年 10 月 28 日

[11] 授权公告号 CN 1040479C

[22]申请日 93.7.21 [24]颁证日 98.9.12
[21]申请号 93109006.7
[30]优先权
[32]92.7.21 [33]US[31]07/917,503
[73]专利权人 先进显微设备股份有限公司
地址 美国德克萨斯州
[72]发明人 J·包尔斯 M·卢得克 D·古利克
[74]专利代理机构 上海专利商标事务所
代理人 沈昭坤
[56]参考文献

US4,010,448	1977. 3. 1	G06F9/18
US5,095,526	1992. 3.10	G06F13/24

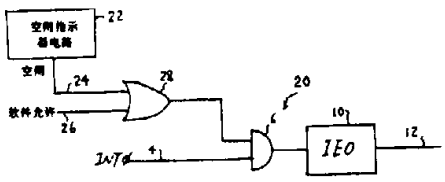
审查员 曲 瑞

权利要求书 2 页 说明书 9 页 附图页数 6 页

[54]发明名称 禁止中断屏蔽的电路

[57]摘要

一种在某一硬件条件下，即使中断已由软件屏蔽，仍允许一个中断的装置，它包括用以表示一个软件条件的结构，用以表示一个硬件条件的结构，以及响应于上述两种结构，用以响应于一个中断请求信号的提出而产生一个中断的结构。



权 利 要 求 书

1.一种禁止中断屏蔽的装置，所述中断由一个中断请求信号的提出而被请求，其特征在于，所述装置包括:

用以表示一种软件条件的装置，它包括输出一软件允许信号的可编程寄存器;

用以表示一种硬件条件的装置，它包括至少一个硬件 电路，其中，所述至少一个硬件电路的每一电路输出一硬件允许信号；以及

响应于所述中断请求信号的提出以及所述表示的软件条件和所述表示的硬件条件中的至少一个条件产生所述中断的装置，它包括：

响应于所述软件条件和硬件条件允许所述中断的装置，它包括接收所述软件允许信号和硬件允许信号并输出一组合允许信号的或门;

当所述中断请求被提出且所述中断被允许时确认所述中断，以及当所述中断请求被提出且所述中断未被允许时不确认所述中断的装置，该装置包括接收所述组合的允许信号和所述中断请求信号并输出所述中断的与门。

2.如权利要求 1 所述的装置，其特征在于，所述装置包括在一处理器内，其中，所述至少一个硬件电路响应于由所述处理器外部产生的一外部允许信号确认所述硬件允许信号。

3.如权利要求 1 所述的装置，其特征在于所述装置包括在一处理器内，其中，所述至少一个硬件电路当所述处理器处于一特定状态时确认所述硬件允许信号。

4.如权利要求 3 所述的装置，其特征在于，所述特定状态包括一空闲状态。

5.如权利要求 3 所述的装置，其特征在于，所述至少一个硬件电路响应于由所述处理器外部产生的一外部允许信号进一步产生所述的硬件允许信号。

说　明　书

禁止中断屏蔽的电路

本申请与申请号为US07/917,497、07/917,489、07/917,488、07/918,624、07/918,627、07/918,626、07/918,625、07/918,631、07/918,632、07/918,622和07/918,621的美国专利申请有关.

这些相关的申请与本申请同一日期提交并转让给本发明的受让人，它们在本申请中结合作为参考资料.

本发明涉及在处理器中实现的中断控制器，尤其涉及一种其中断可由软件屏蔽的中断控制器.

在处理器中，中断能使一个软件程序与另一个软件程序之间的控制进行转移.中断可以由某些内部或外部装置(即定时器，I/O外部设备)所发出的一个中断请求信号所请求，并由中央处理单元(CPU)所接收. CPU将暂停执行此时正在运行的无论哪一种程序，而专门响应该中断请求，并执行一个中断服务程序.在中断服务程序执行之后，CPU将在中断处恢复执行前一个软件程序.

由前所述，可以发现，利用中断允许CPU用其它装置的动作来协调其动作，在某种程度上取消了CPU对耗费时间的轮询装置的需要.而且，在许多应用中，某些程序的处理对于外部事件来说必须精确地定时，这时，中断也是很有用的.

处理器通常具有通过软件来禁止中断的能力.可以由CPU通过“屏蔽”技术有选择地禁止中断.这通常利用带有中断请求线的中断启用触发器来完成.当触发器由软件置1时，触发器允许由CPU所识别的有关中断请求线的依次要求.当触发器由软件清零时，中断请求被“屏蔽”，CPU不能识别依次的请求.

某些处理器，诸如 AdvancedMicroDevices 公司的 8051 微控制器系列，具有在任何时候都能屏蔽其任何数目的中断的能力。屏蔽所有中断的能力是有用的，例如，避免对关键性的软件程序的中断，或允许 CPU 在准备为一个装置服务之前，不理会来自该装置的请求。然而，还有许多时候，可能需要一种不可屏蔽的中断。其中之一是当 8051 微控制器处于空闲状态时。

8051 微控制器的空闲状态提供一种手段，通过关闭内部时钟信号送至 CPU 来减低功耗。在其标准形式中，8051 微控制器允许或者通过硬件复位，或者通过任何允许中断的动作，结束其空闲状态。然而，在某些结构形式的 8051 微控制器中，并无现成的硬件复位机构。即使有现成的硬件复位机构，通常将它作为一种脱离空闲状态的手段，也是不合需要的，因为它使计算机重新初始化，这样将丢失直至目前所已完成的许多工作。因此，通常合乎需要的是，当 8051 微控制器进入空闲状态时，如果没有必要，就至少保留一个未屏蔽的中断，由此允许微控制器通过一个中断请求的提出而退出空闲状态。

在这之前，本领域的熟练人员已经遇到了这样一个问题，即根据进入的状态，诸如 8051 微控制器的空闲状态，提供一个未屏蔽的中断。可知，软件并非提供这样一种未屏蔽中断的可靠方式。由于新软件的复杂性，程序员难以弄清各种可允许的程序，通过该程序计算机可以进入某一状态，诸如空闲状态。而且，由于软件错误或外部噪声所引起的错误地执行软件，微处理器可能不知不觉地进入这样一种状态。另一方面，如上所述，由于需要在某些时候屏蔽所有的中断，故提供一种固定不变的不可屏蔽的中断也不是一种合意的方法。

根据以上所述，可以看出，为处理器提供所有中断都可屏蔽的能力可能是有利的．然而，处理器可能进入某些状态，在该状态下，它只能通过中断退出．如果在进入这样一种状态时，所有中断均已被屏蔽，计算机将陷入一种“致命的包围中”，即它将没有一条路退出该状态．在此之前，尽管已经采取多种步骤来处理这一问题，但仍然有必要为中断控制器开发一种装置或方法，以便能非常有效地解决这一问题．因此，将可以理解，至今未能开发出这样一种装置或方法是现有技术的缺陷和不足．

因此，本发明的目的在于提供一种中断允许电路，它在某些硬件条件下允许可屏蔽的中断变为不可屏蔽的中断．

本发明的另一个目的在于通过提供一种替代硬件复位，作为退出某些处理器状态的手段，以避免信息的不必要损失．

本发明的再一个目的在于防止处理器锁定于某一种状态的可能性，因在进入该状态时所有中断均由软件屏蔽．

本发明通过提供一种中断允许电路而克服了现有技术的缺陷和不足，这种电路能允许在任何时候由软件来决定允许和禁止中断，除了由硬件限定的某些条件下，此时中断成为不可屏蔽的．中断允许电路包括表示一种软件条件的结构，表示一种硬件条件的结构，以及响应于上述结构，用以根据中断请求信号的提出产生一个中断的结构．在某些实施例中，中断是在指明硬件条件时提出的，与软件条件无关．用以产生一个中断的结构可以包括响应于软件条件和硬件条件的允许中断的结构，以及当中断请求提出，并且只有当中断被允许时，用以提出中断的结构．

用以表示软件条件的结构可以包括一个可编程寄存器，它输出一个软件允许信号．用以表示硬件条件的结构，可以是一种硬件电

路，当处理器处于特殊状态，例如 8051 微控制器的空闲状态时，输出一个硬件允许信号．在其它实施例中，当一个外部信号提出时，硬件电路可以输出一个硬件允许信号．在还有一些实施例中，用以表示硬件条件的结构可以包括上述两种硬件电路类型．

用以允许中断的结构可以包括一个或门，它接收硬件允许信号和软件允许信号，并输出一个组合的允许信号．

用以提出中断的结构，可以包括一个与门，它接收该组合的允许信号和中断请求信号，并输出中断信号．

以下当结合附图对本发明作进一步的详细描述时，本发明的其它目的、优点和新的特征将变得更加清楚。

图 1 是根据现有技术的一个中断允许电路；

图 2 是根据本发明所述的一个中断允许电路的一个实施例，它响应于一种空闲状态条件；

图 3 是根据本发明所述的一个中断允许电路的一个实施例，它响应于一个外部信号；

图 4 是根据本发明所述的一个中断允许电路的实施例，它响应于一种空闲状态条件和一个外部信号；

图 5(包括图 5a 和图 5b)是包括一个 8051 微控制器在内的一个集成电路的方框图，它采用了根据本发明所述的一个中断允许电路；

图 6 是无绳电话机一个手持单元的方框图，它采用了图 5 所示的集成电路；

图 7 是无绳电话机一个座机单元的方框图，它采用了图 5 所示的集成电路。

现在参见附图，图 1 表示一个已结合进 AdvancedMicroDevices 公司 8051 微控制器系列器件内的一个中断允许电路 2．图 1 所示

的中断允许电路 2 接收一个外部中断请求 INT0/. 它转换为中断请求信号 INT0 在线路 4 上传递. 然后, 中断请求信号 INT0 输入至与门 6, 后者还通过线路 8 接收一个软件允许信号. 与门 6 的输出端连接到锁存器 10 的输入端. 该锁存器 10 用作中断标志 IEO . 该锁存器由处理器通过线路 12 在每个机器周期内进行取样. 取样时, 如果该标志处于设置条件, 处理器的中断系统可以暂时将整个处理器的控制转到合适的中断服务程序.

这样, 如果中断许可的话, 中断允许电路 2 可以响应于外部中断请求信号 INT0/的提出, 产生出一个中断. 中断的允许和禁止是通过软件控制的, 并受影响于中断启用寄存器位 0 的置 1 或清 0 .

中断启用寄存器是位可寻址的, 并可描述如下.

IE:中断启用寄存器

EA	---	ET2	ES	ET1	EX1	ET0	EX0

EAIE.7 禁止所有中断. 如果 EA=0 , 无中断收到. 如果 EA=1 , 每个中断源通过设置或清除其许可位而单独地允许或禁止.

--IE.6 不执行.

ET2IE.5 允许或禁止定时器 2 溢出或锁住中断(仅对 8052)

ESIE.4 允许或禁止串行口中断.

ET1IE.3 允许或禁止定时器 1 溢出中断.

EX1IE.2 允许或禁止外部中断 1 .

ET0IE.1 允许或禁止定时器 0 溢出中断.

EX0IE.0 允许或禁止外部中断 0 .

如果此位清零, 则相应的中断被禁止. 如果此位置 1 , 允许相应的中断. 而且, 从以上对中断启用寄存器的描述中可见, 所有由

8051 微控制器提供的中断，都可以通过中断启用寄存器的位 7 的清零被禁止.

对中断启用寄存器的位 0 或位 7 清零都会成为在线路 8 上提出软件允许信号的原因. 由图 1 可以发现，允许信号是与线路 4 上的中断请求信号成与的关系的. 这样，当线路 8 上的软件允许信号为高电平时，在线路 4 上 INT0 的提出将使锁存器 10 置 1，由此产生一个中断. 如果线路 8 上的软件允许信号为低电平，该中断被屏蔽. 这样，INT0 的提出将不影响锁存器 10，并将不产生中断.

象本领域已知的许多其它器件一样，8051 系列中的微控制器具有屏蔽所有由微控制器所提供的中断的能力. 如前所述，本领域的熟练人员认为，这种能力对于在例如关键的软件程序期间防止不想要的中断是有用的. 然而，当处理器进入可以要求许可中断的某些状态时，正是这种同样的能力产生了一个问题. 这种状态的一个例子就是在本发明背景中所提到的空闲状态. 如果在处理器进入空闲状态时，所有中断均不允许，那么结束空闲状态的唯一手段是通过硬件复位. 由于重新初始化处理器将因此而丢失直至中断点之前的所累积的所有数据，故硬件复位是不合需要的. 在硬件复位不是一种现成的选择的应用中，处理器处于一种致命的包围中. 这样，提供一种中断将是有利的，它能够在所有时候被屏蔽，除了处理器处于某种状态，诸如空闲状态时，在此期间中断仍然允许. 本发明提供了这样一种能力.

图 2 表示根据本发明技术的一种中断允许电路，它提供了一种可以通过软件屏蔽的中断，但是当处理器处于空闲状态时，又变成不可屏蔽的中断. 它附加了一个空闲指示器电路 22 到图 1 所示的中断允许电路 2，只要处理器进入空闲状态，该指示器电路就在线

路 24 上提出一个 IDLE 信号. 线路 24 上的 IDLE 信号连同线路 26 上的软件允许信号，由或门 28 接收. 然后，或门 28 的输出与中断请求信号 INT0 作与运算. 如前所述，与门 6 的输出送到锁存器 10，它用作中断标志 IE0 .

如果处理器进入一种空闲状态， IDLE 指示器电路 22 将在线路 24 上提出 IDLE 信号，并依次将使或门 28 的输出变为高电平，而不管线路 26 上的软件允许信号的状态如何. 只要或门输出 28 维持于高电平，线路 4 上提出的中断请求信号 INT0 将使锁存器 10 置 1，由此产生中断. 只要处理器维持在 IDLE 状态， IDLE 信号以及由此而来的或门 28 的输出将维持于高电平. 因此，当处理器进入 IDLE 状态时，中断请求信号 INT0 的提出可以使中断标识 IEO 置 1，并可由处理器识别，即使中断已由软件屏蔽. 当处理器未处于空闲状态时，线路 24 上的 IDLE 信号将维持于低电平，中断的允许和禁止将由线路 26 上的软件允许信号所决定.

根据前面所述，现在可以发现，本发明提供了一种中断允许电路，通过该电路，一个可以由软件控制禁止和允许的中断，在某些硬件条件下成为不可屏蔽的. 根据本发明，一个中断允许电路的实施例，可以包括用以表示一种软件条件的结构，用以表示一种硬件条件的结构，以及响应于上述两种结构，用以按照提出的一个中断请求信号产生一个中断的结构. 在某些实施例中，用以表示一种软件条件的结构可以包括一个可编程寄存器，它输出一个软件允许信号;用以表示一种硬件条件的结构可以包括一个硬件电路，它输出一个硬件允许信号，例如当处理器处于空闲状态时，输出的 IDLE 信号. 用以产生一个中断的结构可以包括一个或门和一个与门. 该或门接收软件允许信号和硬件允许信号，并输出一个组合的允许信号;

该与门接收上述组合的允许信号和中断请求信号，并输出一个设置中断标识的信号.

本发明其它可能的实施方案见图 3 和图 4 。图 3 中，空闲指示器电路 22 及图 2 所示线路 24 上与它有关的 IDLE 信号，现在由一个外部信号所替换，该信号由处理器外部产生并在线路 32 上接收。在这样一个实施例中，除非线路 32 上有外部信号，否则，中断仍由软件所屏蔽. 当外部信号保持存在时，就保持中断许可，而不管软件企图禁止中断.

图 4 所示的中断允许电路，表示本发明的一个实施例，它是图 2 和图 3 所示电路的结合. 或门 28 现在除了接收线路 26 上的软件允许信号外，还接收线路 32 上的外部信号，以及线路 24 上经由空闲指示器电路 22 接收的 IDLE 信号. 当外部信号和 IDLE 信号都为低电平时，中断的许可和禁止仍由软件控制. 然而，当或者 IDLE 信号，或者外部信号提出时，中断即变成允许，并不可由软件来屏蔽.

以上所述仅仅表示了本发明的某些特殊的实施例. 然而，本领域的熟练人员将理解到，在基本上不脱离本发明的精神和范围的情况下，还可以对此作出许多改进和变化. 因此，显而易见，其中所述的本发明的形式仅仅是示例性的，并不想作为对本发明范围的一种限制.

此外，应该了解，本发明的中断允许电路可以在各种系统中实现. 例如，图 5 表示一个集成电路的方框图，它包括一个 8051 微控制器，它具有如图 2 所示的中断允许电路. 本发明的中断允许电路，在诸如防止 IC 因所有中断被禁止而进入关闭状态的这样一种应用中是有益的. 与 IC 的关闭状态性能有关的细节在题为“容许

关闭状态的时钟发生器以及时钟产生方法”的有关案例中作了详细描述。当 IC 已经被编程进入关闭状态时，8051 微控制器将典型地被编程进入其空闲状态。如果 IC 处于关闭状态，而微控制器处于空闲状态时，微控制器中断屏蔽位的条件(中断启用寄存器位 7、2 和 0)被忽略，允许 INT0/和 INT1/中断。关闭状态可以通过复位终止(在键盘上用任意键按下表示)，或通过任何非屏蔽的中断终止。所有这些条件都导致产生一个中断请求。一旦 IC 退出关闭状态，即产生中断请求至微控制器，或者作为外部中断 INT0/或者作为 INT1/。由于微控制器实现了本发明的中断允许电路，中断请求将由微控制器识别，即使当微控制器进入空闲状态时，它们由软件屏蔽时也一样。这样，作为中断请求的结果，微控制器被允许脱离该空闲状态。

此外，图 5 所示的 IC 可以工作于一个无绳电话中。图 6 和图 7 分别描述图 5 所示的 IC 是如何可以结合进一个无绳电话机的手持单元和座机单元中的。这些实施方法在各种有关的案例中，尤其在题为“集成电路和采用集成电路的无绳电话机”一例中已作了详尽地描述。

显然，由以上所述看来，有可能作出许多的改进和变化。因此，在所附权利要求书的范围内，本发明还可以用不同于上述专门描述的其它方法来实现。

说　明　书　附　图

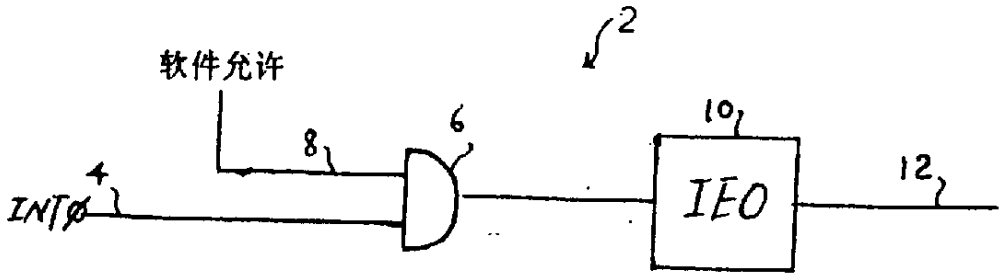

2
软件允许
8
6
10
4
INTØ
IEO
12

图　1

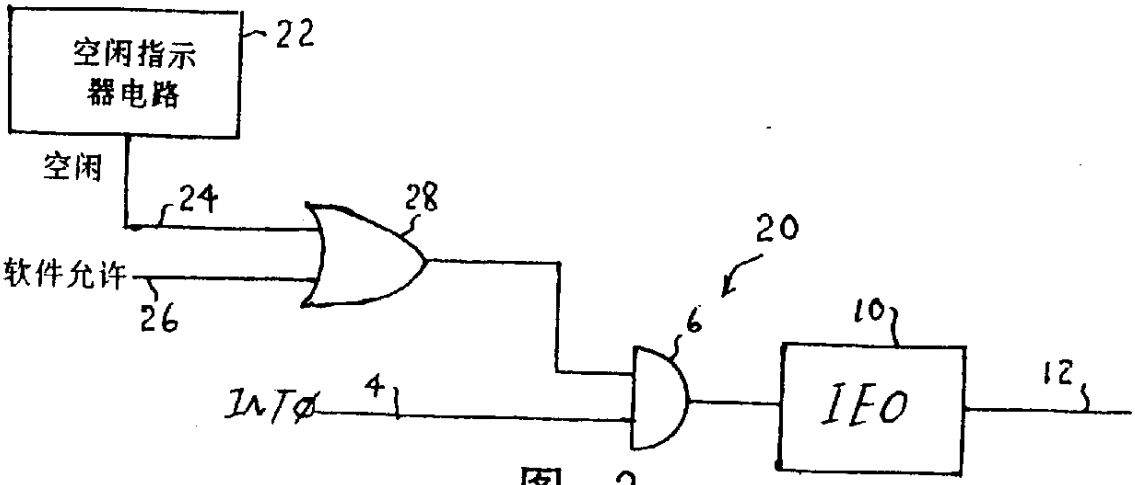

空闲指示
器电路
22
空闲
24
28
20
软件允许
26
6
10
INTØ
4
IEO
12

图　2

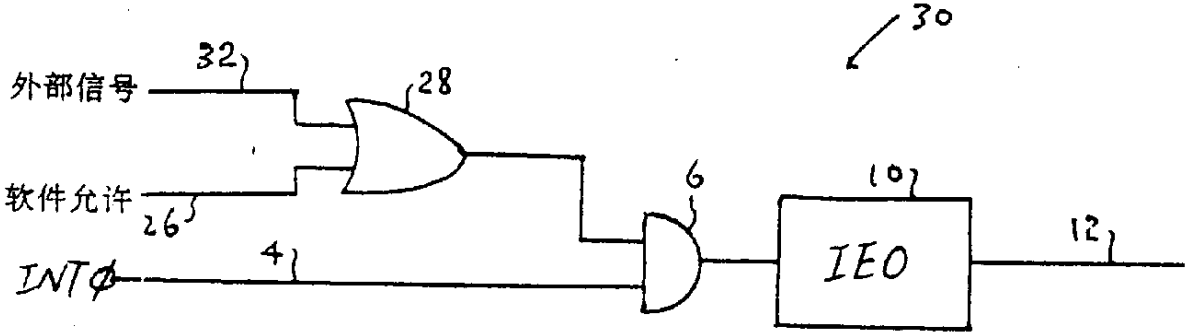

30
32
外部信号
28
软件允许
26
6
10
IEO
12
4
INTφ

图 3

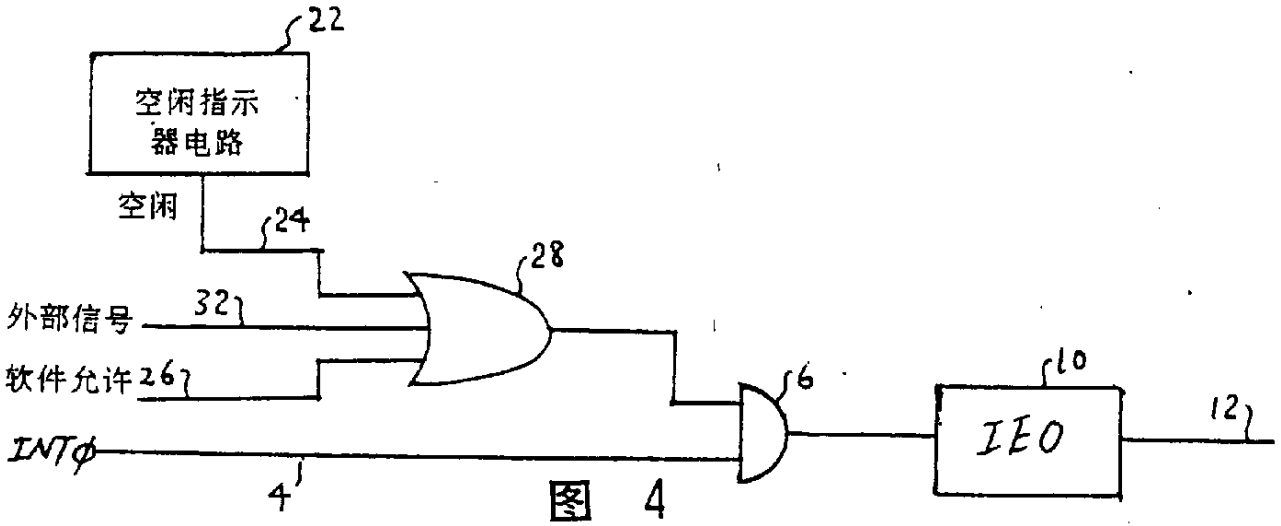

22
空闲指示
器电路
空闲
24
28
外部信号
32
软件允许
26
6
10
IEO
12
INTφ
4

图 4

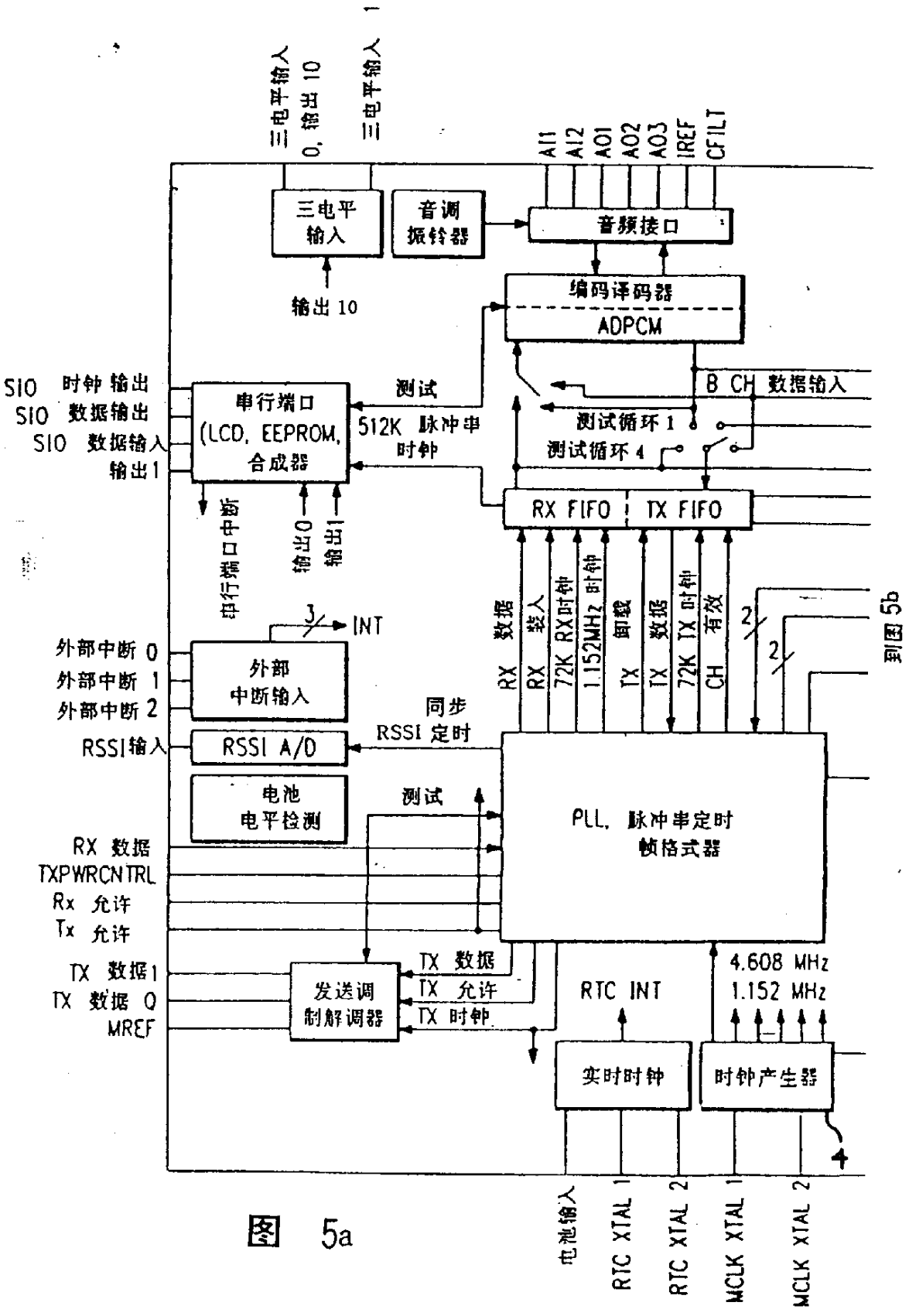

三电平输入 0, 输出 10
三电平输入 1
AI1
AI2
AO1
AO2
AO3
IREF
CFILT
三电平输入
音调振铃器
音频接口
输出 10
编码译码器
ADPCM
SIO 时钟输出
SIO 数据输出
SIO 数据输入
输出 1
串行端口 (LCD, EEPROM, 合成器)
测试
512K 脉冲串时钟
B CH 数据输入
测试循环 1
测试循环 4
RX FIFO
TX FIFO
串行端口中断
输出 0
输出 1
INT
外部中断 0
外部中断 1
外部中断 2
外部中断输入
RSSI输入
RSSI A/D
同步 RSSI 定时
电池电平检测
测试
RX 数据
TXPWRCNTRL
Rx 允许
Tx 允许
PLL, 脉冲串定时帧格式器
RX 数据
RX 载入
72K RX时钟
1.152MHz 时钟
TX 卸载
TX 数据
72K TX 时钟
CH 有效
到图 5b
TX 数据1
TX 数据 0
MREF
发送调制解调器
TX 数据
TX 允许
TX 时钟
RTC INT
4.608 MHz
1.152 MHz
实时时钟
时钟产生器
电池输入
RTC XTAL 1
RTC XTAL 2
MCLK XTAL 1
MCLK XTAL 2

图 5a

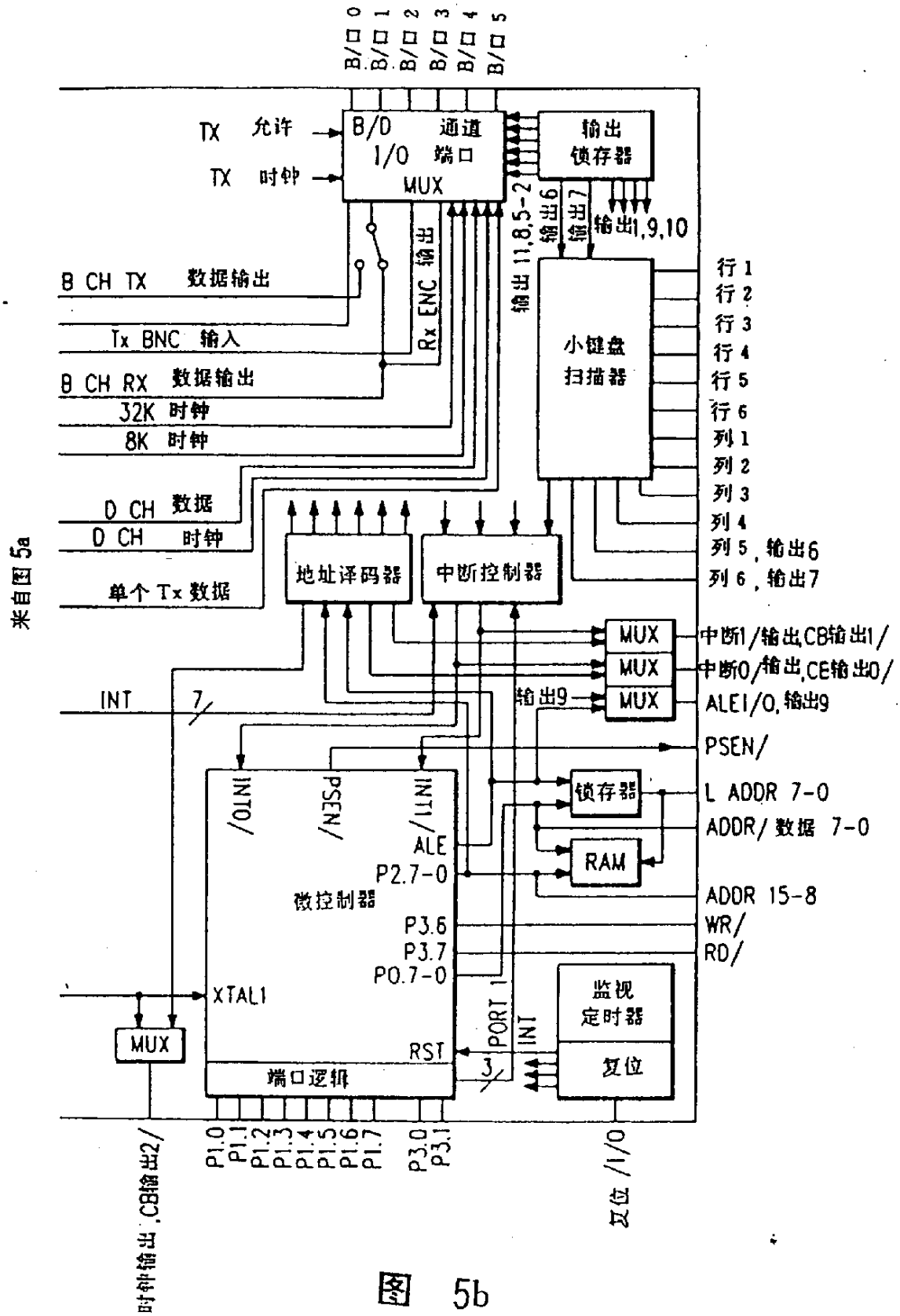

B/口 0
B/口 1
B/口 2
B/口 3
B/口 4
B/口 5
TX 允许
TX 时钟
B/O 通道
I/O 端口
MUX
输出
锁存器
输出6
输出7
输出1,9,10
输出 11,8,5-2
Rx ENC 输出
B CH TX 数据输出
Tx BNC 输入
B CH RX 数据输出
32K 时钟
8K 时钟
D CH 数据
D CH 时钟
单个 Tx 数据
小键盘
扫描器
行 1
行 2
行 3
行 4
行 5
行 6
列 1
列 2
列 3
列 4
列 5，输出6
列 6，输出7
地址译码器
中断控制器
MUX
MUX
MUX
中断1/输出,CB输出1/
中断0/输出,CE输出0/
ALE1/0,输出9
输出9
INT
7
PSEN/
/INT0
/PSEN
/INT1
ALE
P2.7-0
微控制器
P3.6
P3.7
P0.7-0
RST
端口逻辑
锁存器
L ADDR 7-0
ADDR/数据 7-0
RAM
ADDR 15-8
WR/
RD/
XTAL1
MUX
PORT 1
INT
3
监视
定时器
复位
P1.0
P1.1
P1.2
P1.3
P1.4
P1.5
P1.6
P1.7
P3.0
P3.1
时钟输出,CB输出2/
复位 /I/O
来自图 5a

图 5b

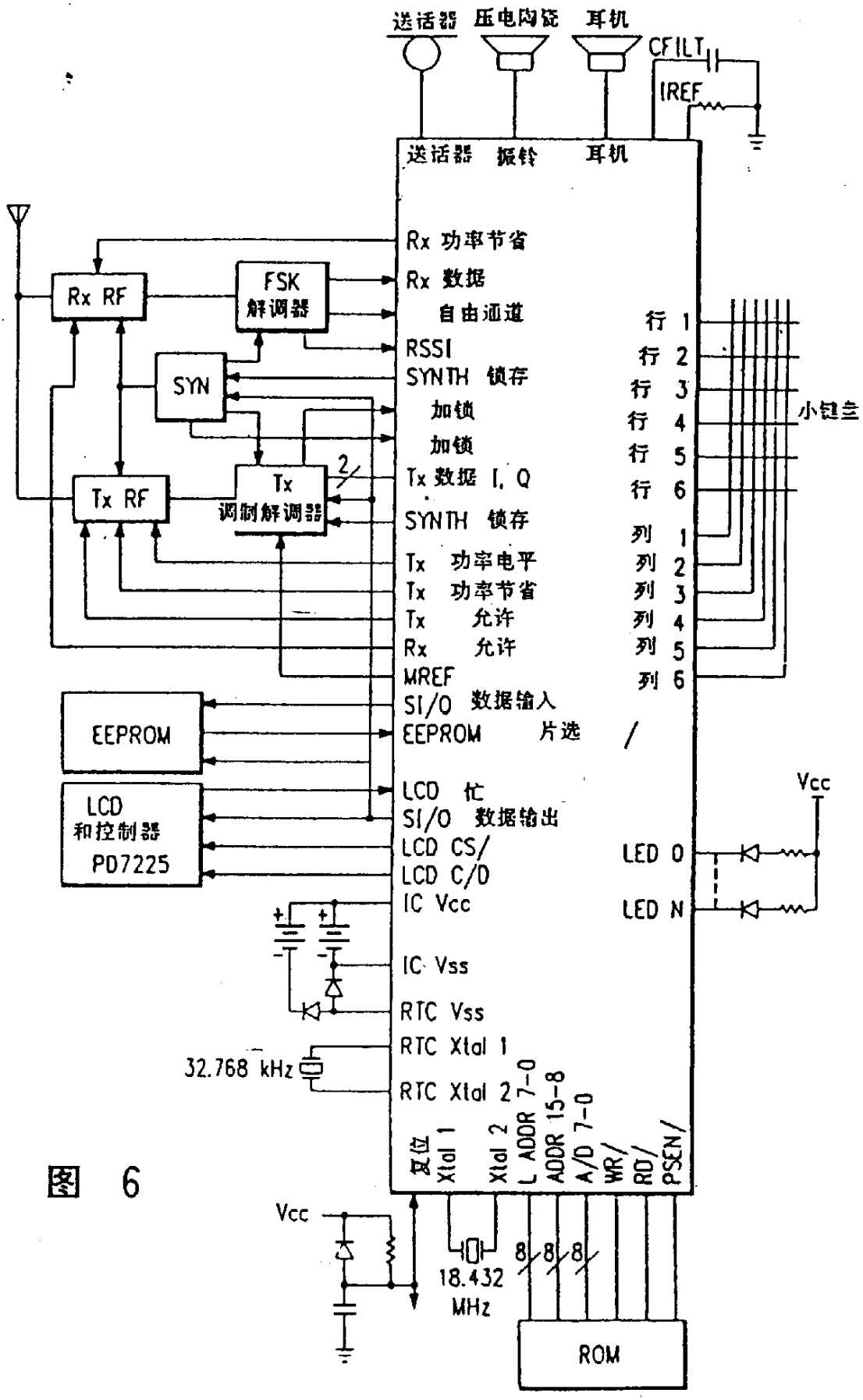

送话器
压电陶瓷
耳机
CFILT
IREF
送话器
振铃
耳机
Rx 功率节省
Rx 数据
自由通道
RSSI
SYNTH 锁存
加锁
加锁
Tx 数据 I, Q
SYNTH 锁存
Tx 功率电平
Tx 功率节省
Tx 允许
Rx 允许
MREF
SI/O 数据输入
EEPROM 片选
LCD 忙
SI/O 数据输出
LCD CS/
LCD C/D
IC Vcc
IC Vss
RTC Vss
RTC Xtal 1
RTC Xtal 2
复位
Xtal 1
Xtal 2
L ADDR 7-0
ADDR 15-8
A/D 7-0
WR/
RD/
PSEN/
Rx RF
FSK 解调器
SYN
Tx RF
Tx 调制解调器
EEPROM
LCD 和控制器 PD7225
32.768 kHz
18.432 MHz
ROM
行 1
行 2
行 3
行 4
行 5
行 6
列 1
列 2
列 3
列 4
列 5
列 6
小键盘
Vcc
LED 0
LED N
Vcc

图 6

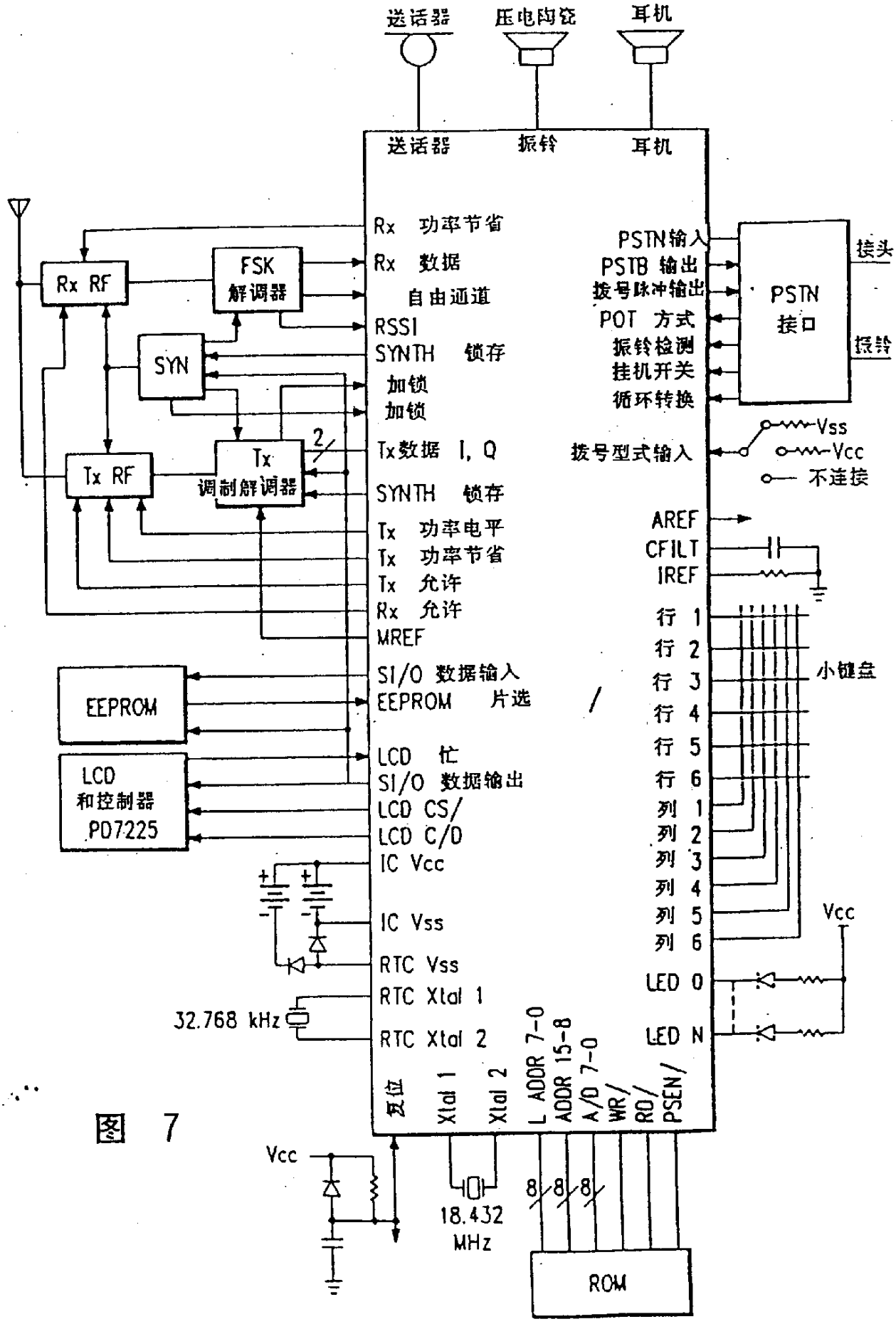

送话器
压电陶瓷
耳机
送话器
振铃
耳机
Rx 功率节省
Rx 数据
自由通道
RSSI
SYNTH 锁存
加锁
加锁
Tx数据 I, Q
SYNTH 锁存
Tx 功率电平
Tx 功率节省
Tx 允许
Rx 允许
MREF
SI/O 数据输入
EEPROM 片选
LCD 忙
SI/O 数据输出
LCD CS/
LCD C/D
IC Vcc
IC Vss
RTC Vss
RTC Xtal 1
RTC Xtal 2
32.768 kHz
复位
Xtal 1
Xtal 2
L ADDR 7-0
ADDR 15-8
A/D 7-0
WR/
RD/
PSEN/
Rx RF
FSK 解调器
SYN
Tx RF
Tx 调制解调器
EEPROM
LCD 和控制器 PD7225
PSTN输入
PSTB 输出
拨号脉冲输出
POT 方式
振铃检测
挂机开关
循环转换
PSTN 接口
接头
振铃
拨号型式输入
Vss
Vcc
不连接
AREF
CFILT
IREF
行 1
行 2
行 3
行 4
行 5
行 6
列 1
列 2
列 3
列 4
列 5
列 6
小键盘
Vcc
LED 0
LED N
Vcc
18.432 MHz
8
8
8
ROM

图 7