ČESKOSLOVENSKÁ SOCIALISTICKÁ REPUBLIKA
(19)

FEDERÁLNÍ ÚŘAD PRO VYNÁLEZY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

266029

(11) (B1)

(13)

(51) Int. Cl.[4]
H 02 P 5/06

(22) Přihlášeno 05 11 87
(21) PV 7944-87.W

(40) Zveřejněno 14 03 89

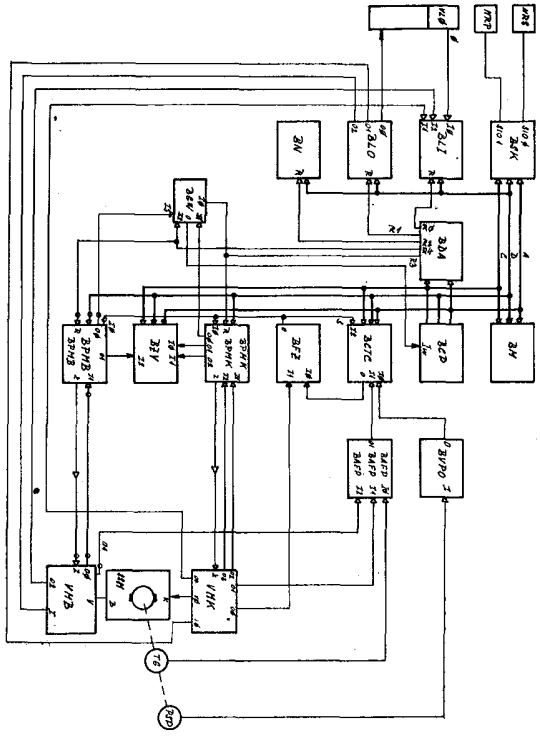
(45) Vydáno 13 06 90

(75)
Autor vynálezu

CIBULKA JOSEF ing. CSc., BUCHAR KAREL ing., JELÍNEK RICHARD ing. CSc., KRTEK JAN ing. CSc., KVASNIČKA JOSEF ing., POPOV PETR ing., PREPSL JIŘÍ ing., PRAHA

(54) Zapojení stejnosměrného pohonu s tyristorovým měničem a víceprocesorovým přímým řízením

(57) Účelem řešení je řízení stejnosměrného pohonu s tyristorovým měničem kotvy a buzení pomocí centrálního procesoru a dvou pomocných procesorů pro tyristorové měniče kotvy a měnič buzení, přičemž spojení celého mikroprocesorového regulátoru s nadřazeným řídicím systémem případně s dalším obdobným mikroprocesorovým regulátorem jiného pohonu zprostředkovává blok sériové komunikace. Pomocné procesory pro tyristorové měniče kotvy a buzení řeší kromě úlohy generování zapalovacích impulsů rovněž úlohu případné reverzace daného měniče a monitorování jeho podproudu a nadproudu.



CS 266029 B1

Vynález se týká zapojení stejnosměrného pohonu s tyristorovým měničem a víceprocesorovým přímým řízením.

V současné době existuje řada zapojení regulačních obvodů stejnosměrných tyristorových měničů, ať již na bázi klasické regulační analogové techniky s operačními zesilovači nebo na bázi procesorové techniky, případně hybridní systémy, které část úloh řeší v procesorové a část úloh ve spojité části. Výhody komplexního mikroprocesorového řešení se projeví zejména tam, kde regulaované měniče mají větší množství projekčních variant standardizací hardwareového řešení. To znamená, že pro jednotlivé projekční variatny není nutné konstruovat speciální elektronické jednotky. Veškerá projekční činnost se pak soustředí do softwareového vybavení, které umožňuje podstatně vyšší flexibilitu projekční činnosti i činnosti zkušebních techniků při uvádění zařízení do provozu.

V dosud existujících zapojeních regulačních systémů s přímým číslicovým řízením převládá jednoprocesorová varianta, kdy se pro veškeré úlohy jednoho tyristorového měniče používá jediný mikroprocesor. Tato varianta je velice efektivní z hlediska hardwareu, nese s sebou však nebezpečí, že při vývoji projekčních programů mohou být negativně ovlivněny i životně důležité programy měniče, jako například generování zapalovacích impulsů. Jsou známa i zapojení, používající většího počtu procesorů, například řešení firmy TOSHIBA, které využívají hlavní procesor a větší počet pomocných procesorů pro generování zapalovacích impulsů. Pomocné procesory v tomto projetí vlastně plní úlohu zákaznického obvodu pro generátor zapalovacích impulsů. Při tom pro veškeré funkce kromě generování impulsů, to znamená i monitorování mezních stavů proudové smyčky a reverzaci je využíván hlavní procesor. Toto řešení je poněkud odolnější z hlediska možných softwareových chyb na základní funkci měniče, přesto však není zdaleka dokonalé.

Uvedené nevýhody odstraňuje zapojení dle vynálezu, kde datová sběrnice spojuje datové vstupy bloků sériové komunikace, paměti, logických vstupů, logických výstupů, násobičky, centrálního procesoru, časovačů, procesoru měniče kotvy a bloku změnových vstupů, adresová sběrnice vzájemně spojuje adresové vstupy a řídicí sběrnice vzájemně spojuje řídicí vstupy bloků sériové komunikace, paměti centrálního procesoru, časovačů, změnových vstupů a dekodéru adres. Nultý řídicí výstup bloku dekodéru adres je spojen s řídicím vstupem bloku logických vstupů, jehož nultý vstup je spojen s výstupem vnějších logických obvodů a jehož první vstup je spojen se čtvrtým výstupem logických hlášení výkonového měniče kotvy, jehož vstup zapalovacích pulsů je spojen s výstupem bloku procesoru měniče kotvy, jehož první vstup je spojen s výstupem hlášení nulového proudu výkonového měniče kotvy a jehož druhý vstup je spojen s výstupem hlášení nadproudu výkonového měniče kotvy, jehož synchronizační výstup je spojen se synchronizačním vstupem bloku fázového závěsu. Zpětnovazební vstup bloku fázového závěsu je spojen s výstupem bloku časovačů a jeho výstup je spojen s druhým vstupem bloku časovačů a se synchronizačním vstupem bloku procesoru měniče kotvy, jehož výstup hlášení nulového proudu je spojen se změnovým vstupem hlášení nulového proudu bloku změnových vstupů. Výstup hlášení nadproudu bloku procesoru měniče kotvy je spojen se vstupem hlášení nadproudu bloku změnových vstupů a jeho nultý výstup je spojen s prvním vstupem bloku generování signálu wait, jehož řídicí vstup je spojen s řídicím vstupem bloku procesoru měniče kotvy a s třetím výstupem bloku dekodéru adres. První výstup bloku dekodéru adres je spojen s řídicím vstupem bloku logických výstupů, jehož nultý vektorový výstup je spojen s vnějšími logickými obvody a jehož první vektorový výstup je spojen s logickým vstupem výkonového měniče kotvy. Výkonový výstup měniče kotvy je spojen s kotvou stejnosměrného motoru a jeho vektorový výstup skutečných hodnot je spojen se vstupem skutečných hodnot měniče kotvy bloku analogově frekvenčních převodníků, jehož výstup je spojen s prvním vektorovým vstupem bloku časovačů. Druhý řídicí výstup bloku dekodéru adres je spojen s řídicím vstupem bloku násobičky a vstup bloku centrálního procesoru je spojen s výstupem bloku generování signálu wait. Nultý sériový vstup/výstup bloku sériové komunikace je spojen s nadřazeným řídicím systémem.

Zapojení podle vynálezu je podstatně imunnější z hlediska případných softwareových chyb, u něhož pomocné procesory pro kotvu a pro buzení řeší kromě úlohy generování zapalova-

cích impulsů rovněž úlohu případné rezervace daného měniče a monitorování jeho podproudu a nadproudu. Tímto způsobem je zajištěno, že nejnáročnější úlohy spojené s regulací měniče, jejichž chybné plnění mívá zpravidla vážně následky (výpadek silových pojistek) řeší pomocný procesor, jehož program je relativně jednoduchý, takže při eventuálních projekčních úpravách hlavního programu nedojde k závažným poruchám. Při tom samozřejmě toto řešení zachovává veškeré ostatní výhody uváděné u jednoprocesorové verze, to znamená standardizovaný hardware a vysoce flexibilní projekční činnost soustředěnou do softwareové oblasti, velmi jednoduchý způsob komunikace s nadřazeným regulačním systémem a dalšími regulátory tyristorových měničů prostřednictvím standardních sériových linek.

Na přiloženém výkresu je znázorněno blokové schéma zapojení stejnosměrného pohonu s s tyristorovým měničem a víceprocesorovým přímým řízením.

Datová sběrnice D spojuje datové vstupy následujících bloků: bloku BSK sériové komunikace bloku BM paměti, bloku BLI logických vstupů bloku BLO logických výstupů, bloku BN násobičky, bloku BCP centrálního procesoru, bloku BCTC časovačů, bloku BPMK měniče kotvy a bloku BZV změnových vstupů. Adresová sběrnice A vzájemně spojuje adresové vstupy a řídicí sběrnice C vzájemně spojuje řídicí vstupy bloku BSK sériové komunikace, bloku BM paměti, bloku BCTC časovačů, bloku BZV změnových vstupů a bloku BDA dekodéru adres. Nultý řídicí výstup RØ je spojen s řídicím vstupem R bloku BLI logických vstupů, jehož nultý vstup IØ je spojen s výstupem Ø vnějších logických obvodů VLØ a jehož první vstup IA je spojen se čtvrtým výstupem 04 logických hlášení výkonového měniče VMK kotvy. Vstup Z zapalovacích pulsů výkonového měniče VMK kotvy je spojen s výstupem Z bloku BPMK procesoru měniče kotvy, jehož první vstup I1 je spojen s výstupem 02 hlášení nulového proudu výkonového měniče VMK kotvy a jehož druhý vstup I2 je spojen s výstupem 03 hlášení nadproudu výkonového měniče VMK kotvy, jehož synchronizační výstup OØ je spojen se synchronizačním vstupem I1 bloku BFZ fázového závěsu. Zpětnovazební vstup IØ bloku BFZ fázového závěsu je spojen s výstupem O bloku BCTC časovačů a jeho výstup O je spojen s druhým vstupem I2 bloku BCTC časovačů a se synchronizačním vstupem IØ bloku BPMK procesoru měniče kotvy, jehož výstup O1 hlášení nulového proudu je spojen se změnovým vstupem IØ hlášení nulového proudu bloku BZV změnových vstupů a výstup O2 hlášení nadproudu je spojen se vstupem I1 hlášení nadproudu bloku BZV změnových vstupů. Nultý výstup OØ bloku BPMK procesoru měniče kotvy je spojen s prvním vstupem I1 bloku BGW generátoru signálu wait, jehož řídicí vstup IØ je spojen s řídicím vstupem R bloku BPMK procesoru měniče kotvy a s třetím výstupem R3 bloku BDA dekodéru adres, jehož první výstup R1 je spojen s řídicím vstupem R bloku BLO logických výstupů, jehož nultý vektorový výstup OØ je spojen s vnějšími logickými obvody VLØ a jehož první vektorový výstup O1 je spojen s logickým vstupem IØ výkonového měniče VMK kotvy. Výkonový výstup VO výkonového měniče VMK kotvy je spojen s kotvou K stejnosměrného motoru SSM a jeho vektorový výstup O1 skutečných hodnot je spojen se vstupem I1 skutečných hodnot měniče kotvy bloku BAFP analogově frekvenčních převodníků, jehož výstup O1 je spojen s prvním vektorovým vstupem I1 bloku BCTC časovačů. Druhý řídicí výstup R2 bloku BDA dekodéru adres je spojen s řídicím výstupem R bloku BN násobičky a vstup Iw bloku BCP centrálního procesoru je spojen s výstupem O bloku BGW generování signálu wait. Nultý sériový vstup/výstup SIOØ bloku BSK sériové komunikace je spojen s nadřazeným řídicím systémem.

Se stejnosměrným motorem SSM je mechanicky spojen tachogenerátor IG, jehož elektrický výstup je spojen s nultým vstupem IØ bloku BAFP analogově frekvenčních převodníků. Dále je se stejnosměrným motorem SSM spojen pulsní snímač PSP polohy, jehož výstup je spojen se vstupem I bloku BVPO vyhodnocení polohy a otáček, jehož výstup O je spojen s nultým vektorovým vstupem IØ bloku BCTC časovačů. Buzení B stejnosměrného motoru SSM je spojeno se silovým výstupem V výkonového měniče VMB buzení, jehož výstup oØ hlášení nulového proudu je spojen se vstupem I1 bloku BPMB procesoru měniče buzení, jehož datový výstup je připojen na společnou datovou sběrnici D, jehož řídicí vstup R je spojen se druhým vstupem I2 bloku BGW generování signálu wait a se čtvrtým řídicím výstupem R4 bloku BDA dekodéru adres a jehož nultý výstup OØ je spojen se třetím vstupem I3 bloku BGW generování signálu wait. Výstup O bloku BFZ fázového závěsu je spojen se synchronizačním vstupem OØ bloku BPMB procesoru

měniče buzení, jehož výstup O1 hlášení nuly budicího proudu je spojen se změnovým vstupem I2 hlášení nuly budicího proudu bloku BZV změnových vstupů. Výstup Z zapalovacích pulsů bloku BPMB procesoru měniče buzení je spojen se vstupem Z zapalovacích pulsů výkonového měniče VMB buzení, jehož výstup O1 skutečných hodnot je spojen se druhým vektorovým vstupem I2 bloku BAFP analogově frekvenčních převodníků a jehož vstup I logických signálů je spojen se druhým výstupem O2 bloku BLO logických výstupů. Výstup O2 logických hlášení výkonového měniče VMB buzení je spojen s druhým vstupem I2 bloku BLI logických vstupů.

První sériový vstup/výstup SIO1 bloku BSK sériové komunikace je spojen s mikroprocesorovým regulátorem MRP jiného pohonu.

Funkce zapojení stejnosměrného pohonu s tyristorovým měničem a víceprocesorovým přímým řízením podle vynálezu je následující:

Blok BCP centrálního procesoru komunikuje prostřednictvím systému adresové A, datové D a řídicí C sběrnice s blokem BM paměti, který obsahuje paměť programu i paměť dat, s blokem BSK sériové komunikace, který zprostředkovává spojení mikroprocesorového regulátoru s nadřazeným řídicím systémem NRS a případně dalším obdobným mikroprocesorovým regulátorem MRP pohonu. Dále je k tomuto systému sběrnic připojen blok BCTC časovačů, který ve spolupráci s blokem BCP centrálního procesoru slouží k výpočtu skutečných hodnot regulovaných a měřených veličin (analogové veličiny získávané z výkonových měničů VMK a VMB kotvy a buzení jsou nejprve v bloku BAFP analogově frekvenčních převodníků převáděny na frekvenční signály), jako zdroj reálného času, jako čítače obvodu fázové smyčky a jako čítače pro vyhodnocení pulsního snímače PSP polohy, který je k bloku BCTC časovačů připojen prostřednictvím bloku BVPO vyhodnocení polohy a otáček. Tento blok vyhodnocuje stavově dva fázově posunuté signály pulsního snímače PSP polohy, provádí jejich digitální filtraci a generuje pulsy pro čítání jedním a druhým směrem, které jsou čítány dvěma kanály bloku BCTC časovačů.

Dalším obvodem, který je připojen na systém sběrnic, je blok BZV změnových vstupů, jehož prostřednictvím se formou přerušení oznamují centrálnímu procesoru důležité události, jako dosažení nulového proudu kotvy, nadproudu kotvy (ochrana proti nadproudu je tedy zdvojená), podproudu buzení apod. Tyto tři bloky mohou vyžádat při důležitých událostech jako např. přijetí bytu zprávy u sériového kanálu, přetečení některého kanálu bloku BCTC časovačů nebo při změně některého ze změnových vstupů vyvolat přerušení a tím si vyžádat okamžité programové ošetření vzniklého stavu.

Další skupiny obvodů komunikají s centrálním procesorem pomocí sběrnice datové D s tím, že adresové a řídicí signály jsou předem dekódovány v bloku BDA dekodéru adres, jehož jednotlivé vektorové výstupy RØ až R4 slouží k aktivování těchto bloků. Jedná se o blok BLI logických vstupů, který slouží k příjmu logických signálů havarijních a provozních stavů výkonového měniče VMK kotvy výkonového měniče VMB buzení, případně příjmu vnějších logických signálů (jako je například povel pro zapnutí, pro start apod.).

Dalším blokem je blok BLO logických výstupů, který vydává logické povely pro ovládání obou měničů (připnutí silového napětí) a dále vnější logické povely, jako např. hlášení havárie, povel pro sepnutí brzdy apod. Dalším členem v pořadí je blok BN násobičky, který slouží ke zrychlení výpočtů, zejména regulačních smyček a normalizace zadávaných a měřených veličin. Pro bezprostřední styk s výkonovým měničem VMK kotvy, tj. pro generování zapalovacích impulsů, pro sledování mezních stavů podproudu a nadproudu, pro reverzaci měniče a blokování impulsů nebo zadání nuceného invertoru při havarijních stavech slouží speciální blok BPMK procesoru měniče kotvy. S blokem BCP centrálního procesoru komunikuje prostřednictvím datové sběrnice D, přičemž řídicí a adresové signály jsou dekódovány v bloku BDA dekodéru adres obdobně jako u dříve popisovaných bloků. Při přijetí řídicí zprávy (obsahující údaj o statusu tohoto procesoru BPMK měniče kotvy, o synchronizaci a o požadovaném zpoždění zážehu) je generován signál wait z bloku BGW generování signálu.

Dalším signálem, který je do tohoto procesoru přiváděn, je výstupní frekvence bloku BFZ fázového závěsu, který zajišťuje spolu se dvěma kanály bloku BCTC časovačů rozdělení síťové periody silového napájecího napětí měniče na definovaný počet časových okamžiků a to nezávisle na kolísání frekvence tohoto síťového napětí.

Obdobnou funkci jako blok BPMK procesoru měniče kotvy pro výkonový měnič VMK kotvy vykonává pro výkonový měnič VMB buzení speciální blok BPMB procesoru měniče buzení. Přitom komunikace s centrálním procesorem BCP i s výkonovým měničem buzení je zcela analogická.

Dalším blokem mikroprocesorového regulátoru je blok BGW generování signálu wait, který umožňuje správnou komunikaci bloku BCP centrálního procesoru, pokud jsou zaadresovány oba pomocné procesory v bloku BPMK procesoru měniče kotvy a bloku BPMB procesoru měniče buzení, které potřebují určitý čas k převzetí dat.

P Ř E D M Ě T V Y N Á L E Z U

1. Zapojení stejnosměrného pohonu s tyristorovým měničem a víceprocesorovým přímým řízením vyznačené tím, že datovou sběrnicí (D) jsou spojeny datové vstupy bloků (BSK) sériové komunikace, paměti (BM), logických vstupů (BLI), logických výstupů (BLO), násobičky (BN), centrálního procesoru (BCP), časovačů (BCTC), procesoru (BPMK) měniče kotvy a bloku (BZV) změnových vstupů, adresovou sběrnicí (A) jsou vzájemně spojeny adresové vstupy a řídicí sběrnicí (C) jsou vzájemně spojeny řídicí vstupy bloků (BSK) sériové komunikace, paměti (BM), časovačů (BCTC), změnových vstupů (BZV) a dekodéru adres (BDA), jehož nultý řídicí výstup (RØ) je spojen s řídicím vstupem (R) bloku (BLI) logických vstupů, jehož nultý vstup (IØ) je spojen s výstupem (Ø) vnějších logických obvodů (VLØ) a jehož první vstup (I1) je spojen se čtvrtým výstupem (04) logických hlášení výkonového měniče (VMK) kotvy, jehož vstup (Z) zapalovacích pulsů je spojen s výstupem (Z) bloku (BPMK) procesoru měniče kotvy, jehož první vstup (I1) je spojen s výstupem (02) hlášení nulového proudu výkonového měniče (VMK) kotvy a jehož druhý vstup (I2) je spojen s výstupem (03) hlášení nadproudu výkonového měniče (VMK) kotvy, jehož synchronizační výstup (OØ) je spojen se synchronizačním vstupem (I1) bloku (BFZ) fázového závěsu, jehož zpětnovazební vstup (IØ) je spojen s výstupem (O) bloku (BCTC) časovačů a jehož výstup (O) je spojen s druhým vstupem (I2) bloku (BCTC) časovačů a dále se synchronizačním vstupem (IØ) bloku (BPMK) procesoru měniče kotvy, jehož výstup (O1) hlášení nulového proudu je spojen se změnovým vstupem (IØ) hlášení nulového proudu bloku (BZV) změnových vstupů a výstup /O2) hlášení nadproudu je spojen se vstupem (I1) hlášení nadproudu bloku (BZV) změnových vstupů a jehož nultý výstup (OØ) je spojen s prvním vstupem (I1) bloku (BGW) generování signálu wait, jehož řídicí vstup (IØ) je spojen s řídicím vstupem (R) bloku (BPMK) procesoru měniče kotvy a s třetím výstupem (R3) bloku (BDA) dekodéru adres, jehož první výstup (R1) je spojen s řídicím vstupem (R) bloku (BLO) logických výstupů, jehož nultý vektorový výstup (OØ) je spojen s vnějšími logickými obvody (VLØ) a jehož první vektorový výstup (O1) je spojen s logickým vstupem (IØ) výkonového měniče (VMK) kotvy, jehož výkonový výstup (VO) je spojen s kotvou (K) stejnosměrného motoru (SSM) a jehož vektorový výstup (01) skutečných hodnot je spojen se vstupem (I1) skutečných hodnot měniče kotvy bloku (BAFP) analogově frekvenčních převodníků, jehož výstup (O1) je spojen s prvním vektorovým vstupem (I1) bloku (BCTC) časovačů, přičemž dále je druhý řídicí výstup (R2) bloku (BDA) dekodéru adres spojen s řídicím vstupem (R) bloku (BN) násobičky a vstup (IW) bloku (BCP) centrálního procesoru je spojen s výstupem (O) bloku (BGW) generování signálu wait, přičemž nultý sériový vstup/výstup (SIOØ) bloku (BSK) sériové komunikace je spojen s nadřazeným řídicím systémem (NRS).

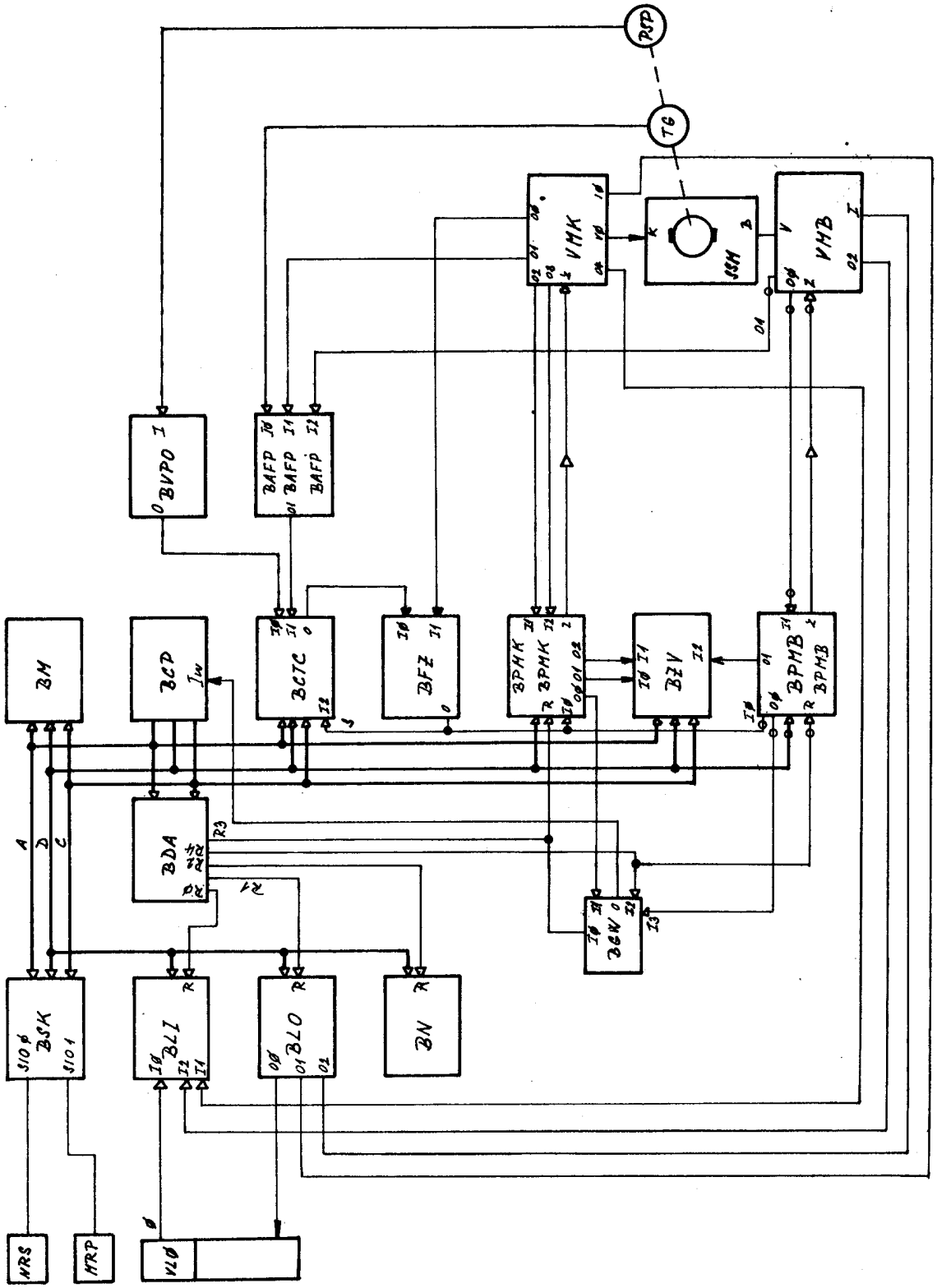
2. Zapojení podle bodu 1 vyznačené tím, že se stejnosměrným motorem (SSM) je mechanicky spojen tachogenerátor (TG), jehož elektrický výstup je spojen s nultým vstupem (IØ) bloku (BAFP) analogově frekvenčních převodníků.

3. Zapojení podle bodů 1 a 2 vyznačené tím, že se stejnosměrným motorem (SSM) je spojen pulsní snímač (PSP) polohy, jehož výstup je spojen se vstupem (I) bloku (BVPO) vyhodnocení polohy a otáček, jehož výstup (O) je spojen s nultým vektorovým vstupem (IØ) bloku (BCTC) časovačů.

4. Zapojení podle bodů 1 až 3 vyznačené tím, že buzení (B) stejnosměrného motoru (SSM) je spojeno se silovým výstupem (V) výkonového měniče (VMB) buzení, jehož výstup (OØ) hlášení nulového proudu je spojen se vstupem (I1) bloku (BPMB) procesoru měniče buzení, jehož datový vstup je připojen na společnou datovou sběrnici (D), jehož řídicí vstup (R) je spojen se druhým vstupem (I2) bloku (BGW) generování signálu wait a se čtvrtým řídicím výstupem (R4) bloku (BDA) dekodéru adres a jehož nultý výstup (OØ) je spojen se třetím vstupem (I3) bloku (BGW) generování signálu wait, přičemž výstup (O) bloku (BFZ) fázového závěsu je spojen se synchronizačním vstupem (IØ) bloku (BPMB) procesoru měniče buzení, jehož výstup (O1) hlášení nuly budicího proudu je spojen se změnovým vstupem (I2) hlášení nuly budicího proudu bloku (BZV) změnových vstupů a jehož výstup (Z) zapalovacích pulsů je spojen se vstupem zapalovacích pulsů (Z) výkonového měniče (VMB) buzení, jehož výstup skutečných hodnot (O1) je spojen s druhým vektorovým vstupem (I2) bloku (BAFP) analogově frekvenčních převodníků a jehož vstup (I) logických signálů je spojen s druhým výstupem (O2) bloku (BLO) logických výstupů a jehož výstup(O2) logických hlášení je spojen s druhým vstupem (I2) bloku (BLI) logických vstupů.

5. Zapojení podle bodů 1 až 4 vyznačené tím, že první sériový vstup/výstup (SIO1) bloku (BSK) sériové komunikace je spojen s mikroprocesorovým regulátorem (MRP) jiného pohonu.

1 výkres


RTP
TG
VHK
ISH
VHB
BVPO
BAFP
BAFP
BAFP
BM
BCD
BCTC
BFZ
BPHK
BZV
BPHB
BDA
BGW
BSK
BLI
BLO
BN
NRS
NRP
VLO