

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6453002号
(P6453002)

(45) 発行日 平成31年1月16日(2019. 1. 16)

(24) 登録日 平成30年12月21日(2018. 12. 21)

(51) Int.Cl.

F I

H O 1 L 29/786 (2006. 01)

H O 1 L 21/8234 (2006. 01)

H O 1 L 27/088 (2006. 01)

H O 1 L 21/8238 (2006. 01)

H O 1 L 27/092 (2006. 01)

H O 1 L 29/78 6 1 7 T

H O 1 L 29/78 6 1 8 B

H O 1 L 29/78 6 1 8 E

H O 1 L 29/78 6 1 7 U

H O 1 L 27/088 E

請求項の数 5 (全 58 頁) 最終頁に続く

(21) 出願番号 特願2014-188406 (P2014-188406)

(22) 出願日 平成26年9月17日(2014. 9. 17)

(65) 公開番号 特開2015-84414 (P2015-84414A)

(43) 公開日 平成27年4月30日(2015. 4. 30)

審査請求日 平成29年9月15日(2017. 9. 15)

(31) 優先権主張番号 特願2013-196301 (P2013-196301)

(32) 優先日 平成25年9月23日(2013. 9. 23)

(33) 優先権主張国 日本国(JP)

(73) 特許権者 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72) 発明者 田中 哲弘

神奈川県厚木市長谷398番地 株式会社

半導体エネルギー研究所内

(72) 発明者 竹内 敏彦

神奈川県厚木市長谷398番地 株式会社

半導体エネルギー研究所内

(72) 発明者 山根 靖正

神奈川県厚木市長谷398番地 株式会社

半導体エネルギー研究所内

審査官 脇水 佳弘

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項 1】

基板上の第1の酸化物半導体膜と、

前記第1の酸化物半導体膜上の第2の酸化物半導体膜と、

前記第1の酸化物半導体膜の側面と接する領域、前記第2の酸化物半導体膜の側面と接する領域、および前記第2の酸化物半導体膜の上面と接する領域を有する、ソース電極およびドレイン電極と、

前記第2の酸化物半導体膜上、前記ソース電極上、および前記ドレイン電極上に設けられ、且つ前記第1の酸化物半導体膜の側面と接する領域および前記第2の酸化物半導体膜の側面と接する領域を有する、第3の酸化物半導体膜と、

前記第3の酸化物半導体膜上の第1のゲート絶縁膜と、

前記第1のゲート絶縁膜上の第2のゲート絶縁膜と、

前記第2のゲート絶縁膜上面に接する領域を有し、且つ前記第2の酸化物半導体膜の上面に面する領域および前記第2の酸化物半導体膜の側面に面する領域を有するゲート電極と、を有し、

前記第1のゲート絶縁膜は、ハフニウムを含み、

前記第2のゲート絶縁膜は、シリコンを含むことを特徴とする半導体装置。

【請求項 2】

基板上の第1の酸化物半導体膜と、

前記第1の酸化物半導体膜上の第2の酸化物半導体膜と、

前記第 2 の酸化物半導体膜上の第 3 の酸化物半導体膜と、
前記第 3 の酸化物半導体膜上の第 1 のゲート絶縁膜と、
前記第 1 のゲート絶縁膜上の第 2 のゲート絶縁膜と、
前記第 1 の酸化物半導体膜の側面と接する領域、前記第 2 の酸化物半導体膜の側面と接する領域、および前記第 3 の酸化物半導体膜の側面と接する領域を有する、ソース電極およびドレイン電極と、
前記ソース電極上および前記ドレイン電極上の、前記第 3 の酸化物半導体膜と上面の高さの揃った絶縁膜と、
前記第 2 のゲート絶縁膜上面に接する領域を有し、且つ前記第 2 の酸化物半導体膜の上面に面する領域および前記第 2 の酸化物半導体膜の側面に面する領域を有するゲート電極と、を有し、
前記第 1 のゲート絶縁膜は、ハフニウムを含み、
前記第 2 のゲート絶縁膜は、シリコンを含むことを特徴とする半導体装置。

10

【請求項 3】

請求項 1 または請求項 2 において、
前記第 1 のゲート絶縁膜は、酸化ハフニウムを含み、
前記第 2 のゲート絶縁膜は、酸化シリコンまたは窒化シリコンを含むことを特徴とする半導体装置。

【請求項 4】

請求項 1 乃至請求項 3 のいずれか一において、
前記第 1 の酸化物半導体膜および前記第 3 の酸化物半導体膜は、前記第 2 の酸化物半導体膜に含まれる金属元素を一種以上含むことを特徴とする半導体装置。

20

【請求項 5】

請求項 1 乃至請求項 4 のいずれか一において、
前記基板上に、凸部を有する下地絶縁膜を有し、
前記凸部上に前記第 1 の酸化物半導体膜が設けられていることを特徴とする半導体装置。

【発明の詳細な説明】**【技術分野】****【0001】**

30

本発明は、物、方法、または製造方法に関する。または、本発明は、プロセス、マシン、マニュファクチャ、または組成物（コンポジション・オブ・マター）に関する。また、本発明の一態様は、半導体装置、表示装置、発光装置、蓄電装置、記憶装置、それらの駆動方法またはそれらの製造方法に関する。特に、本発明の一態様は、半導体装置、または半導体装置の製造方法に関する。

【0002】

なお、本明細書中において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指す。表示装置、電気光学装置、半導体回路および電気機器は、半導体装置を有している場合がある。

【背景技術】

40

【0003】

半導体膜を用いてトランジスタを構成する技術が注目されている。当該トランジスタは集積回路（IC）や画像表示装置（表示装置）のような電子デバイスに広く応用されている。トランジスタに適用可能な半導体薄膜の材料としてシリコン系半導体材料が広く知られているが、その他の材料として酸化物半導体が注目されている。

【0004】

例えば、インジウム（In）、ガリウム（Ga）、および亜鉛（Zn）を含む非晶質酸化物半導体膜を用いたトランジスタが特許文献 1 に開示されている。

【0005】

また、酸化物半導体膜を、積層構造とすることで、キャリアの移動度を向上させる技術

50

が特許文献 2、特許文献 3 に開示されている。

【 0 0 0 6 】

ところで、酸化物半導体膜を用いたトランジスタは、オフ状態において極めてリーク電流（オフ電流）が小さいことが知られている。例えば、酸化物半導体膜を用いたトランジスタの低いリーク特性を応用した低消費電力の CPU などが開示されている（特許文献 4 参照。）。

【 先行技術文献 】

【 特許文献 】

【 0 0 0 7 】

【 特許文献 1 】 特開 2 0 0 6 - 1 6 5 5 2 8 号公報

10

【 特許文献 2 】 特開 2 0 1 1 - 1 2 4 3 6 0 号公報

【 特許文献 3 】 特開 2 0 1 1 - 1 3 8 9 3 4 号公報

【 特許文献 4 】 特開 2 0 1 2 - 2 5 7 1 8 7 号公報

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 0 8 】

オフ電流を小さくするためには、酸化物半導体の性質だけでなく、他の構成のリーク源についても細心の注意を払う必要がある。

【 0 0 0 9 】

たとえば、ゲート絶縁膜を薄くしていくとゲート絶縁膜に起因したリーク電流が増大する。また、Fin 型のような立体的な構造を有する電界効果トランジスタ（FET）においては、段差被覆性の低下によるゲート絶縁膜起因のリーク電流が発生しやすい。一方で、特に微細化されたトランジスタにおいては、ゲート絶縁膜の薄膜化は重要である。

20

【 0 0 1 0 】

そこで、ゲート絶縁膜に起因したリーク電流を低減することができるゲート絶縁膜を提供する。具体的には酸化ハフニウムなどの高誘電率（High-k）絶縁膜を用いることで等価酸化膜厚（EOT: Equivalent Oxide Thickness）を厚くする。なお、等価酸化膜厚とは、物理的な膜厚を酸化シリコンと等価な電気的膜厚に換算した値をいう。

【 0 0 1 1 】

30

また、本発明の一態様は、オン電流が高く、オフ電流が低い半導体装置を提供することを課題の一とする。または、安定な電気特性をもつ半導体装置を提供することを課題の一とする。または、新規な半導体装置を提供することを課題の一とする。

【 0 0 1 2 】

なお、これらの課題の記載は、他の課題の存在を妨げるものではない。なお、本発明の一態様は、これらの課題の全てを解決する必要はないものとする。なお、これら以外の課題は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の課題を抽出することが可能である。

【 課題を解決するための手段 】

【 0 0 1 3 】

40

本発明の一態様は、絶縁表面上の第 1 の酸化物半導体膜と、第 1 の酸化物半導体膜上の第 2 の酸化物半導体膜と、第 1 の酸化物半導体膜の側面、第 2 の酸化物半導体膜の側面および第 2 の酸化物半導体膜の上面と接するソース電極およびドレイン電極と、第 2 の酸化物半導体膜上の第 3 の酸化物半導体膜と、第 3 の酸化物半導体膜上の第 1 のゲート絶縁膜と、第 1 のゲート絶縁膜上の第 2 のゲート絶縁膜と、第 2 のゲート絶縁膜上で接し、第 2 の酸化物半導体膜の上面および側面に面するゲート電極と、を有し、第 1 のゲート絶縁膜は、ハフニウムを含み、第 2 のゲート絶縁膜は、シリコンを含むことを特徴とする半導体装置である。

【 0 0 1 4 】

また、本発明の他の一態様は、絶縁表面上の第 1 の酸化物半導体膜と、第 1 の酸化物半

50

導体膜上の第2の酸化物半導体膜と、第2の酸化物半導体膜上の第3の酸化物半導体膜と、第3の酸化物半導体膜上の第1のゲート絶縁膜と、第1の酸化物半導体膜、第2の酸化物半導体膜、第3の酸化物半導体膜および第1のゲート絶縁膜の側面、第1のゲート絶縁膜の上面と接するソース電極およびドレイン電極と、第1のゲート絶縁膜、ソース電極およびドレイン電極上の第2のゲート絶縁膜と、第2のゲート絶縁膜上で接し、第2の酸化物半導体膜の上面および側面に面するゲート電極と、を有し、第1のゲート絶縁膜は、ハフニウムを含み、第2のゲート絶縁膜は、シリコンを含むことを特徴とする半導体装置である。

【0015】

また、上記構成において、第1の酸化物半導体膜および第3の酸化物半導体膜は、第2の酸化物半導体膜に含まれる金属元素を一種以上含む。

10

【0016】

また、上記構成において、第1のゲート絶縁膜は、X線回折によって測定した回折角 $2\theta = 28^\circ$ 近傍にピークが観測される。

【0017】

また、上記構成において、第2の酸化物半導体膜のバンドギャップは、第1のゲート絶縁膜のバンドギャップよりも小さく、第1のゲート絶縁膜のバンドギャップは、第2のゲート絶縁膜のバンドギャップよりも小さい。

【0018】

また、本発明の他の一態様は、第1の酸化物半導体膜と、第1の酸化物半導体膜と重なるゲート電極と、第1の酸化物半導体膜およびゲート電極の間に位置する第1のゲート絶縁膜と、第1のゲート絶縁膜およびゲート電極との間に位置する第2のゲート絶縁膜と、を有し、第1のゲート絶縁膜は、X線回折によって測定した回折角 $2\theta = 28^\circ$ 近傍にピークが観測されることを特徴とする半導体装置である。

20

【0019】

また、上記構成において、第1のゲート絶縁膜は、ハフニウムを含む。

【0020】

また、上記構成において、第2のゲート絶縁膜は、シリコンを含む。

【0021】

また、上記構成において、第1の酸化物半導体膜は、第2の酸化物半導体膜と、第1の酸化物半導体膜と第1のゲート絶縁膜との間に位置する第3の酸化物半導体膜と、に挟持され、第2の酸化物半導体膜および第3の酸化物半導体膜は、第1の酸化物半導体膜に含まれる金属元素を一種以上含む。

30

【0022】

また、上記構成において、第1の酸化物半導体膜のバンドギャップは、第1のゲート絶縁膜のバンドギャップよりも小さく、第1のゲート絶縁膜のバンドギャップは、第2のゲート絶縁膜のバンドギャップよりも小さい。

【0023】

また、上記構成において、第1のゲート絶縁膜の膜密度は、 8.3 g/cm^3 以上 9.0 g/cm^3 以下であると好ましい。

40

【0024】

また、上記構成において、第1のゲート絶縁膜は、電子スピン共鳴法によって計測される信号において、g値が 1.92 乃至 1.98 に現れるスピン密度が $3.0 \times 10^{17} \text{ spins/cm}^3$ 以下であり、g値が 2.00 乃至 2.01 に現れるスピン密度が $4.4 \times 10^{16} \text{ spins/cm}^3$ 以上 $3.5 \times 10^{18} \text{ spins/cm}^3$ 以下であると好ましい。

【0025】

また、上記構成において、第1のゲート絶縁膜の電子スピン共鳴法によって計測される信号において、g値が 2.00 乃至 2.01 に現れるシグナルの形状は非対称である。

【発明の効果】

50

【 0 0 2 6 】

本発明の一態様を用いることにより、オン電流が高く、オフ電流が低い半導体装置を提供することができる。または、安定な電気特性をもつ半導体装置を提供することができる。または、本発明の一態様を用いることにより、新規な半導体装置などを提供することができる。なお、これらの効果の記載は、他の効果の存在を妨げるものではない。なお、本発明の一態様は、必ずしも、これらの効果の全てを有する必要はない。なお、これら以外の効果は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の効果を抽出することが可能である。

【図面の簡単な説明】

【 0 0 2 7 】

【図 1】本発明の一態様の半導体装置に含まれる積層構造のバンド図。

【図 2】本発明の一態様の半導体装置に含まれる積層構造の概念図。

【図 3】トランジスタを説明する上面図および断面図。

【図 4】トランジスタの作製方法を説明する図。

【図 5】トランジスタの作製方法を説明する図。

【図 6】トランジスタを説明する上面図および断面図。

【図 7】トランジスタを説明する上面図および断面図。

【図 8】トランジスタを説明する上面図および断面図。

【図 9】トランジスタを説明する上面図および断面図。

【図 10】トランジスタを説明する上面図および断面図。

【図 11】トランジスタを説明する上面図および断面図。

【図 12】実施の形態に係る、半導体装置の断面図および回路図。

【図 13】実施の形態に係る、記憶装置の構成例。

【図 14】実施の形態に係る、RF タグの構成例。

【図 15】実施の形態に係る、CPU の構成例。

【図 16】実施の形態に係る、記憶素子の回路図。

【図 17】実施の形態に係る、表示装置。

【図 18】表示モジュールを説明する図。

【図 19】実施の形態に係る、電子機器。

【図 20】実施の形態に係る、RF デバイスの使用例。

【図 21】XRD スペクトルの測定結果を説明する図。

【図 22】ESR の測定結果を説明する図。

【図 23】ESR の測定結果を説明する図。

【図 24】TDS の測定結果を説明する図。

【図 25】トランジスタの電気特性評価を説明する図。

【図 26】トランジスタの電気特性評価を説明する図。

【図 27】トランジスタの電気特性評価を説明する図。

【図 28】トランジスタの電気特性評価を説明する図。

【図 29】トランジスタの電気特性評価を説明する図。

【図 30】酸化半導体膜のナノビーム電子回折パターンを示す図。

【図 31】透過電子回折測定装置の一例を示す図。

【図 32】透過電子回折測定による構造解析の一例を示す図。

【図 33】ESR シグナルを説明する図。

【発明を実施するための形態】

【 0 0 2 8 】

実施の形態について、図面を用いて詳細に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは当業者であれば容易に理解される。したがって、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する発明の構成において、同一部分または同様な機能を有する部分には同一の符号を異なる図面間で共

10

20

30

40

50

通して用い、その繰り返しの説明は省略することがある。

【0029】

なお、トランジスタの「ソース」や「ドレイン」の機能は、異なる極性のトランジスタを採用する場合や、回路動作において電流の方向が変化する場合などには入れ替わることがある。このため、本明細書においては、「ソース」や「ドレイン」という用語は、入れ替えて用いることができるものとする。

【0030】

なお、ある一つの実施の形態の中で述べる内容（一部の内容でもよい）は、その実施の形態で述べる別の内容（一部の内容でもよい）、および／または、一つ若しくは複数の別の実施の形態で述べる内容（一部の内容でもよい）に対して、適用、組み合わせ、または置き換えなどを行うことができる。

10

【0031】

なお、実施の形態の中で述べる内容とは、各々の実施の形態において、様々な図を用いて述べる内容、または明細書に記載される文章を用いて述べる内容のことである。

【0032】

なお、ある一つの実施の形態において述べる図（一部でもよい）は、その図の別の部分、その実施の形態において述べる別の図（一部でもよい）、および／または、一つ若しくは複数の別の実施の形態において述べる図（一部でもよい）に対して、組み合わせることにより、さらに多くの図を構成させることができる。

【0033】

20

（実施の形態1）

本実施の形態では、本発明の一態様の半導体装置に含まれる積層構造について図2を参照して説明する。

【0034】

本発明の一態様は、ゲート絶縁膜に起因したリーク電流を低減するためHigh-k絶縁膜を用いることで等価酸化膜厚を厚くする。

【0035】

図2（A1）および図2（A2）に、本発明の一態様の半導体装置に含まれる積層構造の概念図を示す。

【0036】

30

図2（A1）および図2（A2）は酸化物半導体膜104と、酸化物半導体膜104上のゲート絶縁膜108と、ゲート絶縁膜108を介して酸化物半導体膜104と重なるゲート電極110を有する半導体装置である。

【0037】

図2（A1）の半導体装置のゲート絶縁膜108にはHigh-k絶縁膜（ここでは酸化ハフニウム：誘電率16）を用い、図2（A2）の半導体装置のゲート絶縁膜108には通常の絶縁膜（ここでは酸化シリコン：誘電率3.9）を用いている。

【0038】

ゲート絶縁膜108に用いる材料を誘電率が高いものにすると、ゲート絶縁膜108を厚くすることができる。たとえば、誘電率が16の酸化ハフニウムを用いることにより、誘電率が3.9の酸化シリコンを用いる場合に比べて約4倍厚くすることが可能である。そのため、異物（ゴミなど）によるショートを防止することや、段差被覆性の低下を抑制することができ好ましい。

40

【0039】

しかし、High-k絶縁膜は、物理的膜厚を厚くすることが可能であるものの、多結晶化しやすく、結晶粒界に起因したリーク電流が流れる場合がある。また、ゲート電極との密着性が低下することもある。なお、High-k絶縁膜は非晶質状態では誘電率が低く、物理的膜厚を厚くできる効果が小さい。また、非晶質状態で使用することで、成膜時の温度や後のバーク温度を低くせざるを得ず、膜質が悪くなる場合がある。

【0040】

50

そのため、図2(B)に示すようにHigh-k絶縁膜であるゲート絶縁膜108aとゲート電極110との間に酸化シリコン膜や酸化窒化シリコン膜などで構成されたゲート絶縁膜108bを形成することで、物理的膜厚を確保しつつ、結晶粒界に起因したリーク電流も低減し、かつゲート電極との密着性を確保することができる。

【0041】

また、酸化物半導体膜104と接するゲート絶縁膜108aは成膜時に酸化物半導体膜104に酸素を供給する絶縁膜であると好ましい。なお、ゲート絶縁膜108aの成膜時にゲート絶縁膜108aの下膜(酸化物半導体膜104)に酸素を導入するには、成膜時に酸素を含む雰囲気下で成膜を行えばよく、酸素割合が大きい方が酸素を多く導入することができるため好ましい。また、ゲート絶縁膜108aは、酸素、水素、水等のブロッ

10

【0042】

上記のような機能を有する絶縁膜を設けることで、ゲート絶縁膜成膜時に酸化物半導体膜に酸素を供給することができ、かつ酸化物半導体膜中の酸素の外部への拡散を防ぐことによって酸化物半導体膜中の酸素欠損を低減でき、また、外部から酸化物半導体膜への水素、水等の混入を防ぐことができる。

【0043】

なお、ゲート絶縁膜108aのX線回折によって測定した回折角 2θ は 28° 近傍にピークを有することが好ましい。 $2\theta = 28^\circ$ 近傍に見られるピークは、酸化ハフニウム(HfO_2)の単斜晶系の結晶の(-111)面における回折に起因するものである。また、ゲート絶縁膜108aの酸素欠損に起因するESR信号は、g値が1.92乃至1.98に現れるが、この値が検出下限以下(ここでは $3.0 \times 10^{17} \text{ spins/cm}^3$ 以下)であると好ましい。また、ゲート絶縁膜108aの過剰な酸素に起因するESR信号は、g値が2.00乃至2.01に現れるが、この値が $4.4 \times 10^{16} \text{ spins/cm}^3$ 以上 $3.5 \times 10^{18} \text{ spins/cm}^3$ 以下であると好ましく、 $1.8 \times 10^{17} \text{ spins/cm}^3$ 以上 $1.0 \times 10^{18} \text{ spins/cm}^3$ 以下であるとさらに好ましい。また、ゲート絶縁膜108aの膜密度は、 8.3 g/cm^3 以上 9.0 g/cm^3 以下であると好ましい。

20

【0044】

なお、ゲート絶縁膜108aは、ハフニウム、アルミニウム、タンタル、ジルコニウム等から選択された一種以上の元素を含む酸化物(複合酸化物も含む)を含んで構成される絶縁膜を適用することができる。好ましくは、酸化ハフニウムを含んで構成される絶縁膜、酸化アルミニウムを含んで構成される絶縁膜、ハフニウムシリケートを含んで構成される絶縁膜、またはアルミニウムシリケートを含んで構成される絶縁膜を適用することができる。なお、酸化ハフニウム等の高誘電率(high-k)材料をゲート絶縁膜に用いると、ゲートリークを抑制するために膜厚を大きくすることが可能である点も好適である。本実施の形態では、ゲート絶縁膜108aとして、酸化ハフニウムを含んで構成される絶縁膜を形成する。また、ゲート絶縁膜108aの成膜方法としては、スパッタリング法または原子層堆積(ALD: Atomic Layer Deposition)法を適用

30

40

【0045】

ゲート絶縁膜108bとしては、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジムおよび酸化タンタルを一種以上含む絶縁膜を用いることができる。

【0046】

ゲート絶縁膜108bの成膜方法としては、スパッタリング法またはALD(Atomic Layer Deposition)法を適用することができる。

【0047】

また、ゲート絶縁膜108aの成膜温度は 100°C 以上とすることが好ましく、 150°C

50

以上とすることがより好ましい。ゲート絶縁膜 108a を上述の温度範囲にて成膜することで、ゲート絶縁膜 108a の下層に設けられた酸化物半導体膜 104 への水素または水素化合物の付着（例えば、吸着水など）を防止することができ、酸化物半導体膜 104 への水素、または水素化合物の混入を低減することができる。水素は酸化物半導体と結合することによって一部がドナーとなり、キャリアである電子を生じさせてトランジスタのしきい値電圧をマイナス方向に変動させる要因となるため、酸化物半導体膜 104 への水素または水素化合物の混入を低減しながらゲート絶縁膜 108a を成膜することで、トランジスタの電気特性をより安定化させることができる。ゲート絶縁膜 108a 上に形成されるゲート絶縁膜 108b の成膜温度についても同様である。

【0048】

10

次に、図 2 (B) に示す半導体装置の点 A から点 B にかけてのバンド図の例を図 1 に示す。図中、 E_{vac} は真空準位のエネルギー、 E_c は伝導帯下端のエネルギー、 E_v は価電子帯上端のエネルギーを示す。

【0049】

この例では、酸化物半導体膜 104 に $In:Ga:Zn:O = 1:1:1:4$ （原子数比）の酸化物半導体膜を、ゲート絶縁膜 108a に酸化ハフニウム膜を、ゲート絶縁膜 108b に酸化窒化シリコン膜を用いている。

【0050】

図 1 に示すように酸化物半導体膜 104 のバンドギャップ (3.2 eV) はゲート絶縁膜 108a のバンドギャップ (5.5 eV) よりも小さく、ゲート絶縁膜 108a のバンドギャップ (5.5 eV) はゲート絶縁膜 108b のバンドギャップ (8.7 eV) よりも小さい。また、酸化物半導体膜 104 の電子親和力 (4.7 eV) はゲート絶縁膜 108a の電子親和力 (2.8 eV) よりも大きく、ゲート絶縁膜 108a の電子親和力 (2.8 eV) はゲート絶縁膜 108b の電子親和力 (1.1 eV) よりも大きい。

20

【0051】

図 1 に示すように酸化物半導体膜 104、ゲート絶縁膜 108a およびゲート絶縁膜 108b において、伝導帯下端のエネルギーはゲート絶縁膜 108b が最も高く、酸化物半導体膜 104 が最も低い。

【0052】

このようなバンド構造をとることにより、FET の導通時における、ゲート絶縁膜 108a (High-k 絶縁膜) とゲート絶縁膜 108b (酸化シリコン膜や酸化窒化シリコン膜) との界面のキャリア密度を低減できるため、該界面の界面準位密度によらず、オン電流の向上や S 値の減少等の安定した電気特性を得ることができる。

30

【0053】

また、詳細は次の実施の形態で説明するが、酸化物半導体膜 104 の上下に別の酸化物半導体膜を設けた構成（実施の形態 2 の酸化物半導体層 404 に相当）にすると好ましい。チャネルが形成される酸化物半導体膜 104 とゲート絶縁膜 108a の間に別の酸化物半導体膜を設けることでチャネルとなる領域をゲート絶縁膜 108a から離すことができ、酸化物半導体膜 104 の上側の酸化物半導体膜（実施の形態 2 の酸化物半導体膜 404 c に相当）とゲート絶縁膜 108a との界面で起こるキャリアの散乱の影響を小さくすることができる。

40

【0054】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせ用いることができる。

【0055】

（実施の形態 2）

本実施の形態では、本発明の一態様の半導体装置について図面を用いて説明する。

【0056】

< トランジスタ構造 1 >

図 3 (A) および図 3 (B) は、本発明の一態様のトランジスタの上面図および断面図

50

である。図 3 (A) は上面図であり、図 3 (B) は、図 3 (A) に示す一点鎖線 A 1 - A 2、および一点鎖線 A 3 - A 4 に対応する断面図である。なお、図 3 (A) の上面図では、図の明瞭化のために一部の要素を省いて図示している。また、図 3 (B) の酸化物半導体層 4 0 4 の拡大図を図 3 (C) に示す。

【 0 0 5 7 】

図 3 に示すトランジスタは、基板 4 0 0 上の凸部を有する下地絶縁膜 4 0 2 と、下地絶縁膜 4 0 2 の凸部上の酸化物半導体膜 4 0 4 a と、酸化物半導体膜 4 0 4 a 上の酸化物半導体膜 4 0 4 b と、酸化物半導体膜 4 0 4 b の上面および側面と接するソース電極 4 0 6 a およびドレイン電極 4 0 6 b と、酸化物半導体膜 4 0 4 b、ソース電極 4 0 6 a 上およびドレイン電極 4 0 6 b 上の酸化物半導体膜 4 0 4 c と、酸化物半導体膜 4 0 4 c 上のゲート絶縁膜 4 0 8 a と、ゲート絶縁膜 4 0 8 a 上のゲート絶縁膜 4 0 8 b と、ゲート絶縁膜 4 0 8 b の上面に接し、酸化物半導体膜 4 0 4 b の上面および側面に面するゲート電極 4 1 0 と、ソース電極 4 0 6 a、ドレイン電極 4 0 6 b およびゲート電極 4 1 0 上の絶縁膜 4 1 2 と、を有する。なお、下地絶縁膜 4 0 2 が凸部を有さなくても構わない。なお、図 3 (C) 示すように酸化物半導体膜 4 0 4 a、酸化物半導体膜 4 0 4 b、および酸化物半導体膜 4 0 4 c をまとめて酸化物半導体層 4 0 4 と呼ぶことがある。

【 0 0 5 8 】

なお、ソース電極 4 0 6 a (および / または、ドレイン電極 4 0 6 b) の、少なくとも一部 (または全部) は、酸化物半導体膜 4 0 4 a (および / または、酸化物半導体膜 4 0 4 b) などの半導体膜の、表面、側面、上面、および / または、下面の少なくとも一部 (または全部) に設けられている。

【 0 0 5 9 】

または、ソース電極 4 0 6 a (および / または、ドレイン電極 4 0 6 b) の、少なくとも一部 (または全部) は、酸化物半導体膜 4 0 4 a (および / または、酸化物半導体膜 4 0 4 b) などの半導体膜の、表面、側面、上面、および / または、下面の少なくとも一部 (または全部) と、接している。または、ソース電極 4 0 6 a (および / または、ドレイン電極 4 0 6 b) の、少なくとも一部 (または全部) は、酸化物半導体膜 4 0 4 a (および / または、酸化物半導体膜 4 0 4 b) などの半導体膜の少なくとも一部 (または全部) と、接している。

【 0 0 6 0 】

または、ソース電極 4 0 6 a (および / または、ドレイン電極 4 0 6 b) の、少なくとも一部 (または全部) は、酸化物半導体膜 4 0 4 a (および / または、酸化物半導体膜 4 0 4 b) などの半導体膜の、表面、側面、上面、および / または、下面の少なくとも一部 (または全部) と、電気的に接続されている。または、ソース電極 4 0 6 a (および / または、ドレイン電極 4 0 6 b) の、少なくとも一部 (または全部) は、酸化物半導体膜 4 0 4 a (および / または、酸化物半導体膜 4 0 4 b) などの半導体膜の一部 (または全部) と、電気的に接続されている。

【 0 0 6 1 】

または、ソース電極 4 0 6 a (および / または、ドレイン電極 4 0 6 b) の、少なくとも一部 (または全部) は、酸化物半導体膜 4 0 4 a (および / または、酸化物半導体膜 4 0 4 b) などの半導体膜の、表面、側面、上面、および / または、下面の少なくとも一部 (または全部) に、近接して配置されている。または、ソース電極 4 0 6 a (および / または、ドレイン電極 4 0 6 b) の、少なくとも一部 (または全部) は、酸化物半導体膜 4 0 4 a (および / または、酸化物半導体膜 4 0 4 b) などの半導体膜の一部 (または全部) に、近接して配置されている。

【 0 0 6 2 】

または、ソース電極 4 0 6 a (および / または、ドレイン電極 4 0 6 b) の、少なくとも一部 (または全部) は、酸化物半導体膜 4 0 4 a (および / または、酸化物半導体膜 4 0 4 b) などの半導体膜の、表面、側面、上面、および / または、下面の少なくとも一部 (または全部) の横側に配置されている。または、ソース電極 4 0 6 a (および / または

、ドレイン電極 406b) の、少なくとも一部 (または全部) は、酸化物半導体膜 404a (および/または、酸化物半導体膜 404b) などの半導体膜の一部 (または全部) の横側に配置されている。

【0063】

または、ソース電極 406a (および/または、ドレイン電極 406b) の、少なくとも一部 (または全部) は、酸化物半導体膜 404a (および/または、酸化物半導体膜 404b) などの半導体膜の、表面、側面、上面、および/または、下面の少なくとも一部 (または全部) の斜め上側に配置されている。または、ソース電極 406a (および/または、ドレイン電極 406b) の、少なくとも一部 (または全部) は、酸化物半導体膜 404a (および/または、酸化物半導体膜 404b) などの半導体膜の一部 (または全部) の斜め上側に配置されている。

10

【0064】

または、ソース電極 406a (および/または、ドレイン電極 406b) の、少なくとも一部 (または全部) は、酸化物半導体膜 404a (および/または、酸化物半導体膜 404b) などの半導体膜の、表面、側面、上面、および/または、下面の少なくとも一部 (または全部) の上側に配置されている。または、ソース電極 406a (および/または、ドレイン電極 406b) の、少なくとも一部 (または全部) は、酸化物半導体膜 404a (および/または、酸化物半導体膜 404b) などの半導体膜の一部 (または全部) の上側に配置されている。

【0065】

20

図3(B)に示すように、ソース電極 406a およびドレイン電極 406b の側面が酸化物半導体層 404 の側面と接する。また、ゲート電極 410 の電界によって、酸化物半導体層 404 を電気的に取り囲むことができる (ゲート電極の電界によって、酸化物半導体層を電気的に取り囲むトランジスタの構造を、surrounded channel (s-channel) 構造とよぶ。)。そのため、酸化物半導体層 404 の全体 (バルク) にチャンネルが形成される。s-channel 構造では、トランジスタのソース - ドレイン間に大電流を流すことができ、高いオン電流を得ることができる。

【0066】

高いオン電流が得られるため、s-channel 構造は、微細化されたトランジスタに適した構造といえる。トランジスタを微細化できるため、該トランジスタを有する半導体装置は、集積度の高い、高密度化された半導体装置とすることが可能となる。例えば、トランジスタのチャンネル長を、好ましくは 40nm 以下、さらに好ましくは 30nm 以下、より好ましくは 20nm 以下とし、かつ、トランジスタのチャンネル幅を、好ましくは 40nm 以下、さらに好ましくは 30nm 以下、より好ましくは 20nm 以下とする。

30

【0067】

なお、チャンネル長とは、上面図において、半導体層とゲート電極とが重なる領域における、ソース (ソース領域またはソース電極) とドレイン (ドレイン領域またはドレイン電極) との距離をいう。すなわち、図3(A)では、チャンネル長は、酸化物半導体層 404 とゲート電極 410 とが重なる領域における、ソース電極 406a とドレイン電極 406b との距離となる。チャンネル幅とは、半導体層とゲート電極とが重なる領域における、ソースまたはドレインの幅をいう。すなわち、図3(A)では、チャンネル幅は、酸化物半導体層 404 とゲート電極 410 とが重なる領域における、ソース電極 406a またはドレイン電極 406b の幅をいう。

40

【0068】

ゲート絶縁膜 408a は、ゲート絶縁膜 108a についての記載を参照する。なお、ゲート絶縁膜 408a は単層であっても積層であっても構わない。

【0069】

ゲート絶縁膜 408b は、ゲート絶縁膜 108b についての記載を参照する。なお、ゲート絶縁膜 408b は単層であっても積層であっても構わない。

【0070】

50

基板 400 は、単なる支持体に限らず、他のトランジスタやキャパシタなどの素子が形成された基板であってもよい。この場合、トランジスタのゲート電極 410、ソース電極 406a、ドレイン電極 406b の少なくとも一つが、上記の他の素子と電氣的に接続されていてもよい。

【0071】

下地絶縁膜 402 は、基板 400 からの不純物の拡散を防止する役割を有するほか、酸化物半導体層 404 に酸素を供給する役割を担うことができる。したがって、下地絶縁膜 402 は酸素を含む絶縁膜であることが好ましい。例えば、化学量論的組成よりも多い酸素を含む絶縁膜であることがより好ましい。また、上述のように基板 400 が他の素子が形成された基板である場合、下地絶縁膜 402 は、層間絶縁膜としての機能も有する。その場合、下地絶縁膜 402 の表面が平坦化されていてもよい。例えば、下地絶縁膜 402 に CMP (Chemical Mechanical Polishing) 法等で平坦化処理を行えばよい。

10

【0072】

以下では、酸化物半導体膜 404b について詳細に説明する。

【0073】

酸化物半導体膜 404b は、インジウムを含む酸化物である。酸化物は、例えば、インジウムを含むと、キャリア移動度（電子移動度）が高くなる。また、酸化物半導体膜 404b は、元素 M を含むと好ましい。元素 M として、例えば、アルミニウム、ガリウム、イットリウムまたはスズなどがある。元素 M は、例えば、酸素との結合エネルギーが高い元素である。元素 M は、例えば、酸化物のバンドギャップを大きくする機能を有する元素である。また、酸化物半導体膜 404b は、亜鉛を含むと好ましい。酸化物が亜鉛を含むと、例えば、酸化物を結晶化しやすくなる。酸化物の価電子帯上端のエネルギーは、例えば、亜鉛の原子数比によって制御できる。

20

【0074】

ただし、酸化物半導体膜 404b は、インジウムを含む酸化物に限定されない。酸化物半導体膜 404b は、例えば、Zn-Sn 酸化物、Ga-Sn 酸化物であっても構わない。

【0075】

また、酸化物半導体膜 404b は、バンドギャップが大きい酸化物を用いる。酸化物半導体膜 404b のバンドギャップは、例えば、2.5 eV 以上 4.2 eV 以下、好ましくは 2.8 eV 以上 3.8 eV 以下、さらに好ましくは 3.0 eV 以上 3.5 eV 以下とする。

30

【0076】

なお、酸化物半導体膜 404b をスパッタリング法で成膜する場合、パーティクル数低減のため、インジウムを含むターゲットを用いると好ましい。また、元素 M の原子数比が高い酸化物ターゲットを用いた場合、ターゲットの導電性が低くなる場合がある。インジウムを含むターゲットを用いる場合、ターゲットの導電率を高めることができ、DC 放電、AC 放電が容易となるため、大面積の基板へ対応しやすくなる。したがって、半導体装置の生産性を高めることができる。

40

【0077】

酸化物半導体膜 404b をスパッタリング法で成膜する場合、ターゲットの原子数比は、In:M:Zn が 3:1:1、3:1:2、3:1:4、1:1:0.5、1:1:1、1:1:2、などとすればよい。

【0078】

酸化物半導体膜 404b をスパッタリング法で成膜する場合、ターゲットの原子数比からずれた原子数比の膜が形成される場合がある。特に、亜鉛は、ターゲットの原子数比よりも膜の原子数比が小さくなる場合がある。具体的には、ターゲットに含まれる亜鉛の原子数比の 40 atomic % 以上 90 atomic % 程度以下となる場合がある。

【0079】

50

以下では、酸化物半導体膜 404b 中における不純物の影響について説明する。なお、トランジスタの電気特性を安定にするためには、酸化物半導体膜 404b 中の不純物濃度を低減し、低キャリア密度化および高純度化することが有効である。なお、酸化物半導体膜 404b のキャリア密度は、 1×10^{17} 個/cm³ 未満、 1×10^{15} 個/cm³ 未満、または 1×10^{13} 個/cm³ 未満とする。酸化物半導体膜 404b 中の不純物濃度を低減するためには、近接する膜中の不純物濃度も低減することが好ましい。

【0080】

例えば、酸化物半導体膜 404b 中のシリコンは、キャリアトラップやキャリア発生源となる場合がある。そのため、酸化物半導体膜 404b と下地絶縁膜 402 との間におけるシリコン濃度を、二次イオン質量分析法 (SIMS: Secondary Ion Mass Spectrometry) において、 1×10^{19} atoms/cm³ 未満、好ましくは 5×10^{18} atoms/cm³ 未満、さらに好ましくは 2×10^{18} atoms/cm³ 未満とする。また、酸化物半導体膜 404b とゲート絶縁膜 408a との間におけるシリコン濃度を、SIMS において、 1×10^{19} atoms/cm³ 未満、好ましくは 5×10^{18} atoms/cm³ 未満、さらに好ましくは 2×10^{18} atoms/cm³ 未満とする。

【0081】

また、酸化物半導体膜 404b 中に水素が含まれると、キャリア密度を増大させてしまう場合がある。酸化物半導体膜 404b の水素濃度は SIMS において、 2×10^{20} atoms/cm³ 以下、好ましくは 5×10^{19} atoms/cm³ 以下、より好ましくは 1×10^{19} atoms/cm³ 以下、さらに好ましくは 5×10^{18} atoms/cm³ 以下とする。また、酸化物半導体膜 404b 中に窒素が含まれると、キャリア密度を増大させてしまう場合がある。酸化物半導体膜 404b の窒素濃度は、SIMS において、 5×10^{19} atoms/cm³ 未満、好ましくは 5×10^{18} atoms/cm³ 以下、より好ましくは 1×10^{18} atoms/cm³ 以下、さらに好ましくは 5×10^{17} atoms/cm³ 以下とする。

【0082】

また、酸化物半導体膜 404b の水素濃度を低減するために、下地絶縁膜 402 の水素濃度を低減すると好ましい。下地絶縁膜 402 の水素濃度は SIMS において、 2×10^{20} atoms/cm³ 以下、好ましくは 5×10^{19} atoms/cm³ 以下、より好ましくは 1×10^{19} atoms/cm³ 以下、さらに好ましくは 5×10^{18} atoms/cm³ 以下とする。また、酸化物半導体膜 404b の窒素濃度を低減するために、下地絶縁膜 402 の窒素濃度を低減すると好ましい。下地絶縁膜 402 の窒素濃度は、SIMS において、 5×10^{19} atoms/cm³ 未満、好ましくは 5×10^{18} atoms/cm³ 以下、より好ましくは 1×10^{18} atoms/cm³ 以下、さらに好ましくは 5×10^{17} atoms/cm³ 以下とする。

【0083】

また、酸化物半導体膜 404b の水素濃度を低減するために、ゲート絶縁膜 408a の水素濃度を低減すると好ましい。ゲート絶縁膜 408a の水素濃度は SIMS において、 2×10^{20} atoms/cm³ 以下、好ましくは 5×10^{19} atoms/cm³ 以下、より好ましくは 1×10^{19} atoms/cm³ 以下、さらに好ましくは 5×10^{18} atoms/cm³ 以下とする。また、酸化物半導体膜 404b の窒素濃度を低減するために、ゲート絶縁膜 408a の窒素濃度を低減すると好ましい。ゲート絶縁膜 408a の窒素濃度は、SIMS において、 5×10^{19} atoms/cm³ 未満、好ましくは 5×10^{18} atoms/cm³ 以下、より好ましくは 1×10^{18} atoms/cm³ 以下、さらに好ましくは 5×10^{17} atoms/cm³ 以下とする。

【0084】

以下では、酸化物半導体膜 404b に適用可能な酸化物半導体膜の構造について説明する。

【0085】

酸化物半導体膜は、非単結晶酸化物半導体膜と単結晶酸化物半導体膜とに大別される。非単結晶酸化物半導体膜とは、C A A C - O S (C A x i s A l i g n e d C r y s t a l l i n e O x i d e S e m i c o n d u c t o r) 膜、多結晶酸化物半導体膜、微結晶酸化物半導体膜、非晶質酸化物半導体膜などをいう。

【 0 0 8 6 】

まずは、C A A C - O S 膜について説明する。

【 0 0 8 7 】

C A A C - O S 膜は、複数の結晶部を有する酸化物半導体膜の一つであり、ほとんどの結晶部は、一辺が100nm未満の立方体内に収まる大きさである。したがって、C A A C - O S 膜に含まれる結晶部は、一辺が10nm未満、5nm未満または3nm未満の立方体内に収まる大きさの場合も含まれる。

10

【 0 0 8 8 】

C A A C - O S 膜を透過型電子顕微鏡 (T E M : T r a n s m i s s i o n E l e c t r o n M i c r o s c o p e) によって観察すると、明確な結晶部同士の境界、即ち結晶粒界 (グレインバウンダリーともいう。) を確認することができない。そのため、C A A C - O S 膜は、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。

【 0 0 8 9 】

C A A C - O S 膜を、試料面と概略平行な方向から T E M によって観察 (断面 T E M 観察) すると、結晶部において、金属原子が層状に配列していることを確認できる。金属原子の各層は、C A A C - O S 膜を形成する面 (被形成面ともいう。) または上面の凹凸を反映した形状であり、C A A C - O S 膜の被形成面または上面と平行に配列する。

20

【 0 0 9 0 】

一方、C A A C - O S 膜を、試料面と概略垂直な方向から T E M によって観察 (平面 T E M 観察) すると、結晶部において、金属原子が三角形または六角形状に配列していることを確認できる。しかしながら、異なる結晶部間で、金属原子の配列に規則性は見られない。

【 0 0 9 1 】

なお、C A A C - O S 膜に対し、電子回折を行うと、配向性を示すスポット (輝点) が観測される。例えば、C A A C - O S 膜の上面に対し、例えば1nm以上30nm以下の電子線を用いる電子回折 (ナノビーム電子回折ともいう。) を行うと、スポットが観測される (図30 (A) 参照。) 。

30

【 0 0 9 2 】

断面 T E M 観察および平面 T E M 観察より、C A A C - O S 膜の結晶部は配向性を有していることがわかる。

【 0 0 9 3 】

C A A C - O S 膜に対し、X線回折 (X R D : X - R a y D i f f r a c t i o n) 装置を用いて構造解析を行うと、例えば InGaZnO_4 の結晶を有する C A A C - O S 膜の out - o f - p l a n e 法による解析では、回折角 (2θ) が 31° 近傍にピークが現れる場合がある。このピークは、 InGaZnO_4 の結晶の (0 0 9) 面に帰属されることから、C A A C - O S 膜の結晶が c 軸配向性を有し、c 軸が被形成面または上面に概略垂直な方向を向いていることが確認できる。

40

【 0 0 9 4 】

なお、本明細書において、結晶が三方晶または菱面体晶である場合、六方晶系として表す。

【 0 0 9 5 】

一方、C A A C - O S 膜に対し、c 軸に概略垂直な方向から X 線を入射させる in - p l a n e 法による解析では、 2θ が 56° 近傍にピークが現れる場合がある。このピークは、 InGaZnO_4 の結晶の (1 1 0) 面に帰属される。 InGaZnO_4 の単結晶酸化物半導体膜であれば、 2θ を 56° 近傍に固定し、試料面の法線ベクトルを軸 (軸) として試料を回転させながら分析 (スキャン) を行うと、(1 1 0) 面と等価な結晶面

50

に帰属されるピークが6本観察される。これに対し、CAAC-OSS膜の場合は、2θを56°近傍に固定してスキャンした場合でも、明瞭なピークが現れない。

【0096】

以上のことから、CAAC-OSS膜では、異なる結晶部間ではa軸およびb軸の配向は不規則であるが、c軸配向性を有し、かつc軸が被形成面または上面の法線ベクトルに平行な方向を向いていることがわかる。したがって、前述の断面TEM観察で確認された層状に配列した金属原子の各層は、結晶のab面に平行な面である。

【0097】

なお、結晶部は、CAAC-OSS膜を成膜した際、または加熱処理などの結晶化処理を行った際に形成される。上述したように、結晶のc軸は、CAAC-OSS膜の被形成面または上面の法線ベクトルに平行な方向に配向する。したがって、例えば、CAAC-OSS膜の形状をエッチングなどによって変化させた場合、結晶のc軸がCAAC-OSS膜の被形成面または上面の法線ベクトルと平行にならないこともある。

【0098】

また、CAAC-OSS膜中の結晶化度が均一でなくてもよい。例えば、CAAC-OSS膜の結晶部が、CAAC-OSS膜の上面近傍からの結晶成長によって形成される場合、上面近傍の領域は、被形成面近傍の領域よりも結晶化度が高くなることもある。また、CAAC-OSS膜に不純物を添加する場合、不純物が添加された領域の結晶化度が変化し、部分的に結晶化度の異なる領域が形成されることもある。

【0099】

なお、InGaZnO₄の結晶を有するCAAC-OSS膜のout-of-plane法による解析では、2θが31°近傍のピークの他に、2θが36°近傍にもピークが現れる場合がある。2θが36°近傍のピークは、CAAC-OSS膜中の一部に、c軸配向性を有さない結晶が含まれることを示している。CAAC-OSS膜は、2θが31°近傍にピークを示し、2θが36°近傍にピークを示さないことが好ましい。

【0100】

CAAC-OSS膜は、不純物濃度の低い酸化物半導体膜である。不純物は、水素、炭素、シリコン、遷移金属元素などの酸化物半導体膜の主成分以外の元素である。特に、シリコンなどの、酸化物半導体膜を構成する金属元素よりも酸素との結合力の強い元素は、酸化物半導体膜から酸素を奪うことで酸化物半導体膜の原子配列を乱し、結晶性を低下させる要因となる。また、鉄やニッケルなどの重金属、アルゴン、二酸化炭素などは、原子半径（または分子半径）が大きいため、酸化物半導体膜内部に含まれると、酸化物半導体膜の原子配列を乱し、結晶性を低下させる要因となる。なお、酸化物半導体膜に含まれる不純物は、キャリアトラップやキャリア発生源となる場合がある。

【0101】

また、CAAC-OSS膜は、欠陥準位密度の低い酸化物半導体膜である。例えば、酸化物半導体膜中の酸素欠損は、キャリアトラップとなることや、水素を捕獲することによってキャリア発生源となることがある。

【0102】

不純物濃度が低く、欠陥準位密度が低い（酸素欠損の少ない）ことを、高純度真性または実質的に高純度真性と呼ぶ。高純度真性または実質的に高純度真性である酸化物半導体膜は、キャリア発生源が少ないため、キャリア密度を低くすることができる。したがって、当該酸化物半導体膜を用いたトランジスタは、しきい値電圧がマイナスとなる電気特性（ノーマリーオンともいう。）になることが少ない。また、高純度真性または実質的に高純度真性である酸化物半導体膜は、キャリアトラップが少ない。そのため、当該酸化物半導体膜を用いたトランジスタは、電気特性の変動が小さく、信頼性の高いトランジスタとなる。なお、酸化物半導体膜のキャリアトラップに捕獲された電荷は、放出するまでに要する時間が長く、あたかも固定電荷のように振る舞うことがある。そのため、不純物濃度が高く、欠陥準位密度が高い酸化物半導体膜を用いたトランジスタは、電気特性が不安定となる場合がある。

10

20

30

40

50

【0103】

また、CAAC-OS膜を用いたトランジスタは、可視光や紫外光の照射による電気特性の変動が小さい。

【0104】

次に、微結晶酸化物半導体膜について説明する。

【0105】

微結晶酸化物半導体膜は、TEMによる観察像では、明確に結晶部を確認することができない場合がある。微結晶酸化物半導体膜に含まれる結晶部は、1nm以上100nm以下、または1nm以上10nm以下の大きさであることが多い。特に、1nm以上10nm以下、または1nm以上3nm以下の微結晶であるナノ結晶(nc:nanocrystall)を有する酸化物半導体膜を、nc-OS(nanocrystalline Oxide Semiconductor)膜と呼ぶ。また、nc-OS膜は、例えば、TEMによる観察像では、結晶粒界を明確に確認できない場合がある。

10

【0106】

nc-OS膜は、微小な領域(例えば、1nm以上10nm以下の領域、特に1nm以上3nm以下の領域)において原子配列に周期性を有する。また、nc-OS膜は、異なる結晶部間で結晶方位に規則性が見られない。そのため、全体で配向性が見られない。したがって、nc-OS膜は、分析方法によっては、非晶質酸化物半導体膜と区別がつかない場合がある。例えば、nc-OS膜に対し、結晶部よりも大きい径のX線を用いるXRD装置を用いて構造解析を行うと、out-of-plane法による解析では、結晶面を示すピークが検出されない。また、nc-OS膜は、結晶部よりも大きいプローブ径(例えば50nm以上)の電子線を用いる電子回折(制限視野電子回折ともいう。)を行うと、ハローパターンのような回折パターンが観測される。一方、nc-OS膜に対し、結晶部の大きさと近い結晶部より小さいプローブ径の電子線を用いるナノビーム電子回折を行うと、スポットが観測される。また、nc-OS膜に対しナノビーム電子回折を行うと、円を描くように(リング状に)輝度の高い領域が観測される場合がある。また、nc-OS膜に対しナノビーム電子回折を行うと、リング状の領域内に複数のスポットが観測される場合がある(図30(B)参照。)

20

【0107】

nc-OS膜は、非晶質酸化物半導体膜よりも規則性の高い酸化物半導体膜である。そのため、nc-OS膜は、非晶質酸化物半導体膜よりも欠陥準位密度が低くなる。ただし、nc-OS膜は、異なる結晶部間で結晶方位に規則性が見られない。そのため、nc-OS膜は、CAAC-OS膜と比べて欠陥準位密度が高くなる。

30

【0108】

なお、酸化物半導体膜は、例えば、非晶質酸化物半導体膜、微結晶酸化物半導体膜、CAAC-OS膜のうち、二種以上を有してもよい。

【0109】

酸化物半導体膜が複数の構造を有する場合、ナノビーム電子回折を用いることで構造解析が可能となる場合がある。

【0110】

図31(A)に、電子銃室10と、電子銃室10の下光学系12と、光学系12の下試料室14と、試料室14の下光学系16と、光学系16の下観察室20と、観察室20に設置されたカメラ18と、観察室20の下フィルム室22と、を有する透過電子回折測定装置を示す。カメラ18は、観察室20内部に向けて設置される。なお、フィルム室22を有さなくても構わない。

40

【0111】

また、図31(B)に、図31(A)で示した透過電子回折測定装置内部の構造を示す。透過電子回折測定装置内部では、電子銃室10に設置された電子銃から放出された電子が、光学系12を介して試料室14に配置された物質28に照射される。物質28を通過した電子は、光学系16を介して観察室20内部に設置された蛍光板32に入射する。蛍

50

光板 3 2 では、入射した電子の強度に応じたパターンが現れることで透過電子回折パターンを測定することができる。

【 0 1 1 2 】

カメラ 1 8 は、蛍光板 3 2 を向いて設置されており、蛍光板 3 2 に現れたパターンを撮影することが可能である。カメラ 1 8 のレンズの中央、および蛍光板 3 2 の中央を通る直線と、蛍光板 3 2 の上面と、の為す角度は、例えば、 15° 以上 80° 以下、 30° 以上 75° 以下、または 45° 以上 70° 以下とする。該角度が小さいほど、カメラ 1 8 で撮影される透過電子回折パターンは歪みが大きくなる。ただし、あらかじめ該角度がわかっているならば、得られた透過電子回折パターンの歪みを補正することも可能である。なお、カメラ 1 8 をフィルム室 2 2 に設置しても構わない場合がある。例えば、カメラ 1 8 をフィルム室 2 2 に、電子 2 4 の入射方向と対向するように設置してもよい。この場合、蛍光板 3 2 の裏面から歪みの少ない透過電子回折パターンを撮影することができる。

10

【 0 1 1 3 】

試料室 1 4 には、試料である物質 2 8 を固定するためのホルダが設置されている。ホルダは、物質 2 8 を通過する電子を透過するような構造をしている。ホルダは、例えば、物質 2 8 を X 軸、Y 軸、Z 軸などに移動させる機能を有していてもよい。ホルダの移動機能は、例えば、 1 nm 以上 10 nm 以下、 5 nm 以上 50 nm 以下、 10 nm 以上 100 nm 以下、 50 nm 以上 500 nm 以下、 100 nm 以上 $1\text{ }\mu\text{ m}$ 以下などの範囲で移動させる精度を有すればよい。これらの範囲は、物質 2 8 の構造によって最適な範囲を設定すればよい。

20

【 0 1 1 4 】

次に、上述した透過電子回折測定装置を用いて、物質の透過電子回折パターンを測定する方法について説明する。

【 0 1 1 5 】

例えば、図 3 1 (B) に示すように物質におけるナノビームである電子 2 4 の照射位置を変化させる (スキャンする) ことで、物質の構造が変化していく様子を確認することができる。このとき、物質 2 8 が C A A C - O S 膜であれば、図 3 0 (A) に示したような回折パターンが観測される。または、物質 2 8 が n c - O S 膜であれば、図 3 0 (B) に示したような回折パターンが観測される。

【 0 1 1 6 】

30

ところで、物質 2 8 が C A A C - O S 膜であったとしても、部分的に n c - O S 膜などと同様の回折パターンが観測される場合がある。したがって、C A A C - O S 膜の良否は、一定の範囲における C A A C - O S 膜の回折パターンが観測される領域の割合 (C A A C 化率ともいう。) で表すことができる場合がある。例えば、良質な C A A C - O S 膜であれば、C A A C 化率は、 60% 以上、好ましくは 80% 以上、さらに好ましくは 90% 以上、より好ましくは 95% 以上となる。なお、C A A C - O S 膜と異なる回折パターンが観測される領域の割合を非 C A A C 化率と表記する。

【 0 1 1 7 】

一例として、成膜直後 (a s - d e p o と表記。) 、 350°C 加熱処理後または 450°C 加熱処理後の C A A C - O S 膜を有する各試料の上面に対し、スキャンしながら透過電子回折パターンを取得した。ここでは、 5 nm/s の速度で 60 秒間スキャンしながら回折パターンを観測し、観測された回折パターンを 0.5 秒ごとに静止画に変換することで、C A A C 化率を導出した。なお、電子線としては、プローブ径が 1 nm のナノビーム電子線を用いた。

40

【 0 1 1 8 】

各試料における C A A C 化率を図 3 2 に示す。成膜直後および 350°C 加熱処理後と比べて、 450°C 加熱処理後の C A A C 化率が高いことがわかる。即ち、 350°C より高い温度 (例えば 400°C 以上) における加熱処理によって、非 C A A C 化率が低くなる (C A A C 化率が高くなる) ことがわかる。ここで、C A A C - O S 膜と異なる回折パターンのほとんどは n c - O S 膜と同様の回折パターンであった。したがって、加熱処理によ

50

て、nc-OS膜と同様の構造を有する領域は、隣接する領域の構造の影響を受けてCAAC化していることが示唆される。

【0119】

このような測定方法を用いれば、複数の構造を有する酸化物半導体膜の構造解析が可能となる場合がある。

【0120】

酸化物半導体膜404aおよび酸化物半導体膜404cは、酸化物半導体膜404bを構成する酸素以外の元素一種以上、または二種以上から構成される酸化物半導体膜である。酸化物半導体膜404bを構成する酸素以外の元素一種以上、または二種以上から酸化物半導体膜404aおよび酸化物半導体膜404cが構成されるため、酸化物半導体膜404aと酸化物半導体膜404bとの界面、および酸化物半導体膜404bと酸化物半導体膜404cとの界面において、界面準位が形成されにくい。

10

【0121】

なお、酸化物半導体膜404aがIn-M-Zn酸化物のとき、ZnおよびOを除いてのInおよびMの原子数比率は、好ましくはInが50atomic%未満、Mが50atomic%以上、さらに好ましくはInが25atomic%未満、Mが75atomic%以上とする。また、酸化物半導体膜404bがIn-M-Zn酸化物のとき、ZnおよびOを除いてのInおよびMの原子数比率は、好ましくはInが25atomic%以上、Mが75atomic%未満、さらに好ましくはInが34atomic%以上、Mが66atomic%未満とする。また、酸化物半導体膜404cがIn-M-Zn酸化物のとき、ZnおよびOを除いてのInおよびMの原子数比率は、好ましくはInが50atomic%未満、Mが50atomic%以上、さらに好ましくはInが25atomic%未満、Mが75atomic%以上とする。なお、酸化物半導体膜404cは、酸化物半導体膜404aと同種の酸化物を用いても構わない。

20

【0122】

ここで、酸化物半導体膜404aと酸化物半導体膜404bとの間には、酸化物半導体膜404aと酸化物半導体膜404bとの混合領域を有する場合がある。また、酸化物半導体膜404bと酸化物半導体膜404cとの間には、酸化物半導体膜404bと酸化物半導体膜404cとの混合領域を有する場合がある。混合領域は、界面準位密度が低くなる。そのため、酸化物半導体膜404a、酸化物半導体膜404bおよび酸化物半導体膜404cの積層体は、それぞれの界面近傍において、エネルギーが連続的に変化する（連続接合ともいう。）バンド構造となる。

30

【0123】

酸化物半導体膜404bは、酸化物半導体膜404aおよび酸化物半導体膜404cよりも電子親和力の大きい酸化物を用いる。例えば、酸化物半導体膜404bとして、酸化物半導体膜404aおよび酸化物半導体膜404cよりも電子親和力の0.07eV以上1.3eV以下、好ましくは0.1eV以上0.7eV以下、さらに好ましくは0.15eV以上0.4eV以下大きい酸化物を用いる。なお、電子親和力は、真空準位と伝導帯下端のエネルギーとの差である。

【0124】

このとき、ゲート電極410に電界を印加すると、酸化物半導体膜404a、酸化物半導体膜404b、酸化物半導体膜404cのうち、電子親和力の大きい酸化物半導体膜404bにチャネルが形成される。

40

【0125】

また、トランジスタのオン電流のためには、酸化物半導体膜404cの厚さは小さいほど好ましい。例えば、酸化物半導体膜404cは、10nm未満、好ましくは5nm以下、さらに好ましくは3nm以下とする。一方、酸化物半導体膜404cは、チャネルの形成される酸化物半導体膜404bへ、ゲート絶縁膜408aを構成する酸素以外の元素（シリコンなど）が入り込まないようにブロックする機能を有する。そのため、酸化物半導体膜404cは、ある程度の厚さを有することが好ましい。例えば、酸化物半導体膜404

50

cの厚さは、0.3 nm以上、好ましくは1 nm以上、さらに好ましくは2 nm以上とする。

【0126】

また、信頼性を高めるためには、酸化物半導体膜404aは厚く、酸化物半導体膜404cは薄いことが好ましい。具体的には、酸化物半導体膜404aの厚さは、20 nm以上、好ましくは30 nm以上、さらに好ましくは40 nm以上、より好ましくは60 nm以上とする。酸化物半導体膜404aの厚さを、20 nm以上、好ましくは30 nm以上、さらに好ましくは40 nm以上、より好ましくは60 nm以上とすることで、下地絶縁膜402と酸化物半導体膜404aとの界面からチャネルの形成される酸化物半導体膜404bまでを20 nm以上、好ましくは30 nm以上、さらに好ましくは40 nm以上、より好ましくは60 nm以上離すことができる。ただし、半導体装置の生産性が低下する場合があるため、酸化物半導体膜404aの厚さは、200 nm以下、好ましくは120 nm以下、さらに好ましくは80 nm以下とする。

10

【0127】

例えば、酸化物半導体膜404bと酸化物半導体膜404aとの間におけるシリコン濃度を、SIMSにおいて、 1×10^{19} atoms/cm³未満、好ましくは 5×10^{18} atoms/cm³未満、さらに好ましくは 2×10^{18} atoms/cm³未満とする。また、酸化物半導体膜404bと酸化物半導体膜404cとの間におけるシリコン濃度を、SIMSにおいて、 1×10^{19} atoms/cm³未満、好ましくは 5×10^{18} atoms/cm³未満、さらに好ましくは 2×10^{18} atoms/cm³未満とする。

20

【0128】

また、酸化物半導体膜404bの水素濃度を低減するために、酸化物半導体膜404aおよび酸化物半導体膜404cの水素濃度を低減すると好ましい。酸化物半導体膜404aおよび酸化物半導体膜404cの水素濃度はSIMSにおいて、 2×10^{20} atoms/cm³以下、好ましくは 5×10^{19} atoms/cm³以下、より好ましくは 1×10^{19} atoms/cm³以下、さらに好ましくは 5×10^{18} atoms/cm³以下とする。また、酸化物半導体膜404bの窒素濃度を低減するために、酸化物半導体膜404aおよび酸化物半導体膜404cの窒素濃度を低減すると好ましい。酸化物半導体膜404aおよび酸化物半導体膜404cの窒素濃度は、SIMSにおいて、 5×10^{19} atoms/cm³未満、好ましくは 5×10^{18} atoms/cm³以下、より好ましくは 1×10^{18} atoms/cm³以下、さらに好ましくは 5×10^{17} atoms/cm³以下とする。

30

【0129】

上述の3層構造は一例である。例えば、酸化物半導体膜404aまたは酸化物半導体膜404cのない2層構造としても構わない。

【0130】

ソース電極406aおよびドレイン電極406bには、酸化物半導体膜から酸素を引き抜く性質を有する導電膜を用いると好ましい。例えば、酸化物半導体膜から酸素を引き抜く性質を有する導電膜として、アルミニウム、チタン、クロム、ニッケル、モリブデン、タンタル、タングステンなどを含む導電膜が挙げられる。

40

【0131】

酸化物半導体膜から酸素を引き抜く性質を有する導電膜の作用により、酸化物半導体膜中の酸素が脱離し、酸化物半導体膜中に酸素欠損を形成する場合がある。酸素の引き抜きは、高い温度で加熱するほど起こりやすい。トランジスタの作製工程には、いくつかの加熱工程があることから、酸化物半導体膜のソース電極またはドレイン電極と接触した近傍の領域には酸素欠損が形成される可能性が高い。また、加熱により該酸素欠損のサイトに水素が入りこみ、酸化物半導体膜がn型化する場合がある。したがって、ソース電極およびドレイン電極の作用により、酸化物半導体膜と、ソース電極またはドレイン電極と、が接する領域を低抵抗化させ、トランジスタのオン抵抗を低減することができる。

50

【0132】

なお、チャネル長が小さい（例えば200nm以下、または100nm以下）トランジスタを作製する場合、n型化領域の形成によってソースドレイン間が短絡してしまうことがある。そのため、チャネル長が小さいトランジスタを形成する場合は、ソース電極およびドレイン電極に酸化物半導体膜から適度に酸素を引き抜く性質を有する導電膜を用いればよい。適度に酸素を引き抜く性質を有する導電膜としては、例えば、ニッケル、モリブデンまたはタングステンを含む導電膜などがある。

【0133】

また、チャネル長がごく小さい（40nm以下、または30nm以下）トランジスタを作製する場合、ソース電極406aおよびドレイン電極406bとして、酸化物半導体膜からほとんど酸素を引き抜くことのない導電膜を用いればよい。酸化物半導体膜からほとんど酸素を引き抜くことのない導電膜としては、例えば、窒化タンタル、窒化チタン、またはルテニウムを含む導電膜などがある。なお、複数種の導電膜を積層しても構わない。

10

【0134】

ゲート電極410は、アルミニウム、チタン、クロム、コバルト、ニッケル、銅、イットリウム、ジルコニウム、モリブデン、ルテニウム、銀、タンタル、タングステンなどから選ばれた一種以上を含む導電膜を用いればよい。

【0135】

絶縁膜412は、酸化アルミニウム、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウム、酸化タンタルなどから選ばれた一種以上含む絶縁膜を用いることができる。

20

【0136】

次に、トランジスタの作製方法について、図4および図5を用いて説明する。

【0137】

まず、基板400上に下地絶縁膜402を成膜する（図4（A）参照）。

【0138】

下地絶縁膜402は、スパッタリング法、化学気相堆積（CVD：Chemical Vapor Deposition）法、有機金属化学気相堆積（MOCVD：Metal Organic CVD）法、プラズマ化学気相堆積（PECVD：Plasma-Enhanced CVD）法、分子線エピタキシー（MBE：Molecular Beam Epitaxy）法、原子層堆積（ALD：Atomic Layer Deposition）法またはパルスレーザ堆積（PLD：Pulsed Laser Deposition）法を用いて成膜すればよい。プラズマによるダメージを減らすには、MOCVD法あるいはALD法が好ましい。

30

【0139】

次に、下地絶縁膜402の表面を平坦化するために、CMP処理を行ってもよい。CMP処理を行うことで、下地絶縁膜402の平均面粗さ（Ra）を1nm以下、好ましくは0.3nm以下、さらに好ましくは0.1nm以下とする。上述の数値以下のRaとすることで、酸化物半導体層404の結晶性が高くなる場合がある。Raは原子間力顕微鏡（AFM：Atomic Force Microscope）にて測定可能である。

40

【0140】

次に、下地絶縁膜402に酸素を添加することにより、過剰な酸素を含む絶縁膜を形成しても構わない。酸素の添加は、プラズマ処理またはイオン注入法などにより行えばよい。酸素の添加をイオン注入法で行う場合、例えば、加速電圧を2kV以上100kV以下とし、ドーズ量を $5 \times 10^{14} \text{ ions/cm}^2$ 以上 $5 \times 10^{16} \text{ ions/cm}^2$ 以下とすればよい。

【0141】

次に、下地絶縁膜402上に酸化物半導体膜404aおよび酸化物半導体膜404bをスパッタリング法、CVD法、MOCVD法、PECVD法、MBE法、ALD法または

50

P L D法を用いて成膜する（図4（B）参照）。プラズマによるダメージを減らすには、M O C V D法あるいはA L D法が好ましい。また、下地絶縁膜402を適度にエッチングしてもよい。下地絶縁膜402を適度にエッチングすることで、後に形成するゲート電極410で酸化物半導体層404を覆いやすくすることができる。なお、トランジスタを微細化するために、酸化物半導体膜404aおよび酸化物半導体膜404bの加工時にハードマスクを用いてもよい。

【0142】

また、酸化物半導体膜404aおよび酸化物半導体膜404bを形成する場合、各層を大気に触れさせることなく連続して成膜すると好ましい。

【0143】

不純物の混入を低減し、結晶性の高い酸化物半導体層とするために、酸化物半導体膜404aおよび酸化物半導体膜404bは、基板温度を100 以上、好ましくは150 以上、さらに好ましくは200 以上として成膜する。また、成膜ガスとして用いる酸素ガスやアルゴンガスは、露点が-40 以下、好ましくは-80 以下、より好ましくは-100 以下にまで高純度化したガスを用いる。なお、不純物濃度が低く、欠陥準位密度が低い（酸素欠損の少ない）ことを高純度真性または実質的に高純度真性と呼ぶ。

【0144】

酸化物半導体膜404aおよび酸化物半導体膜404bの形成後に、第1の加熱処理を行ってもよい。第1の加熱処理は、250 以上650 以下、好ましくは300 以上500 以下の温度で、不活性ガス雰囲気、酸化性ガスを10ppm以上含む雰囲気、または減圧状態で行えばよい。また、第1の加熱処理の雰囲気は、不活性ガス雰囲気で行った後に、脱離した酸素を補うために酸化性ガスを10ppm以上含む雰囲気で行ってもよい。第1の加熱処理によって、酸化物半導体膜404aおよび酸化物半導体膜404bの結晶性を高め、さらに下地絶縁膜402から水素や水などの不純物を除去することができる。

【0145】

次に、酸化物半導体膜404aの側面、酸化物半導体膜404bの上面および側面に接するソース電極406aおよびドレイン電極406bとなる導電膜405を成膜する（図4（C）参照）。導電膜405は、C V D法、M O C V D法、P E C V D法、M B E法、A L D法またはP L D法を用いて成膜すればよい。プラズマによるダメージを減らすには、M O C V D法あるいはA L D法が好ましい。

【0146】

次に、導電膜405を分断するようにエッチングし、ソース電極406aおよびドレイン電極406bを形成する（図5（A）参照）。なお、導電膜405をエッチングする際、ソース電極406aおよびドレイン電極406bの端部が丸みを帯びる（曲面を有する）場合がある。また、導電膜405をエッチングする際、下地絶縁膜402が適度にエッチングされていてもよい。

【0147】

次に、酸化物半導体膜404b、ソース電極406aおよびドレイン電極406b上に、酸化物半導体膜404cを形成する。

【0148】

次に、酸化物半導体膜404c上に、ゲート絶縁膜408aを形成する。ゲート絶縁膜408aは、スパッタリング法、C V D法、M O C V D法、P E C V D法、M B E法、A L D法またはP L D法を用いて成膜すればよい。プラズマによるダメージを減らすには、M O C V D法あるいはA L D法が好ましい。

【0149】

次に、ゲート絶縁膜408a上に、ゲート絶縁膜408bを形成する。ゲート絶縁膜408bは、スパッタリング法、C V D法、M O C V D法、P E C V D法、M B E法、A L D法またはP L D法を用いて成膜すればよい。プラズマによるダメージを減らすには、M O C V D法あるいはA L D法が好ましい。

【 0 1 5 0 】

次に、第2の加熱処理を行ってもよい。第2の加熱処理は、500 未満、好ましくは400 未満の温度で、不活性ガス雰囲気、酸化性ガスを10 ppm以上含む雰囲気、または減圧状態で行えばよい。また、第2の加熱処理の雰囲気は、不活性ガス雰囲気加熱処理した後に、脱離した酸素を補うために酸化性ガスを10 ppm以上含む雰囲気で行ってもよい。第2の加熱処理によって、ゲート絶縁膜408bから水素や水などの不純物を除去することができる。

【 0 1 5 1 】

次に、ゲート絶縁膜408b上にゲート電極410を形成する(図5(B)参照)。ゲート電極410は、スパッタリング法、CVD法、MOCVD法、PECVD法、MBE法、ALD法またはPLD法を用いて成膜すればよい。プラズマによるダメージを減らすには、MOCVD法あるいはALD法が好ましい。

10

【 0 1 5 2 】

次に、ソース電極406a、ドレイン電極406b、ゲート絶縁膜408a、ゲート絶縁膜408bおよびゲート電極410上に絶縁膜412を形成する(図5(C)参照)。絶縁膜412は、スパッタリング法、CVD法、MOCVD法、PECVD法、MBE法、ALD法またはPLD法を用いて成膜すればよい。プラズマによるダメージを減らすには、MOCVD法あるいはALD法が好ましい。

【 0 1 5 3 】

次に、第3の加熱処理を行ってもよい。第3の加熱処理は、第1の加熱処理と同様の条件で行うことができる。第3の加熱処理により、酸化物半導体層404の酸素欠損を低減することができる場合がある。

20

【 0 1 5 4 】

以上の工程で、図3に示すトランジスタを作製することができる。

【 0 1 5 5 】

< 変形例 1 >

また、図6に示すトランジスタのように下地絶縁膜402と酸化物半導体層404の間に絶縁膜401を配置してもよい。絶縁膜401としては、ゲート絶縁膜408aに用いる絶縁膜を用いればよい。なお、そのほかの構成については、図3に示したトランジスタについての記載を参照する。

30

【 0 1 5 6 】

< 変形例 2 >

また、図7に示すトランジスタのように基板400と下地絶縁膜402の間に導電膜420を配置してもよい。導電膜420を第2のゲート電極として用いることで、さらなるオン電流の増加や、しきい値電圧の制御を行うことができる。オン電流を増加させるには、たとえば、ゲート電極410と導電膜420を同電位とし、デュアルゲートトランジスタとして駆動させればよい。なお、ゲート電極410と導電膜420を電氣的に接続して同電位としてもよい。また、しきい値電圧の制御を行うには、ゲート電極410と導電膜420に異なる定電位を供給すればよい。

【 0 1 5 7 】

40

< トランジスタ構造 2 >

図8(A)および図8(B)は、トランジスタの上面図および断面図である。図8(A)は上面図であり、図8(B)は、図8(A)に示す一点鎖線A1-A2、および一点鎖線A3-A4に対応する断面図である。なお、図8(A)の上面図では、図の明瞭化のために一部の要素を省いて図示している。

【 0 1 5 8 】

図8(A)および図8(B)に示すトランジスタは、基板400上の凸部を有する下地絶縁膜402と、下地絶縁膜402の凸部上の酸化物半導体層404と、酸化物半導体層404上のゲート絶縁膜408aと、酸化物半導体層404およびゲート絶縁膜408aの側面およびゲート絶縁膜408aの上面と接するソース電極406aおよびドレイン電

50

極 4 0 6 b と、ゲート絶縁膜 4 0 8 a、ソース電極 4 0 6 a およびドレイン電極 4 0 6 b 上のゲート絶縁膜 4 0 8 b と、ゲート絶縁膜 4 0 8 b の上面に接し、酸化物半導体層 4 0 4 の酸化物半導体膜 4 0 4 b の上面および側面に面するゲート電極 4 1 0 と、ソース電極 4 0 6 a、ドレイン電極 4 0 6 b およびゲート電極 4 1 0 上の絶縁膜 4 1 2 と、を有する。なお、下地絶縁膜 4 0 2 が凸部を有さなくても構わない。なお、図 8 (C) 示すように酸化物半導体層 4 0 4 は、酸化物半導体膜 4 0 4 a、酸化物半導体膜 4 0 4 b、および酸化物半導体膜 4 0 4 c を含む。

【 0 1 5 9 】

図 8 に示すトランジスタにおいて、ソース電極 4 0 6 a またはドレイン電極 4 0 6 b は、主に酸化物半導体層 4 0 4 の側面と接するよう配置される。したがって、ゲート電極 4 1 0 から酸化物半導体層 4 0 4 へ印加される電界が、ソース電極 4 0 6 a およびドレイン電極 4 0 6 b によって妨げられることがほとんどない。そのため、図 3、図 6 および図 7 に示したトランジスタと比べ、酸化物半導体層中の電流経路を広くとることが可能となり、さらに高いオン電流を得ることができる。

【 0 1 6 0 】

< トランジスタ構造 3 >

図 9 (A) および図 9 (B) は、トランジスタの上面図および断面図である。図 9 (A) は上面図であり、図 9 (B) は、図 9 (A) に示す一点鎖線 A 1 - A 2、および一点鎖線 A 3 - A 4 に対応する断面図である。なお、図 9 (A) の上面図では、図の明瞭化のために一部の要素を省いて図示している。

【 0 1 6 1 】

図 9 (A) および図 9 (B) に示すトランジスタは、基板 4 0 0 上の凸部を有する下地絶縁膜 4 0 2 と、下地絶縁膜 4 0 2 の凸部上の酸化物半導体層 4 0 4 と、酸化物半導体層 4 0 4 の側面と接するソース電極 4 0 6 a およびドレイン電極 4 0 6 b と、ソース電極 4 0 6 a およびドレイン電極 4 0 6 b 上にあり、酸化物半導体層 4 0 4 と上面の高さの揃った絶縁膜 4 1 8 a および絶縁膜 4 1 8 b と、酸化物半導体層 4 0 4、ソース電極 4 0 6 a およびドレイン電極 4 0 6 b 上のゲート絶縁膜 4 0 8 a と、ゲート絶縁膜 4 0 8 a 上のゲート絶縁膜 4 0 8 b と、ゲート絶縁膜 4 0 8 b の上面に接し、酸化物半導体層 4 0 4 の上面および側面に面するゲート電極 4 1 0 と、ソース電極 4 0 6 a、ドレイン電極 4 0 6 b、およびゲート電極 4 1 0 上の絶縁膜 4 1 2 と、を有する。なお、下地絶縁膜 4 0 2 が凸部を有さなくても構わない。なお、酸化物半導体層 4 0 4 は、トランジスタ構造 2 と同様の構成である。

【 0 1 6 2 】

図 9 に示すトランジスタにおいて、ソース電極 4 0 6 a またはドレイン電極 4 0 6 b は、主に酸化物半導体層 4 0 4 の側面と接するよう配置される。したがって、ゲート電極 4 1 0 から酸化物半導体層 4 0 4 へ印加される電界が、ソース電極 4 0 6 a およびドレイン電極 4 0 6 b によって妨げられることがほとんどない。そのため、図 3、図 6 および図 7 に示したトランジスタと比べ、酸化物半導体層中の電流経路を広くとることが可能となり、さらに高いオン電流を得ることができる。

【 0 1 6 3 】

また、酸化物半導体層 4 0 4 と、絶縁膜 4 1 8 a および絶縁膜 4 1 8 b と、の上面の高さが揃っていることで、形状不良を起こしにくい構造である。したがって、該トランジスタを有する半導体装置は、歩留り高く作製することができる。

【 0 1 6 4 】

なお、絶縁膜 4 1 8 a および絶縁膜 4 1 8 b は、下地絶縁膜 4 0 2 についての記載を参照する。

【 0 1 6 5 】

< トランジスタ構造 4 >

トランジスタ構造 1 乃至トランジスタ構造 3 に記載のトランジスタ構造はすべてトップゲート構造であったが、ボトムゲート構造でも構わない。図 1 0 (A) および図 1 0 (B

10

20

30

40

50

）は、ボトムゲート構造のトランジスタの上面図および断面図である。図10（A）は上面図であり、図10（B）は、図10（A）に示す一点鎖線A1 - A2、および一点鎖線A3 - A4に対応する断面図である。なお、図10（A）の上面図では、図の明瞭化のために一部の要素を省いて図示している。

【0166】

図10（A）および図10（B）に示すトランジスタは、基板400上の下地絶縁膜402と、下地絶縁膜402上のゲート電極410と、下地絶縁膜402およびゲート電極410上のゲート絶縁膜408bと、ゲート絶縁膜408b上のゲート絶縁膜408aと、ゲート絶縁膜408a上の酸化物半導体層404と、ゲート絶縁膜408aの上面、酸化物半導体層404の上面および側面に接するソース電極406aおよびドレイン電極406bと、酸化物半導体層404、ソース電極406aおよびドレイン電極406b上の絶縁膜412と、を有する。なお、酸化物半導体層404は、トランジスタ構造2と同様の構成である。

10

【0167】

なお、図11（A）、図11（B）に示すように、ソース電極406aおよびドレイン電極406bと、酸化物半導体層404との間に、絶縁膜413を設けてもよい。その場合には、絶縁膜413に設けられた開口部を介して、ソース電極406aおよびドレイン電極406bと、酸化物半導体層404とが接続される。なお、絶縁膜412の上に、さらに、図11（C）に示すように導電膜414を設けてもよい。導電膜414は、バックゲートとして機能させることが出来る。導電膜414は、ゲート電極410と接続されてもよい。または、導電膜414には、ゲート電極410とは異なる信号や電位が供給されていてもよい。なお、絶縁膜413は、酸化物半導体層404の外側にも設けられているが、本発明の実施形態の一態様は、これに限定されない。絶縁膜413は、酸化物半導体層404の上のみ設けてもよい。

20

【0168】

なお、本実施の形態において、チャネルなどにおいて、酸化物半導体層を用いた場合の例を示したが、本発明の一態様は、これに限定されない。例えば、チャネルやその近傍、ソース領域、ドレイン領域などにおいて、場合によっては、または、状況に応じて、Si（シリコン）、Ge（ゲルマニウム）、SiGe（シリコンゲルマニウム）、GaAs（ガリウムヒ素）、などを有する材料で形成してもよい。

30

【0169】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせる用いることができる。

【0170】

（実施の形態3）

本実施の形態では、本発明の一態様のトランジスタを利用した回路の一例について図面を参照して説明する。

【0171】

〔断面構造〕

図12（A）に本発明の一態様の半導体装置の断面図を示す。図12（A）に示す半導体装置は、下部に第1の半導体材料を用いたトランジスタ2200を有し、上部に第2の半導体材料を用いたトランジスタ2100を有している。図12（A）では、第2の半導体材料を用いたトランジスタ2100として、先の実施の形態で例示したトランジスタを適用した例を示している。

40

【0172】

第1の半導体材料と第2の半導体材料は異なる禁制帯幅を持つ材料とすることが好ましい。例えば、第1の半導体材料を酸化物半導体以外の半導体材料（シリコン、ゲルマニウム、シリコンゲルマニウム、炭化シリコン、またはガリウムヒ素など）とし、第2の半導体材料を酸化物半導体とすることが出来る。酸化物半導体以外の材料として単結晶シリコンなどを用いたトランジスタは、高速動作が容易である。一方で、酸化物半導体を用いた

50

トランジスタは、オフ電流が低い。

【0173】

トランジスタ2200は、nチャネル型のトランジスタまたはpチャネル型のトランジスタのいずれであってもよく、回路によって適切なトランジスタを用いればよい。また、酸化物半導体を用いた本発明の一態様のトランジスタを用いるほかは、用いる材料や構造など、半導体装置の具体的な構成をここで示すものに限定する必要はない。

【0174】

図12(A)に示す構成では、トランジスタ2200の上部に、絶縁膜2201、絶縁膜2207を介してトランジスタ2100が設けられている。また、トランジスタ2200とトランジスタ2100の間には、複数の配線2202が設けられている。また、各種絶縁膜に埋め込まれた複数のプラグ2203により、上層と下層にそれぞれ設けられた配線や電極が電氣的に接続されている。また、トランジスタ2100を覆う絶縁膜2204と、絶縁膜2204上に配線2205と、トランジスタ2100の一对の電極と同一の導電膜を加工して得られた配線2206と、が設けられている。

【0175】

このように、2種類のトランジスタを積層することにより、回路の占有面積が低減され、より高密度に複数の回路を配置することができる。

【0176】

ここで、下層に設けられるトランジスタ2200にシリコン系半導体材料を用いた場合、トランジスタ2200の半導体膜の近傍に設けられる絶縁膜中の水素はシリコンのダングリングボンドを終端し、トランジスタ2200の信頼性を向上させる効果がある。一方、上層に設けられるトランジスタ2100に酸化物半導体を用いた場合、トランジスタ2100の半導体膜の近傍に設けられる絶縁膜中の水素は、酸化物半導体中にキャリアを生成する要因の一つとなるため、トランジスタ2100の信頼性を低下させる要因となる場合がある。したがって、シリコン系半導体材料を用いたトランジスタ2200の上層に酸化物半導体を用いたトランジスタ2100を積層して設ける場合、これらの間に水素の拡散を防止する機能を有する絶縁膜2207を設けることは特に効果的である。絶縁膜2207により、下層に水素を閉じ込めることでトランジスタ2200の信頼性が向上することに加え、下層から上層に水素が拡散することが抑制されることでトランジスタ2100の信頼性も同時に向上させることができる。

【0177】

絶縁膜2207としては、例えば酸化アルミニウム、酸化窒化アルミニウム、酸化ガリウム、酸化窒化ガリウム、酸化イットリウム、酸化窒化イットリウム、酸化ハフニウム、酸化窒化ハフニウム、イットリア安定化ジルコニア(YSZ)等を用いることができる。

【0178】

また、酸化物半導体層を含んで構成されるトランジスタ2100を覆うように、トランジスタ2100上に水素の拡散を防止する機能を有する絶縁膜2208を形成することが好ましい。絶縁膜2208としては、絶縁膜2207と同様の材料を用いることができ、特に酸化アルミニウムを適用することが好ましい。酸化アルミニウム膜は、水素、水分などの不純物および酸素の双方に対して膜を透過させない遮断(ブロッキング)効果が高い。したがって、トランジスタ2100を覆う絶縁膜2208として酸化アルミニウム膜を用いることで、トランジスタ2100に含まれる酸化物半導体層からの酸素の脱離を防止するとともに、酸化物半導体層への水および水素の混入を防止することができる。

【0179】

なお、トランジスタ2200は、プレーナ型のトランジスタだけでなく、様々なタイプのトランジスタとすることができる。例えば、FIN(フィン)型、TRI-GATE(トライゲート)型などのトランジスタなどとすることができる。その場合の断面図の例を、図12(D)に示す。半導体基板2211の上に、絶縁層2212が設けられている。半導体基板2211は、先端の細い凸部(フィンともいう。)を有する。なお、凸部の上には、絶縁膜が設けられていてもよい。その絶縁膜は、凸部を形成するときに、半導体基

板 2 2 1 1 がエッチングされないようにするためのマスクとして機能するものである。なお、凸部は、先端が細くなくてもよく、例えば、略直方体の凸部であってもよいし、先端が太い凸部であってもよい。半導体基板 2 2 1 1 の凸部の上には、ゲート絶縁膜 2 2 1 4 が設けられ、その上には、ゲート電極 2 2 1 3 が設けられている。半導体基板 2 2 1 1 には、ソース領域およびドレイン領域 2 2 1 5 が形成されている。なお、ここでは、半導体基板 2 2 1 1 が、凸部を有する例を示したが、本発明の一態様に係る半導体装置は、これに限定されない。例えば、S O I 基板を加工して、凸部を有する半導体領域を形成しても構わない。

【 0 1 8 0 】

[回路構成例]

上記構成において、トランジスタ 2 1 0 0 やトランジスタ 2 2 0 0 の電極の接続構成を異ならせることにより、様々な回路を構成することができる。以下では、本発明の一態様の半導体装置を用いることにより実現できる回路構成の例を説明する。

【 0 1 8 1 】

[C M O S 回路]

図 1 2 (B) に示す回路図は、p チャネル型のトランジスタ 2 2 0 0 と n チャネル型のトランジスタ 2 1 0 0 を直列に接続し、且つそれぞれのゲートを接続した、いわゆる C M O S 回路の構成を示している。

【 0 1 8 2 】

[アナログスイッチ]

また、図 1 2 (C) に示す回路図は、トランジスタ 2 1 0 0 とトランジスタ 2 2 0 0 のそれぞれのソースとドレインを接続した構成を示している。このような構成とすることで、いわゆるアナログスイッチとして機能させることができる。

【 0 1 8 3 】

[記憶装置の例]

本発明の一態様であるトランジスタを使用し、電力が供給されない状況でも記憶内容の保持が可能で、かつ、書き込み回数にも制限が無い半導体装置（記憶装置）の一例を図 1 3 に示す。

【 0 1 8 4 】

図 1 3 (A) に示す半導体装置は、第 1 の半導体材料を用いたトランジスタ 3 2 0 0 と第 2 の半導体材料を用いたトランジスタ 3 3 0 0、および容量素子 3 4 0 0 を有している。なお、トランジスタ 3 3 0 0 としては、上記実施の形態で説明したトランジスタを用いることができる。

【 0 1 8 5 】

トランジスタ 3 3 0 0 は、酸化物半導体を有する半導体層にチャネルが形成されるトランジスタである。トランジスタ 3 3 0 0 は、オフ電流が小さいため、これを用いることにより長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作を必要としない、或いは、リフレッシュ動作の頻度が極めて少ない半導体記憶装置とすることが可能となるため、消費電力を十分に低減することができる。

【 0 1 8 6 】

図 1 3 (A) において、第 1 の配線 3 0 0 1 はトランジスタ 3 2 0 0 のソース電極と電氣的に接続され、第 2 の配線 3 0 0 2 はトランジスタ 3 2 0 0 のドレイン電極と電氣的に接続されている。また、第 3 の配線 3 0 0 3 はトランジスタ 3 3 0 0 のソース電極またはドレイン電極の一方と電氣的に接続され、第 4 の配線 3 0 0 4 はトランジスタ 3 3 0 0 のゲート電極と電氣的に接続されている。そして、トランジスタ 3 2 0 0 のゲート電極、およびトランジスタ 3 3 0 0 のソース電極またはドレイン電極の他方は、容量素子 3 4 0 0 の電極の一方と電氣的に接続され、第 5 の配線 3 0 0 5 は容量素子 3 4 0 0 の電極の他方と電氣的に接続されている。

【 0 1 8 7 】

図 1 3 (A) に示す半導体装置では、トランジスタ 3 2 0 0 のゲート電極の電位が保持

10

20

30

40

50

可能という特徴を活かすことで、次のように、情報の書き込み、保持、読み出しが可能である。

【 0 1 8 8 】

情報の書き込みおよび保持について説明する。まず、第 4 の配線 3 0 0 4 の電位を、トランジスタ 3 3 0 0 がオン状態となる電位にして、トランジスタ 3 3 0 0 をオン状態とする。これにより、第 3 の配線 3 0 0 3 の電位が、トランジスタ 3 2 0 0 のゲート電極、および容量素子 3 4 0 0 に与えられる。すなわち、トランジスタ 3 2 0 0 のゲート電極には、所定の電荷が与えられる（書き込み）。ここでは、異なる二つの電位レベルを与える電荷（以下 Low レベル電荷、High レベル電荷という）のいずれかが与えられるものとする。その後、第 4 の配線 3 0 0 4 の電位を、トランジスタ 3 3 0 0 がオフ状態となる電位にして、トランジスタ 3 3 0 0 をオフ状態とすることにより、トランジスタ 3 2 0 0 のゲート電極に与えられた電荷が保持される（保持）。

10

【 0 1 8 9 】

トランジスタ 3 3 0 0 のオフ電流は極めて小さいため、トランジスタ 3 2 0 0 のゲート電極の電荷は長時間にわたって保持される。

【 0 1 9 0 】

次に情報の読み出しについて説明する。第 1 の配線 3 0 0 1 に所定の電位（定電位）を与えた状態で、第 5 の配線 3 0 0 5 に適切な電位（読み出し電位）を与えると、トランジスタ 3 2 0 0 のゲート電極に保持された電荷量に応じて、第 2 の配線 3 0 0 2 は異なる電位をとる。一般に、トランジスタ 3 2 0 0 を n チャンネル型とすると、トランジスタ 3 2 0 0 のゲート電極に High レベル電荷が与えられている場合の見かけのしきい値 V_{th_H} は、トランジスタ 3 2 0 0 のゲート電極に Low レベル電荷が与えられている場合の見かけのしきい値 V_{th_L} より低くなるためである。ここで、見かけのしきい値電圧とは、トランジスタ 3 2 0 0 を「オン状態」とするために必要な第 5 の配線 3 0 0 5 の電位をいうものとする。したがって、第 5 の配線 3 0 0 5 の電位を V_{th_H} と V_{th_L} の間の電位 V_0 とすることにより、トランジスタ 3 2 0 0 のゲート電極に与えられた電荷を判別できる。例えば、書き込みにおいて、High レベル電荷が与えられていた場合には、第 5 の配線 3 0 0 5 の電位が V_0 ($> V_{th_H}$) となれば、トランジスタ 3 2 0 0 は「オン状態」となる。Low レベル電荷が与えられていた場合には、第 5 の配線 3 0 0 5 の電位が V_0 ($< V_{th_L}$) となっても、トランジスタ 3 2 0 0 は「オフ状態」のままである。このため、第 2 の配線 3 0 0 2 の電位を判別することで、保持されている情報を読み出すことができる。

20

30

【 0 1 9 1 】

なお、メモリセルをアレイ状に配置して用いる場合、所望のメモリセルの情報のみを読み出せることが必要になる。このように情報を読み出さない場合には、ゲート電極の状態にかかわらずトランジスタ 3 2 0 0 が「オフ状態」となるような電位、つまり、 V_{th_H} より小さい電位を第 5 の配線 3 0 0 5 に与えればよい。または、ゲート電極の状態にかかわらずトランジスタ 3 2 0 0 が「オン状態」となるような電位、つまり、 V_{th_L} より大きい電位を第 5 の配線 3 0 0 5 に与えればよい。

【 0 1 9 2 】

40

図 1 3 (B) に示す半導体装置は、トランジスタ 3 2 0 0 を設けていない点で図 1 3 (A) と相違している。この場合も上記と同様の動作により情報の書き込みおよび保持動作が可能である。

【 0 1 9 3 】

次に、情報の読み出しについて説明する。トランジスタ 3 3 0 0 がオン状態となると、浮遊状態である第 3 の配線 3 0 0 3 と容量素子 3 4 0 0 とが導通し、第 3 の配線 3 0 0 3 と容量素子 3 4 0 0 の間で電荷が再分配される。その結果、第 3 の配線 3 0 0 3 の電位が変化する。第 3 の配線 3 0 0 3 の電位の変化量は、容量素子 3 4 0 0 の電極の一方の電位（あるいは容量素子 3 4 0 0 に蓄積された電荷）によって、異なる値をとる。

【 0 1 9 4 】

50

例えば、容量素子 3 4 0 0 の電極の一方の電位を V 、容量素子 3 4 0 0 の容量を C 、第 3 の配線 3 0 0 3 が有する容量成分を C_B 、電荷が再分配される前の第 3 の配線 3 0 0 3 の電位を $V_B 0$ とすると、電荷が再分配された後の第 3 の配線 3 0 0 3 の電位は、 $(C_B \times V_B 0 + C \times V) / (C_B + C)$ となる。したがって、メモリセルの状態として、容量素子 3 4 0 0 の電極の一方の電位が V_1 と V_0 ($V_1 > V_0$) の 2 状態をとるとすると、電位 V_1 を保持している場合の第 3 の配線 3 0 0 3 の電位 ($= (C_B \times V_B 0 + C \times V_1) / (C_B + C)$) は、電位 V_0 を保持している場合の第 3 の配線 3 0 0 3 の電位 ($= C_B \times V_B 0 + C \times V_0) / (C_B + C)$) よりも高くなることがわかる。

【 0 1 9 5 】

そして、第 3 の配線 3 0 0 3 の電位を所定の電位と比較することで、情報を読み出すことができる。

10

【 0 1 9 6 】

この場合、メモリセルを駆動させるための駆動回路に上記第 1 の半導体材料が適用されたトランジスタを用い、トランジスタ 3 3 0 0 として第 2 の半導体材料が適用されたトランジスタを駆動回路上に積層して設ける構成とすればよい。

【 0 1 9 7 】

本実施の形態に示す半導体装置では、チャネル形成領域に酸化物半導体を用いたオフ電流の極めて小さいトランジスタを適用することで、極めて長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作が不要となるか、または、リフレッシュ動作の頻度を極めて低くすることが可能となるため、消費電力を十分に低減することができる。また、電力の供給がない場合（ただし、電位は固定されていることが望ましい）であっても、長期にわたって記憶内容を保持することが可能である。

20

【 0 1 9 8 】

また、本実施の形態に示す半導体装置では、情報の書き込みに高い電圧を必要とせず、素子の劣化の問題もない。例えば、従来の不揮発性メモリのように、フローティングゲートへの電子の注入や、フローティングゲートからの電子の引き抜きを行う必要がないため、ゲート絶縁膜の劣化といった問題が全く生じない。すなわち、開示する発明に係る半導体装置では、従来の不揮発性メモリで問題となっている書き換え可能回数に制限はなく、信頼性が飛躍的に向上する。さらに、トランジスタのオン状態、オフ状態によって、情報の書き込みが行われるため、高速な動作も容易に実現しうる。

30

【 0 1 9 9 】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせる用いることができる。

【 0 2 0 0 】

（実施の形態 4）

本実施の形態では、先の実施の形態で説明したトランジスタ、または記憶装置を含む R F タグについて、図 1 4 を参照して説明する。

【 0 2 0 1 】

本実施の形態における R F タグは、内部に記憶回路を有し、記憶回路に必要な情報を記憶し、非接触手段、例えば無線通信を用いて外部と情報の授受を行うものである。このような特徴から、R F タグは、物品などの個体情報を読み取ることにより物品の識別を行う個体認証システムなどに用いることが可能である。なお、これらの用途に用いるためには極めて高い信頼性が要求される。

40

【 0 2 0 2 】

R F タグの構成について図 1 4 を用いて説明する。図 1 4 は、R F タグの構成例を示すブロック図である。

【 0 2 0 3 】

図 1 4 に示すように R F タグ 8 0 0 は、通信器 8 0 1（質問器、リーダ／ライタなどともいう）に接続されたアンテナ 8 0 2 から送信される無線信号 8 0 3 を受信するアンテナ 8 0 4 を有する。また R F タグ 8 0 0 は、整流回路 8 0 5、定電圧回路 8 0 6、復調回路

50

８０７、変調回路８０８、論理回路８０９、記憶回路８１０、ＲＯＭ８１１を有している。なお、復調回路８０７に含まれる整流作用を示すトランジスタに逆方向電流を十分に抑制することが可能な材料、例えば、酸化物半導体、が用いられた構成としてもよい。これにより、逆方向電流に起因する整流作用の低下を抑制し、復調回路の出力が飽和することを防止できる。つまり、復調回路の入力に対する復調回路の出力を線形に近づけることができる。なお、データの伝送形式は、一对のコイルを対向配置して相互誘導によって交信を行う電磁結合方式、誘導電磁界によって交信する電磁誘導方式、電波を利用して交信する電波方式の３つに大別される。本実施の形態に示すＲＦタグ８００は、そのいずれの方式に用いることも可能である。

【０２０４】

10

次に各回路の構成について説明する。アンテナ８０４は、通信器８０１に接続されたアンテナ８０２との間で無線信号８０３の送受信を行うためのものである。また、整流回路８０５は、アンテナ８０４で無線信号を受信することにより生成される入力交流信号を整流、例えば、半波２倍圧整流し、後段に設けられた容量素子により、整流された信号を平滑化することで入力電位を生成するための回路である。なお、整流回路８０５の入力側または出力側には、リミッタ回路を設けてもよい。リミッタ回路とは、入力交流信号の振幅が大きく、内部生成電圧が大きい場合に、ある電力以上の電力を後段の回路に入力しないように制御するための回路である。

【０２０５】

定電圧回路８０６は、入力電位から安定した電源電圧を生成し、各回路に供給するための回路である。なお、定電圧回路８０６は、内部にリセット信号生成回路を有していてもよい。リセット信号生成回路は、安定した電源電圧の立ち上がりを利用して、論理回路８０９のリセット信号を生成するための回路である。

20

【０２０６】

復調回路８０７は、入力交流信号を包絡線検出することにより復調し、復調信号を生成するための回路である。また、変調回路８０８は、アンテナ８０４より出力するデータに応じて変調を行うための回路である。

【０２０７】

論理回路８０９は復調信号を解析し、処理を行うための回路である。記憶回路８１０は、入力された情報を保持する回路であり、ロウデコーダ、カラムデコーダ、記憶領域などを有する。また、ＲＯＭ８１１は、固有番号（ＩＤ）などを格納し、処理に応じて出力を行うための回路である。

30

【０２０８】

なお、上述の各回路は、必要に応じて、適宜、取捨することができる。

【０２０９】

ここで、先の実施の形態で説明した記憶回路を、記憶回路８１０に用いることができる。本発明の一態様の記憶回路は、電源が遮断された状態であっても情報を保持できるため、ＲＦタグに好適に用いることができる。さらに本発明の一態様の記憶回路は、データの書き込みに必要な電力（電圧）が従来の不揮発性メモリに比べて著しく小さいため、データの読み出し時と書き込み時の最大通信距離の差を生じさせないことも可能である。さらに、データの書き込み時に電力が不足し、誤動作または誤書き込みが生じることを抑制することができる。

40

【０２１０】

また、本発明の一態様の記憶回路は、不揮発性のメモリとして用いることが可能であるため、ＲＯＭ８１１に適用することもできる。その場合には、生産者がＲＯＭ８１１にデータを書き込むためのコマンドを別途用意し、ユーザが自由に書き換えできないようにしておくことが好ましい。生産者が出荷前に固有番号を書込んだのちに製品を出荷することで、作製したＲＦタグすべてについて固有番号を付与するのではなく、出荷する良品のみ固有番号を割り当てることが可能となり、出荷後の製品の固有番号が不連続になることがなく出荷後の製品に対応した顧客管理が容易となる。

50

【0211】

(実施の形態5)

本実施の形態では、少なくとも実施の形態で説明したトランジスタを用いることができ、先の実施の形態で説明した記憶装置を含むCPUについて説明する。

【0212】

図15は、先の実施の形態で説明したトランジスタを少なくとも一部に用いたCPUの一例の構成を示すブロック図である。

【0213】

図15に示すCPUは、基板1190上に、ALU1191(ALU: Arithmetic logic unit、演算回路)、ALUコントローラ1192、インストラクションデコーダ1193、インタラプトコントローラ1194、タイミングコントローラ1195、レジスタ1196、レジスタコントローラ1197、バスインターフェース1198(Bus I/F)、書き換え可能なROM1199、およびROMインターフェース1189(ROM I/F)を有している。基板1190は、半導体基板、SOI基板、ガラス基板などを用いる。ROM1199およびROMインターフェース1189は、別チップに設けてもよい。もちろん、図15に示すCPUは、その構成を簡略化して示した一例にすぎず、実際のCPUはその用途によって多種多様な構成を有している。例えば、図15に示すCPUまたは演算回路を含む構成を一つのコアとし、当該コアを複数含み、それぞれのコアが並列で動作するような構成としてもよい。また、CPUが内部演算回路やデータバスで扱えるビット数は、例えば8ビット、16ビット、32ビット、64ビットなどとすることができる。

【0214】

バスインターフェース1198を介してCPUに入力された命令は、インストラクションデコーダ1193に入力され、デコードされた後、ALUコントローラ1192、インタラプトコントローラ1194、レジスタコントローラ1197、タイミングコントローラ1195に入力される。

【0215】

ALUコントローラ1192、インタラプトコントローラ1194、レジスタコントローラ1197、タイミングコントローラ1195は、デコードされた命令に基づき、各種制御を行う。具体的にALUコントローラ1192は、ALU1191の動作を制御するための信号を生成する。また、インタラプトコントローラ1194は、CPUのプログラム実行中に、外部の入出力装置や、周辺回路からの割り込み要求を、その優先度やマスク状態から判断し、処理する。レジスタコントローラ1197は、レジスタ1196のアドレスを生成し、CPUの状態に応じてレジスタ1196の読み出しや書き込みを行う。

【0216】

また、タイミングコントローラ1195は、ALU1191、ALUコントローラ1192、インストラクションデコーダ1193、インタラプトコントローラ1194、およびレジスタコントローラ1197の動作のタイミングを制御する信号を生成する。例えばタイミングコントローラ1195は、基準クロック信号CLK1を元に、内部クロック信号CLK2を生成する内部クロック生成部を備えており、内部クロック信号CLK2を上記各種回路に供給する。

【0217】

図15に示すCPUでは、レジスタ1196に、メモリセルが設けられている。レジスタ1196のメモリセルとして、先の実施の形態に示したトランジスタを用いることができる。

【0218】

図15に示すCPUにおいて、レジスタコントローラ1197は、ALU1191からの指示に従い、レジスタ1196における保持動作の選択を行う。すなわち、レジスタ1196が有するメモリセルにおいて、フリップフロップによるデータの保持を行うか、容量素子によるデータの保持を行うかを、選択する。フリップフロップによるデータの保持

が選択されている場合、レジスタ 1196 内のメモリセルへの、電源電圧の供給が行われる。容量素子におけるデータの保持が選択されている場合、容量素子へのデータの書き換えが行われ、レジスタ 1196 内のメモリセルへの電源電圧の供給を停止することができる。

【0219】

図 16 は、レジスタ 1196 として用いることのできる記憶素子の回路図の一例である。記憶素子 1200 は、電源遮断で記憶データが揮発する回路 1201 と、電源遮断で記憶データが揮発しない回路 1202 と、スイッチ 1203 と、スイッチ 1204 と、論理素子 1206 と、容量素子 1207 と、選択機能を有する回路 1220 と、を有する。回路 1202 は、容量素子 1208 と、トランジスタ 1209 と、トランジスタ 1210 と、を有する。なお、記憶素子 1200 は、必要に応じて、ダイオード、抵抗素子、インダクタなどのその他の素子をさらに有していても良い。

10

【0220】

ここで、回路 1202 には、先の実施の形態で説明した記憶装置を用いることができる。記憶素子 1200 への電源電圧の供給が停止した際、回路 1202 のトランジスタ 1209 のゲートには接地電位 (0V)、またはトランジスタ 1209 がオフする電位が入力され続ける構成とする。例えば、トランジスタ 1209 のゲートが抵抗等の負荷を介して接地される構成とする。

【0221】

スイッチ 1203 は、一導電型 (例えば、nチャネル型) のトランジスタ 1213 を用いて構成され、スイッチ 1204 は、一導電型とは逆の導電型 (例えば、pチャネル型) のトランジスタ 1214 を用いて構成した例を示す。ここで、スイッチ 1203 の第 1 の端子はトランジスタ 1213 のソースとドレインの一方に対応し、スイッチ 1203 の第 2 の端子はトランジスタ 1213 のソースとドレインの他方に対応し、スイッチ 1203 はトランジスタ 1213 のゲートに入力される制御信号 RD によって、第 1 の端子と第 2 の端子の間の導通または非導通 (つまり、トランジスタ 1213 のオン状態またはオフ状態) が選択される。スイッチ 1204 の第 1 の端子はトランジスタ 1214 のソースとドレインの一方に対応し、スイッチ 1204 の第 2 の端子はトランジスタ 1214 のソースとドレインの他方に対応し、スイッチ 1204 はトランジスタ 1214 のゲートに入力される制御信号 RD によって、第 1 の端子と第 2 の端子の間の導通または非導通 (つまり、トランジスタ 1214 のオン状態またはオフ状態) が選択される。

20

30

【0222】

トランジスタ 1209 のソースとドレインの一方は、容量素子 1208 の一対の電極のうち的一方、およびトランジスタ 1210 のゲートと電気的に接続される。ここで、接続部分をノード M2 とする。トランジスタ 1210 のソースとドレインの一方は、低電源電位を供給することのできる配線 (例えば GND 線) に電気的に接続され、他方は、スイッチ 1203 の第 1 の端子 (トランジスタ 1213 のソースとドレインの一方) と電気的に接続される。スイッチ 1203 の第 2 の端子 (トランジスタ 1213 のソースとドレインの他方) はスイッチ 1204 の第 1 の端子 (トランジスタ 1214 のソースとドレインの一方) と電気的に接続される。スイッチ 1204 の第 2 の端子 (トランジスタ 1214 のソースとドレインの他方) は電源電位 VDD を供給することのできる配線と電気的に接続される。スイッチ 1203 の第 2 の端子 (トランジスタ 1213 のソースとドレインの他方) と、スイッチ 1204 の第 1 の端子 (トランジスタ 1214 のソースとドレインの一方) と、論理素子 1206 の入力端子と、容量素子 1207 の一対の電極のうち的一方と、は電気的に接続される。ここで、接続部分をノード M1 とする。容量素子 1207 の一対の電極のうち他方は、一定の電位が入力される構成とすることができる。例えば、低電源電位 (GND 等) または高電源電位 (VDD 等) が入力される構成とすることができる。容量素子 1207 の一対の電極のうち他方は、低電源電位を供給することのできる配線 (例えば GND 線) と電気的に接続される。容量素子 1208 の一対の電極のうち他方は、一定の電位が入力される構成とすることができる。例えば、低電源電位 (GND

40

50

等)または高電源電位(VDD等)が入力される構成とすることができる。容量素子1208の一对の電極のうちの他方は、低電源電位を供給することのできる配線(例えばGND線)と電氣的に接続される。

【0223】

なお、容量素子1207および容量素子1208は、トランジスタや配線の寄生容量等を積極的に利用することによって省略することも可能である。

【0224】

トランジスタ1209の第1ゲート(第1のゲート電極)には、制御信号WEが入力される。スイッチ1203およびスイッチ1204は、制御信号WEとは異なる制御信号RDによって第1の端子と第2の端子の間の導通状態または非導通状態を選択され、一方のスイッチの第1の端子と第2の端子の間が導通状態のとき他方のスイッチの第1の端子と第2の端子の間は非導通状態となる。

10

【0225】

トランジスタ1209のソースとドレインの他方には、回路1201に保持されたデータに対応する信号が入力される。図16では、回路1201から出力された信号が、トランジスタ1209のソースとドレインの他方に入力される例を示した。スイッチ1203の第2の端子(トランジスタ1213のソースとドレインの他方)から出力される信号は、論理素子1206によってその論理値が反転された反転信号となり、回路1220を介して回路1201に入力される。

【0226】

20

なお、図16では、スイッチ1203の第2の端子(トランジスタ1213のソースとドレインの他方)から出力される信号は、論理素子1206および回路1220を介して回路1201に入力する例を示したがこれに限定されない。スイッチ1203の第2の端子(トランジスタ1213のソースとドレインの他方)から出力される信号が、論理値を反転させられることなく、回路1201に入力されてもよい。例えば、回路1201内に、入力端子から入力された信号の論理値が反転した信号が保持されるノードが存在する場合に、スイッチ1203の第2の端子(トランジスタ1213のソースとドレインの他方)から出力される信号を当該ノードに入力することができる。

【0227】

また、図16において、記憶素子1200に用いられるトランジスタのうち、トランジスタ1209以外のトランジスタは、酸化物半導体以外の半導体でなる層または基板1190にチャネルが形成されるトランジスタとすることができる。例えば、シリコン層またはシリコン基板にチャネルが形成されるトランジスタとすることができる。また、記憶素子1200に用いられるトランジスタ全てを、チャネルが酸化物半導体層で形成されるトランジスタとすることもできる。または、記憶素子1200は、トランジスタ1209以外にも、チャネルが酸化物半導体層で形成されるトランジスタを含んでいてもよく、残りのトランジスタは酸化物半導体以外の半導体でなる層または基板1190にチャネルが形成されるトランジスタとすることもできる。

30

【0228】

図16における回路1201には、例えばフリップフロップ回路を用いることができる。また、論理素子1206としては、例えばインバータやクロックドインバータ等を用いることができる。

40

【0229】

本発明の一態様に係る半導体装置では、記憶素子1200に電源電圧が供給されない間は、回路1201に記憶されていたデータを、回路1202に設けられた容量素子1208によって保持することができる。

【0230】

また、酸化物半導体層にチャネルが形成されるトランジスタはオフ電流が極めて小さい。例えば、酸化物半導体層にチャネルが形成されるトランジスタのオフ電流は、結晶性を有するシリコンにチャネルが形成されるトランジスタのオフ電流に比べて著しく低い。そ

50

のため、当該トランジスタをトランジスタ１２０９として用いることによって、記憶素子１２００に電源電圧が供給されない間も容量素子１２０８に保持された信号は長期間にわたり保たれる。こうして、記憶素子１２００は電源電圧の供給が停止した間も記憶内容（データ）を保持することが可能である。

【０２３１】

また、スイッチ１２０３およびスイッチ１２０４を設けることによって、プリチャージ動作を行うことを特徴とする記憶素子であるため、電源電圧供給再開後に、回路１２０１が元のデータを保持しなおすまでの時間を短くすることができる。

【０２３２】

また、回路１２０２において、容量素子１２０８によって保持された信号はトランジスタ１２１０のゲートに入力される。そのため、記憶素子１２００への電源電圧の供給が再開された後、容量素子１２０８によって保持された信号を、トランジスタ１２１０の状態（オン状態、またはオフ状態）に変換して、回路１２０２から読み出すことができる。それ故、容量素子１２０８に保持された信号に対応する電位が多少変動していても、元の信号を正確に読み出すことが可能である。

【０２３３】

このような記憶素子１２００を、プロセッサが有するレジスタやキャッシュメモリなどの記憶装置に用いることで、電源電圧の供給停止による記憶装置内のデータの消失を防ぐことができる。また、電源電圧の供給を再開した後、短時間で電源供給停止前の状態に復帰することができる。よって、プロセッサ全体、もしくはプロセッサを構成する一つ、または複数の論理回路において、短い時間でも電源停止を行うことができるため、消費電力を抑えることができる。

【０２３４】

本実施の形態では、記憶素子１２００をＣＰＵに用いる例として説明したが、記憶素子１２００は、ＤＳＰ（Digital Signal Processor）、カスタムＬＳＩ、ＰＬＤ（Programmable Logic Device）等のＬＳＩ、ＲＦ（Radio Frequency）デバイスにも応用可能である。

【０２３５】

（実施の形態６）

本実施の形態では、本発明の一態様の表示装置の構成例について説明する。

【０２３６】

〔構成例〕

図１７（Ａ）は、本発明の一態様の表示装置の上面図であり、図１７（Ｂ）は、本発明の一態様の表示装置の画素に液晶素子を適用する場合に用いることができる画素回路を説明するための回路図である。また、図１７（Ｃ）は、本発明の一態様の表示装置の画素に有機ＥＬ素子を適用する場合に用いることができる画素回路を説明するための回路図である。

【０２３７】

画素部に配置するトランジスタは、上記実施の形態に従って形成することができる。また、当該トランジスタはｎチャネル型とすることが容易なので、駆動回路のうち、ｎチャネル型トランジスタで構成することができる駆動回路の一部を画素部のトランジスタと同一基板上に形成する。このように、画素部や駆動回路に上記実施の形態に示すトランジスタを用いることにより、信頼性の高い表示装置を提供することができる。

【０２３８】

アクティブマトリクス型表示装置の上面図の一例を図１７（Ａ）に示す。表示装置の基板７００上には、画素部７０１、第１の走査線駆動回路７０２、第２の走査線駆動回路７０３、信号線駆動回路７０４を有する。画素部７０１には、複数の信号線が信号線駆動回路７０４から延伸して配置され、複数の走査線が第１の走査線駆動回路７０２、および第２の走査線駆動回路７０３から延伸して配置されている。なお走査線と信号線との交差領域には、各々、表示素子を有する画素がマトリクス状に設けられている。また、表示装置

の基板 700 は FPC (Flexible Printed Circuit) 等の接続部を介して、タイミング制御回路 (コントローラ、制御 IC ともいう) に接続されている。

【0239】

図 17 (A) では、第 1 の走査線駆動回路 702、第 2 の走査線駆動回路 703、信号線駆動回路 704 は、画素部 701 と同じ基板 700 上に形成される。そのため、外部に設ける駆動回路等の部品の数が減るので、コストの低減を図ることができる。また、基板 700 外部に駆動回路を設けた場合、配線を延伸させる必要が生じ、配線間の接続数が増える。同じ基板 700 上に駆動回路を設けた場合、その配線間の接続数を減らすことができ、信頼性の向上、または歩留まりの向上を図ることができる。

10

【0240】

〔液晶表示装置〕

また、画素の回路構成の一例を図 17 (B) に示す。ここでは、VA 型液晶表示装置の画素に適用することができる画素回路を示す。

【0241】

この画素回路は、一つの画素に複数の画素電極層を有する構成に適用できる。それぞれの画素電極層は異なるトランジスタに接続され、各トランジスタは異なるゲート信号で駆動できるように構成されている。これにより、マルチドメイン設計された画素の個々の画素電極層に印加する信号を、独立して制御できる。

【0242】

トランジスタ 716 のゲート配線 712 と、トランジスタ 717 のゲート配線 713 には、異なるゲート信号を与えることができるように分離されている。一方、データ線として機能するソース電極層またはドレイン電極層 714 は、トランジスタ 716 とトランジスタ 717 で共通に用いられている。トランジスタ 716 とトランジスタ 717 は上記実施の形態で説明するトランジスタを適宜用いることができる。これにより、信頼性の高い液晶表示装置を提供することができる。

20

【0243】

トランジスタ 716 と電氣的に接続する第 1 の画素電極層と、トランジスタ 717 と電氣的に接続する第 2 の画素電極層の形状について説明する。第 1 の画素電極層と第 2 の画素電極層の形状は、スリットによって分離されている。第 1 の画素電極層は V 字型に広がる形状を有し、第 2 の画素電極層は第 1 の画素電極層の外側を囲むように形成される。

30

【0244】

トランジスタ 716 のゲート電極はゲート配線 712 と接続され、トランジスタ 717 のゲート電極はゲート配線 713 と接続されている。ゲート配線 712 とゲート配線 713 に異なるゲート信号を与えてトランジスタ 716 とトランジスタ 717 の動作タイミングを異ならせ、液晶の配向を制御できる。

【0245】

また、容量配線 710 と、誘電体として機能するゲート絶縁膜と、第 1 の画素電極層または第 2 の画素電極層と電氣的に接続する容量電極とで保持容量を形成してもよい。

【0246】

マルチドメイン構造は、一画素に第 1 の液晶素子 718 と第 2 の液晶素子 719 を備える。第 1 の液晶素子 718 は第 1 の画素電極層と対向電極層とその間の液晶層とで構成され、第 2 の液晶素子 719 は第 2 の画素電極層と対向電極層とその間の液晶層とで構成される。

40

【0247】

なお、図 17 (B) に示す画素回路は、これに限定されない。例えば、図 17 (B) に示す画素に新たにスイッチ、抵抗素子、容量素子、トランジスタ、センサ、または論理回路などを追加してもよい。

【0248】

〔有機 EL 表示装置〕

50

画素の回路構成の他の一例を図 17 (C) に示す。ここでは、有機 EL 素子を用いた表示装置の画素構造を示す。

【0249】

有機 EL 素子は、発光素子に電圧を印加することにより、一对の電極の一方から電子が、他方から正孔がそれぞれ発光性の有機化合物を含む層に注入され、電流が流れる。そして、電子および正孔が再結合することにより、発光性の有機化合物が励起状態を形成し、その励起状態が基底状態に戻る際に発光する。このようなメカニズムから、このような発光素子は、電流励起型の発光素子と呼ばれる。

【0250】

図 17 (C) は、適用可能な画素回路の一例を示す図である。ここでは n チャネル型のトランジスタを 1 つの画素に 2 つ用いる例を示す。なお、本発明の一態様の金属酸化物膜は、n チャネル型のトランジスタのチャネル形成領域に用いることができる。また、当該画素回路は、デジタル時間階調駆動を適用することができる。

【0251】

適用可能な画素回路の構成およびデジタル時間階調駆動を適用した場合の画素の動作について説明する。

【0252】

画素 720 は、スイッチング用トランジスタ 721、駆動用トランジスタ 722、発光素子 724 および容量素子 723 を有している。スイッチング用トランジスタ 721 は、ゲート電極層が走査線 726 に接続され、第 1 電極（ソース電極層およびドレイン電極層の一方）が信号線 725 に接続され、第 2 電極（ソース電極層およびドレイン電極層の他方）が駆動用トランジスタ 722 のゲート電極層に接続されている。駆動用トランジスタ 722 は、ゲート電極層が容量素子 723 を介して電源線 727 に接続され、第 1 電極が電源線 727 に接続され、第 2 電極が発光素子 724 の第 1 電極（画素電極）に接続されている。発光素子 724 の第 2 電極は共通電極 728 に相当する。共通電極 728 は、同一基板上に形成される共通電位線と電氣的に接続される。

【0253】

スイッチング用トランジスタ 721 および駆動用トランジスタ 722 は上記実施の形態で説明するトランジスタを適宜用いることができる。これにより、信頼性の高い有機 EL 表示装置を提供することができる。

【0254】

発光素子 724 の第 2 電極（共通電極 728）の電位は低電源電位に設定する。なお、低電源電位とは、電源線 727 に設定される高電源電位より低い電位であり、例えば GND、0V などを低電源電位として設定することができる。発光素子 724 の順方向のしきい値電圧以上となるように高電源電位と低電源電位を設定し、その電位差を発光素子 724 に印加することにより、発光素子 724 に電流を流して発光させる。なお、発光素子 724 の順方向電圧とは、所望の輝度とする場合の電圧を指しており、少なくとも順方向しきい値電圧を含む。

【0255】

なお、容量素子 723 は駆動用トランジスタ 722 のゲート容量を代用することにより省略できる。駆動用トランジスタ 722 のゲート容量については、チャネル形成領域とゲート電極層との間で容量が形成されていてもよい。

【0256】

次に、駆動用トランジスタ 722 に入力する信号について説明する。電圧入力電圧駆動方式の場合、駆動用トランジスタ 722 が十分にオンするか、オフするかの二つの状態となるようなビデオ信号を、駆動用トランジスタ 722 に入力する。なお、駆動用トランジスタ 722 を線形領域で動作させるために、電源線 727 の電圧よりも高い電圧を駆動用トランジスタ 722 のゲート電極層にかける。また、信号線 725 には、電源線電圧に駆動用トランジスタ 722 の閾値電圧 V_{th} を加えた値以上の電圧をかける。

【0257】

アナログ階調駆動を行う場合、駆動用トランジスタ 722 のゲート電極層に発光素子 724 の順方向電圧に駆動用トランジスタ 722 の閾値電圧 V_{th} を加えた値以上の電圧をかける。なお、駆動用トランジスタ 722 が飽和領域で動作するようにビデオ信号を入力し、発光素子 724 に電流を流す。また、駆動用トランジスタ 722 を飽和領域で動作させるために、電源線 727 の電位を、駆動用トランジスタ 722 のゲート電位より高くする。ビデオ信号をアナログとすることで、発光素子 724 にビデオ信号に応じた電流を流し、アナログ階調駆動を行うことができる。

【0258】

なお、画素回路の構成は、図 17 (C) に示す画素構成に限定されない。例えば、図 17 (C) に示す画素回路にスイッチ、抵抗素子、容量素子、センサ、トランジスタまたは論理回路などを追加してもよい。

10

【0259】

図 17 で例示した回路に上記実施の形態で例示したトランジスタを適用する場合、低電位側にソース電極（第 1 の電極）、高電位側にドレイン電極（第 2 の電極）がそれぞれ電氣的に接続される構成とする。さらに、制御回路等により第 1 のゲート電極の電位を制御し、第 2 のゲート電極には図示しない配線によりソース電極に与える電位よりも低い電位など、上記で例示した電位を入力可能な構成とすればよい。

【0260】

例えば、本明細書等において、表示素子、表示素子を有する装置である表示装置、発光素子、および発光素子を有する装置である発光装置は、様々な形態を用いること、または様々な素子を有することが出来る。表示素子、表示装置、発光素子または発光装置の一例としては、EL（エレクトロルミネッセンス）素子（有機物および無機物を含む EL 素子、有機 EL 素子、無機 EL 素子）、LED（白色 LED、赤色 LED、緑色 LED、青色 LED など）、トランジスタ（電流に応じて発光するトランジスタ）、電子放出素子、液晶素子、電子インク、電気泳動素子、グレーティングライトバルブ（GLV）、プラズマディスプレイパネル（PDP）、MEMS（マイクロ・エレクトロ・メカニカル・システム）、デジタルマイクロミラーデバイス（DMD）、DMS（デジタル・マイクロ・シャッター）、MIRASOL（登録商標）、IMOD（インターフェアレンス・モジュレーション）素子、エレクトロウェットティング素子、圧電セラミックディスプレイ、カーボンナノチューブ、など、電気磁気的作用により、コントラスト、輝度、反射率、透過率などが変化する表示媒体を有するものがある。EL 素子を用いた表示装置の一例としては、EL ディスプレイなどがある。電子放出素子を用いた表示装置の一例としては、フィールドエミッションディスプレイ（FED）または SED 方式平面型ディスプレイ（SED: Surface-conduction Electron-emitter Display）などがある。液晶素子を用いた表示装置の一例としては、液晶ディスプレイ（透過型液晶ディスプレイ、半透過型液晶ディスプレイ、反射型液晶ディスプレイ、直視型液晶ディスプレイ、投射型液晶ディスプレイ）などがある。電子インクまたは電気泳動素子を用いた表示装置の一例としては、電子ペーパーなどがある。

20

30

【0261】

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせる実施することができる。

40

【0262】

（実施の形態 7）

本実施の形態では、本発明の一態様の半導体装置を適用した表示モジュールについて、図 18 を用いて説明を行う。

【0263】

図 18 に示す表示モジュール 8000 は、上部カバー 8001 と下部カバー 8002 との間に、FPC 8003 に接続されたタッチパネル 8004、FPC 8005 に接続された表示パネル 8006、バックライトユニット 8007、フレーム 8009、プリント基板 8010、バッテリー 8011 を有する。なお、バックライトユニット 8007、バッ

50

テリー 8011、タッチパネル 8004などは、設けられない場合もある。

【0264】

本発明の一態様の半導体装置は、例えば、表示パネル 8006に用いることができる。

【0265】

上部カバー 8001および下部カバー 8002は、タッチパネル 8004および表示パネル 8006のサイズに合わせて、形状や寸法を適宜変更することができる。

【0266】

タッチパネル 8004は、抵抗膜方式または静電容量方式のタッチパネルを表示パネル 8006に重畳して用いることができる。また、表示パネル 8006の対向基板（封止基板）に、タッチパネル機能を持たせるようにすることも可能である。または、表示パネル 8006の各画素内に光センサを設け、光学式のタッチパネルとすることも可能である。または、表示パネル 8006の各画素内にタッチセンサ用電極を設け、静電容量方式のタッチパネルとすることも可能である。

10

【0267】

バックライトユニット 8007は、光源 8008を有する。光源 8008をバックライトユニット 8007の端部に設け、光拡散板を用いる構成としてもよい。

【0268】

フレーム 8009は、表示パネル 8006の保護機能の他、プリント基板 8010の動作により発生する電磁波を遮断するための電磁シールドとしての機能を有する。またフレーム 8009は、放熱板としての機能を有していてもよい。

20

【0269】

プリント基板 8010は、電源回路、ビデオ信号およびクロック信号を出力するための信号処理回路を有する。電源回路に電力を供給する電源としては、外部の商用電源であっても良いし、別途設けたバッテリー 8011による電源であってもよい。バッテリー 8011は、商用電源を用いる場合には、省略可能である。

【0270】

また、表示モジュール 8000には、偏光板、位相差板、プリズムシートなどの部材を追加して設けてもよい。

【0271】

本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせて用いることができる。

30

【0272】

（実施の形態 8）

本発明の一態様に係る半導体装置は、表示機器、パーソナルコンピュータ、記録媒体を備えた画像再生装置（代表的にはDVD: Digital Versatile Disc等の記録媒体を再生し、その画像を表示しうるディスプレイを有する装置）に用いることができる。その他に、本発明の一態様に係る半導体装置を用いることができる電子機器として、携帯電話、携帯型を含むゲーム機、携帯データ端末、電子書籍、ビデオカメラ、デジタルスチルカメラ等のカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置（カーオーディオ、デジタルオーディオプレーヤー等）、複写機、ファクシミリ、プリンタ、プリンタ複合機、現金自動預け入れ払い機（ATM）、自動販売機などが挙げられる。これら電子機器の具体例を図19に示す。

40

【0273】

図19（A）は携帯型ゲーム機であり、筐体 901、筐体 902、表示部 903、表示部 904、マイクロフォン 905、スピーカー 906、操作キー 907、スタイラス 908等を有する。なお、図19（A）に示した携帯型ゲーム機は、2つの表示部 903と表示部 904とを有しているが、携帯型ゲーム機が有する表示部の数は、これに限定されない。

【0274】

50

図 19 (B) は携帯データ端末であり、第 1 筐体 9 1 1、第 2 筐体 9 1 2、第 1 表示部 9 1 3、第 2 表示部 9 1 4、接続部 9 1 5、操作キー 9 1 6 等を有する。第 1 表示部 9 1 3 は第 1 筐体 9 1 1 に設けられており、第 2 表示部 9 1 4 は第 2 筐体 9 1 2 に設けられている。そして、第 1 筐体 9 1 1 と第 2 筐体 9 1 2 とは、接続部 9 1 5 により接続されており、第 1 筐体 9 1 1 と第 2 筐体 9 1 2 の間の角度は、接続部 9 1 5 により変更が可能である。第 1 表示部 9 1 3 における映像を、接続部 9 1 5 における第 1 筐体 9 1 1 と第 2 筐体 9 1 2 との間の角度に従って、切り替える構成としても良い。また、第 1 表示部 9 1 3 および第 2 表示部 9 1 4 の少なくとも一方に、位置入力装置としての機能が付加された表示装置を用いるようにしても良い。なお、位置入力装置としての機能は、表示装置にタッチパネルを設けることで付加することができる。或いは、位置入力装置としての機能は、フ

10

【 0 2 7 5 】

図 19 (C) はノート型パーソナルコンピュータであり、筐体 9 2 1、表示部 9 2 2、キーボード 9 2 3、ポインティングデバイス 9 2 4 等を有する。

【 0 2 7 6 】

図 19 (D) は電気冷凍冷蔵庫であり、筐体 9 3 1、冷蔵室用扉 9 3 2、冷凍室用扉 9 3 3 等を有する。

【 0 2 7 7 】

図 19 (E) はビデオカメラであり、第 1 筐体 9 4 1、第 2 筐体 9 4 2、表示部 9 4 3、操作キー 9 4 4、レンズ 9 4 5、接続部 9 4 6 等を有する。操作キー 9 4 4 およびレンズ 9 4 5 は第 1 筐体 9 4 1 に設けられており、表示部 9 4 3 は第 2 筐体 9 4 2 に設けられている。そして、第 1 筐体 9 4 1 と第 2 筐体 9 4 2 とは、接続部 9 4 6 により接続されており、第 1 筐体 9 4 1 と第 2 筐体 9 4 2 の間の角度は、接続部 9 4 6 により変更が可能である。表示部 9 4 3 における映像を、接続部 9 4 6 における第 1 筐体 9 4 1 と第 2 筐体 9 4 2 との間の角度に従って切り替える構成としても良い。

20

【 0 2 7 8 】

図 19 (F) は普通自動車であり、車体 9 5 1、車輪 9 5 2、ダッシュボード 9 5 3、ライト 9 5 4 等を有する。

【 0 2 7 9 】

30

(実施の形態 9)

本実施の形態では、本発明の一態様に係る R F デバイスの使用例について図 2 0 を用いながら説明する。R F デバイスの用途は広範にわたるが、例えば、紙幣、硬貨、有価証券類、無記名債券類、証書類 (運転免許証や住民票等、図 2 0 (A) 参照)、包装用容器類 (包装紙やボトル等、図 2 0 (C) 参照)、記録媒体 (D V D やビデオテープ等、図 2 0 (B) 参照)、乗り物類 (自転車等、図 2 0 (D) 参照)、身の回り品 (鞆や眼鏡等)、食品類、植物類、動物類、人体、衣類、生活用品類、薬品や薬剤を含む医療品、または電子機器 (液晶表示装置、E L 表示装置、テレビジョン装置、または携帯電話) 等の物品、若しくは各物品に取り付ける荷札 (図 2 0 (E)、図 2 0 (F) 参照) 等に設けて使用することができる。

40

【 0 2 8 0 】

本発明の一態様に係る R F デバイス 4 0 0 0 は、表面に貼る、または埋め込むことにより、物品に固定される。例えば、本であれば紙に埋め込み、有機樹脂からなるパッケージであれば当該有機樹脂の内部に埋め込み、各物品に固定される。本発明の一態様に係る R F デバイス 4 0 0 0 は、小型、薄型、軽量を実現するため、物品に固定した後もその物品自体のデザイン性を損なうことがない。また、紙幣、硬貨、有価証券類、無記名債券類、または証書類等に本発明の一態様に係る R F デバイス 4 0 0 0 を設けることにより、認証機能を設けることができ、この認証機能を活用すれば、偽造を防止することができる。また、包装用容器類、記録媒体、身の回り品、食品類、衣類、生活用品類、または電子機器等に本発明の一態様に係る R F デバイスを取り付けることにより、検品システム等のシス

50

テムの効率化を図ることができる。また、乗り物類であっても、本発明の一態様に係るRFデバイスを取り付けることにより、盗難などに対するセキュリティ性を高めることができる。

【0281】

以上のように、本発明の一態様に係わるRFデバイスを本実施の形態に挙げた各用途に用いることにより、情報の書込みや読み出しを含む動作電力を低減できるため、最大通信距離を長くすることが可能となる。また、電力が遮断された状態であっても情報を極めて長い期間保持可能であるため、書き込みや読み出しの頻度が低い用途にも好適に用いることができる。

【実施例1】

10

【0282】

本実施例では、ゲート絶縁膜に用いることができる酸化ハフニウムのX線回折(XRD: X-Ray Diffraction)測定を行った。

【0283】

まず、測定試料について説明する。

【0284】

シリコンウェハ上に、流量1sccmのシラン(SiH_4)および流量800sccmの一酸化二窒素(N_2O)を原料ガスとし、反応室の圧力を200Pa、基板温度を350、60MHzの高周波電源を用いて150Wの高周波電力を平行平板電極に供給したPECVD法により、酸化窒化シリコン膜を5nm成膜した。

20

【0285】

次に、酸化窒化シリコン膜上に、酸化ハフニウムターゲットを用い、成膜ガスとしてアルゴン(Ar)ガス、酸素(O_2)ガス(酸素割合0%:流量50sccmのアルゴンガス、または酸素割合50%:流量25sccmのアルゴンガスおよび流量25sccmの酸素ガス、または酸素割合100%:流量50sccmの酸素ガス)を用いて、圧力を0.6Pa、基板温度を100、または200、または350とし、RF電力を2.5kW印加する条件を用いたスパッタリング法により、酸化ハフニウム膜を30nm成膜した。

【0286】

次に、上記試料についてout-of-plane法を用いてXRDスペクトルを測定した結果を図21に示す。図21は、縦軸にX線回折強度(任意単位)をとり、横軸に回折角 2θ (deg.)をとる。なお、XRDスペクトルの測定は、Bruker AXS社製X線回折装置D8 ADVANCEを用いた。

30

【0287】

図21より、基板温度350の試料、または酸素割合50%以上の試料では、 $2\theta = 28^\circ$ 近傍にピークが見られており、これは、酸化ハフニウム(HfO_2)の単斜晶系の結晶の(-111)面における回折に起因するものである。また、一部の試料ではシリコンウェハ起因であるシリコン(Si)のピークも見られた。

【0288】

酸化ハフニウム膜の基板温度を比較すると、基板温度が高くなるにつれてピークの強度が大きくなっている。また、酸化ハフニウム膜の成膜時の酸素の比率が大きいほどピークの強度が大きくなっている。当該ピークがみられることにより、酸化ハフニウム膜が結晶化していることが分かった。

40

【実施例2】

【0289】

本実施例では、ゲート絶縁膜に用いることができる酸化ハフニウムの電子スピン(ESR: Electron Spin Resonance)測定を行った。

【0290】

まず、測定試料について説明する。

【0291】

50

石英基板上に、酸化ハフニウムターゲットを用い、成膜ガスとしてアルゴン（Ar）ガス、酸素（O₂）ガス（酸素割合0%：流量50 sccmのアルゴンガス、または酸素割合50%：流量25 sccmのアルゴンガスおよび流量25 sccmの酸素ガス）を用いて、圧力を0.6 Pa、基板温度を100、または200、または350とし、RF電力を2.5 kW印加する条件を用いたスパッタリング法により、酸化ハフニウム膜を100 nm成膜した。また、一部は、成膜後、酸素雰囲気下で300、または350、または400のいずれかの温度で1時間バーク処理を施した。

【0292】

なお、測定は、温度10 Kで、マイクロ波（周波数9.47 GHz、パワー0.1 mW）を酸化ハフニウム膜に垂直に照射した。

10

【0293】

酸化ハフニウムの酸素欠損に起因するESR信号は、g値が1.92乃至1.98に現れると推定される。図22に示すように、酸素割合0%の条件で成膜された酸化ハフニウム膜では、g値が1.92近傍であるスピン密度が大きくなり、また、その後の酸素雰囲気下でのバークにより減少することから酸素欠損によるものであることが示唆された。

【0294】

なお、表1に示すように、ラザフォード後方散乱分光法（RBS）による分析の結果、酸素割合0%の条件で成膜された酸化ハフニウム膜では、酸素がより多く存在する条件（酸素割合50%）で成膜された酸化ハフニウム膜より、酸素の比率が少なく、成膜時に混入したと見られるアルゴンの比率が大きい。また、酸化ハフニウム膜の膜密度は、8.3 g/cm³以上9.0 g/cm³以下であると好ましい。

20

【0295】

【表1】

成膜条件	組成(atomic %)			
	Hf	O	Ar	その他
O ₂ =0%, 基板温度100°C	31.8	66.4	1.4	0.4
O ₂ =50%, 基板温度200°C	31.1	68.1	0.4	0.4

30

【0296】

一方、酸素がより多く存在する条件（酸素割合50%）で成膜された酸化ハフニウム膜では、g値が1.92近傍であるスピンの密度はほとんど観測されず、図23に示すように、g値が2.00近傍（g値が2.00乃至2.01）であるスピンの密度が、酸素割合0%の条件で成膜された酸化ハフニウム膜より大きくなっている。これは過剰な酸素に起因すると推定される。また、g値が2.00近傍のシグナルの形状は、図33に示すように非対称になっていることが分かった。

【実施例3】

【0297】

本実施例では、熱酸化膜上に酸化ハフニウム膜を形成することによる熱酸化膜の酸素放出を昇温脱離ガス分光法（TDS：Thermal Desorption Spectroscopy）により評価した。

40

【0298】

まず、測定試料について説明する。

【0299】

シリコンウェハを熱酸化し、シリコンウェハ表面に100 nmの熱酸化膜を形成した。熱酸化の条件は950で4時間であり、熱酸化の雰囲気は、HClが酸素に対して3体積%の割合で含まれるものとした。

【0300】

次に、熱酸化膜上に、酸化ハフニウムターゲットを用い、成膜ガスとしてアルゴン（A

50

r) ガス、酸素 (O_2) ガス (酸素割合 50% : 流量 25 sccm のアルゴンガスおよび流量 25 sccm の酸素ガス) を用いて、圧力を 0.6 Pa、基板温度を 200、RF 電力を 2.5 kW 印加する条件を用いたスパッタリング法により、酸化ハフニウム膜を 20 nm 成膜した。

【0301】

次に、成膜した酸化ハフニウム膜をすべてエッチングした。エッチング条件は、誘導結合型プラズマ (ICP: Inductively Coupled Plasma) エッチング法により、流量 80 sccm の三塩化ホウ素 (BCl_3) 雰囲気下、電源電力 450 W、バイアス電力 100 W、圧力 1.0 Pa、基板温度 70 においてエッチングし、実施例試料を作成した。また、シリコンウェハに熱酸化膜を形成し、酸化ハフニウム膜を形成しない構成を比較例試料とした。

10

【0302】

図 24 (A) に、実施例試料の TDS による基板温度と質量電荷比 (m/z) が 32 のイオン強度を示し、図 24 (B) に、比較例試料の、TDS による基板温度と質量電荷比 (m/z) が 32 のイオン強度を示す。なお、 m/z が 32 で検出されるガスには酸素ガス (O_2) がある。本実施例では、 m/z が 32 で検出されるガスは、すべて酸素ガスとみなす。

【0303】

図 24 (B) より、比較例試料は、基板温度を変化させても酸素ガスの放出は少ない。一方、図 24 (A) により、酸化ハフニウム膜が一度形成された実施例試料は、基板温度

20

【0304】

よって、酸化物半導体層に接して酸化ハフニウム膜を設けることで酸化物半導体層に酸素を供給することができ、酸化物半導体層中の酸素欠損を低減できることが示唆された。

【実施例 4】

【0305】

本実施例では、実施例試料として、図 3 に示すトランジスタと同様の構成のトランジスタについて作製し、電気特性の評価を行った。

【0306】

まず、実施例試料の作製方法について説明する。

30

【0307】

まず、シリコンウェハを HCl 雰囲気下で熱酸化し、シリコンウェハ表面に 100 nm の熱酸化膜を形成した。熱酸化の条件は 950 で 4 時間であり、熱酸化の雰囲気は、HCl が酸素に対して 3 体積% の割合で含まれるものとした。

【0308】

次に、熱酸化膜上に、流量 2.3 sccm のシラン (SiH_4) および流量 800 sccm の一酸化二窒素 (N_2O) を原料ガスとし、反応室の圧力を 40 Pa、基板温度を 400、27.12 MHz の高周波電源を用いて 50 W の高周波電力を平行平板電極に供給した PECVD 法により、下地絶縁膜となる酸化窒化シリコン膜を 300 nm 成膜した。

40

【0309】

酸化窒化シリコン膜表面を研磨処理し、その後、 $In:Ga:Zn = 1:3:2$ (原子数比) の酸化物ターゲットを用い、成膜ガスとして流量 30 sccm のアルゴン (Ar) ガスおよび流量 15 sccm の酸素 (O_2) ガスを用いて、圧力を 0.4 Pa、基板温度を 200、ターゲットと基板の間の距離を 60 mm、DC 電力を 0.5 kW 印加する条件を用いたスパッタリング法により、第 1 の酸化物半導体膜を 20 nm 成膜した。

【0310】

次に、第 1 の酸化物半導体膜上に、 $In:Ga:Zn = 1:1:1$ (原子数比) の酸化物ターゲットを用い、成膜ガスとして流量 30 sccm のアルゴン (Ar) ガスおよび流量 15 sccm の酸素 (O_2) ガスを用いて、圧力を 0.4 Pa、基板温度を 300、

50

ターゲットと基板の間の距離を60 mm、DC電力を0.5 kW印加する条件を用いたスパッタリング法により、第2の酸化物半導体膜を15 nm成膜した。なお、第1の酸化物半導体膜および第2の酸化物半導体膜は、大気曝露せずに連続形成を行った。

【0311】

次に、加熱処理を行った。加熱処理は窒素雰囲気下、450 で1時間行った後、酸素雰囲気下、450 1時間で行った。

【0312】

次に、第1の酸化物半導体膜および第2の酸化物半導体膜を、ICPエッチング法により、流量60 sccmの三塩化ホウ素(BCl_3)および流量20 sccmの塩素(Cl_2)の混合雰囲気下、電源電力450 W、バイアス電力100 W、圧力1.9 Pa、基板温度70 においてエッチングして島状の第1の酸化物半導体膜および第2の酸化物半導体膜に加工した。

10

【0313】

次に、第1の酸化物半導体膜および第2の酸化物半導体膜上に、タングステンターゲットを用い、成膜ガスとして流量80 sccmのアルゴン(Ar)ガス雰囲気下において、圧力0.8 Pa、基板温度を230 、ターゲットと基板の間の距離を60 mm、DC電力を1.0 kW印加する条件を用いたスパッタリング法により、タングステン膜を100 nm成膜した。

【0314】

次に、タングステン膜をICPエッチング法により、流量45 sccmの四弗化炭素(CF_4)ガス、流量45 sccmの塩素(Cl_2)ガスおよび流量55 sccmの酸素(O_2)ガス混合雰囲気下、電源電力3000 W、バイアス電力110 W、圧力0.67 Paにて第1のエッチングを行い、さらにICPエッチング法により、流量100 sccmの酸素(O_2)雰囲気下、電源電力2000 W、バイアス電力0 W、圧力3.00 Paにて第2のエッチングを行い、さらにICPエッチング法により、流量45 sccmの四弗化炭素(CF_4)ガス、流量45 sccmの塩素(Cl_2)ガスおよび流量55 sccmの酸素(O_2)ガス混合雰囲気下、電源電力3000 W、バイアス電力110 W、圧力0.67 Paにて第3のエッチングを行い、ソース電極およびドレイン電極を形成した。

20

【0315】

次に、第2の酸化物半導体膜、ソース電極およびドレイン電極上に、In:Ga:Zn = 1:3:2 (原子数比)の酸化物ターゲットを用い、成膜ガスとして流量30 sccmのアルゴン(Ar)ガスおよび流量15 sccmの酸素(O_2)ガスを用いて、圧力を0.4 Pa、基板温度を200 、ターゲットと基板の間の距離を60 mm、DC電力を0.5 kW印加する条件を用いたスパッタリング法により、第3の酸化物半導体膜を5 nm成膜した。

30

【0316】

次に、第3の酸化物半導体膜上に、酸化ハフニウムターゲットを用い、成膜ガスとして流量25 sccmのアルゴンガスおよび流量25 sccmの酸素ガスを用いて、圧力を0.6 Pa、基板温度を200 、RF電力を2.5 kW印加する条件を用いたスパッタリング法により、第1のゲート絶縁膜となる酸化ハフニウム膜を20 nm成膜した。

40

【0317】

次に、酸化ハフニウム膜上に、流量1 sccmのシラン(SiH_4)および流量800 sccmの一酸化二窒素(N_2O)を原料ガスとし、反応室の圧力を200 Pa、基板温度を350 、60 MHzの高周波電源を用いて150 Wの高周波電力を平行平板電極に供給したPECVD法により、第2のゲート絶縁膜となる酸化窒化シリコン膜を15 nm成膜した。

【0318】

次に、酸化窒化シリコン膜上に、窒化タンタルターゲットを用い、成膜ガスとして流量50 sccmのアルゴン(Ar)ガスおよび流量10 sccmの窒素(N_2)ガスを用いて、圧力を0.6 Pa、基板温度を室温、DC電力を1.0 kW印加する条件を用いたス

50

パッタリング法により、窒化タンタル膜を30 nm成膜し、その上に、タングステンターゲットを用い、成膜ガスとして流量100 sccmのアルゴンガスを用いて、圧力を2.0 Pa、基板温度を230℃、ターゲットと基板の間の距離を60 mm、DC電力を4.0 kW印加する条件を用いたスパッタリング法により、タングステン膜を135 nm成膜した。

【0319】

次に、窒化タンタル膜およびタングステン膜をICPエッチング法により、流量55 sccmの四弗化炭素(CF₄)ガス、流量45 sccmの塩素(Cl₂)ガスおよび流量55 sccmの酸素(O₂)ガス混合雰囲気下、電源電力3000 W、バイアス電力110 W、圧力0.67 Paにて第1のエッチングを行い、さらにICPエッチング法により、流量100 sccmの塩素(Cl₂)雰囲気下、電源電力2000 W、バイアス電力50 W、圧力0.67 Paにて第2のエッチングを行い、ゲート電極を形成した。

10

【0320】

次に、ゲート電極をマスクとして、第1のゲート絶縁膜、第2のゲート絶縁膜、第3の酸化物半導体膜をICPエッチング法により、流量80 sccmの三塩化ホウ素(BCl₃)ガス雰囲気下、電源電力450 W、バイアス電力100 W、圧力1.0 Paにてエッチングして島状の第1のゲート絶縁膜、第2のゲート絶縁膜、第3の酸化物半導体膜に加工した。

【0321】

次に、ゲート電極、ソース電極およびドレイン電極上に、酸化アルミニウムターゲットを用い、成膜ガスとして流量25 sccmのアルゴン(Ar)ガスおよび流量25 sccmの酸素(O₂)ガスを用いて、圧力を0.4 Pa、基板温度を250℃、ターゲットと基板の間の距離を60 mm、RF電力を2.5 kW印加する条件を用いたスパッタリング法により、酸化アルミニウム膜を70 nm成膜した。

20

【0322】

次に、酸化アルミニウム膜上に流量5 sccmのシラン(SiH₄)および流量1000 sccmの一酸化二窒素(N₂O)を原料ガスとし、反応室の圧力を133 Pa、基板温度を325℃、13.56 MHzの高周波電源を用いて35 Wの高周波電力を平行平板電極に供給したPECVD法により、酸化窒化シリコン膜を300 nm成膜した。

【0323】

以上の工程を経て、実施例試料のトランジスタを作製した。なお、作製したトランジスタのチャネル長が0.48 μm、チャネル幅が0.80 μmのものを実施例試料Aとし、作製したトランジスタのチャネル長が0.83 μm、チャネル幅が0.80 μmのものを実施例試料Bとした。

30

【0324】

次に作製した2種類のトランジスタにおいて、ドレイン電圧(V_d: [V])が0.1 Vまたは3.0 Vとし、ゲート電圧(V_g: [V])を-3 Vから3 Vまで掃引した際の、ドレイン電流(I_d: [A])の測定を行った。測定結果を図25に示す。図25において、実線はドレイン電圧(V_d: [V])が3 Vのときの測定結果であり、点線はドレイン電圧(V_d: [V])が0.1 Vのときの測定結果であり、横軸はゲート電圧(V_g: [V])、左の縦軸はドレイン電流(I_d: [A])を示す。また、ドレイン電圧(V_d: [V])が0.1 Vのときの移動度の測定結果も示し、右の縦軸は移動度(μFE: cm²/Vs)を表す。なお、「ドレイン電圧(V_d: [V])」とは、ソースを基準としたドレインとソースの電位差であり、「ゲート電圧(V_g: [V])」とは、ソースを基準としたゲートとソースの電位差である。また、図25(A)に実施例試料Aのトランジスタの測定結果、図25(B)に実施例試料Bのトランジスタの測定結果を示す。

40

【0325】

図25(A)より、実施例試料Aのトランジスタのドレイン電圧(V_d: [V])が0.1 VのときのS値は77.2 mV/dec、移動度は6.2 cm²/Vsであった。また、図25(B)より、実施例試料Bのトランジスタのドレイン電圧(V_d: [V])

50

が 0.1 V のときの S 値は 71.8 mV / dec 、移動度は $7.4 \text{ cm}^2 / \text{Vs}$ であった。

【0326】

次に作製した実施例試料 A のトランジスタにおいて、ストレス試験の条件としてソース電圧 (V_s : [V]) およびドレイン電圧 (V_d : [V]) を 0 V とし、 150 で 1 時間、ゲート電圧 (V_g : [V]) を 3.3 V とした。測定結果を図 26 (A) に示す。図 26 (A) において、ドレイン電圧 (V_d : [V]) が 0.1 V および 3.0 V のときの測定結果であり、横軸はゲート電圧 (V_g : [V])、縦軸はドレイン電流 (I_d : [A]) を示す。なお、図中の実線は、ゲート電圧が 0 V 側から順に $V_d = 3 \text{ V}$ のストレス試験前、 $V_d = 0.1 \text{ V}$ のストレス試験前、 $V_d = 3 \text{ V}$ のストレス試験後、 $V_d = 0.1 \text{ V}$ のストレス試験後の測定結果を示している。

10

【0327】

また、実施例試料 A のトランジスタにおいて、ストレス試験の条件としてソース電圧 (V_s : [V]) およびドレイン電圧 (V_d : [V]) を 0 V とし、 150 で 1 時間、ゲート電圧 (V_g : [V]) を 3.3 V とした。測定結果を図 26 (B) に示す。図 26 (B) において、ドレイン電圧 (V_d : [V]) が 0.1 V および 3.0 V のときの測定結果であり、横軸はゲート電圧 (V_g : [V])、縦軸はドレイン電流 (I_d : [A]) を示す。なお、図中の実線は、ゲート電圧が 0 V 側から順に $V_d = 3 \text{ V}$ のストレス試験後、 $V_d = 3 \text{ V}$ のストレス試験前、 $V_d = 0.1 \text{ V}$ のストレス試験後、 $V_d = 0.1 \text{ V}$ のストレス試験前の測定結果を示している。

20

【0328】

図 26 (A) に示すようにドレイン電圧 (V_d : [V]) が 3.0 V のときのしきい値電圧の変化量 V_{th} は、 0.34 V であった。また、図 26 (B) に示すようにドレイン電圧 (V_d : [V]) が 3.0 V のときのしきい値電圧の変化量 V_{th} は、 0.03 V であった。図 26 (A)、図 26 (B) よりしきい値電圧の変化量が小さく、信頼性が高いことが確認できた。

【実施例 5】

【0329】

本実施例では、ゲート絶縁膜の積層および第 3 の酸化物半導体膜の有無による電気特性の違いの評価を行った。

30

【0330】

まず、実施例試料の作製方法について説明する。

【0331】

まず、シリコンウェハを熱酸化し、シリコンウェハ表面に 100 nm の熱酸化膜を形成した。熱酸化の条件は 950 で 4 時間であり、熱酸化の雰囲気は、 HCl が酸素に対して 3 体積%の割合で含まれるものとした。

【0332】

次に、熱酸化膜上に、流量 2.3 sccm のシラン (SiH_4) および流量 800 sccm の一酸化二窒素 (N_2O) を原料ガスとし、反応室の圧力を 40 Pa 、基板温度を 400 、 27.12 MHz の高周波電源を用いて 50 W の高周波電力を平行平板電極に供給した PECVD 法により、下地絶縁膜となる酸化窒化シリコン膜を 300 nm 成膜した。

40

【0333】

酸化窒化シリコン膜表面を研磨処理し、その後、 $\text{In} : \text{Ga} : \text{Zn} = 1 : 3 : 4$ (原子数比) の酸化物ターゲットを用い、成膜ガスとして流量 30 sccm のアルゴン (Ar) ガスおよび流量 15 sccm の酸素 (O_2) ガスを用いて、圧力を 0.4 Pa 、基板温度を 200 、ターゲットと基板の間の距離を 60 mm 、DC 電力を 0.5 kW 印加する条件を用いたスパッタリング法により、第 1 の酸化物半導体膜を 20 nm 成膜した。

【0334】

次に、第 1 の酸化物半導体膜上に、 $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 1$ (原子数比) の酸化

50

物ターゲットを用い、成膜ガスとして流量 30 sccm のアルゴン (Ar) ガスおよび流量 15 sccm の酸素 (O_2) ガスを用いて、圧力を 0.4 Pa、基板温度を 300、ターゲットと基板の間の距離を 60 mm、DC 電力を 0.5 kW 印加する条件を用いたスパッタリング法により、第 2 の酸化物半導体膜を 15 nm 成膜した。なお、第 1 の酸化物半導体膜および第 2 の酸化物半導体膜は、大気曝露せずに連続形成を行った。

【0335】

次に、加熱処理を行った。加熱処理は窒素雰囲気下、450 で 1 時間行った後、酸素雰囲気下、450 で行った。

【0336】

次に、第 1 の酸化物半導体膜および第 2 の酸化物半導体膜を、ICP エッチング法により、流量 60 sccm の三塩化ホウ素 (BCl_3) および流量 20 sccm の塩素 (Cl_2) の混合雰囲気下、電源電力 450 W、バイアス電力 100 W、圧力 1.9 Pa、基板温度 70 においてエッチングして島状の第 1 の酸化物半導体膜および第 2 の酸化物半導体膜に加工した。

10

【0337】

次に、第 1 の酸化物半導体膜および第 2 の酸化物半導体膜上に、タングステンターゲットを用い、成膜ガスとして流量 80 sccm のアルゴン (Ar) ガス雰囲気下において、圧力 0.8 Pa、基板温度を 230、ターゲットと基板の間の距離を 60 mm、DC 電力を 1.0 kW 印加する条件を用いたスパッタリング法により、タングステン膜を 100 nm 成膜した。

20

【0338】

次に、タングステン膜を ICP エッチング法により、流量 45 sccm の四弗化炭素 (CF_4) ガス、流量 45 sccm の塩素 (Cl_2) ガスおよび流量 55 sccm の酸素 (O_2) ガス混合雰囲気下、電源電力 3000 W、バイアス電力 110 W、圧力 0.67 Pa にて第 1 のエッチングを行い、さらに ICP エッチング法により、流量 100 sccm の酸素 (O_2) 雰囲気下、電源電力 2000 W、バイアス電力 0 W、圧力 3.00 Pa にて第 2 のエッチングを行い、さらに ICP エッチング法により、流量 45 sccm の四弗化炭素 (CF_4) ガス、流量 45 sccm の塩素 (Cl_2) ガスおよび流量 55 sccm の酸素 (O_2) ガス混合雰囲気下、電源電力 3000 W、バイアス電力 110 W、圧力 0.67 Pa にて第 3 のエッチングを行い、ソース電極およびドレイン電極を形成した。

30

【0339】

次に、第 2 の酸化物半導体膜、ソース電極およびドレイン電極上に、In : Ga : Zn = 1 : 3 : 2 (原子数比) の酸化物ターゲットを用い、成膜ガスとして流量 30 sccm のアルゴン (Ar) ガスおよび流量 15 sccm の酸素 (O_2) ガスを用いて、圧力を 0.4 Pa、基板温度を 200、ターゲットと基板の間の距離を 60 mm、DC 電力を 0.5 kW 印加する条件を用いたスパッタリング法により、第 3 の酸化物半導体膜を 5 nm 成膜した。

【0340】

次に、第 3 の酸化物半導体膜上に、酸化ハフニウムターゲットを用い、成膜ガスとして流量 25 sccm のアルゴンガスおよび流量 25 sccm の酸素ガスを用いて、圧力を 0.6 Pa、基板温度を 200、RF 電力を 2.5 kW 印加する条件を用いたスパッタリング法により、第 1 のゲート絶縁膜となる酸化ハフニウム膜を 20 nm 成膜した。

40

【0341】

次に、酸化ハフニウム膜上に、流量 1 sccm のシラン (SiH_4) および流量 800 sccm の一酸化二窒素 (N_2O) を原料ガスとし、反応室の圧力を 200 Pa、基板温度を 350、60 MHz の高周波電源を用いて 150 W の高周波電力を平行平板電極に供給した PECVD 法により、第 2 のゲート絶縁膜となる酸化窒化シリコン膜を 15 nm 成膜した。

【0342】

次に、酸化窒化シリコン膜上に、窒化タンタルターゲットを用い、成膜ガスとして流量

50

50 sccmのアルゴン (Ar) ガスおよび流量 10 sccmの窒素 (N₂) ガスを用いて、圧力を 0.6 Pa、基板温度を室温、DC電力を 1.0 kW印加する条件を用いたスパッタリング法により、窒化タンタル膜を 30 nm成膜し、その上に、タングステンターゲットを用い、成膜ガスとして流量 100 sccmのアルゴンガスをを用いて、圧力を 2.0 Pa、基板温度を 230、ターゲットと基板の間の距離を 60 mm、DC電力を 4.0 kW印加する条件を用いたスパッタリング法により、タングステン膜を 135 nm成膜した。

【0343】

次に、窒化タンタル膜およびタングステン膜をICPEッチング法により、流量 55 sccmの四弗化炭素 (CF₄) ガス、流量 45 sccmの塩素 (Cl₂) ガスおよび流量 55 sccmの酸素 (O₂) ガス混合雰囲気下、電源電力 3000 W、バイアス電力 110 W、圧力 0.67 Paにて第1のエッチングを行い、さらにICPEッチング法により、流量 100 sccmの塩素 (Cl₂) 雰囲気下、電源電力 2000 W、バイアス電力 50 W、圧力 0.67 Paにて第2のエッチングを行い、ゲート電極を形成した。

【0344】

次に、マスクを用いて、第1のゲート絶縁膜、第2のゲート絶縁膜、第3の酸化物半導体膜をICPEッチング法により、流量 80 sccmの三塩化ホウ素 (BCl₃) ガス雰囲気下、電源電力 450 W、バイアス電力 100 W、圧力 1.0 Paにてエッチングして島状の第1のゲート絶縁膜、第2のゲート絶縁膜、第3の酸化物半導体膜に加工した。

【0345】

次に、ゲート電極、ソース電極およびドレイン電極上に、酸化アルミニウムターゲットを用い、成膜ガスとして流量 25 sccmのアルゴン (Ar) ガスおよび流量 25 sccmの酸素 (O₂) ガスを用いて、圧力を 0.4 Pa、基板温度を 250、ターゲットと基板の間の距離を 60 mm、DC電力を 2.5 kW印加する条件を用いたスパッタリング法により、酸化アルミニウム膜を 70 nm成膜した。

【0346】

次に、酸化アルミニウム膜上に流量 5 sccmのシラン (SiH₄) および流量 1000 sccmの一酸化二窒素 (N₂O) を原料ガスとし、反応室の圧力を 133 Pa、基板温度を 325、13.56 MHzの高周波電源を用いて 35 Wの高周波電力を平行平板電極に供給したPECVD法により、酸化窒化シリコン膜を 300 nm成膜した。

【0347】

以上の工程を経て、実施例試料のトランジスタを作製した。なお、作製したトランジスタのチャネル長が 0.47 μm、チャネル幅が 1.0 μmのものを実施例試料Cとした。また、実施例試料Cのゲート絶縁膜が第1のゲート絶縁膜のみ (第2のゲート絶縁膜を設けない)、その他の構成は実施例試料Cと同じものを比較例試料Dとし、実施例試料Cの第3の酸化物半導体膜を設けず、その他の構成は実施例試料Cと同じものを比較例試料Eとした。

【0348】

次に作製した3種類のトランジスタにおいて、ドレイン電圧 (V_d : [V]) が 0.1 Vまたは 3.0 Vとし、ゲート電圧 (V_g : [V]) を -3 Vから 3 Vまで掃引した際の、ドレイン電流 (I_d : [A]) の測定を行った。測定結果を図 27乃至図 29に示す。図 27乃至図 29において、実線はドレイン電圧 (V_d : [V]) が 3 Vのときの測定結果であり、点線はドレイン電圧 (V_d : [V]) が 0.1 Vのときの測定結果であり、横軸はゲート電圧 (V_g : [V])、左の縦軸はドレイン電流 (I_d : [A]) を示す。また、ドレイン電圧 (V_d : [V]) が 0.1 Vのときの移動度の測定結果も示し、右の縦軸は移動度 (μ_{FE} : cm²/Vs) を表す。また、図 27に実施例試料Cのトランジスタの測定結果、図 28に比較例試料Dのトランジスタの測定結果、図 29に比較例試料Eのトランジスタの測定結果を示す。

【0349】

図 27乃至図 29より、実施例試料Cのみトランジスタのスイッチング特性を有するこ

10

20

30

40

50

とが確認できた。また、ゲート絶縁膜が酸化ハフニウム膜のみの場合、第3の酸化物半導体膜を設けない場合において、トランジスタのスイッチング特性が得られないことが分かった。

【符号の説明】

【0350】

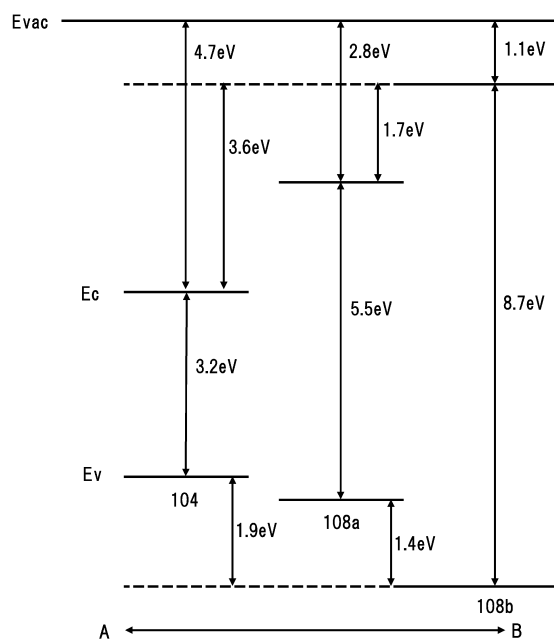
10	電子銃室	
12	光学系	
14	試料室	
16	光学系	
18	カメラ	10
20	観察室	
22	フィルム室	
24	電子	
28	物質	
32	蛍光板	
104	酸化物半導体膜	
108	ゲート絶縁膜	
108a	ゲート絶縁膜	
108b	ゲート絶縁膜	
110	ゲート電極	20
400	基板	
401	絶縁膜	
402	下地絶縁膜	
404	酸化物半導体層	
404a	酸化物半導体膜	
404b	酸化物半導体膜	
404c	酸化物半導体膜	
405	導電膜	
406a	ソース電極	
406b	ドレイン電極	30
408a	ゲート絶縁膜	
408b	ゲート絶縁膜	
410	ゲート電極	
412	絶縁膜	
413	絶縁膜	
414	導電膜	
418a	絶縁膜	
418b	絶縁膜	
420	導電膜	
700	基板	40
701	画素部	
702	走査線駆動回路	
703	走査線駆動回路	
704	信号線駆動回路	
710	容量配線	
712	ゲート配線	
713	ゲート配線	
714	ドレイン電極層	
716	トランジスタ	
717	トランジスタ	50

7 1 8	液晶素子	
7 1 9	液晶素子	
7 2 0	画素	
7 2 1	スイッチング用トランジスタ	
7 2 2	駆動用トランジスタ	
7 2 3	容量素子	
7 2 4	発光素子	
7 2 5	信号線	
7 2 6	走査線	
7 2 7	電源線	10
7 2 8	共通電極	
8 0 0	R F タグ	
8 0 1	通信器	
8 0 2	アンテナ	
8 0 3	無線信号	
8 0 4	アンテナ	
8 0 5	整流回路	
8 0 6	定電圧回路	
8 0 7	復調回路	
8 0 8	変調回路	20
8 0 9	論理回路	
8 1 0	記憶回路	
8 1 1	R O M	
9 0 1	筐体	
9 0 2	筐体	
9 0 3	表示部	
9 0 4	表示部	
9 0 5	マイクロフォン	
9 0 6	スピーカー	
9 0 7	操作キー	30
9 0 8	スタイラス	
9 1 1	筐体	
9 1 2	筐体	
9 1 3	表示部	
9 1 4	表示部	
9 1 5	接続部	
9 1 6	操作キー	
9 2 1	筐体	
9 2 2	表示部	
9 2 3	キーボード	40
9 2 4	ポインティングデバイス	
9 3 1	筐体	
9 3 2	冷蔵室用扉	
9 3 3	冷凍室用扉	
9 4 1	筐体	
9 4 2	筐体	
9 4 3	表示部	
9 4 4	操作キー	
9 4 5	レンズ	
9 4 6	接続部	50

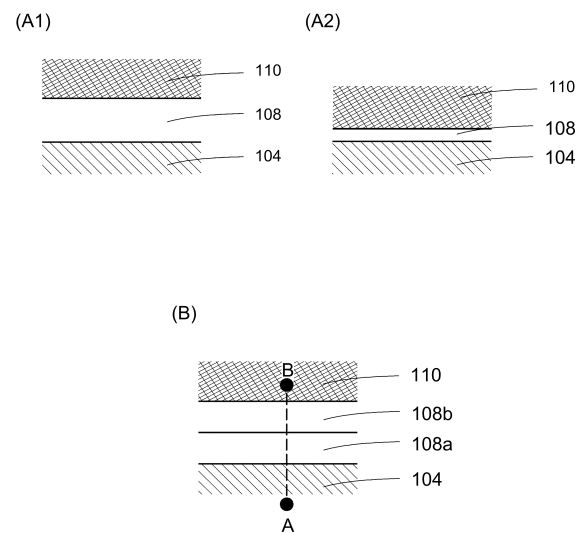
9 5 1	車体	
9 5 2	車輪	
9 5 3	ダッシュボード	
9 5 4	ライト	
1 1 8 9	R O Mインターフェース	
1 1 9 0	基板	
1 1 9 1	A L U	
1 1 9 2	A L Uコントローラ	
1 1 9 3	インストラクションデコーダ	
1 1 9 4	インタラプトコントローラ	10
1 1 9 5	タイミングコントローラ	
1 1 9 6	レジスタ	
1 1 9 7	レジスタコントローラ	
1 1 9 8	バスインターフェース	
1 1 9 9	R O M	
1 2 0 0	記憶素子	
1 2 0 1	回路	
1 2 0 2	回路	
1 2 0 3	スイッチ	
1 2 0 4	スイッチ	20
1 2 0 6	論理素子	
1 2 0 7	容量素子	
1 2 0 8	容量素子	
1 2 0 9	トランジスタ	
1 2 1 0	トランジスタ	
1 2 1 3	トランジスタ	
1 2 1 4	トランジスタ	
1 2 2 0	回路	
2 1 0 0	トランジスタ	
2 2 0 0	トランジスタ	30
2 2 0 1	絶縁膜	
2 2 0 2	配線	
2 2 0 3	プラグ	
2 2 0 4	絶縁膜	
2 2 0 5	配線	
2 2 0 6	配線	
2 2 0 7	絶縁膜	
2 2 0 8	絶縁膜	
2 2 1 1	半導体基板	
2 2 1 3	ゲート電極	40
2 2 1 4	ゲート絶縁膜	
3 0 0 1	配線	
3 0 0 2	配線	
3 0 0 3	配線	
3 0 0 4	配線	
3 0 0 5	配線	
3 2 0 0	トランジスタ	
3 3 0 0	トランジスタ	
3 4 0 0	容量素子	
4 0 0 0	R F デバイス	50

8 0 0 0	表示モジュール
8 0 0 1	上部カバー
8 0 0 2	下部カバー
8 0 0 3	F P C
8 0 0 4	タッチパネル
8 0 0 5	F P C
8 0 0 6	表示パネル
8 0 0 7	バックライトユニット
8 0 0 8	光源
8 0 0 9	フレーム
8 0 1 0	プリント基板
8 0 1 1	バッテリー

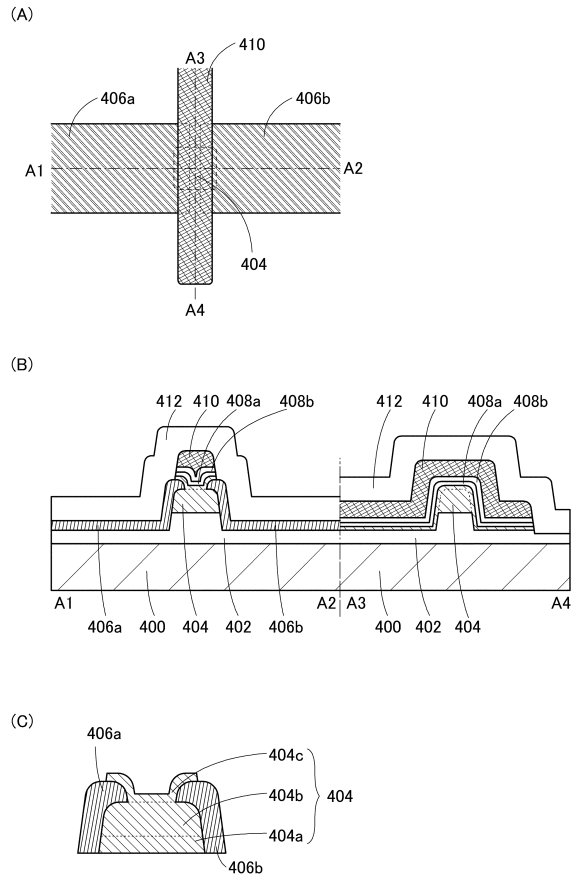
【図 1】



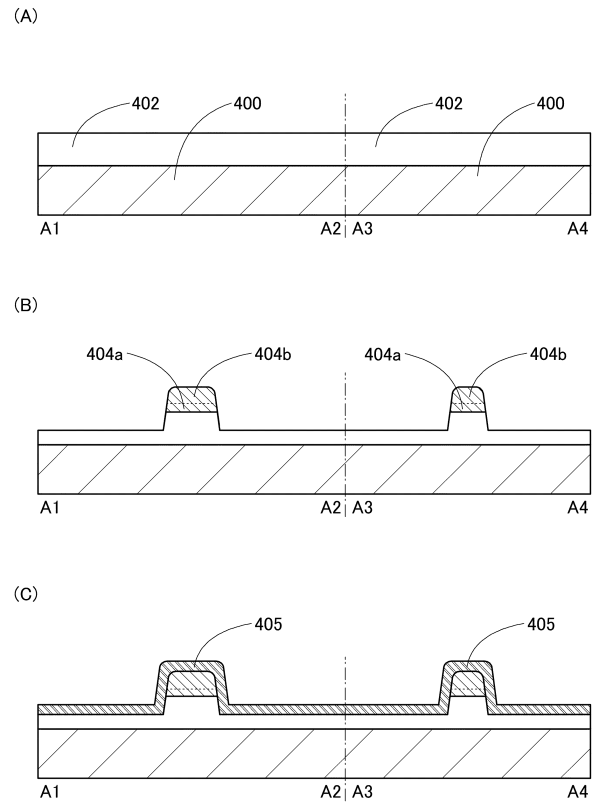
【図 2】



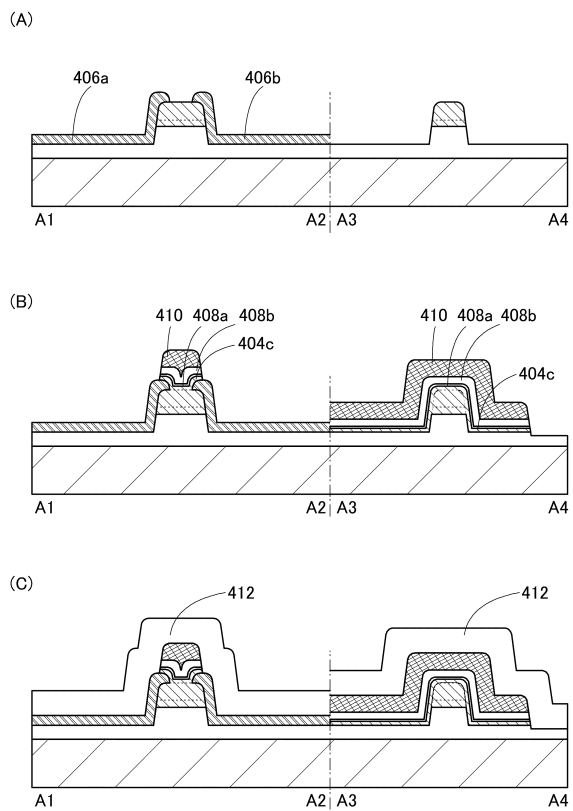
【図 3】



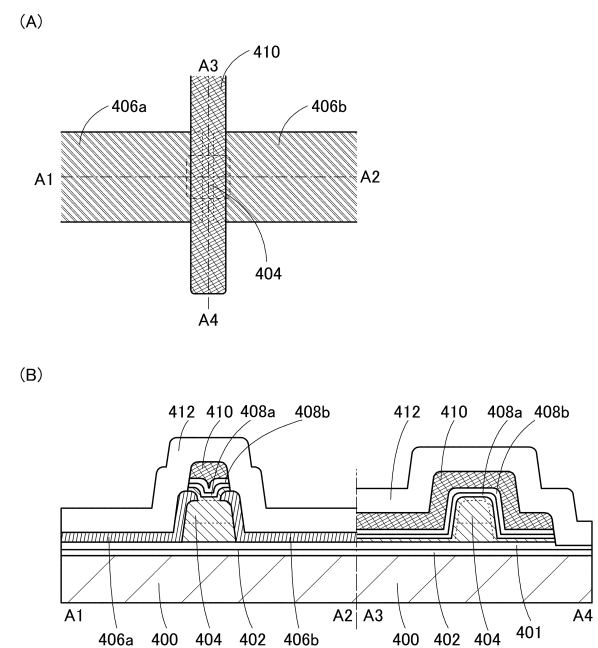
【図 4】



【図 5】

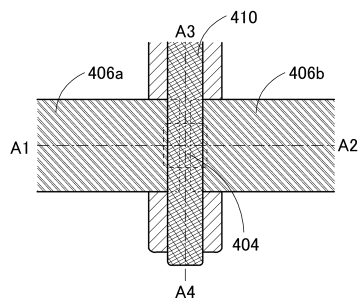


【図 6】

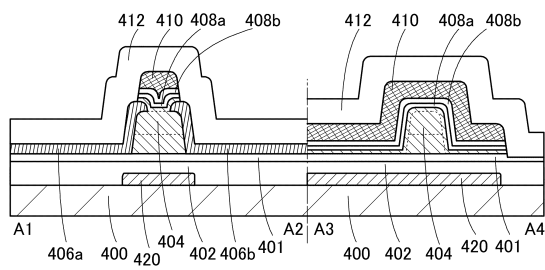


【図 7】

(A)

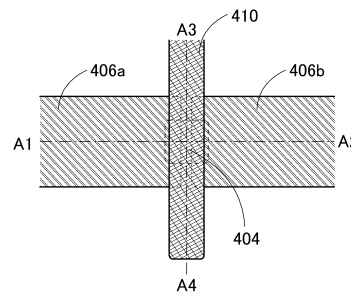


(B)

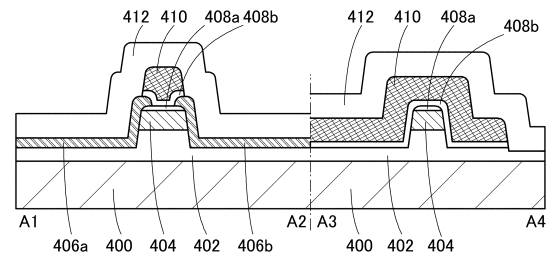


【図 8】

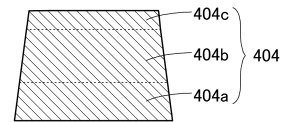
(A)



(B)

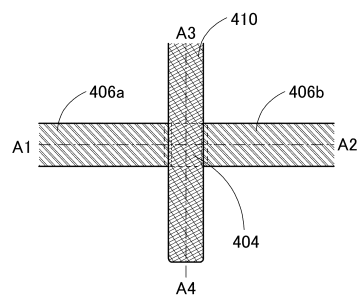


(C)

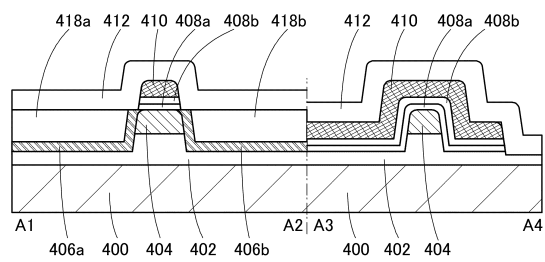


【図 9】

(A)

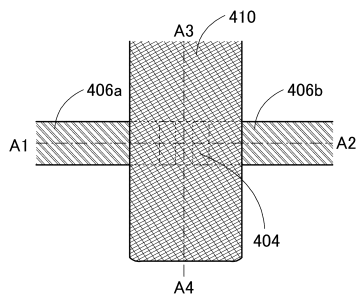


(B)

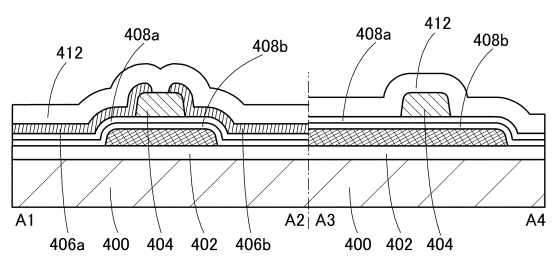


【図 10】

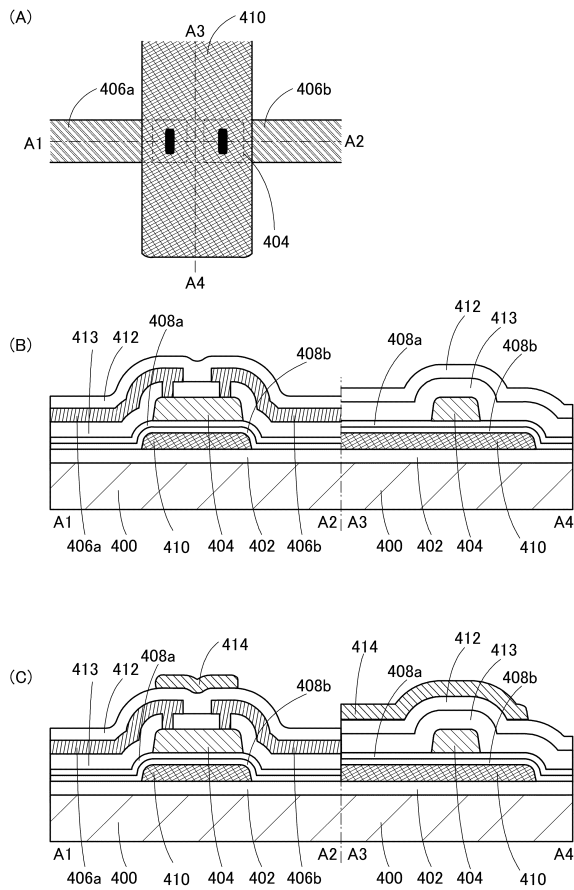
(A)



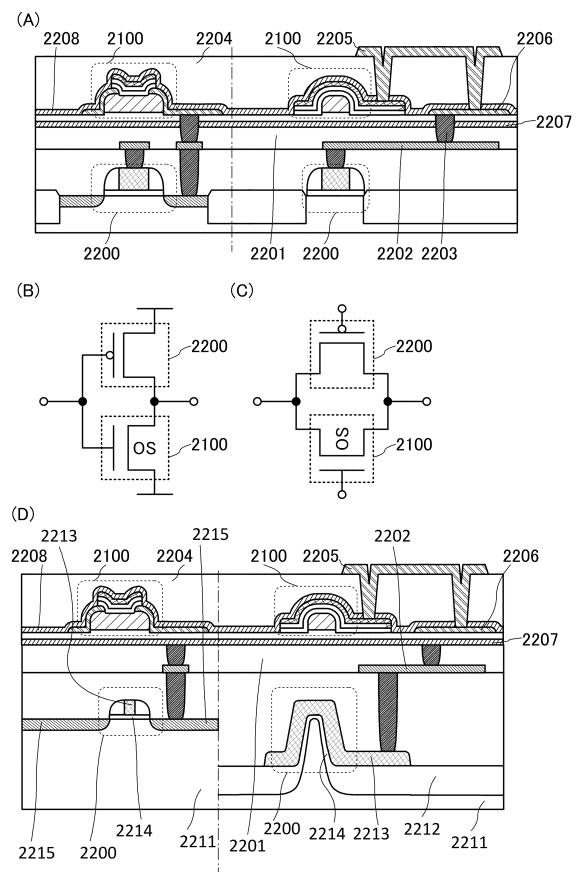
(B)



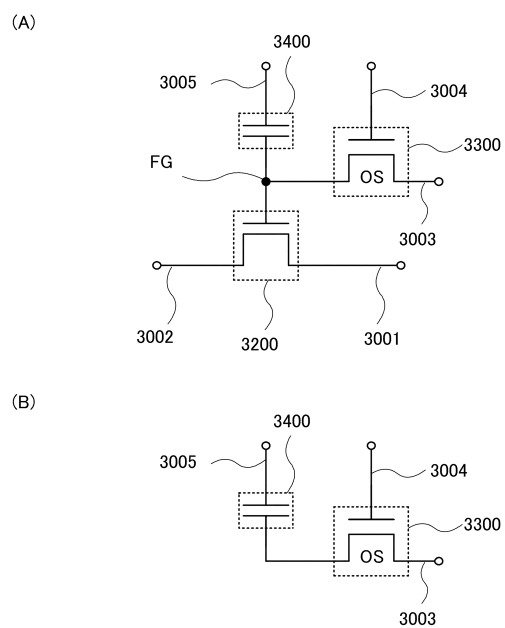
【図 1 1】



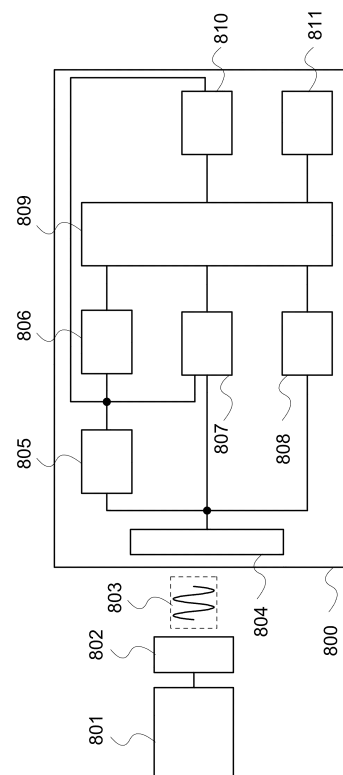
【図 1 2】



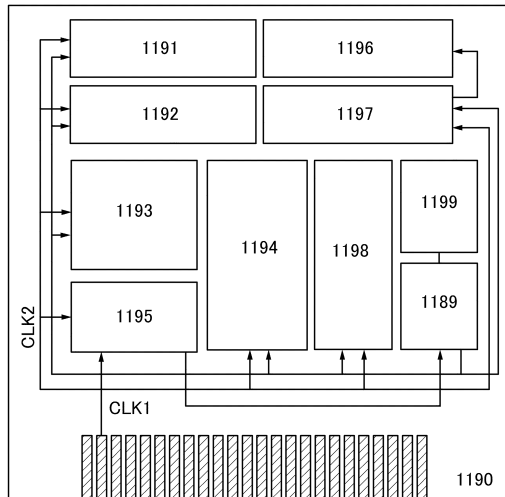
【図 1 3】



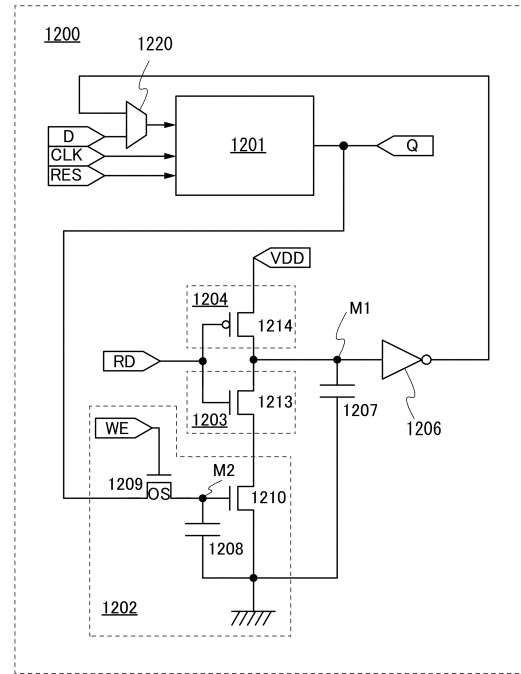
【図 1 4】



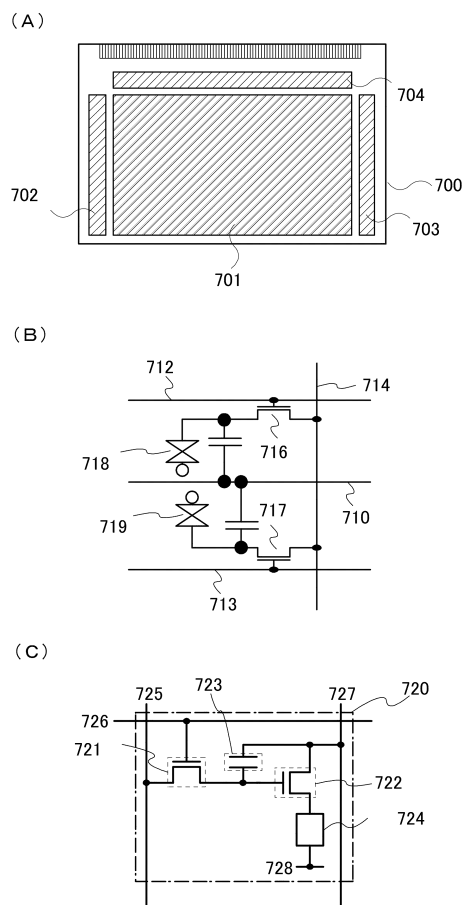
【図 15】



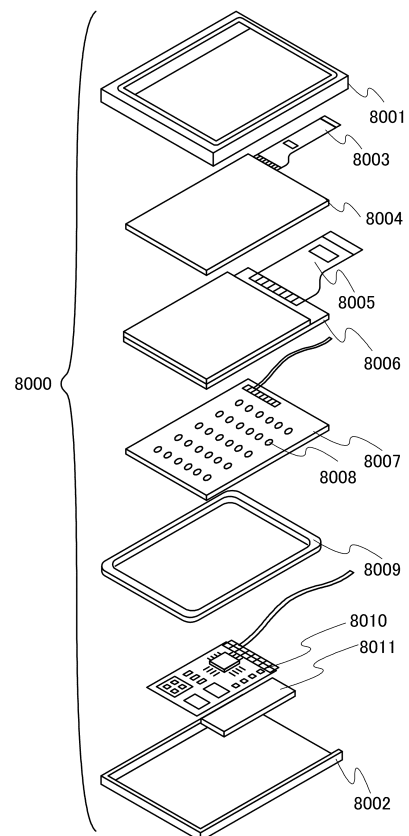
【図 16】



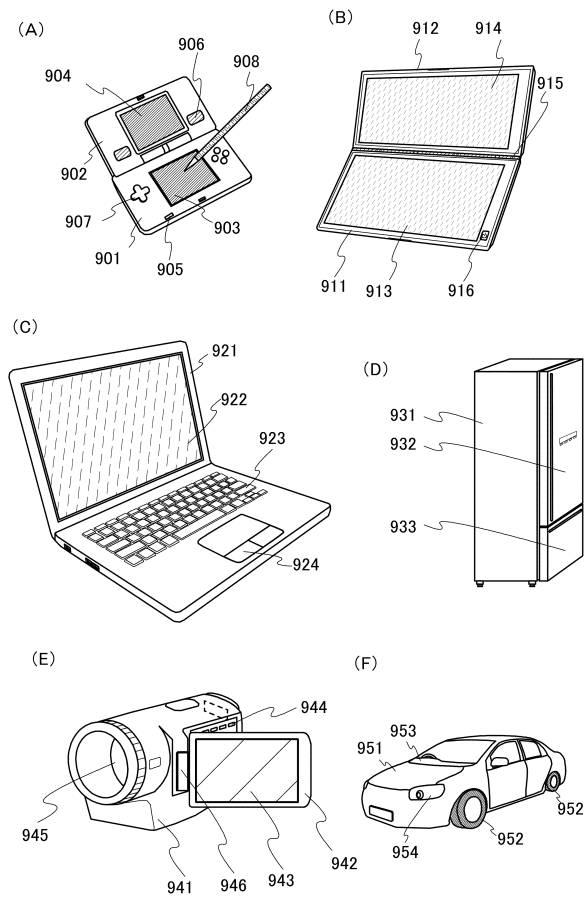
【図 17】



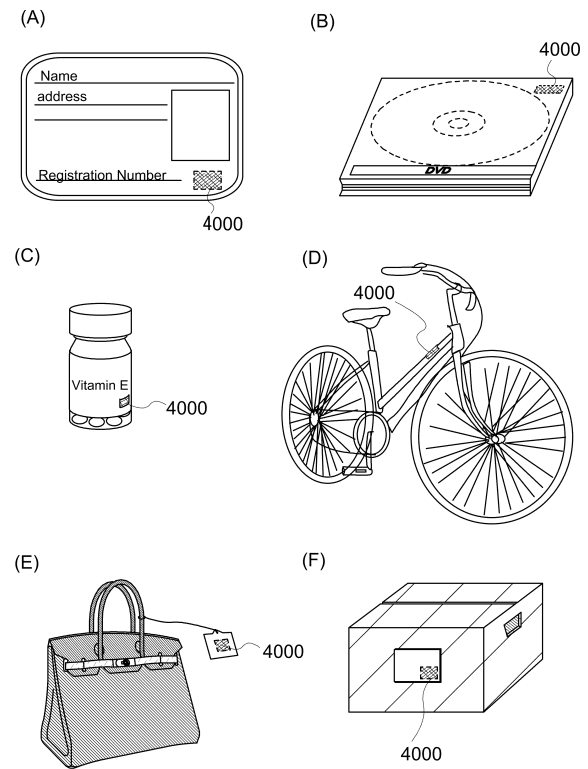
【図 18】



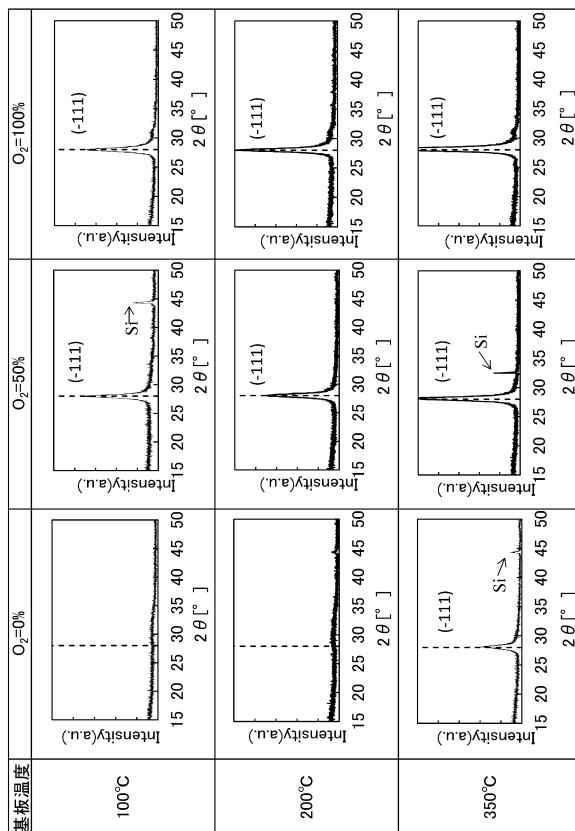
【図 19】



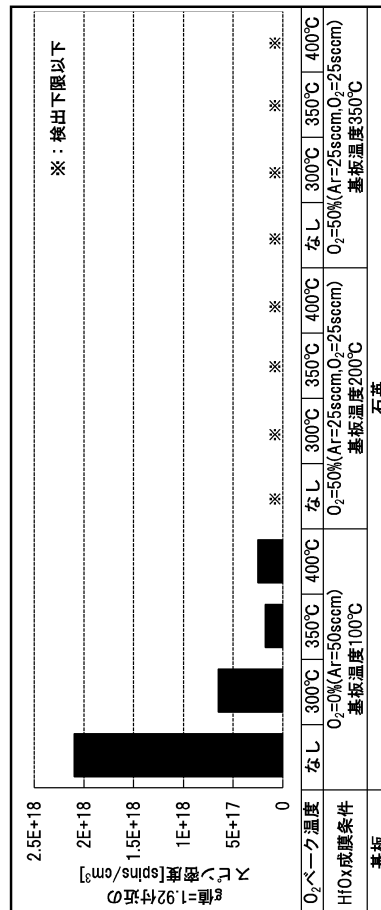
【図 20】



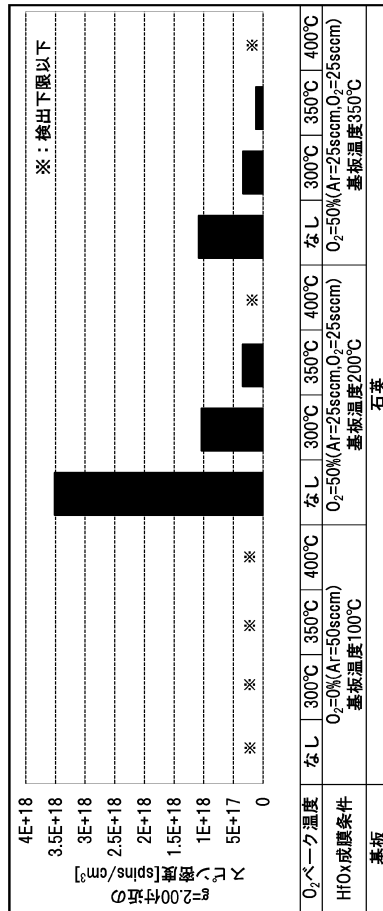
【図 21】



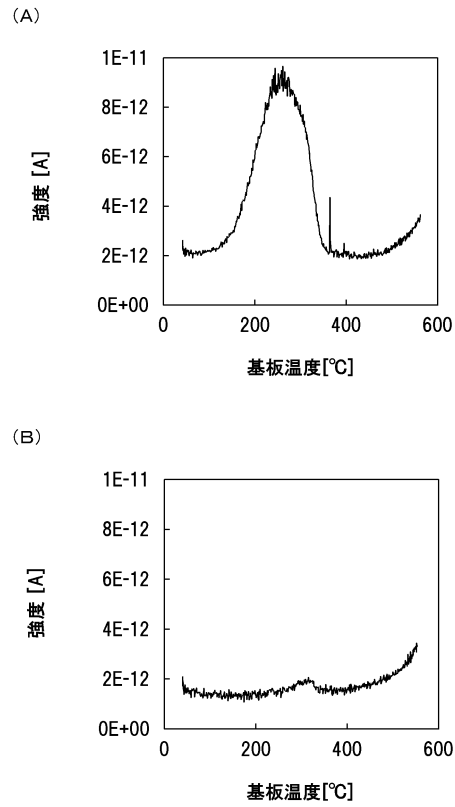
【図 22】



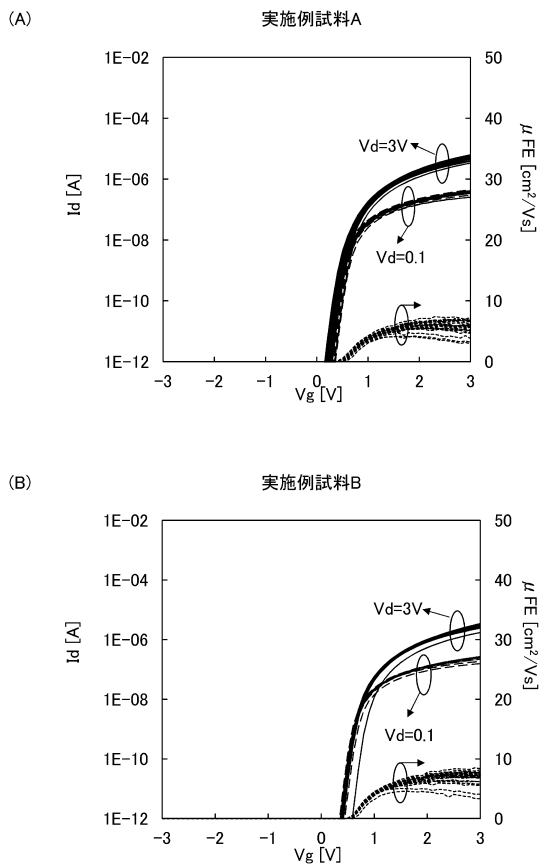
【 図 2 3 】



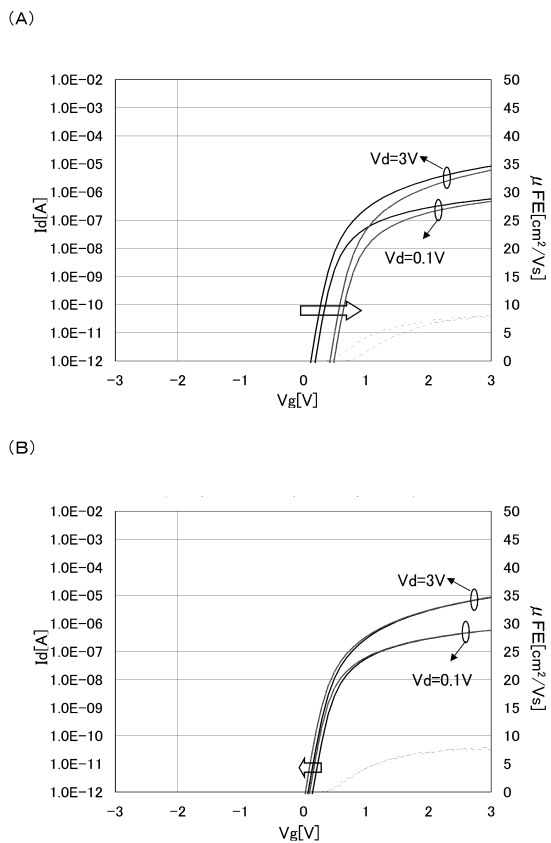
【 図 2 4 】



【 図 2 5 】

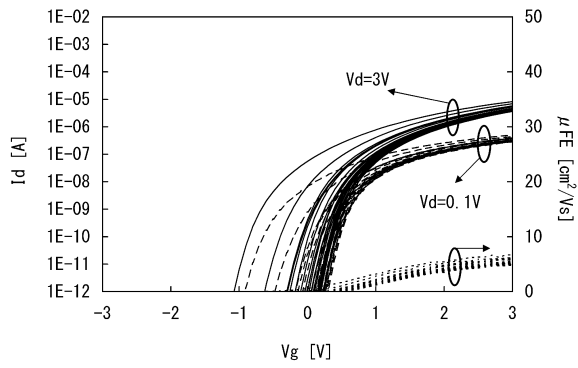


【 図 2 6 】



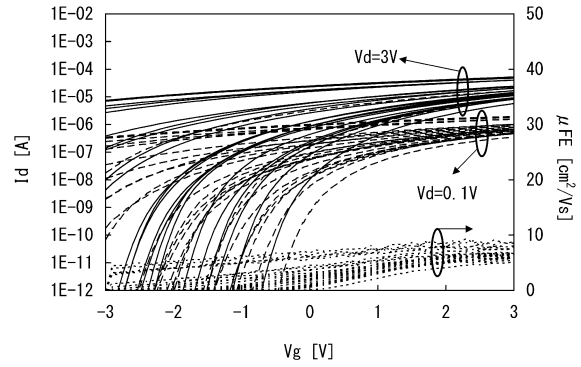
【図 27】

実施例試料 C



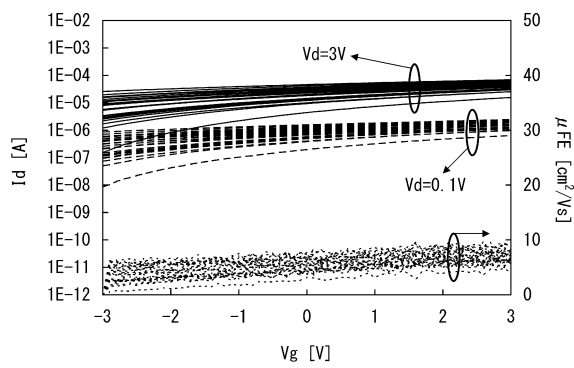
【図 28】

比較例試料 D



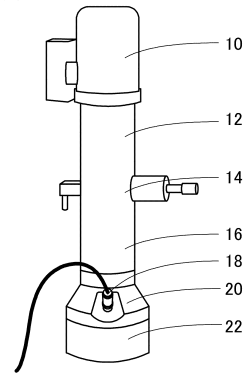
【図 29】

比較例試料 E

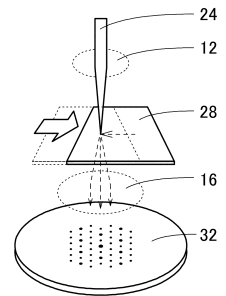


【図 31】

(A)

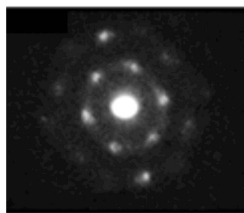


(B)



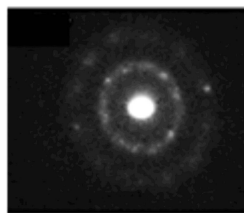
【図 30】

(A)



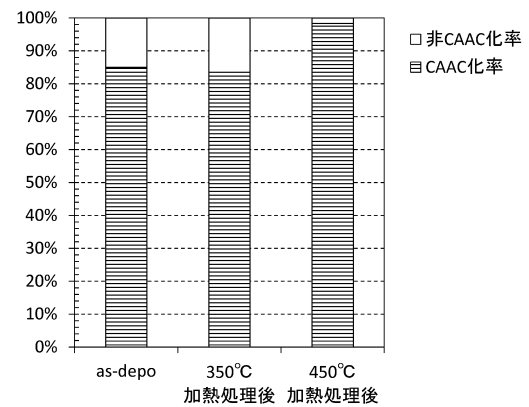
CAAC-OS

(B)

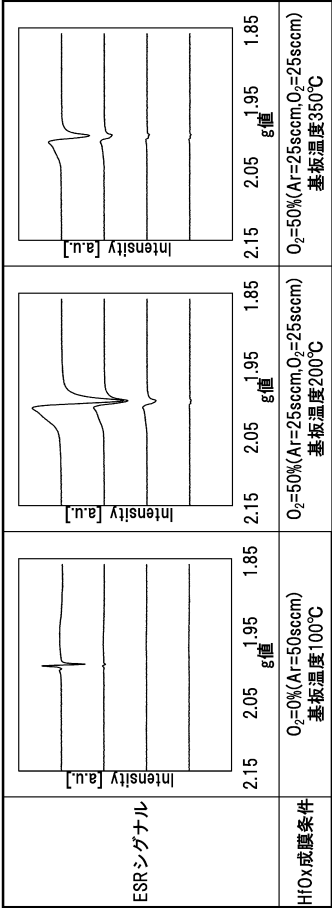


nc-OS

【図 32】



【図 3 3】



※各試料、上から順に O_2 ピークなし、 O_2 ピーク 300°C、 O_2 ピーク 350°C、 O_2 ピーク 400°C

フロントページの続き

(51) Int.Cl.			F I		
H 0 1 L	21/8242	(2006.01)	H 0 1 L	27/092	G
H 0 1 L	27/108	(2006.01)	H 0 1 L	27/108	3 2 1
H 0 1 L	21/316	(2006.01)	H 0 1 L	21/316	M
H 0 1 L	21/318	(2006.01)	H 0 1 L	21/316	X
H 0 1 L	21/473	(2006.01)	H 0 1 L	21/316	Y
C 2 3 C	14/08	(2006.01)	H 0 1 L	21/318	M
C 2 3 C	16/42	(2006.01)	H 0 1 L	21/318	C
			H 0 1 L	21/473	
			C 2 3 C	14/08	F
			C 2 3 C	16/42	

- (56) 参考文献 米国特許出願公開第 2 0 1 2 / 0 1 4 6 7 1 3 (U S , A 1)
 特開 2 0 1 2 - 2 5 6 8 2 5 (J P , A)
 特開 2 0 0 6 - 1 7 3 5 8 0 (J P , A)
 特開 2 0 1 3 - 0 9 3 5 7 2 (J P , A)
 特開 2 0 1 2 - 1 3 4 4 6 7 (J P , A)

(58) 調査した分野 (Int.Cl. , D B 名)

H 0 1 L 2 1 / 3 3 6
 H 0 1 L 2 9 / 7 8 6
 C 2 3 C 1 4 / 0 8
 C 2 3 C 1 6 / 4 2
 H 0 1 L 2 1 / 3 1 6
 H 0 1 L 2 1 / 3 1 8
 H 0 1 L 2 1 / 4 7 3
 H 0 1 L 2 1 / 8 2 3 4
 H 0 1 L 2 1 / 8 2 3 8
 H 0 1 L 2 1 / 8 2 4 2
 H 0 1 L 2 7 / 0 8 8
 H 0 1 L 2 7 / 0 9 2
 H 0 1 L 2 7 / 1 0 8