

FEDERÁLNÍ ÚŘAD
PRO VYNÁLEZY

POPIS VYNÁLEZU

K AUTORSKÉMU OSVĚDČENÍ

273 119

(21) PV 5794-87.T
(22) Přihlášeno 04 08 87

(11)

(13) B1

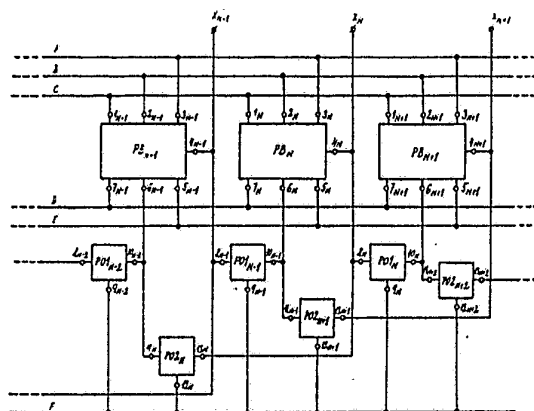
(51) Int. Cl.⁵
H 03 K 23/50

(40) Zveřejněno 12 07 90
(45) Vydáno 30 12 91

(75) Autor vynálezu HAZDRA FRANTIŠEK ing., PRAHA

(54) Zapojení posuvného registru

(57) Řešení se týká posuvného registru, obsahujícího sběrnici (A) kladného pólu napájecího zdroje, sběrnici (B) pro vstupní signál, sběrnici (C) referenčního napětí pro posun vzad, sběrnici (D) referenčního napětí pro posun vpřed, sběrnici (E) záporného pólu napájecího zdroje, a sběrnici (F) nulového potenciálu. Jeho podstatou je, že jedna z paměťových buněk (PB_N) je svým vstupem (6_N) přes první paměťový obvod ($PO1_{N-1}$) spojena s výstupem (4_{N-1}) předcházející paměťové buňky (PB_{N-1}) a zároveň je svým vstupem (6_N) spojena přes druhý paměťový obvod ($PO2_{N+1}$) s výstupem (4_{N+1}) následující buňky (PB_{N+1}). Nulové svorky (9_N , 12_N) paměťových obvodů ($PO1_N$, $PO2_N$) jsou spojeny se sběrnicí (F) nulového potenciálu.



Vynález se týká zapojení posuvného registru řízení analogovým signálem, obsahujícího symetrický napájecí zdroj a paměťové buňky.

V regulační technice pohonů je třeba často měnit kontaktním způsobem parametry regulované soustavy, např. otáčkové charakteristiky sériových trakčních motorů, a tím udržovat některou z regulovaných veličin v požadovaných mezích.

Dosud se problém řeší pomocí číslicových posuvných registrů, jejichž činnost je řízena analogovými obvody, které kontrolují dosažení krajních mezí regulované veličiny.

Dalším řešením je použití analogových klopných obvodů bez vzájemné vazby se vzájemně odstupňovanými spínacími a rozpínacími hladinami. V prvním případě vychází řešení obvodově poměrně složité, způsobené současným použitím číslicových a analogových obvodů. V druhém případě, při malé diferenci mezi spínacími a rozpínacími hladinami jednotlivých klopných obvodů, hrozí naopak možnost současného sepnutí několika klopných obvodů z důvodu překmitu řídicího signálu nebo z důvodů jeho dynamických poruch.

Uvedený problém řeší zapojení posuvného registru, řízeného analogovým signálem, obsahující sběrnici kladného pólu napájecího zdroje, sběrnici pro vstupní signál, sběrnici referenčního napětí pro posun vpřed, sběrnici záporného pólu napájecího zdroje a sběrnici nulového potenciálu. Jeho podstatou je, že jedna z paměťových buněk je svým vstupem přes první paměťový obvod spojena s výstupem předcházející paměťové buňky a zároveň je svým vstupem přes druhý paměťový obvod spojena s výstupem následující paměťové buňky. Nulové svorky paměťových obvodů jsou spojeny se sběrnicí nulového potenciálu.

Každá z paměťových buněk se skládá z operačního zesilovače, jehož neinvertující vstup je spojen se sběrnicí pro vstupní signál. Jeho výstup ovládá první elektronický spínač, jehož vstup je spojen se sběrnicí kladného pólu napájecího zdroje. Jeho výstup je jednak spojen s výstupní svorkou paměťového obvodu, jednak přes zatěžovací odpor se sběrnicí záporného pólu napájecího zdroje. Druhý elektronický spínač, ovládaný rovněž výstupem operačního zesilovače, je svým vstupem spojen se sběrnicí referenčního napětí pro posun vpřed a výstupem je přes do série zapojený prvý a druhý nastavovací odpor spojen se sběrnicí referenčního napětí pro posun vzad. Společný bod prvního a druhého nastavovacího odporu je spojen s neinvertujícím vstupem operačního zesilovače a se vstupní svorkou paměťové buňky.

Každý z prvních paměťových obvodů se skládá z do série zapojené první paměťové diody, spojené katodou se vstupní svorkou prvního paměťového obvodu a prvního paměťového odporu, spojeného druhým koncem s výstupní svorkou prvního paměťového obvodu, do jejichž společného bodu je zapojen první paměťový kondenzátor, spojený druhým koncem s nulovou svorkou prvního paměťového obvodu.

Každý z druhých paměťových obvodů se skládá z do série zapojené paměťové diody, spojené anodou se vstupní svorkou druhého paměťového obvodu a druhého paměťového odporu, spojeného druhým koncem s výstupní svorkou druhého paměťového obvodu, do jejichž společného bodu je zapojen druhý paměťový kondenzátor, spojený druhým koncem s nulovou svorkou druhého paměťového obvodu.

Vyšší účinek zapojení spočívá v použití analogových obvodů, v zapojení komparátorů jako paměťových buněk posuvného registru, mezi nimiž je výhodně zavedena dynamická vzájemná vazba. To umožňuje posun informace v analogovém registru vpřed nebo vzad, pokud překročí vstupní signál posuvného registru pásmo necitlivosti jednotlivých paměťových buněk.

Vynález bude v dalším textu blíže objasněn na příkladu provedení, znázorněného na výkresech, kde na obr. 1 je znázorněno celkové schéma zapojení, na obr. 2 je znázorněno příkladné provedení paměťové buňky, na obr. 3 je znázorněn příklad provedení prvního paměťového obvodu, na obr. 4 je znázorněno příkladné provedení druhého paměťového obvodu, na obr. 5 je pro objasnění funkce posuvného registru je znázorněna napájecí soustava posuvného registru.

Zapojení se skládá ze sběrnice A kladného pólu napájecího zdroje, ze sběrnice B pro vstupní signál, ze sběrnice C referenčního napětí pro posun vzad, ze sběrnice D referenčního napětí pro posun vpřed, ze sběrnice E záporného pólu napájecího zdroje a ze sběrnice F nulového potenciálu. Za sebou řazené paměťové buňky $P-B_{N-1}$, PB_N , PB_{N+1} mají v případě paměťové buňky PB_N mezi výstup 4_{N-1} předcházející paměťové buňky PB_{N-1} a vstup 6_N paměťové buňky PB_N zapojen první paměťový obvod $PO1_{N-1}$ tak, že je svým vstupem 8_{N-1} spojen s výstupem 4_{N-1} předcházející paměťové buňky PB_{N-1} a svým výstupem 10_{N-1} spojen se vstupem 6_N paměťové buňky PB_N a svou nulovou svorkou 9_{N-1} spojen se sběrnicí F nulového potenciálu. Mezi výstup 4_{N+1} následující paměťové buňky PB_{N+1} a vstup 6_N paměťové buňky PB_N je zapojen druhý paměťový obvod $PO2_{N+1}$ tak, že je svým vstupem 13_{N+1} spojen s výstupem 4_{N+1} následující paměťové buňky PB_{N+1} , svým výstupem 11_{N+1} je spojen se vstupem 6_N paměťové buňky PB_N a nulovou svorkou 12_{N+1} je spojen se sběrnicí F nulového potenciálu.

Každá z paměťových buněk PB_{N-1} , PB_N , PB_{N+1} , například PB_N , viz obr. 2 se skládá z operačního zesilovače OZ_N , jehož neinvertující vstup je vyveden na svorku 2_N , spojenou se sběrnicí B pro vstupní signál. Výstup operačního zesilovače OZ_N ovládá první elektronický spínač $S1_N$ a druhý elektronický spínač $S2_N$. Vstup prvního elektronického spínače $S1_N$ je vyveden na svorku 3_N spojenou se sběrnicí A kladného pólu napájecího zdroje. Výstup prvního elektronického spínače $S1_N$ je vyveden na svorku 4_N , spojenou s výstupní svorkou X_N paměťové buňky PB_N a přes zatěžovací odpor RZ_N na svorku 5_N , spojenou se sběrnicí E záporného pólu napájecího zdroje. Vstup druhého elektronického spínače $S2_N$ je vyveden na svorku 1_N , která je spojena se sběrnicí C referenčního napětí pro posun vzad. Výstup druhého elektronického spínače $S2_N$ je přes do série zapojený prvý nastavovací odpor $R1_N$ a druhý nastavovací odpor $R2_N$ vyveden na svorku 7_N , spojenou se sběrnicí D referenčního napětí pro posun vpřed. Společný bod prvního nastavovacího odporu $R1_N$ a druhého nastavovacího odporu $R2_N$ je spojen s invertujícím vstupem operačního zesilovače OZ_N a vstupní svorkou 6_N paměťové buňky PB_N .

Každý z prvních paměťových obvodů $PO1_{N-1}$, $PO1_N$, $PO1_{N+1}$, viz obr. 3m například $PO1_N$, se skládá z do série zapojené první paměťové diody $D1_N$, spojené katodou se vstupní svorkou 8_N , a prvního paměťového odporu $R3_N$, spojeného druhým koncem s výstupní svorkou 10_N . Do společného bodu první paměťové diody $D1_N$ a prvního paměťového odporu $R3_N$ je zapojen první paměťový kondenzátor $C1_N$, který je druhým koncem spojen s nulovou svorkou 9_N .

Každý z druhých paměťových obvodů $PO2_{N-1}$, $PO2_N$, $PO2_{N+1}$, viz obr. 4, např. $PO2_N$, se skládá z do série zapojené druhé paměťové diody $D2_N$, spojené anodou se vstupní svorkou 13_N a druhého paměťového odporu $R4_N$, spojeného druhým koncem s výstupní svorkou 11_N . Do společného bodu druhé paměťové diody $D2_N$ a druhého paměťového odporu $R4_N$ je zapojen druhý paměťový kondenzátor, který je druhým koncem spojen s nulovou svorkou 12_N .

Zapojení na obr. 1 je znázorněno pro případ, kdy potenciál spínacích hladin paměťových buněk PB_N je nižší než potenciál rozpínacích hladin paměťových buněk PB_N . Pokud jsou tyto potenciály záporné, pak absolutní hodnota potenciálu spínací hladiny je vyšší než absolutní hodnota rozpínací hladiny. Je to dáno polaritou zapojení první paměťové diody $D1_N$ a druhé paměťové diody $D2_N$ v prvním paměťovém obvodu $PO1_N$ a druhém paměťovém obvodu $PO2_N$, podle obr. 3 a 4.

Ze zapojení paměťové buňky na obr. 2 je zřejmé, že potenciál napětí spínací hladiny je určen referenčním napětím sběrnice D pro posun vpřed, protože s touto sběrnicí přes druhý nastavovací odpor $R2_N$ jsou všechny paměťové buňky PB_N spojeny. Při sepnutí paměťové buňky PB_N spíná první elektronický spínač $S1_N$, který výstupní svorku 4_N spojuje se sběrnicí A kladného napájecího pólu a zároveň spíná druhý elektronický spínač $S2_N$, který připojí první nastavovací odpor $R1_N$ ke sběrnicí C napájecího napětí pro posun vzad. Napětí vzniklé na tomto děliči je spojeno s neinvertujícím vstupem operačního zesilovače a určuje rozpínací napěťovou hladinu paměťové buňky.

Pro objasnění funkce posuvného registru je na obr. 5 znázorněna napájecí soustava posuvného registru, tvořená sběrnici $\underline{F}$ nulového potenciálu, sběrnici $\underline{A}$ kladného pólu napájecího zdroje a sběrnici $\underline{E}$ záporného pólu napájecího zdroje. Dále je v této napájecí soustavě znázorněna rozpínací napěťová hladina paměťových buněk $\underline{PB}_N$ a spínací napěťová hladina paměťových buněk $\underline{PB}_N$ tvořená sběrnici $\underline{D}$ referenčního napětí pro posun vpřed. Sběrnice $\underline{B}$ pro vstupní signál je mezi potenciály spínací a rozpínací napěťové hladiny. Její potenciál se při řízení posuvného registru pohybuje mezi těmito napěťovými hladinami, které vymezují hysterezi komparátoru. Pokud se vstupní signál nachází v pásmu hystereze, nedochází k posunu informace. Na obr. 5 jsou vyznačeny tučně vytažené paměťové buňky $\underline{PB}_{N-2}$, $\underline{PB}_{N-1}$, $\underline{PB}_N$ v sepnutém stavu. Aby nedocházelo k dalšímu spínání paměťových buněk, musí potenciál sběrnice $\underline{B}$ pro vstupní signál ležet v pásmu hystereze paměťových buněk $\underline{PB}_N$. Vazební druhý paměťový obvod $\underline{PO2}_N$ lze uvést do aktivního stavu pouze sepnutou paměťovou buňkou $\underline{PB}_N$. Kladným potenciálem na jejím výstupu přejde druhá paměťová dioda $\underline{D2}$ do vodivého stavu. Vodivé druhé paměťové obvody $\underline{PO2}_N$ jsou vytaženy silně, nevodivé čárkovaně. Tím je dosaženo u všech paměťových buněk předcházejících paměťovou buňku $\underline{PB}_N$ posunu jejich rozpínacích hladin ke sběrnici $\underline{A}$ kladného pólu napájecího zdroje. Pouze u paměťové buňky $\underline{PB}_N$ zůstává rozpínací hladina zachována. Paměťová buňka $\underline{PB}_N$ je připravena, když dosáhne vstupní signál sběrnice $\underline{B}$ úroveň rozpínací hladiny rozepnout a posunout informaci o jednu paměťovou buňku zpět. Následující paměťová buňka $\underline{PB}_{N+1}$, která je rozepnuta, nemá ovlivněnou spínací hladinu od předcházející paměťové buňky $\underline{PB}_N$, protože první paměťový obvod $\underline{PO1}_{N-1}$ je první paměťovou diodou $\underline{D1}_N$ odpojen.

Vazební první paměťový obvod $\underline{PO1}_N$ lze uvést do aktivního stavu pouze rozepnutou paměťovou buňkou $\underline{PB}_N$, protože se přes zatěžovací odpor $\underline{RZ}$ spojí první paměťová dioda $\underline{D1}$ se sběrnici $\underline{E}$ záporného pólu napájecího zdroje. Na obr. 5 jsou aktivní první paměťové obvody $\underline{PO1}_{N+1}$, $\underline{PO1}_{N+2}$ vyznačeny silně. Jejich vazbou dochází vždy u následujících paměťových buněk $\underline{PB}_{N+2}$, $\underline{PB}_{N+3}$ k posunu jejich spínacích hladin k potenciálu sběrnice $\underline{E}$ záporného pólu napájecího zdroje, jak je vyznačeno šipkou. Tím je u těchto buněk zabráněno sepnutí. Pouze následující paměťová buňka $\underline{PB}_{N+1}$, která není vázána s předchozí buňkou $\underline{PB}_N$ prvním paměťovým obvodem $\underline{PO1}_N$, ale není ani vázána s následnou paměťovou buňkou $\underline{PB}_{N+2}$ druhým paměťovým obvodem $\underline{PO2}_{N+2}$, má zachovanou spínací hladinu na nezměněné úrovni.

Při zvýšení vstupního signálu na úroveň spínací hladiny dojde k sepnutí následné paměťové buňky $\underline{PB}_{N+1}$ a celý stav zachycený na obr. 5 se posune o jednu paměťovou buňku doprava nebo v případě rozepnutí předcházející paměťové buňky se posune celý stav doleva.

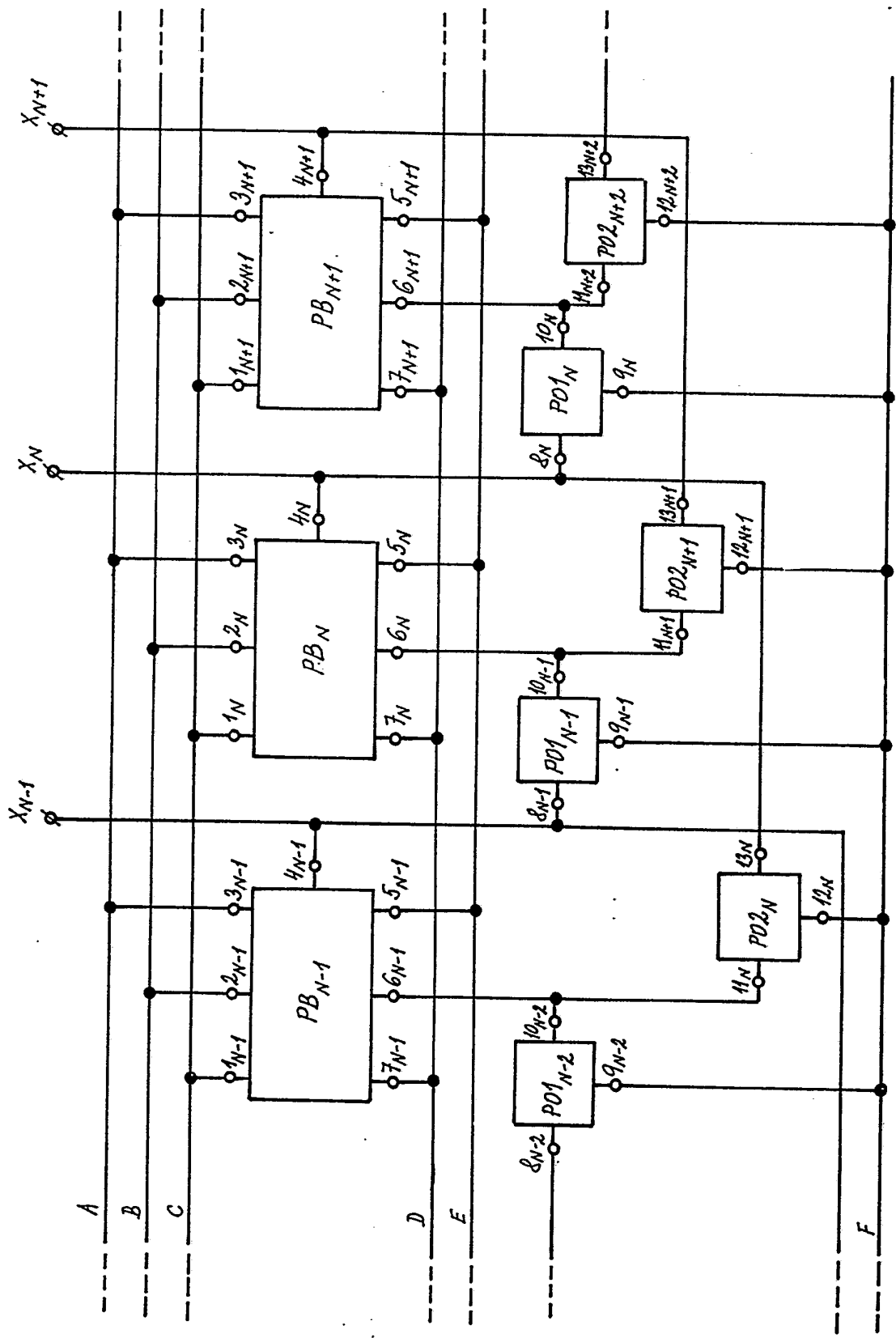
Nesymetrické dynamické vlastnosti prvního paměťového obvodu $\underline{PO1}_N$ a druhého paměťového obvodu $\underline{PO2}_N$ zajišťují rychlý nárůst spínacích a rozpínacích napěťových hladin, neboť nabíjení prvního paměťového kondenzátoru $\underline{C1}$ a druhého paměťového kondenzátoru $\underline{C2}$ probíhá přes první paměťovou diodu $\underline{D1}$ a druhou paměťovou diodu $\underline{D2}$, naopak jejich vybíjení na původní úroveň probíhá s časovou konstantou přes druhý paměťový odpor $\underline{R4}$ a první napěťový odpor $\underline{R3}$. To zajišťuje v případě, když zůstane trvale potenciál sběrnice $\underline{B}$ vstupního signálu mimo pásmo hystereze, spínání nebo rozpínání po sobě následujících paměťových buněk $\underline{PB}_N$ postupně za sebou. K posunu informace vpřed nebo vzad dochází s časovými prodlevami, dané časovými konstantami prvního zpožďovacího paměťového obvodu $\underline{PO1}_N$ a druhého paměťového obvodu $\underline{PO2}_N$.

P Ř E D M Ě T V Y N Á L E Z U

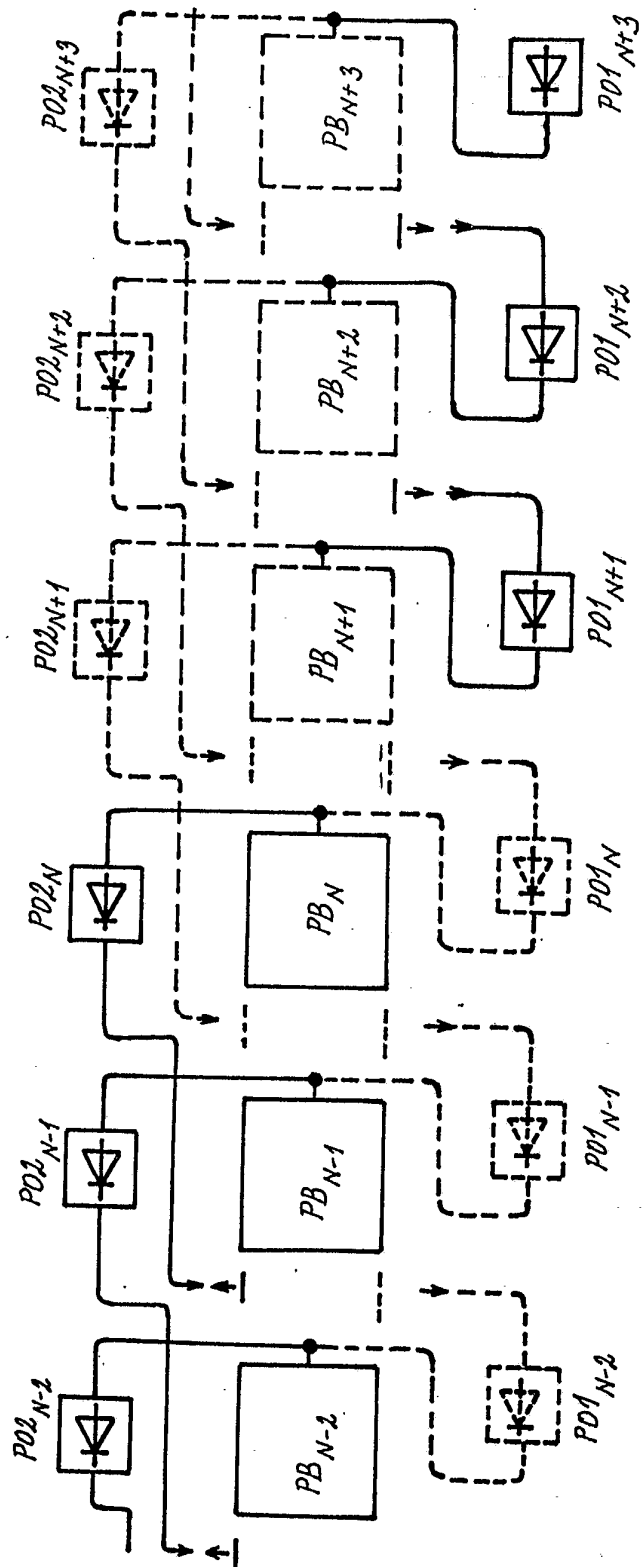
1. Zapojení posuvného registru, obsahující sběrnici kladného pólu napájecího zdroje, sběrnici referenčního napětí pro posun vzad, sběrnici referenčního napětí pro posun vpřed, sběrnici záporného pólu napájecího zdroje, sběrnici nulového potenciálu, vyznačující se tím, že mezi vstup ($6N$) paměťové buňky ($\underline{PB}_N$) a výstup (4_{N-1}) předcházející paměťové buňky ($\underline{PB}_{N-1}$) je zapojen první paměťový obvod ($\underline{PO1}_{N-1}$) tak, že jeho vstup (8_{N-1}) je zapojen

na výstup (4_{N-1}) předcházející paměťové buňky (PB_{N-1}) a výstup (10_{N-1}) na vstup (6_N) paměťové buňky (PB_N) a svou nulovou svorkou (9_{N-1}) je spojen se sběrnicí (F) nulového potenciálu a mezi výstup (4_{N+1}) následující paměťové buňky (PB_{N+1}) a vstup (6_N) paměťové buňky (PB_N) je zapojen druhý paměťový obvod ($PO2_{N+1}$) tak, že jeho výstup (11_{N+1}) je zapojen na vstup (6_N) paměťové buňky (PB_N) a vstup (13_{N+1}) na výstup (4_{N+1}) následující paměťové buňky (PB_{N+1}) a svou nulovou svorkou (12_{N+1}) je spojen se sběrnicí (F) nulového potenciálu.

2. Zapojení podle bodu 1, vyznačující se tím, že každá z paměťových buněk (PB_{N-1} , PB_N , PB_{N+1}), se skládá z operačního zesilovače (OZ_N), jehož neinvertující vstup je vyveden na svorku (2_N) spojenou se sběrnicí (B) pro vstupní signál a jehož výstup ovládá první elektronický spínač (Sl_N), jehož vstup je vyveden na svorku (3_N) spojenou se sběrnicí (A) kladného pólu napájecího zdroje a jehož výstup je vyveden jednak na svorku (4_N) spojenou s výstupní svorkou (X_N) paměťové buňky (PB_N), jednak přes zatěžovací odpor (RZ_N) na svorku (5_N) spojenou se sběrnicí (E) záporného pólu napájecího zdroje, a z druhého elektronického spínače ($S2_N$), jehož vstup je vyveden na svorku (1_N) spojenou se sběrnicí (C) referenčního napětí pro posun vzad a jehož výstup je přes do série zapojený první nastavovací odpor ($R1_N$) a druhý nastavovací odpor ($R2_N$) vyveden na svorku (7_N) spojenou se sběrnicí (D) referenčního napětí pro posun vpřed, přičemž společný bod prvního nastavovacího odporu ($R1_N$) a druhého nastavovacího odporu ($R2_N$) je spojen s invertujícím vstupem operačního zesilovače (OZ_N) a se vstupem (6_N) paměťové buňky (PB_N).
3. Zapojení podle bodu 1, vyznačující se tím, že každý z prvních paměťových obvodů ($PO1_{N-1}$, $PO1_N$, $PO2_{N+1}$), se skládá z do série zapojené první paměťové diody ($D1_N$), spojené katodou se vstupní svorkou (8_N), a prvního paměťového odporu ($R3_N$), spojeného druhým koncem s výstupní svorkou (10_N), do jejichž společného bodu je zapojen první paměťový kondenzátor ($C1_N$), spojený druhým koncem s nulovou svorkou (9_N).
4. Zapojení podle bodu 1, vyznačující se tím, že každý z druhých paměťových obvodů ($PO2_{N-1}$, $PO2_N$, $PO2_{N+1}$), se skládá z do série zapojené druhé paměťové diody ($D2_N$) spojené anodou se vstupní svorkou (13_N) a druhého paměťového odporu ($R4_N$), spojeného druhým koncem s výstupní svorkou (11_N), do jejichž společného bodu je zapojen druhý paměťový kondenzátor ($C2_N$) spojený druhým koncem s nulovou svorkou (12_N).



8br.1



A

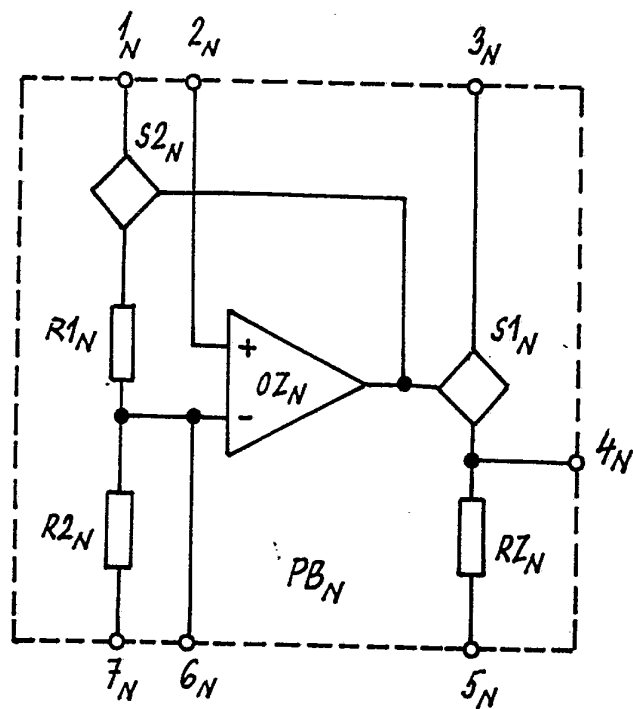
C

F

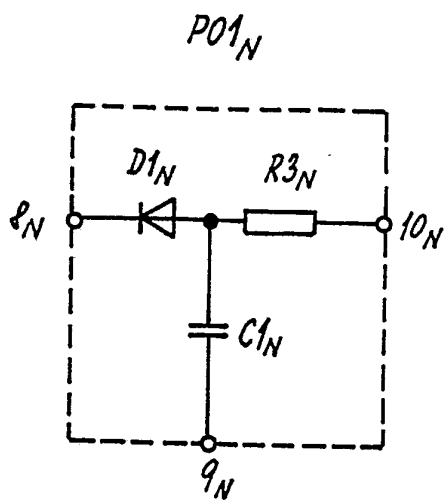
B

D

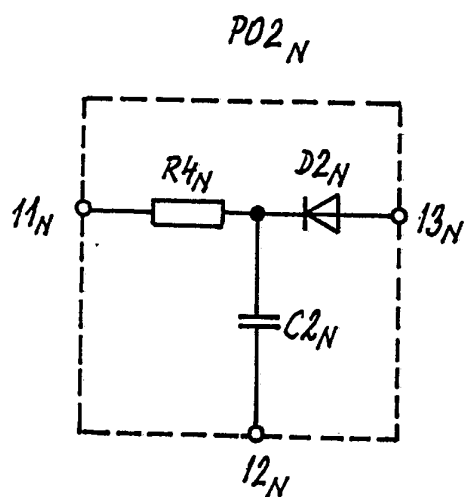
E



Obr. 2



Obr. 3



Obr. 4