

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2013 年 1 月 24 日 (24.01.2013)



(10) 国际公布号
WO 2013/010299 A1

(51) 国际专利分类号:

H01L 27/12 (2006.01) H01L 21/336 (2006.01)
H01L 29/772 (2006.01) H01L 21/8232 (2006.01)

(21) 国际申请号:

PCT/CN2011/002000

(22) 国际申请日:

2011 年 11 月 30 日 (30.11.2011)

(25) 申请语言:

中文

(26) 公布语言:

中文

(30) 优先权:

201110203389.6 2011 年 7 月 20 日 (20.07.2011) CN

(71) 申请人 (对除美国外的所有指定国): **中国科学院微电子研究所 (INSTITUTE OF MICROELECTRONICS, CHINESE ACADEMY OF SCIENCES)** [CN/CN]; 中国北京市朝阳区北土城西路 3#, Beijing 100029 (CN)。

(72) 发明人: 及

(75) 发明人/申请人 (仅对美国): **梁擎擎 (LIANG, Qingqing)** [CN/US]; 美国纽约州拉格朗日镇瑞吉路 28 号, New York 12540 (US)。 **朱慧珑 (ZHU, Huilong)** [US/US]; 美国纽约州波基普西市奥特姆路 93#, New York 12603 (US)。 **钟汇才 (ZHONG, Huicai)** [CN/US]; 美国加利福尼亚州圣荷西市威尔明顿大道 1089 号, California 95129 (US)。

(74) 代理人: 中国专利代理(香港)有限公司 (CHINA PATENT AGENT (H.K.) LTD.); 中国香港特别行政区湾仔港湾道 23 号鹰君中心 22 号楼, Hong Kong (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第 21 条(3))。

(54) Title: SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING SAME

(54) 发明名称: 半导体器件及其制造方法

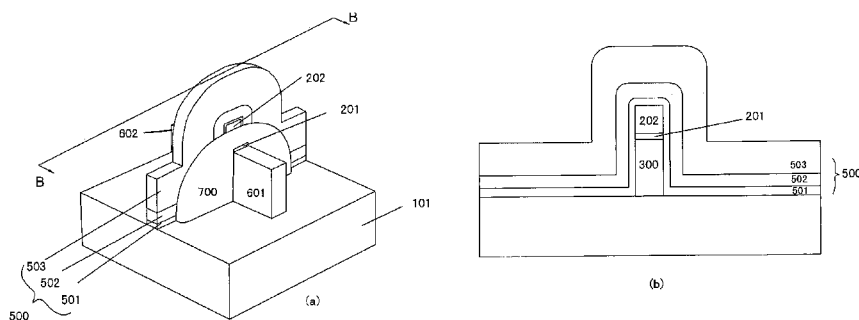


图 1/ Fig. 1

(57) Abstract: The present invention relates to a semiconductor device and a method for manufacturing same. The semiconductor device can include: a fin active area arranged on an insulation layer; a threshold voltage regulation layer arranged on the top of the fin active area and used for regulating the threshold voltage of the semiconductor device; a grid lamination arranged on the threshold voltage regulation layer, a side wall of the fin active area and the insulation layer and including a grid dielectric and a gate electrode formed on the grid dielectric; and a source area and a drain area respectively formed on the two sides of the grid lamination and in the fin active area. The threshold voltage regulation layer included in the semiconductor device of the present invention can regulate the threshold voltage of the semiconductor device.

(57) 摘要: 提供一种涉及半导体器件以及半导体器件的制造方法, 所述半导体器件可以包括: 鳍有源区, 该鳍有源区设置在绝缘层上; 设置在鳍有源区顶部的阈值电压调节层, 该阈值电压调节层用于调节所述半导体器件的阈值电压; 栅极叠层, 该栅极叠层设置在阈值电压调节层上、鳍有源区的侧壁上以及绝缘层上并且包括栅极电介质和形成在栅极电介质上的栅电极; 以及, 分别形成在栅极叠层两侧、鳍有源区中的源区和漏区。根据本发明的半导体器件包括阈值电压调节层, 其可以对半导体器件的阈值电压进行调节。

WO 2013/010299 A1

半导体器件及其制造方法

本申请要求了2011年7月20日提交的、申请号为201110203389.6、发明名称为“半导体器件及其制造方法”的中国专利申请的优先权，其全部5 内容通过引用结合在本申请中。

技术领域

本发明涉及一种半导体器件。更具体而言，本发明涉及一种包括鳍有源区的半导体器件。本发明还涉及这种半导体器件的制造方法。

10

背景技术

随着半导体技术的发展，出现了包括鳍有源区的半导体器件，比如鳍型场效应晶体管（Finfet）。对于下一代超大规模集成电路（VLSI）技术而言，包括鳍有源区的半导体器件、比如Finfet是很有前景的半导体器件。15

然而，如何调节包括鳍有源区的半导体器件的阈值电压是一个非常具有挑战性的技术问题。特别是对于包括高k金属栅极的CMOS Finfet而言，阈值电压的调节变得更为困难。为了调节N型场效应晶体管（NFET）和P型场效应晶体管（PFET）的阈值电压达到需要值，通常20 需要在NFET和PFET上形成不同的金属栅极。然而，这样的工艺使得栅极在NFET和PFET边界处高度不容易控制，成品率较低。

因此，需要能够调节包括鳍有源区的半导体器件的阈值电压的简单的解决方案。

25 发明内容

本发明的其中一个目的是克服以上缺点中的至少一些，并提供一种改进的半导体器件及其制造方法。

根据本发明的一个方面，提供了一种半导体器件。该半导体器件可以包括：鳍有源区，该鳍有源区设置在绝缘层上；设置在鳍有源区30 顶部的阈值电压调节层，所述阈值电压调节层用于调节半导体器件的阈值电压；栅极叠层，该栅极叠层设置在阈值电压调节层上、鳍有源区的侧壁上以及绝缘层上并且包括栅极电介质和形成在栅极电介质上

的栅电极；以及，分别形成在栅极叠层两侧、鳍有源区中的源区和漏区。

根据本发明的另一个方面，提供了一种制造半导体器件的方法。该方法可以包括：提供衬底，该衬底包括绝缘层和设置在绝缘层上的
5 半导体层；在半导体层上形成阈值电压调节层，所述阈值电压调节层用于调节半导体器件的阈值电压；使阈值电压调节层和半导体层图案化，从而形成位于绝缘层上的鳍有源区；形成栅极电介质层和位于栅极电介质层上的栅电极层；使栅电极层、栅极电介质层和阈值电压调节层图案化，从而形成栅极叠层，该栅极叠层设置在阈值电压调节层
10 上、鳍有源区的侧壁上以及绝缘层上；以及，在栅极叠层两侧、鳍有源区中分别形成源区和漏区。

根据本发明的又一个方面，提供了一种制造半导体器件的方法。该方法可以包括：提供衬底，该衬底包括绝缘层和设置在绝缘层上的
15 半导体层；在半导体层上形成阈值电压调节层，所述阈值电压调节层用于调节半导体器件的阈值电压；使阈值电压调节层和半导体层图案化，从而形成位于绝缘层上的鳍有源区；形成伪栅叠层，该伪栅叠层设置在阈值电压调节层上、鳍有源区的侧壁上以及绝缘层上；在伪栅叠层两侧、鳍有源区中分别形成源区和漏区；去除伪栅叠层；以及，
20 形成栅极叠层，该栅极叠层设置在阈值电压调节层上、鳍有源区的侧壁上以及绝缘层上并且包括栅极电介质和形成在栅极电介质上的栅电极。

附图说明

本发明的这些和其它目的、特征和优点将会从结合附图对于本发明
25 明示例性实施例的以下详细描述中变得更为清楚明了。在附图中：

图 1 示出了根据本发明的一个示例性实施例的半导体器件，其中图 1(a) 为半导体器件的立体图，图 1(b) 为图 1(a) 的半导体器件沿 B-B 线的剖面图。

图 2 示出了根据本发明的另一个示例性实施例的半导体器件，其中图 2(a) 为半导体器件的立体图，图 2(b) 为图 2(a) 的半导体器件沿 B-B 线的剖面图。
30

图 3 至图 8 示出了制造根据本发明一个示例性实施例的半导体器

件的方法的各个步骤的示意图。

图 9 至图 15 示出了制造根据本发明另一个示例性实施例的半导体器件的方法的各个步骤的示意图。

5 具体实施方式

以下将结合附图详细描述本发明的示例性实施例。附图是示意性的，并未按比例绘制，且只是为了说明本发明的实施例而并不意图限制本发明的保护范围。在附图中，相同的附图标记表示相同或相似的部件。为了使本发明的技术方案更加清楚，本领域熟知的工艺步骤及
10 器件结构在此省略。

首先，参照图 1 详细描述根据本发明的一个示例性实施例的半导体器件。图 1(a) 为半导体器件的立体图，图 1(b) 为图 1(a) 的半导体器件沿 B-B 线的剖面图。

如图 1 所示，根据本发明的一个示例性实施例的半导体器件包括
15 设置在绝缘层 101 上的鳍有源区 300、设置在鳍有源区 300 顶部的用于调节半导体器件的阈值电压的阈值电压调节层 202、栅极叠层 500 以及源区 601 和漏区 602。栅极叠层 500 设置在阈值电压调节层 202 上、鳍有源区 300 的侧壁上以及绝缘层 101 上并且包括栅极电介质 501 和形成在栅极电介质 501 上的栅电极 502。源区 601 和漏区 602 分别形成在
20 栅极叠层 500 两侧的鳍有源区中。在图 1 所示的半导体器件中，在栅极叠层 500 两侧的结构可以是对称的。

绝缘层 101 可以包括但不限于从以下材料构成的组中选取的材料或材料组合：二氧化硅、氮化硅等。鳍有源区 300 可以包括半导体材料。作为实例，栅极叠层 500 的栅极电介质 501 可以包括高 k 电介质
25 材料，栅极叠层 500 的栅电极 502 可以包括金属。

如图 1 所示，根据本发明示例性实施例的半导体器件包括阈值电压调节层 202。通过该阈值电压调节层，可以对半导体器件的阈值电压进行调节。这提供了一种能够调节包括鳍有源区的半导体器件的阈值电压的简便的方式。阈值电压调节层 202 可以包括用于调节半导体器
30 件的阈值电压的材料。例如，用于形成阈值电压调节层 202 的材料可以包括稀土元素 (La、Er、Sc、Y、Ce、Pr、Nd、Pm、Sm、Eu、Gd、Tb、Dy、Ho、Tm、Yb、Lu)、Sr、Al、Ga、In、Tl 或其它用于调节

阈值电压的元素。在一个实例中，阈值电压调节层 202 可以为绝缘材料。该绝缘材料例如可以包括但不限于从以下材料构成的组中选取的材料或材料组合：LaO_x、ErO_x、ScO_x、YO_x、CeO_x、PrO_x、NdO_x、PmO_x、SmO_x、EuO_x、GdO_x、TbO_x、DyO_x、HoO_x、TmO_x、YbO_x、LuO_x、SrO_x、Al₂O₃、Ga₂O₃、InO_x、TiO_x。对于不同类型的半导体器件，可以形成不同的阈值电压调节层。例如，在半导体器件为 N 型场效应晶体管的情况下，阈值电压调节层 202 可以包括但不限于从以下材料构成的组中选取的材料或材料组合：LaO_x、ErO_x、ScO_x、YO_x、CeO_x、PrO_x、NdO_x、PmO_x、SmO_x、EuO_x、GdO_x、TbO_x、DyO_x、HoO_x、TmO_x、YbO_x、LuO_x、SrO_x；在半导体器件为 P 型场效应晶体管的情况下，阈值电压调节层 202 可以包括但不限于从以下材料构成的组中选取的材料或材料组合：Al₂O₃、Ga₂O₃、InO_x、TiO_x。

可选地，如图 1 所示，根据本发明的一个示例性实施例的半导体器件还可以包括设置在鳍有源区 300 的顶部与阈值电压调节层 202 之间的缓冲层 201。缓冲层 201 例如可以包括绝缘材料。在半导体器件包括缓冲层 201 的情况下，阈值电压调节层 202 例如可以由金属性材料形成。该金属性材料例如可以包括但不限于从以下材料构成的组中选取的材料或材料组合：La、Er、Sc、Y、Ce、Pr、Nd、Pm、Sm、Eu、Gd、Tb、Dy、Ho、Tm、Yb、Lu、Sr、Al、Ga、In、Ti。如前面所提到的，对于不同类型的半导体器件，可以形成不同的阈值电压调节层。例如，在半导体器件为 N 型场效应晶体管的情况下，阈值电压调节层 202 可以包括但不限于从以下材料构成的组中选取的材料或材料组合：La、Er、Sc、Y、Ce、Pr、Nd、Pm、Sm、Eu、Gd、Tb、Dy、Ho、Tm、Yb、Lu、Sr；在半导体器件为 P 型场效应晶体管的情况下，阈值电压调节层 202 可以包括但不限于从以下材料构成的组中选取的材料或材料组合：Al、Ga、In、Ti。

可选地，如图 1 所示，根据本发明的一个示例性实施例的半导体器件的栅极叠层 500 还可以包括形成在栅电极 502 上的半导体层 503。该半导体层 503 例如可以包括多晶硅。在栅电极 502 包括金属的情况下，半导体层 503 可以防止氧进入金属栅电极。

可选地，如图 1 所示，根据本发明的一个示例性实施例的半导体器件还可以包括分别形成在栅极叠层 500 两侧、鳍有源区的顶部和侧

壁上的侧墙隔离层 700。

可选地，根据本发明一个示例性实施例的半导体器件还可以包括位于绝缘层 101 之下的基底层（未示出）。该基底层例如可以由半导体材料形成。

5 图 2 示出了根据本发明的另一个示例性实施例的半导体器件。其中，图 2（a）为半导体器件的立体图，图 2（b）为图 2（a）的半导体器件沿 B-B 线的剖面图。

与图 1 中栅极叠层大致保形地(conformally)设置在阈值电压调节层上、鳍有源区的侧壁上以及绝缘层上的情形相比，图 2 中栅极叠层的形状有所不同。

10 如图 2 所示，根据本发明另一个示例性实施例的半导体器件包括设置在绝缘层 101 上的鳍有源区 300、设置在鳍有源区 300 顶部的用于调节半导体器件的阈值电压的阈值电压调节层 202、栅极叠层 500 以及源区和漏区。在图 2 所示的半导体器件中，在栅极叠层 500 两侧的结构可以是对称的。因此，在图 2（a）中，示出了位于栅极叠层 500 一侧的源区 601 而没有示出位于栅极叠层 500 另一侧的漏区。

栅极叠层 500 设置在阈值电压调节层 202 上、鳍有源区 300 的侧壁上以及绝缘层 101 上并且包括栅极电介质 501 和形成在栅极电介质 501 上的栅电极 502。源区和漏区分别形成在栅极叠层 500 两侧的鳍有源区中。

20 绝缘层 101 可以包括但不限于从以下材料构成的组中选取的材料或材料组合：二氧化硅、氮化硅等。鳍有源区 300 可以包括半导体材料。作为实例，栅极叠层 500 的栅极电介质 501 可以包括高 k 电介质材料，栅极叠层 500 的栅电极 502 可以包括金属。

25 如图 2 所示，根据本发明示例性实施例的半导体器件包括阈值电压调节层 202。通过该阈值电压调节层，可以对半导体器件的阈值电压进行调节，这提供了一种能够调节包括鳍有源区的半导体器件的阈值电压的简便的方式。阈值电压调节层 202 可以包括用于调节半导体器件的阈值电压的材料。例如，用于形成阈值电压调节层 202 的材料可以包括稀土元素（La、Er、Sc、Y、Ce、Pr、Nd、Pm、Sm、Eu、Gd、Tb、Dy、Ho、Tm、Yb、Lu）、Sr、Al、Ga、In、Tl 或其它用于调节阈值电压的元素。在一个实例中，阈值电压调节层 202 可以为绝缘材

料。该绝缘材料例如可以包括但不限于从以下材料构成的组中选取的材料或材料组合：LaO_x、ErO_x、ScO_x、YO_x、CeO_x、PrO_x、NdO_x、PmO_x、SmO_x、EuO_x、GdO_x、TbO_x、DyO_x、HoO_x、TmO_x、YbO_x、LuO_x、SrO_x、Al₂O₃、Ga₂O₃、InO_x、TiO_x。对于不同类型的半导体器件，可以形成不同的阈值电压调节层。例如，在半导体器件为 N 型场效应晶体管的情况下，阈值电压调节层 202 可以包括但不限于从以下材料构成的组中选取的材料或材料组合：LaO_x、ErO_x、ScO_x、YO_x、CeO_x、PrO_x、NdO_x、PmO_x、SmO_x、EuO_x、GdO_x、TbO_x、DyO_x、HoO_x、TmO_x、YbO_x、LuO_x、SrO_x；在半导体器件为 P 型场效应晶体管的情况下，阈值电压调节层 202 可以包括但不限于从以下材料构成的组中选取的材料或材料组合：Al₂O₃、Ga₂O₃、InO_x、TiO_x。

可选地，如图 2 所示，根据本发明示例性实施例的半导体器件还可以包括设置在鳍有源区 300 的顶部与阈值电压调节层 202 之间的缓冲层 201。缓冲层 201 例如可以包括绝缘材料。在半导体器件包括缓冲层 201 的情况下，阈值电压调节层 202 例如可以由金属性材料形成。该金属性材料例如可以包括但不限于从以下材料构成的组中选取的材料或材料组合：La、Er、Sc、Y、Ce、Pr、Nd、Pm、Sm、Eu、Gd、Tb、Dy、Ho、Tm、Yb、Lu、Sr、Al、Ga、In、Ti。如前面所提到的，对于不同类型的半导体器件，可以形成不同的阈值电压调节层。例如，在半导体器件为 N 型场效应晶体管的情况下，阈值电压调节层 202 可以包括但不限于从以下材料构成的组中选取的材料或材料组合：La、Er、Sc、Y、Ce、Pr、Nd、Pm、Sm、Eu、Gd、Tb、Dy、Ho、Tm、Yb、Lu、Sr；在半导体器件为 P 型场效应晶体管的情况下，阈值电压调节层 202 可以包括但不限于从以下材料构成的组中选取的材料或材料组合：Al、Ga、In、Ti。

可选地，如图 2 所示，根据本发明示例性实施例的半导体器件还可以包括分别形成在栅极叠层 500 两侧、鳍有源区的顶部和侧壁上的侧墙隔离层 700。

可选地，根据本发明示例性实施例的半导体器件还可以包括位于绝缘层 101 之下的基底层（未示出）。该基底层例如可以由半导体材料形成。

下面，参照图 3 至图 8 详细描述制造根据本发明的一个示例性实

施例的半导体器件的方法。

图 3 示出了制造根据本发明一个示例性实施例的半导体器件的方法的第一步骤的示意图。其中，图 3 (a) 为立体图，图 3 (b) 为沿 B-B 线的剖面图。

5 如图 3 所示，提供衬底 100。衬底 100 可以包括绝缘层 101 和设置在绝缘层 101 上的半导体层 102。作为实例，绝缘层 101 可以包括但不限于从以下材料构成的组中选取的材料或材料组合：二氧化硅、氮化硅等。半导体层 102 可以包括但不限于从以下材料构成的组中选取的材料或材料组合：硅、锗等。

10 可选地，衬底 100 还可以包括位于绝缘层 101 之下的基底层（未示出）。该基底层例如可以由半导体材料形成。

图 4 示出了制造根据本发明一个示例性实施例的半导体器件的方法的第二步骤的示意图。其中，图 4 (a) 为立体图，图 4 (b) 为沿 B-B 线的剖面图。

15 如图 4 所示，在半导体层 102 上形成用于调节半导体器件的阈值电压的阈值电压调节层 202。阈值电压调节层 202 可以包括用于调节半导体器件的阈值电压的材料。例如，用于形成阈值电压调节层 202 的材料可以包括稀土元素（La、Er、Sc、Y、Ce、Pr、Nd、Pm、Sm、Eu、Gd、Tb、Dy、Ho、Tm、Yb、Lu）、Sr、Al、Ga、In、Tl 或其它用于
20 调节阈值电压的元素。在一个实例中，阈值电压调节层 202 可以为绝缘材料。该绝缘材料例如可以包括但不限于从以下材料构成的组中选取的材料或材料组合：LaO_x、ErO_x、ScO_x、YO_x、CeO_x、PrO_x、NdO_x、PmO_x、SmO_x、EuO_x、GdO_x、TbO_x、DyO_x、HoO_x、TmO_x、YbO_x、LuO_x、SrO_x、Al₂O₃、Ga₂O₃、InO_x、TlO_x。对于不同类型的半导体器件，可以
25 形成不同的阈值电压调节层。例如，在要形成的半导体器件为 N 型场效应晶体管的情况下，阈值电压调节层 202 可以包括但不限于从以下材料构成的组中选取的材料或材料组合：LaO_x、ErO_x、ScO_x、YO_x、CeO_x、PrO_x、NdO_x、PmO_x、SmO_x、EuO_x、GdO_x、TbO_x、DyO_x、HoO_x、TmO_x、YbO_x、LuO_x、SrO_x；在要形成的半导体器件为 P 型场效应晶体
30 管的情况下，阈值电压调节层 202 可以包括但不限于从以下材料构成的组中选取的材料或材料组合：Al₂O₃、Ga₂O₃、InO_x、TlO_x。

可选地，在形成阈值电压调节层 202 之前，可以在半导体层 102

上形成缓冲层 201。缓冲层 201 例如可以包括绝缘材料。在半导体器件包括缓冲层 201 的情况下，阈值电压调节层 202 例如可以由金属性材料形成。该金属性材料例如可以包括但不限于从以下材料构成的组中选取的材料或材料组合：La、Er、Sc、Y、Ce、Pr、Nd、Pm、Sm、Eu、
5 Gd、Tb、Dy、Ho、Tm、Yb、Lu、Sr、Al、Ga、In、Tl。如前面所提到的，对于不同类型的半导体器件，可以形成不同的阈值电压调节层。例如，在要形成的半导体器件为 N 型场效应晶体管的情况下，阈值电压调节层 202 可以包括但不限于从以下材料构成的组中选取的材料或材料组合：La、Er、Sc、Y、Ce、Pr、Nd、Pm、Sm、Eu、Gd、Tb、
10 Dy、Ho、Tm、Yb、Lu、Sr；在要形成的半导体器件为 P 型场效应晶体管的情况下，阈值电压调节层 202 可以包括但不限于从以下材料构成的组中选取的材料或材料组合：Al、Ga、In、Tl。

图 5 示出了制造根据本发明一个示例性实施例的半导体器件的方法的第三步骤的示意图。其中，图 5(a) 为立体图，图 5(b) 为沿 B-B
15 线的剖面图。

如图 5 所示，使阈值电压调节层 202 和半导体层图案化，从而形成位于绝缘层 101 上的鳍有源区 300。

在一个实例中，这可以通过先刻蚀阈值电压调节层 202 从而使其图案化、再利用图案化的阈值电压调节层 202 作为掩模刻蚀半导体层
20 来实现。然而，本发明不限于此，也可以通过本领域技术人员所知的其他工艺来使阈值电压调节层和半导体层图案化从而形成鳍有源区。

在半导体层上形成有缓冲层 201 的情况下，在图 5 所示的形成鳍有源区的步骤中，还使缓冲层 201 图案化。

图 6 示出了制造根据本发明一个示例性实施例的半导体器件的方法的第四步骤的示意图。其中，图 6(a) 为立体图，图 6(b) 为沿 B-B
25 线的剖面图。

如图 6 所示，形成栅极电介质层 501 和位于栅极电介质层 501 上的栅电极层 502。栅极电介质层 501 和栅电极层 502 可以覆盖鳍有源区 300 和阈值电压调节层 202 的外表面以及绝缘层 101 的上表面。作为实例，栅极电介质层 501 可以包括高 k 电介质材料，栅电极层 502 可以
30 包括金属。

在一个实例中，可以通过沉积来形成栅极电介质层 501 和栅电极

层 502。然而，本发明不限于此，也可以通过本领域技术人员所知的其他工艺来形成栅极电介质层和栅电极层。

可选地，如图 6 所示，在形成栅极电介质层 501 和位于栅极电介质层 501 上的栅电极层 502 之后，还可以在栅电极层 502 上形成另一
5 半导体层 503。该另一半导体层 503 例如可以包括多晶硅。

图 7 示出了制造根据本发明一个示例性实施例的半导体器件的方法的第五步骤的示意图。其中，图 7(a) 为立体图，图 7(b) 为沿 B-B 线的剖面图。

如图 7 所示，使栅电极层 502、栅极电介质层 501 和阈值电压调节
10 层 202 图案化，从而形成栅极叠层 500。栅极叠层 500 设置在阈值电压调节层 202 上、鳍有源区 300 的侧壁上以及绝缘层 101 上。

在一个实例中，这可以通过先刻蚀栅电极层 502 从而使其图案化、然后利用图案化的栅电极层 502 作为掩模刻蚀栅极电介质层 501、再利用图案化的栅电极层 502 和栅极电介质层 501 作为掩模刻蚀阈值电压
15 调节层 202 来实现。然而，本发明不限于此，也可以通过本领域技术人员所知的其他工艺来使栅电极层、栅极电介质层和阈值电压调节层图案化。

在栅电极层 502 上形成有另一半导体层 503 的情况下，在如图 7 所示的形成栅极叠层的步骤中，还使另一半导体层 503 图案化。

20 可选地，在形成栅极叠层 500 之后，还可以进行热退火。该热退火例如可以在 (900 至 1000℃) 的温度下进行。通过执行热退火，可以将阈值电压调节层中用于调节半导体器件的阈值电压的材料的原子或离子进一步驱入到栅极电介质层中，从而有助于调节半导体器件的阈值电压。

25 图 8 示出了制造根据本发明一个示例性实施例的半导体器件的方法的第六步骤的示意图。其中，图 8(a) 为立体图，图 8(b) 为沿 B-B 线的剖面图。

如图 8 所示，在栅极叠层 500 两侧的鳍有源区中分别形成源区 601 和漏区 602。在图 8 所示的半导体器件中，在栅极叠层 500 两侧的结构
30 可以是对称的。

在一个实例中，可以通过将离子分别注入到栅极叠层 500 两侧的鳍有源区中来形成源区 601 和漏区 602。然而，本发明不限于此，也可

以通过本领域技术人员所知的其他工艺来形成源区和漏区。

在形成了缓冲层 201 的情况下，可选地，在形成源区和漏区之前，可以去除鳍有源区的要形成源区和漏区的部分之上的缓冲层 201。

可选地，在形成源区 601 和漏区 602 之前，可以分别在栅极叠层 500 两侧、鳍有源区的顶部和侧壁上形成侧墙隔离层 700。在形成了缓冲层 201 的情况下，可以在形成侧墙隔离层 700 之后，去除鳍有源区的要形成源区和漏区的部分之上的缓冲层 201。

通过如图 3 至图 8 所示的方法，制成了根据本发明的一个示例性实施例的半导体器件，该半导体器件包括阈值电压调节层。通过该阈值电压调节层，可以对半导体器件的阈值电压进行调节，这提供了一种能够调节包括鳍有源区的半导体器件的阈值电压的简便的方式。

下面，参照图 9 至图 15 详细描述制造根据本发明另一个示例性实施例的半导体器件的方法。

图 9 示出了制造根据本发明另一个示例性实施例的半导体器件的方法的第一步骤的示意图。其中，图 9(a) 为立体图，图 9(b) 为沿 B-B 线的剖面图。

如图 9 所示，提供衬底 100。衬底 100 可以包括绝缘层 101 和设置在绝缘层 101 上的半导体层 102。作为实例，绝缘层 101 可以包括但不限于从以下材料构成的组中选取的材料或材料组合：二氧化硅、氮化硅等。半导体层 102 可以包括但不限于从以下材料构成的组中选取的材料或材料组合：硅、锗等。

可选地，衬底 100 还可以包括位于绝缘层 101 之下的基底层（未示出）。该基底层例如可以由半导体材料形成。

图 10 示出了制造根据本发明另一个示例性实施例的半导体器件的方法的第二步骤的示意图。其中，图 10(a) 为立体图，图 10(b) 为沿 B-B 线的剖面图。

如图 10 所示，在半导体层 102 上形成用于调节半导体器件的阈值电压的阈值电压调节层 202。阈值电压调节层 202 可以包括用于调节半导体器件的阈值电压的材料。例如，用于形成阈值电压调节层 202 的材料可以包括稀土元素（La、Er、Sc、Y、Ce、Pr、Nd、Pm、Sm、Eu、Gd、Tb、Dy、Ho、Tm、Yb、Lu）、Sr、Al、Ga、In、Tl 或其它用于调节阈值电压的元素。在一个实例中，阈值电压调节层 202 可以为绝

缘材料。该绝缘材料例如可以包括但不限于从以下材料构成的组中选取的材料或材料组合： LaO_x 、 ErO_x 、 ScO_x 、 YO_x 、 CeO_x 、 PrO_x 、 NdO_x 、 PmO_x 、 SmO_x 、 EuO_x 、 GdO_x 、 TbO_x 、 DyO_x 、 HoO_x 、 TmO_x 、 YbO_x 、 LuO_x 、 SrO_x 、 Al_2O_3 、 Ga_2O_3 、 InO_x 、 TlO_x 。对于不同类型的半导体器件，可以形成不同的阈值电压调节层。例如，在要形成的半导体器件为 N 型场效应晶体管的情况下，阈值电压调节层 202 可以包括但不限于从以下材料构成的组中选取的材料或材料组合： LaO_x 、 ErO_x 、 ScO_x 、 YO_x 、 CeO_x 、 PrO_x 、 NdO_x 、 PmO_x 、 SmO_x 、 EuO_x 、 GdO_x 、 TbO_x 、 DyO_x 、 HoO_x 、 TmO_x 、 YbO_x 、 LuO_x 、 SrO_x ；在要形成的半导体器件为 P 型场效应晶体管的情况下，阈值电压调节层 202 可以包括但不限于从以下材料构成的组中选取的材料或材料组合： Al_2O_3 、 Ga_2O_3 、 InO_x 、 TlO_x 。

可选地，在形成阈值电压调节层 202 之前，可以在半导体层 102 上形成缓冲层 201。缓冲层 201 例如可以包括绝缘材料。在半导体器件包括缓冲层 201 的情况下，阈值电压调节层 202 例如可以由金属性材料形成。该金属性材料例如可以包括但不限于从以下材料构成的组中选取的材料或材料组合： La 、 Er 、 Sc 、 Y 、 Ce 、 Pr 、 Nd 、 Pm 、 Sm 、 Eu 、 Gd 、 Tb 、 Dy 、 Ho 、 Tm 、 Yb 、 Lu 、 Sr 、 Al 、 Ga 、 In 、 Tl 。如前面所提到的，对于不同类型的半导体器件，可以形成不同的阈值电压调节层。例如，在要形成的半导体器件为 N 型场效应晶体管的情况下，阈值电压调节层 202 可以包括但不限于从以下材料构成的组中选取的材料或材料组合： La 、 Er 、 Sc 、 Y 、 Ce 、 Pr 、 Nd 、 Pm 、 Sm 、 Eu 、 Gd 、 Tb 、 Dy 、 Ho 、 Tm 、 Yb 、 Lu 、 Sr ；在要形成的半导体器件为 P 型场效应晶体管的情况下，阈值电压调节层 202 可以包括但不限于从以下材料构成的组中选取的材料或材料组合： Al 、 Ga 、 In 、 Tl 。

图 11 示出了制造根据本发明另一个示例性实施例的半导体器件的方法的第三步骤的示意图。其中，图 11 (a) 为立体图，图 11 (b) 为沿 B-B 线的剖面图。

如图 11 所示，使阈值电压调节层 202 和半导体层图案化，从而形成位于绝缘层 101 上的鳍有源区 300。

在一个实例中，这可以通过先刻蚀阈值电压调节层 202 从而使其图案化、再利用图案化的阈值电压调节层 202 作为掩模刻蚀半导体层来实现。然而，本发明不限于此，也可以通过本领域技术人员所知的

其他工艺来使阈值电压调节层和半导体层图案化从而形成鳍有源区。

在半导体层上形成有缓冲层 201 的情况下，在图 11 所示的形成鳍有源区的步骤中，还使缓冲层 201 图案化。

图 12 示出了制造根据本发明另一个示例性实施例的半导体器件的方法的第四步骤的示意图。其中，图 12 (a) 为立体图，图 12 (b) 为沿 B-B 线的剖面图。

如图 12 所示，形成伪栅叠层 400。伪栅叠层 400 设置在阈值电压调节层 202 上、鳍有源区 300 的侧壁上以及绝缘层 101 上。伪栅叠层 400 可以包括伪栅电介质 401 和形成在伪栅电介质 401 上的伪栅电极 402。

在一个实例中，可以通过以下方式来形成伪栅叠层：形成伪栅电介质层和位于伪栅电介质层上的伪栅电极层；以及，使伪栅电极层、伪栅电介质层和阈值电压调节层图案化。然而，本发明不限于此，也可以通过其它方式来形成伪栅叠层。可选地，在形成伪栅电极层之后，可以使该伪栅电极层平坦化。

图 13 示出了制造根据本发明另一个示例性实施例的半导体器件的方法的第五步骤的示意图。其中，图 13 (a) 为立体图，图 13 (b) 为沿 B-B 线的剖面图。

如图 13 所示，在伪栅叠层 400 两侧的鳍有源区中分别形成源区和漏区。在图 13 所示的半导体器件中，在伪栅叠层 400 两侧的结构可以是对称的。因此，在图 13 中，示出了位于伪栅叠层 400 一侧的源区 601 而没有示出位于伪栅叠层 400 另一侧的漏区。

在一个实例中，可以通过将离子分别注入到伪栅叠层 400 两侧的鳍有源区中来形成源区和漏区。然而，本发明不限于此，也可以通过本领域技术人员所知的其他工艺来形成源区和漏区。

在形成了缓冲层 201 的情况下，可选地，在形成源区和漏区之前，可以去除鳍有源区的要形成源区和漏区的部分之上的缓冲层 201。

可选地，在形成源区和漏区之前，可以分别在伪栅叠层 400 两侧、鳍有源区的顶部和侧壁上形成侧墙隔离层 700。在形成了缓冲层 201 的情况下，可以在形成侧墙隔离层 700 之后，去除鳍有源区的要形成源区和漏区的部分之上的缓冲层 201。

图 14A 和 14B 示出了制造根据本发明另一个示例性实施例的半导

体器件的方法的第六步骤的示意图。其中，图 14A (a) 和图 14B (a) 为立体图，图 14A (b) 和图 14B (b) 为沿 B-B 线的剖面图。

如图 14A 和 14B 所示，去除伪栅叠层 400。

作为实例，可以通过以下方式去除伪栅叠层 400：首先，形成覆盖伪栅叠层 400 的电介质层 800，如图 14A 所示；然后，去除位于电介质层 800 中的伪栅叠层 400，如图 14B 所示。通过去除伪栅叠层 400，可以在电介质层 800 中形成缝隙。在一个实例中，在形成电介质层 800 之后，可以使电介质层 800 平坦化从而露出伪栅叠层 400。

图 15 示出了制造根据本发明另一个示例性实施例的半导体器件的方法的第七步骤的示意图。其中，图 15 (a) 为立体图，图 15 (b) 为沿 B-B 线的剖面图。

如图 15 所示，形成栅极叠层 500。栅极叠层 500 设置在阈值电压调节层 202 上、鳍有源区 300 的侧壁上以及绝缘层 101 上并且包括栅极电介质 501 和形成在栅极电介质 501 上的栅电极 502。

作为实例，栅极电介质 501 可以包括高 k 电介质材料，栅电极 502 可以包括金属。

在一个实例中，可以通过在阈值电压调节层 202 上、鳍有源区 300 的侧壁上以及绝缘层 101 上沉积栅极电介质 501、然后在栅极电介质 501 上沉积栅电极 502 来形成栅极叠层 500。然而，本发明不限于此，也可以通过本领域技术人员所知的其他工艺来形成栅极叠层 500。

在一个实例中，栅极叠层 500 可以形成在去除伪栅叠层 400 的步骤中所形成的电介质层 800 中，如图 15 (a) 所示。特别是，栅极叠层 500 可以形成在电介质层 800 中通过去除伪栅叠层所形成的缝隙中。电介质层 800 中的栅极叠层 500 的结构可以类似于图 13 所示的伪栅叠层 400 的结构。电介质层 800 可以不必去除而用作半导体器件的层间电介质。

通过如图 9 至图 15 所示的方法，制成了根据本发明的另一个示例性实施例的半导体器件，该半导体器件包括阈值电压调节层。通过该阈值电压调节层，可以对半导体器件的阈值电压进行调节，这提供了一种能够调节包括鳍有源区的半导体器件的阈值电压的简便的方式。

此外，在如图 9 至图 15 所示的制造半导体器件的方法中，先形成伪栅叠层并利用伪栅叠层来形成源区和漏区，然后去除伪栅叠层并形

成栅极叠层。这样的工序可以保护栅极叠层免受形成源区和漏区的工艺的影响从而改善栅极叠层的性能。

尽管已经参照附图详细地描述了本发明的示例性实施例，但是这样的描述应当被认为是说明性或示例性的，而不是限制性的；本发明
5 并不限于所公开的实施例。上面以及权利要求中描述的不同实施例也可以加以组合。本领域技术人员在实施要求保护的本发明时，根据对于附图、说明书以及权利要求的研究，能够理解并实施所公开的实施例的其他变型，这些变型也落入本发明的保护范围内。

在权利要求中，词语“包括”并不排除其他部件或步骤的存在并
10 且“一”或“一个”并不排除复数。在相互不同的从属权利要求中陈述了若干技术手段的事实并不意味着这些技术手段的组合不能有利地加以利用。

权 利 要 求

1. 一种半导体器件，包括：
鳍有源区，所述鳍有源区设置在绝缘层上；
5 设置在所述鳍有源区顶部的阈值电压调节层，所述阈值电压调节层用于调节所述半导体器件的阈值电压；
栅极叠层，所述栅极叠层设置在所述阈值电压调节层上、所述鳍有源区的侧壁上以及所述绝缘层上并且包括栅极电介质和形成在所述栅极电介质上的栅电极；以及
10 分别形成在所述栅极叠层两侧、所述鳍有源区中的源区和漏区。
2. 根据权利要求 1 所述的半导体器件，其中所述半导体器件还包括设置在所述鳍有源区的顶部与所述阈值电压调节层之间的缓冲层。
3. 根据权利要求 2 所述的半导体器件，其中所述缓冲层包括绝缘材料。
15 4. 根据权利要求 1 所述的半导体器件，其中所述阈值电压调节层包括 La、Er、Sc、Y、Ce、Pr、Nd、Pm、Sm、Eu、Gd、Tb、Dy、Ho、Tm、Yb、Lu、Sr、Al、Ga、In、Tl 或其它用于调节阈值电压的元素。
5. 根据权利要求 4 所述的半导体器件，其中所述阈值电压调节层包括从以下材料构成的组中选取的材料或材料组合：LaO_x、ErO_x、ScO_x、
20 YO_x、CeO_x、PrO_x、NdO_x、PmO_x、SmO_x、EuO_x、GdO_x、TbO_x、DyO_x、HoO_x、TmO_x、YbO_x、LuO_x、SrO_x、Al₂O₃、Ga₂O₃、InO_x、TlO_x。
6. 根据权利要求 1 所述的半导体器件，其中所述栅极电介质包括高 k 电介质材料，并且所述栅电极包括金属。
7. 根据权利要求 1 所述的半导体器件，其中所述栅极叠层还包括
25 形成在所述栅电极上的半导体层。
8. 根据权利要求 7 所述的半导体器件，其中所述半导体层包括多晶硅。
9. 根据权利要求 1 所述的半导体器件，其中所述半导体器件还包括分别形成在所述栅极叠层两侧、所述鳍有源区的顶部和侧壁上的侧
30 墙隔离层。
10. 一种制造半导体器件的方法，包括：
提供衬底，所述衬底包括绝缘层和设置在所述绝缘层上的半导体

层;

在所述半导体层上形成阈值电压调节层, 所述阈值电压调节层用于调节所述半导体器件的阈值电压;

5 使所述阈值电压调节层和所述半导体层图案化, 从而形成位于所述绝缘层上的鳍有源区;

形成栅极电介质层和位于所述栅极电介质层上的栅电极层;

使所述栅电极层、所述栅极电介质层和所述阈值电压调节层图案化, 从而形成栅极叠层, 所述栅极叠层设置在所述阈值电压调节层上、所述鳍有源区的侧壁上以及所述绝缘层上; 以及

10 在所述栅极叠层两侧、所述鳍有源区中分别形成源区和漏区。

11. 根据权利要求 10 所述的制造半导体器件的方法, 还包括在形成阈值电压调节层的步骤之前, 在所述半导体层上形成缓冲层。

12. 根据权利要求 11 所述的制造半导体器件的方法, 其中在形成鳍有源区的步骤中, 还使所述缓冲层图案化。

15 13. 根据权利要求 10 所述的制造半导体器件的方法, 其中所述阈值电压调节层包括 La、Er、Sc、Y、Ce、Pr、Nd、Pm、Sm、Eu、Gd、Tb、Dy、Ho、Tm、Yb、Lu、Sr、Al、Ga、In、Tl 或其它用于调节阈值电压的元素。

20 14. 根据权利要求 13 所述的制造半导体器件的方法, 其中所述阈值电压调节层包括从以下材料构成的组中选取的材料或材料组合: LaO_x 、 ErO_x 、 ScO_x 、 YO_x 、 CeO_x 、 PrO_x 、 NdO_x 、 PmO_x 、 SmO_x 、 EuO_x 、 GdO_x 、 TbO_x 、 DyO_x 、 HoO_x 、 TmO_x 、 YbO_x 、 LuO_x 、 SrO_x 、 Al_2O_3 、 Ga_2O_3 、 InO_x 、 TlO_x 。

25 15. 根据权利要求 10 所述的制造半导体器件的方法, 其中所述栅极电介质层包括高 k 电介质材料, 并且所述栅电极层包括金属。

16. 根据权利要求 10 所述的制造半导体器件的方法, 还包括在形成栅极电介质层和位于所述栅极电介质层上的栅电极层的步骤之后, 在所述栅电极层上形成另一半导体层。

30 17. 根据权利要求 16 所述的制造半导体器件的方法, 其中所述另一半导体层包括多晶硅。

18. 根据权利要求 16 所述的制造半导体器件的方法, 其中在形成栅极叠层的步骤中, 还使所述另一半导体层图案化。

19. 根据权利要求 10 所述的制造半导体器件的方法, 还包括在形成源区和漏区的步骤之前, 分别在所述栅极叠层两侧、所述鳍有源区的顶部和侧壁上形成侧墙隔离层。

20. 根据权利要求 10 所述的制造半导体器件的方法, 还包括在形成栅极叠层的步骤之后, 进行热退火。

21. 一种制造半导体器件的方法, 包括:

提供衬底, 所述衬底包括绝缘层和设置在所述绝缘层上的半导体层;

10 在所述半导体层上形成阈值电压调节层, 所述阈值电压调节层用于调节所述半导体器件的阈值电压;

使所述阈值电压调节层和所述半导体层图案化, 从而形成位于所述绝缘层上的鳍有源区;

形成伪栅叠层, 所述伪栅叠层设置在所述阈值电压调节层上、所述鳍有源区的侧壁上以及所述绝缘层上;

15 在所述伪栅叠层两侧、所述鳍有源区中分别形成源区和漏区;

去除所述伪栅叠层; 以及

形成栅极叠层, 所述栅极叠层设置在所述阈值电压调节层上、所述鳍有源区的侧壁上以及所述绝缘层上并且包括栅极电介质和形成在所述栅极电介质上的栅电极。

20 22. 根据权利要求 21 所述的制造半导体器件的方法, 还包括在形成阈值电压调节层的步骤之前, 在所述半导体层上形成缓冲层。

23. 根据权利要求 22 所述的制造半导体器件的方法, 其中在形成鳍有源区的步骤中, 还使所述缓冲层图案化。

25 24. 根据权利要求 21 所述的制造半导体器件的方法, 其中所述阈值电压调节层包括 La、Er、Sc、Y、Ce、Pr、Nd、Pm、Sm、Eu、Gd、Tb、Dy、Ho、Tm、Yb、Lu、Sr、Al、Ga、In、Tl 或其它用于调节阈值电压的元素。

25. 根据权利要求 24 所述的制造半导体器件的方法, 其中所述阈值电压调节层包括从以下材料构成的组中选取的材料或材料组合:

30 LaO_x 、 ErO_x 、 ScO_x 、 YO_x 、 CeO_x 、 PrO_x 、 NdO_x 、 PmO_x 、 SmO_x 、 EuO_x 、 GdO_x 、 TbO_x 、 DyO_x 、 HoO_x 、 TmO_x 、 YbO_x 、 LuO_x 、 SrO_x 、 Al_2O_3 、 Ga_2O_3 、 InO_x 、 TlO_x 。

26. 根据权利要求 21 所述的制造半导体器件的方法，其中所述栅极电介质包括高 k 电介质材料，并且所述栅电极包括金属。

27. 根据权利要求 21 所述的制造半导体器件的方法，其中形成伪栅叠层的步骤包括：

5 形成伪栅电介质层和位于所述伪栅电介质层上的伪栅电极层；以及

 使所述伪栅电极层、所述伪栅电介质层和所述阈值电压调节层图案化。

28. 根据权利要求 27 所述的制造半导体器件的方法，还包括在形成伪栅电极层之后，使所述伪栅电极层平坦化。

29. 根据权利要求 21 所述的制造半导体器件的方法，其中去除所述伪栅叠层的步骤包括：

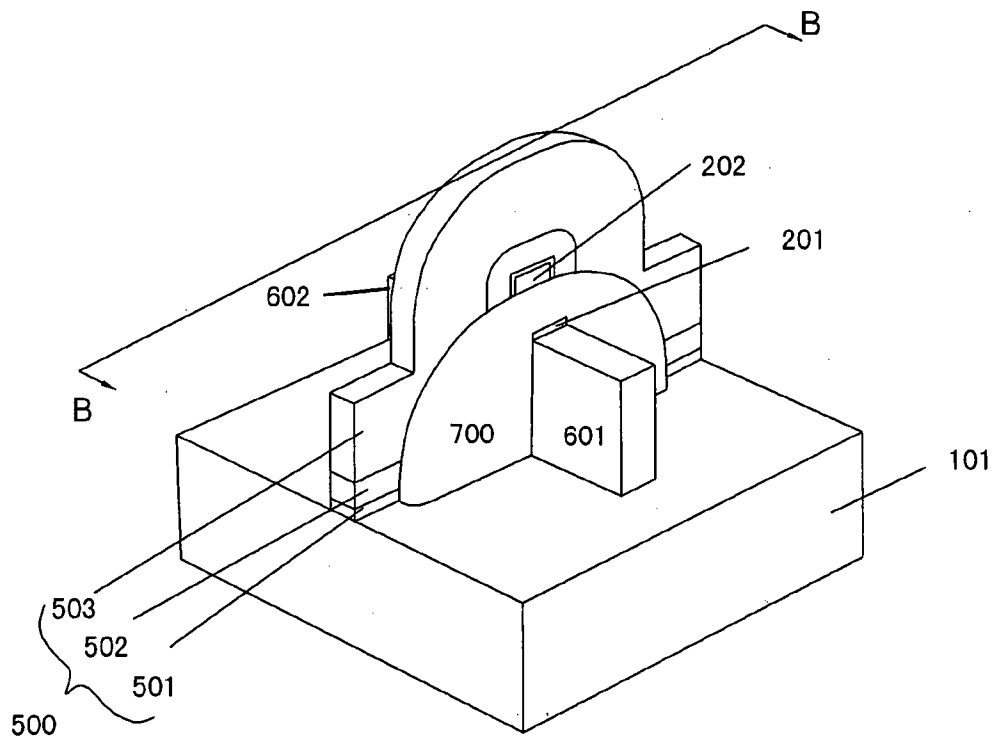
 形成覆盖所述伪栅叠层的电介质层；以及

 去除位于所述电介质层中的所述伪栅叠层。

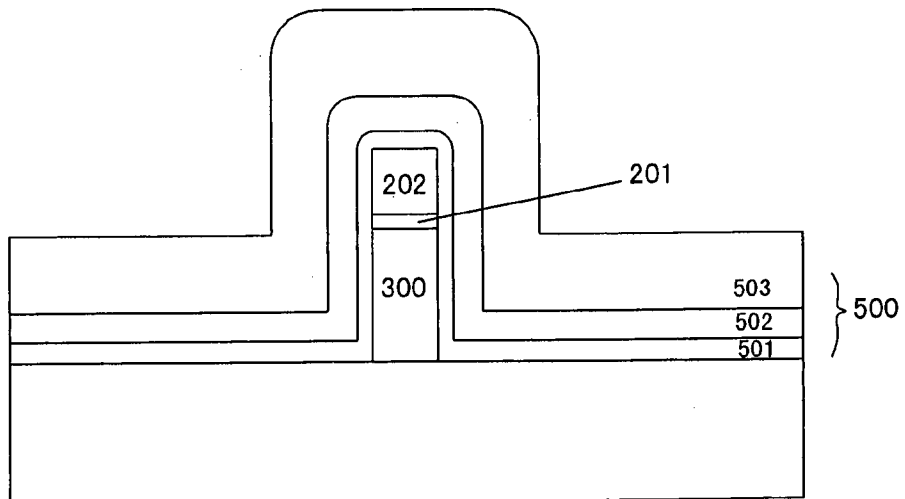
15 30. 根据权利要求 29 所述的制造半导体器件的方法，还包括在形成所述电介质层之后，使所述电介质层平坦化从而露出所述伪栅叠层。

31. 根据权利要求 21 所述的制造半导体器件的方法，还包括在形成源区和漏区的步骤之前，分别在所述伪栅叠层两侧、所述鳍有源区的顶部和侧壁上形成侧墙隔离层。

20

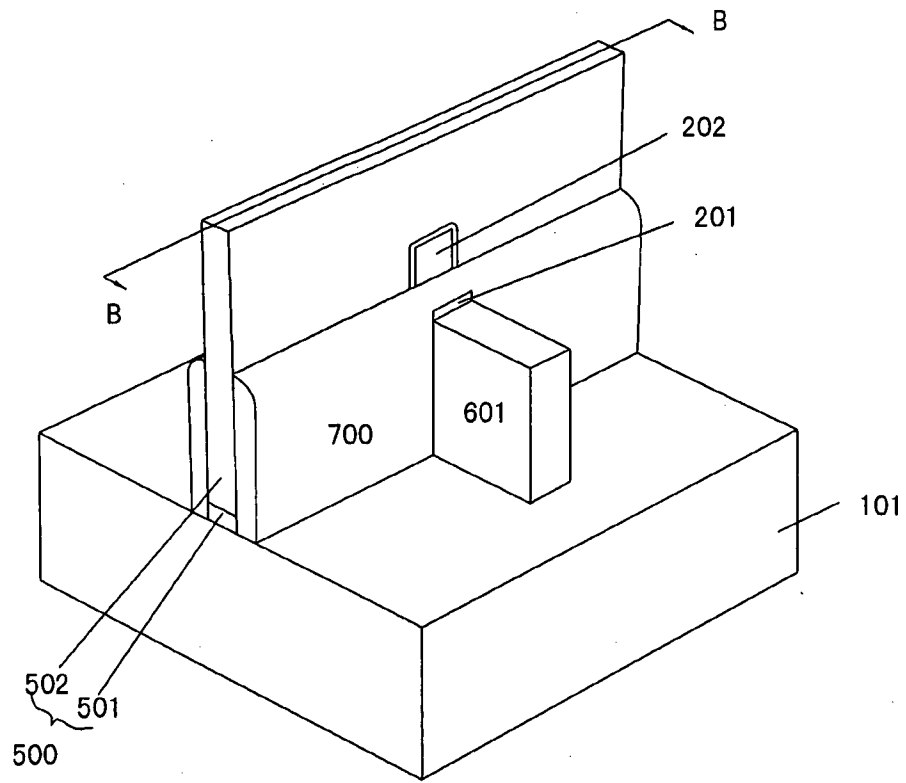


(a)

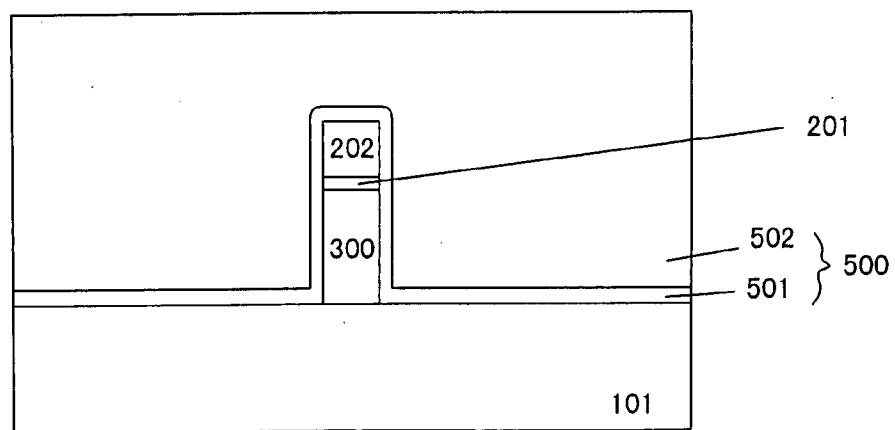


(b)

图 1

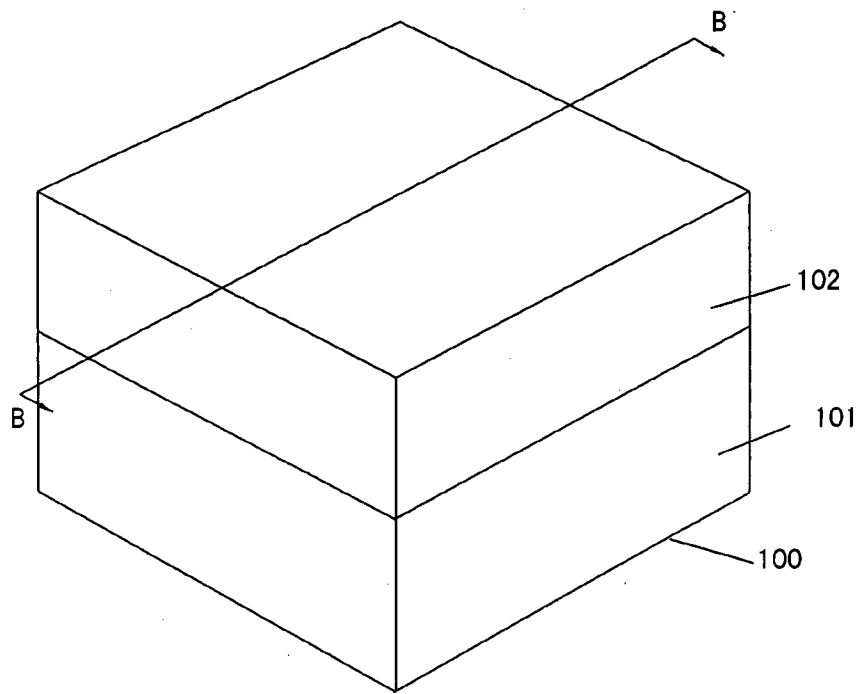


(a)

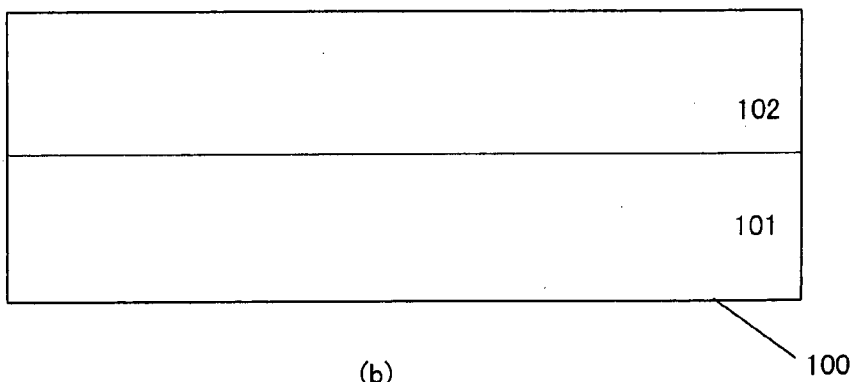


(b)

图 2



(a)



(b)

图 3

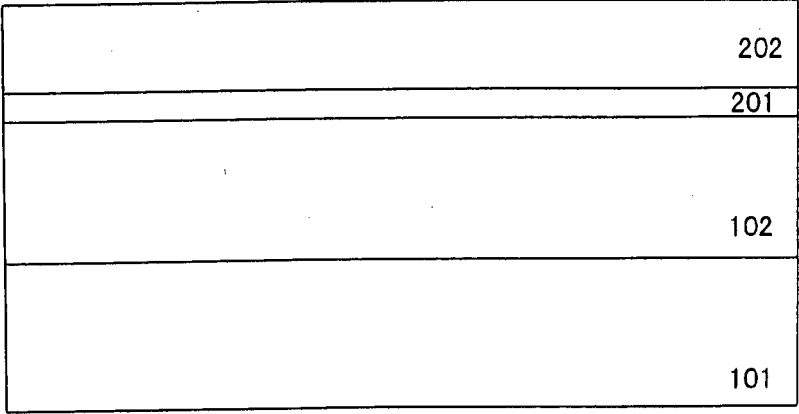
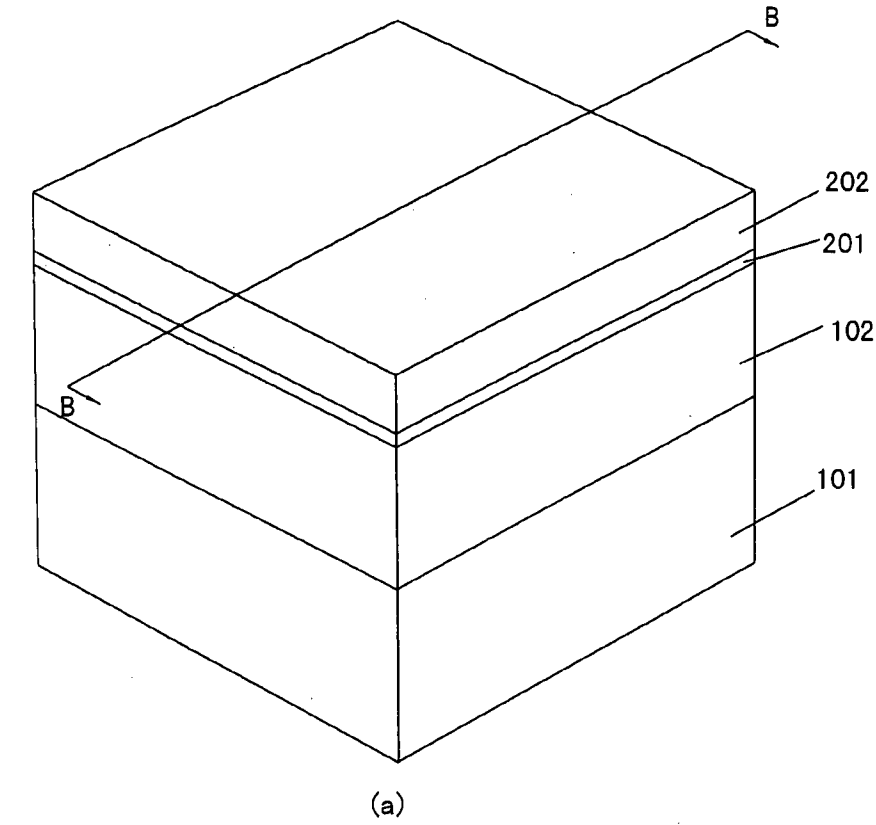
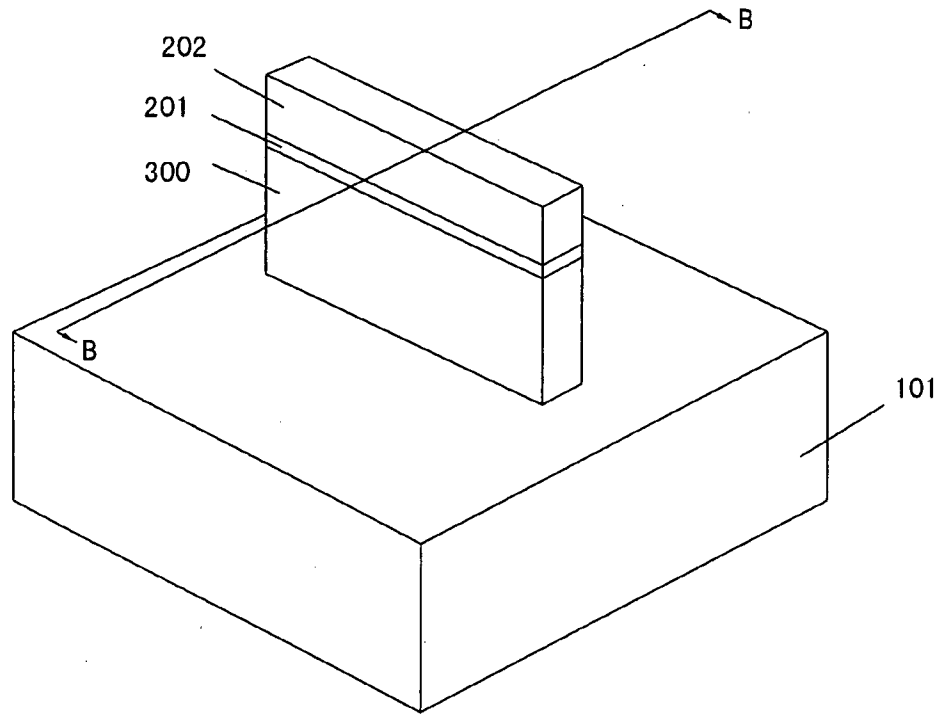
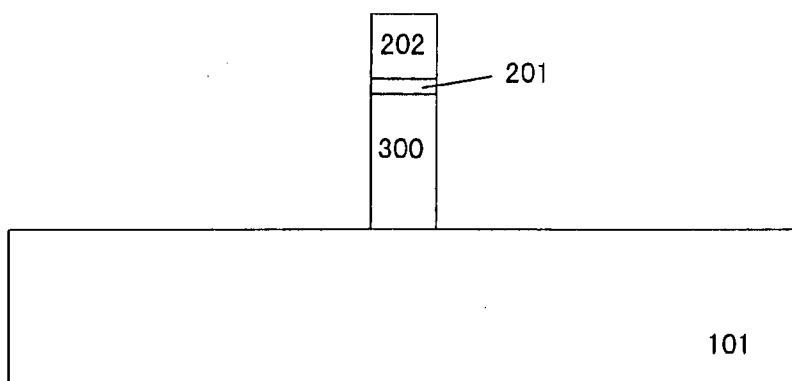


图 4

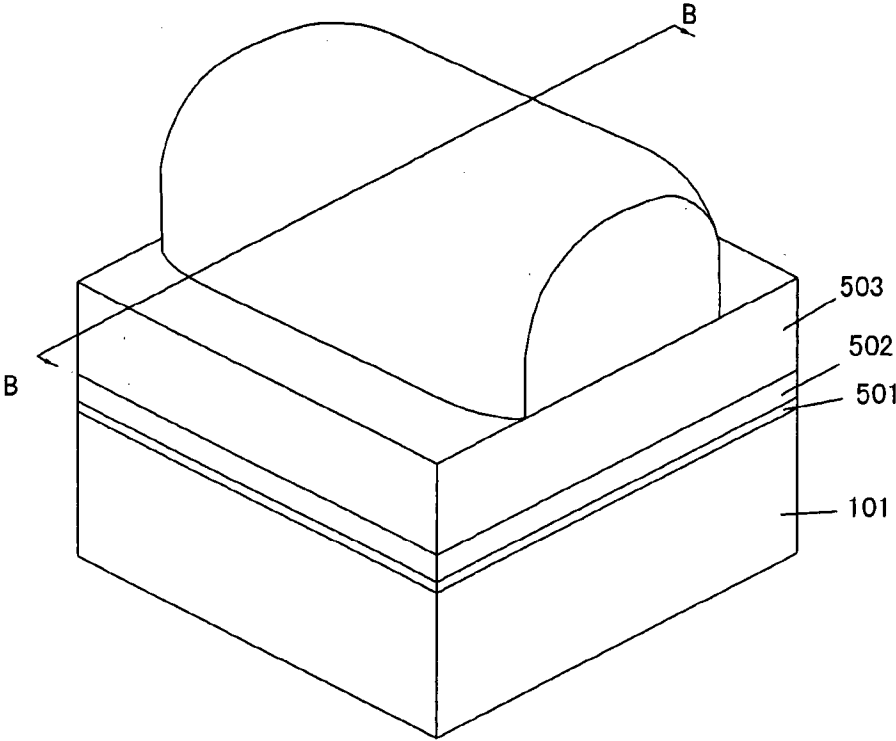


(a)

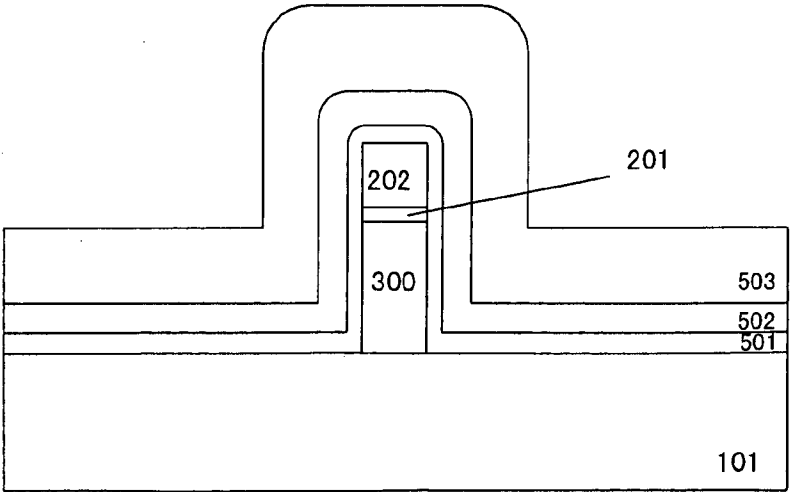


(b)

图 5

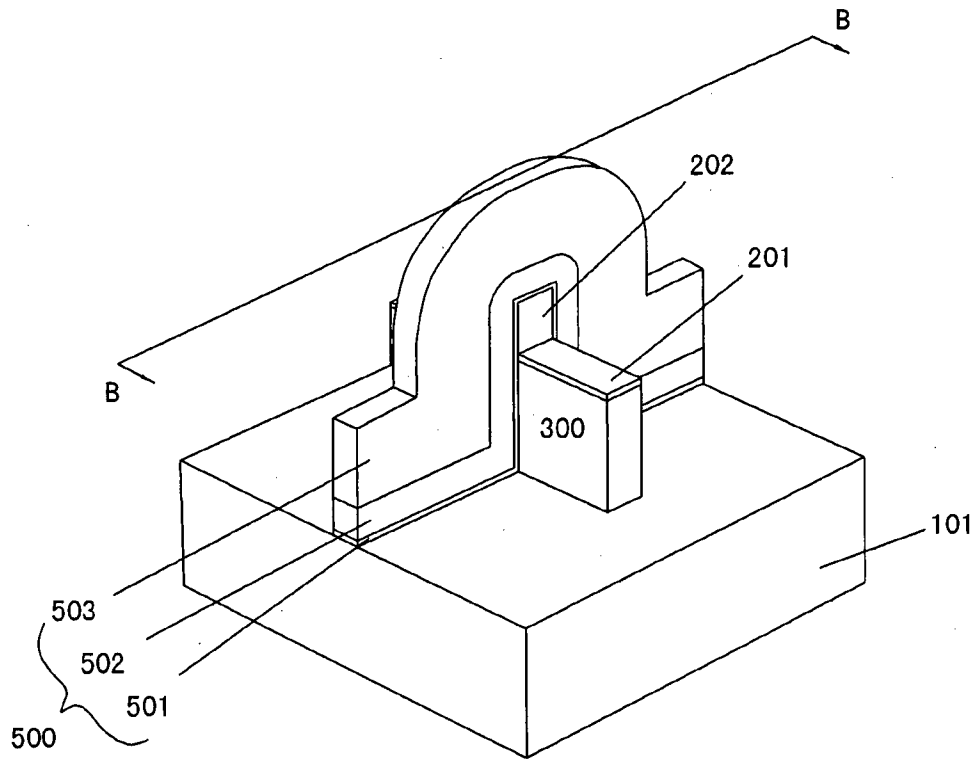


(a)

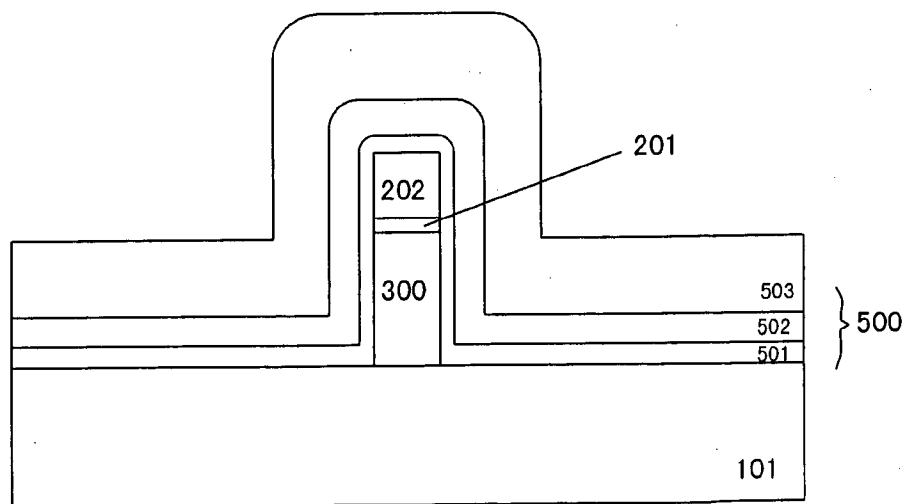


(b)

图 6

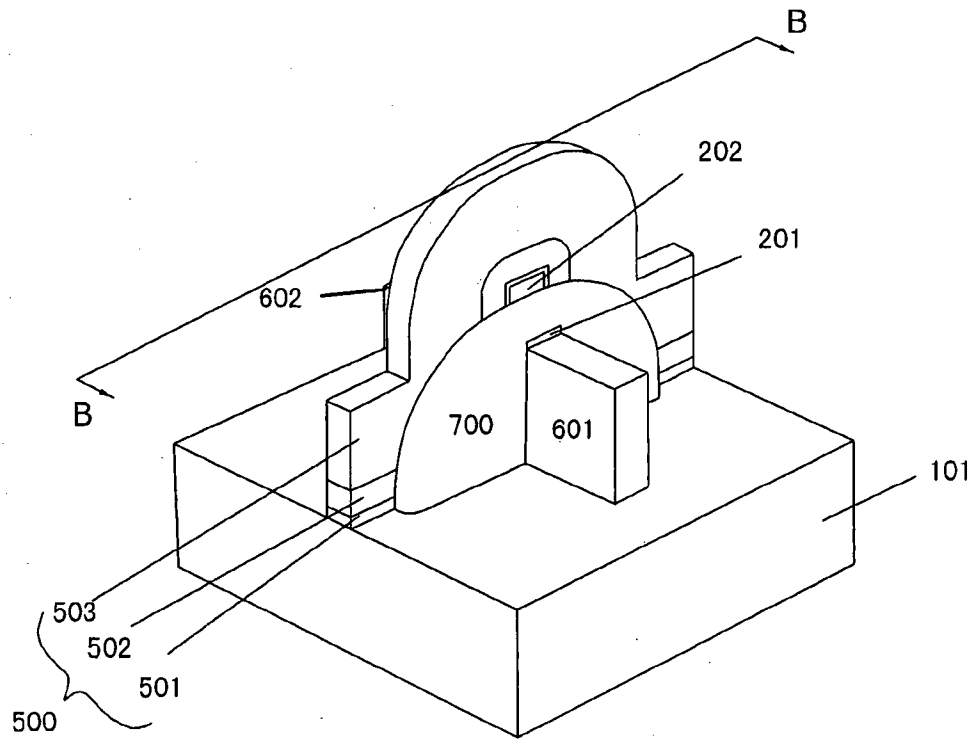


(a)

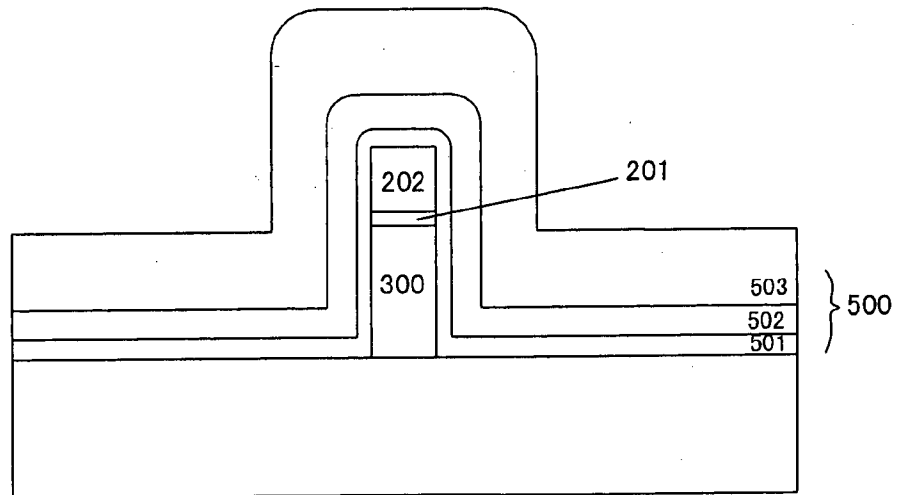


(b)

图 7



(a)



(b)

图 8

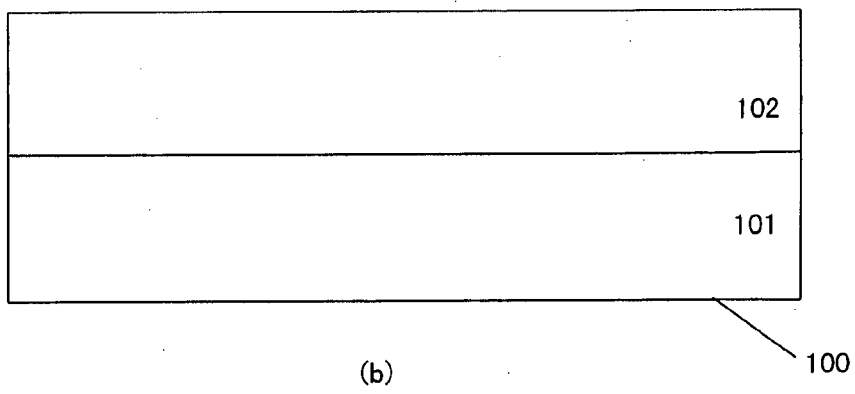
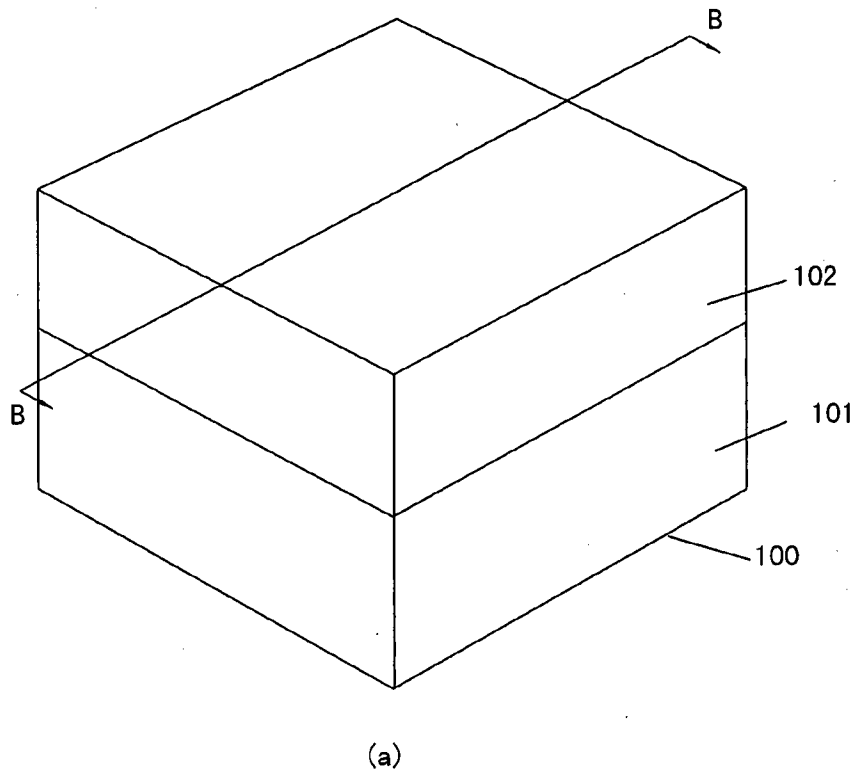
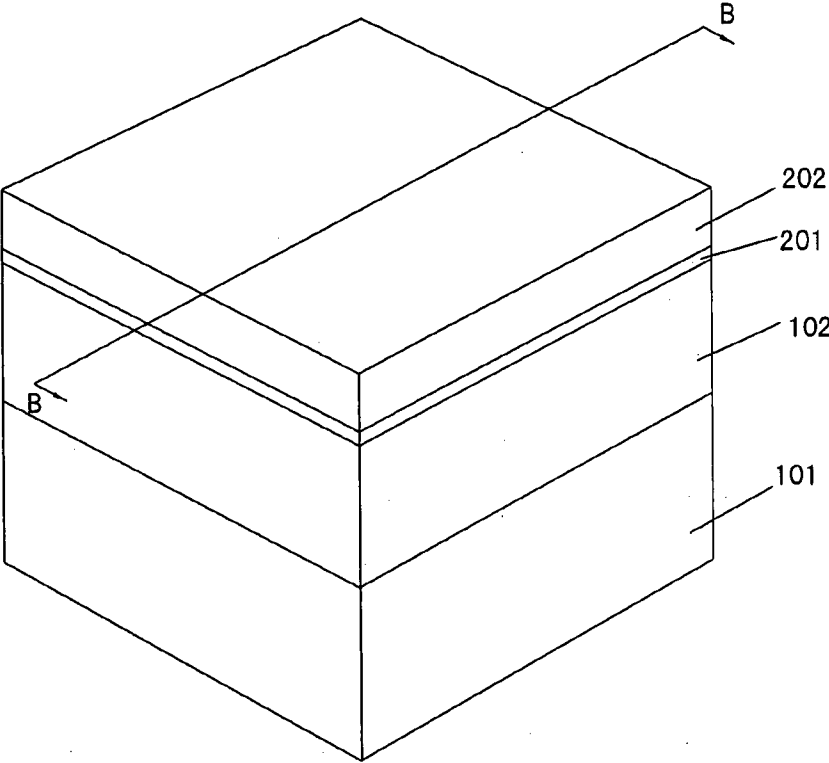
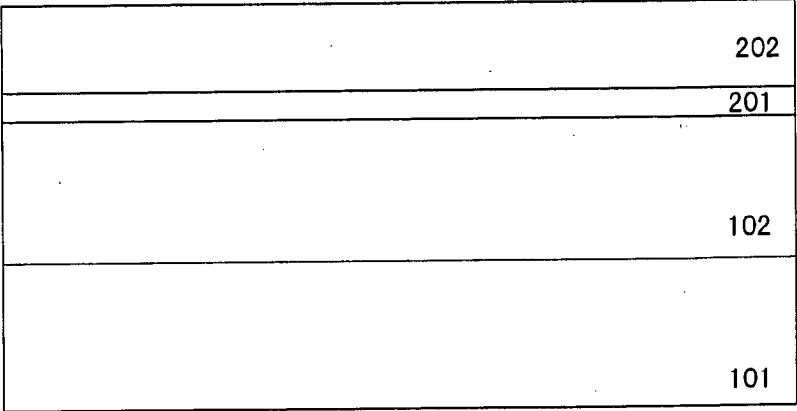


图 9

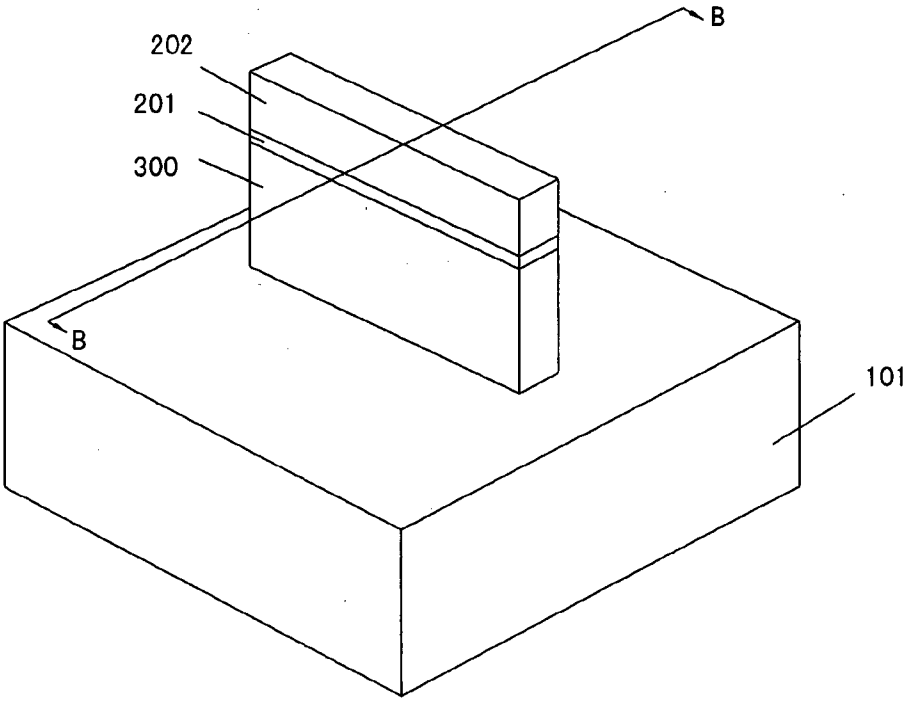


(a)

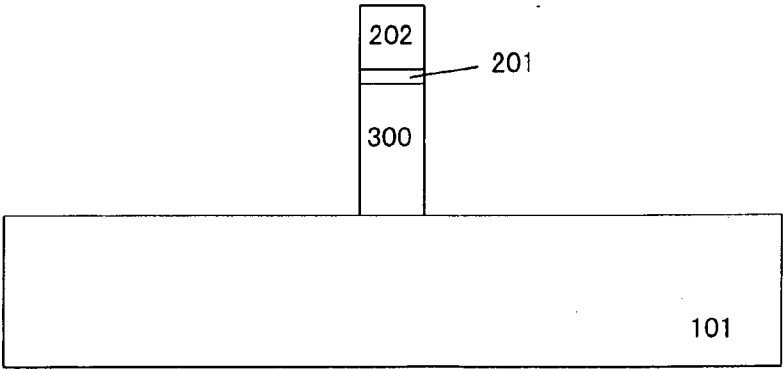


(b)

图 10

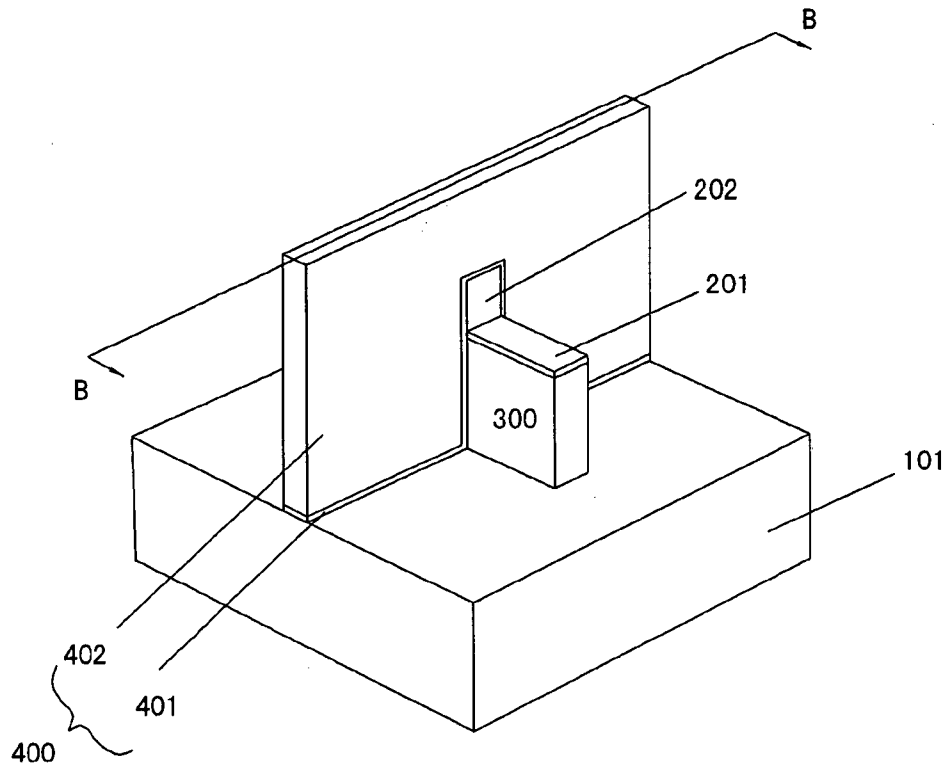


(a)

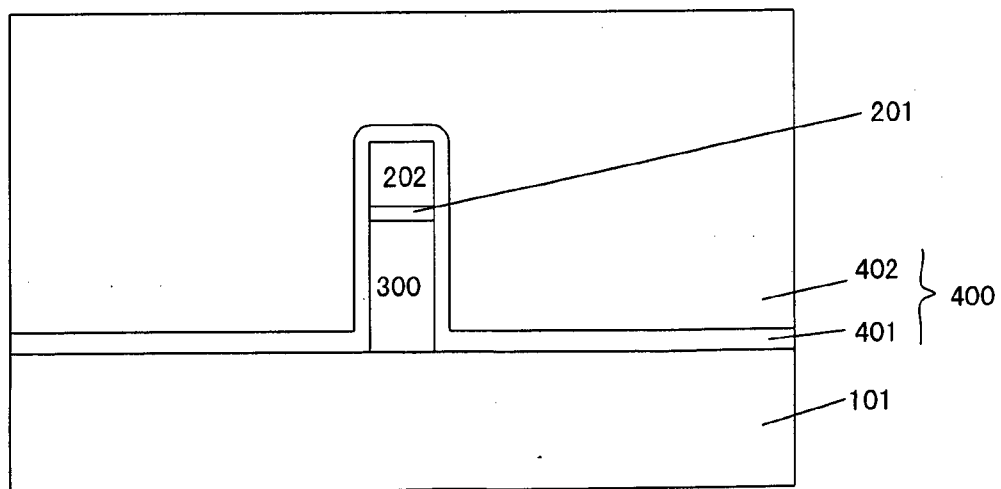


(b)

图 11

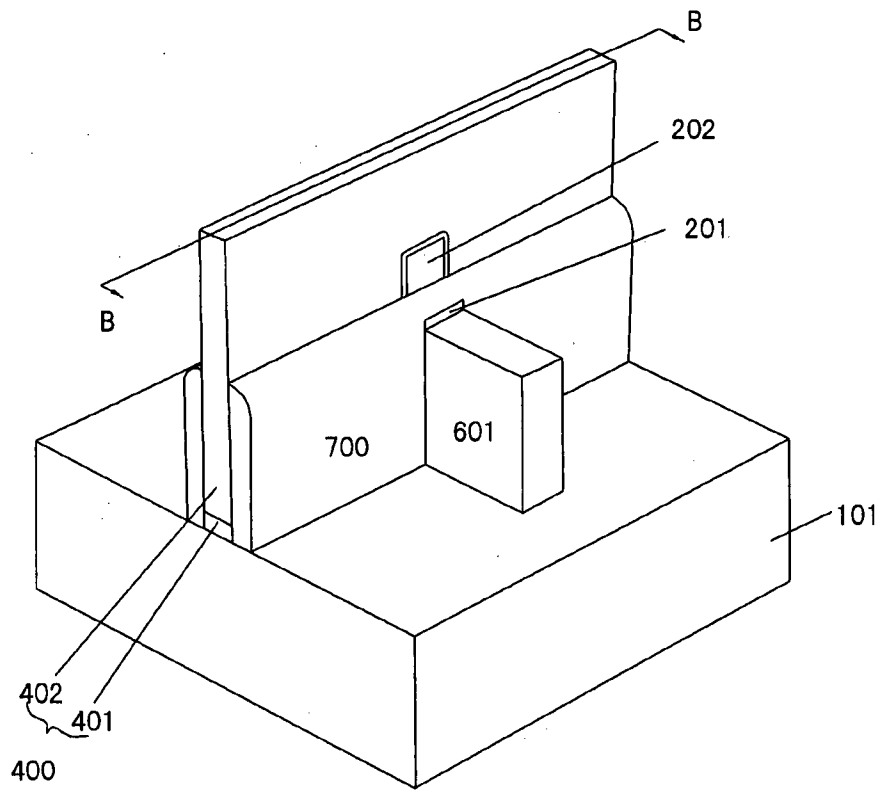


(a)

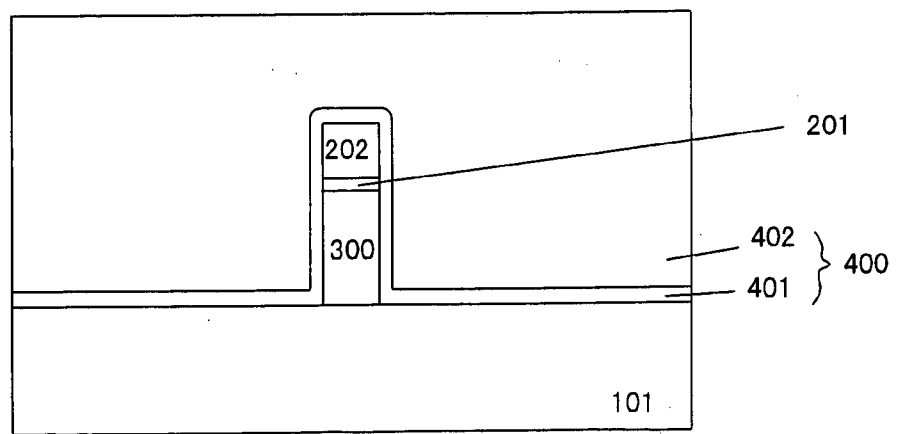


(b)

图 12

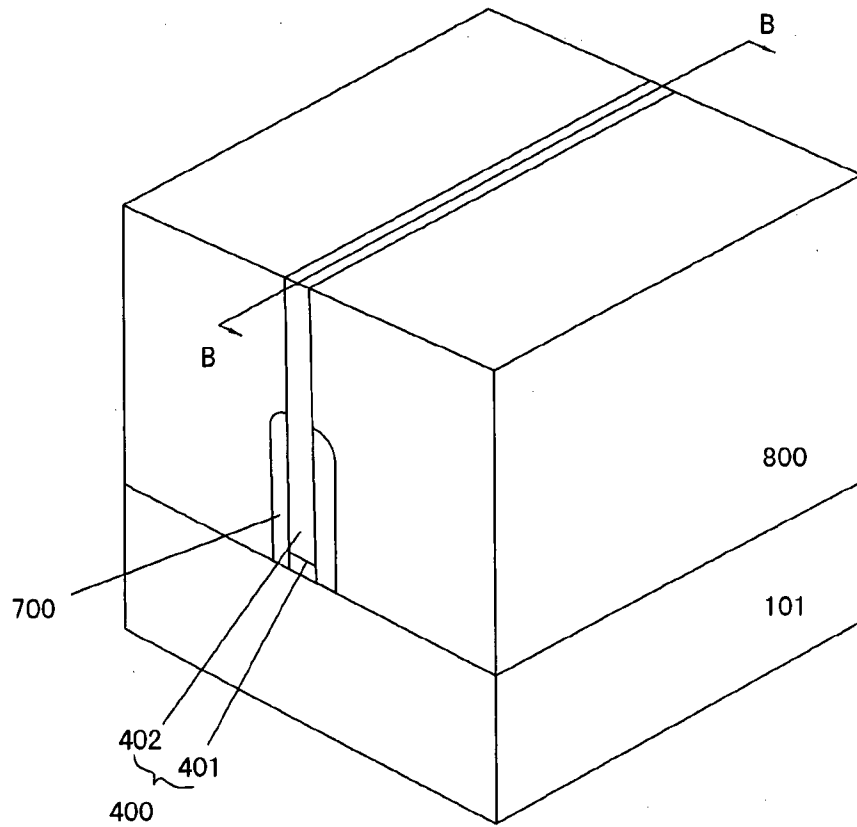


(a)

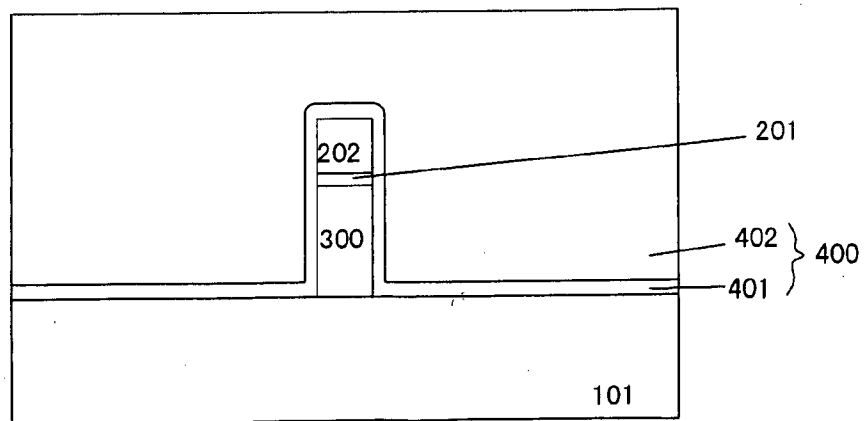


(b)

图 13

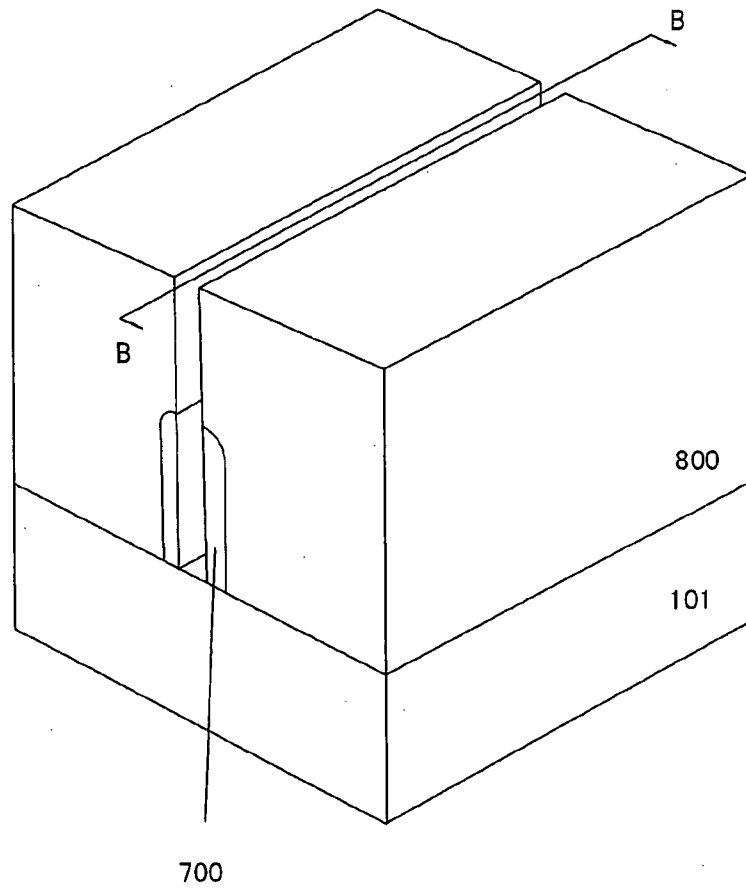


(a)

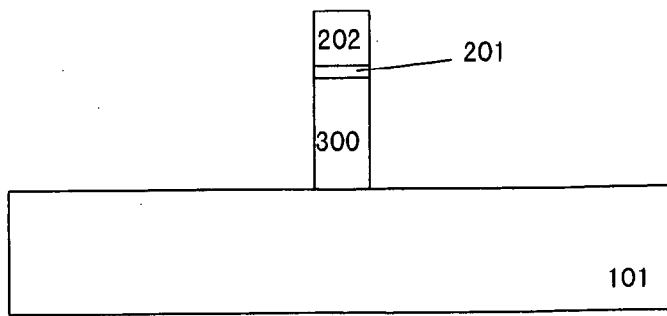


(b)

图 14A

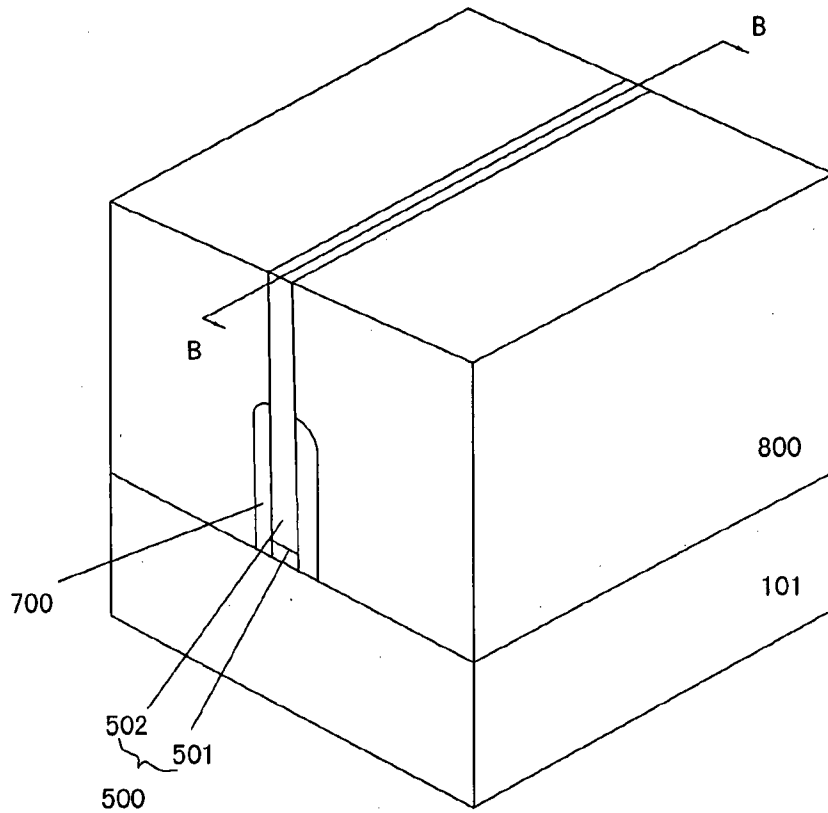


(a)

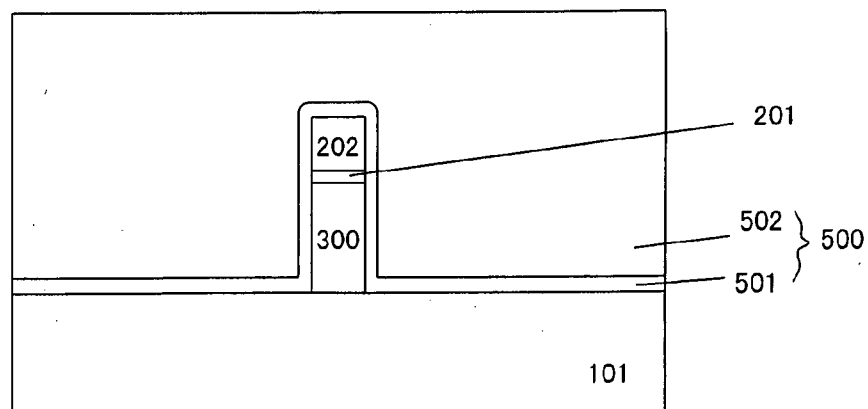


(b)

图 14B



(a)



(b)

图 15

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2011/002000

A. CLASSIFICATION OF SUBJECT MATTER

See the extra sheet

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC:H01L29-/-;H01L21/-;H01L27/-

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT WPI EPODOC CNKI: semiconductor, FINFET, FIN? OR (FIN W FET?), source, drain, insulator, dielectric+, threshold voltage, control, adjust+, sidewall, dummy gate?, disposable gate?, pattern+, etch+, rare earth

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US2010320545A1(JAGANNATHAN, Hemanth et al.)23Dec.2010(23.12.2010), description, paragraphs 0039-0068,figures. 3-8	1-31
A	CN101427380A(FREESCALE SEMICONDUCTOR INC.) 06May 2009(06.05.2009),the whole document	1-31 1-31
A	CN102034831A(SEMICONDUCTOR MFG. INT. SHANGHAI CORP.) 27Apr.2011(27.04.2011),the whole document	1-31
A	US2009085175A1(CLARK, Robert D., et al.)02 Apr.2011(02.04.2009),the whole document	
A	US2010102393A1(LEE, J. Y. M., et al.) 29Apr.2010(29.04.2010),the whole document	1-31

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&"document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 12 Mar.2012(12.03.2012)	Date of mailing of the international search report 26 Apr.2012(26.04.2012)
Name and mailing address of the ISA State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No. (86-10)62019451	Authorized officer JIANG, Xianhui Telephone No. (86-10)62414092

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2011/002000

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
US2010320545A1	23.12.2010	US7855105B1	21.12.2010
CN101427380A	06.05.2009	WO2007127523A2	08.11.2007
		US7535060B2	19.05.2009
		US2007210338A1	13.09.2007
		CN101427380B	27.07.2011
		WO2007127523A3	17.07.2008
CN102034831A	27.04.2011	US2011163369A1	07.07.2011
US2009085175A1	02.04.2009	US7772073B2	10.08.2010
		US2010261342A	14.10.2010
US2010102393A1	29.04.2010	SG161181A1	27.05.2010

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2011/002000

A. CLASSIFICATION OF SUBJECT MATTER

H01L27/12(2006.01)i

H01L29/772(2006.01)n

H01L21/336(2006.01)n

H01L21/8232(2006.01)n

国际检索报告

国际申请号
PCT/CN2011/002000

A. 主题的分类

参见附加页

按照国际专利分类(IPC)或者同时按照国家分类和 IPC 两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

IPC:H01L29/H01L21/-;H01L27/-

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNPAT;WPI;EPODOC;CNKI:半导体, 场效应晶体管, 鳍, 有源区, 源, 漏, 绝缘, 电介质, 介电, 阈值电压, 调节, 控制, 设定, 侧壁, 伪栅, 假栅, 栅, 构图, 图案化, 蚀刻, 刻蚀, 稀有, 稀土, semiconductor, FINFET, FIN? OR (FIN W FET?), source, drain, insulator, dielectri+, threshold voltage, control, adjust+, sidewall, dummy gate? , disposable gate? , pattern+, etch+, rare earth

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	US2010320545A1(JAGANNATHAN,Hemanth 等)23.12 月 2010 (23.12.2010) 说明书第 0039 段-0068 段、附图 3-8	1-31
A	CN101427380A(飞思卡尔半导体公司)06.5 月 2009 (06.05.2009) 全文	1-31
A	CN102034831A(中芯国际集成电路制造(上海)有限公司)27.4 月 2011 (27.04.2011) 全文	1-31
A	US2009085175A1(CLARK,Robert D. 等)02.4 月 2009(02.04.2009)全文	1-31
A	US2010102393A1(LEE,James Yong Meng 等)29.4 月 2010(29.04.2010)全文	1-31

☐ 其余文件在 C 栏的续页中列出。

☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期
12.3 月 2012 (12.03.2012)

国际检索报告邮寄日期
26.4 月 2012 (26.04.2012)

ISA/CN 的名称和邮寄地址:
中华人民共和国国家知识产权局
中国北京市海淀区蓟门桥西土城路 6 号 100088
传真号: (86-10)62019451

受权官员
蒋显辉
电话号码: (86-10) **62414092**

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2011/002000

检索报告中引用的 专利文件	公布日期	同族专利	公布日期
US2010320545A1	23.12.2010	US7855105 B1	21.12.2010
CN101427380A	06.05.2009	WO2007127523A2	08.11.2007
		US7535060B2	19.05.2009
		US2007210338A1	13.09.2007
		CN101427380B	27.07.2011
		WO2007127523A3	17.07.2008
CN102034831A	27.04.2011	US2011163369A1	07.07.2011
US2009085175A1	02.04.2009	US7772073 B2	10.08.2010
		US2010261342A	14.10.2010
US2010102393A1	29.04.2010	SG161181 A1	27.05.2010

A. 主题的分类

H01L27/12(2006.01)i

H01L29/772(2006.01)n

H01L21/336(2006.01)n

H01L21/8232(2006.01)n