

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2019年8月1日(01.08.2019)



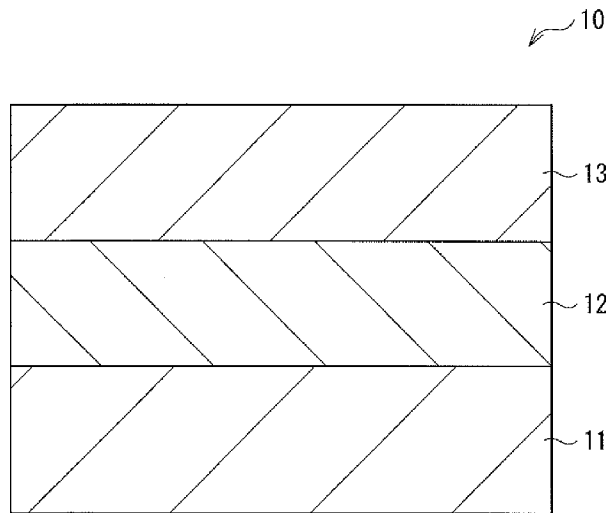
(10) 国際公開番号

WO 2019/146268 A1

- (51) 国際特許分類:
H01L 21/8239 (2006.01) *H01L 45/00* (2006.01)
H01L 27/105 (2006.01) *H01L 49/00* (2006.01)
- (21) 国際出願番号: PCT/JP2018/044965
- (22) 国際出願日: 2018年12月6日(06.12.2018)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
 特願 2018-010229 2018年1月25日(25.01.2018) JP
- (71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014 神奈川県厚木市旭町四丁目14番1号 Kanagawa (JP).
- (72) 発明者: 大場 和博(OHBA, Kazuhiro); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 野々口 誠二(NONOGUCHI, Seiji); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 清 宏彰(SEI, Hiroaki); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 曾根 威之(SONE, Takeyuki); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 五十嵐 実(IKARASHI, Minoru); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

(54) Title: STORAGE ELEMENT AND STORAGE DEVICE

(54) 発明の名称: 記憶素子および記憶装置



(57) Abstract: A storage element according to an embodiment of the present disclosure is provided with: a first electrode; a second electrode disposed opposite the first electrode; and a storage layer which is disposed between the first electrode and the second electrode, and includes at least one chalcogen element selected from tellurium (Te), selenium (Se), and sulfur (S), a transition metal, and oxygen. The storage layer has non-linear resistivity and a rectifying property such that a low-resistance state is obtained when an applied voltage is greater than or equal to a predetermined threshold value voltage, and a high-resistance state is obtained when the applied voltage is a voltage less than the predetermined threshold value voltage.



WO 2019/146268 A1

(74) 代理人: 特許業務法人つばさ国際特許事務所 (TSUBASA PATENT PROFESSIONAL CORPORATION); 〒1600022 東京都新宿区新宿 1 丁目 1 5 番 9 号 さわだビル 3 階 Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告 (条約第21条(3))

(57) 要約: 本開示の一実施形態の記憶素子は、第 1 電極と、第 1 電極と対向配置された第 2 電極と、第 1 電極と第 2 電極との間に設けられると共に、テルル (Te)、セレン (Se) および硫黄 (S) から選ばれる少なくとも 1 種のカルコゲン元素と、遷移金属と、酸素とを含む記憶層とを備え、記憶層は、非線形抵抗性を有すると共に、印加電圧を所定の閾値電圧以上のとすることで低抵抗状態となり、印加電圧を所定の閾値電圧より低い電圧とすることで高抵抗状態となることより整流性を有する。

明 細 書

発明の名称： 記憶素子および記憶装置

技術分野

[0001] 本開示は、電極間にカルコゲナイド層を有する記憶素子およびこれを備えた記憶装置に関する。

背景技術

[0002] 近年、R e R A M (Resistance Random Access Memory) (登録商標) や P R A M (Phase-Change Random Access Memory) (登録商標) 等の抵抗変化型メモリに代表されるデータストレージ用の不揮発性メモリの大容量化が求められている。これに対して、例えば、特許文献1では、交差する配線間の交点(クロスポイント)にメモリセルが配置されたクロスポイント型の記憶装置(メモリセルアレイ)が開示されている。メモリセルは、メモリ素子と、セル選択用のスイッチ素子が、例えば中間電極を介して積層された構成を有する。

先行技術文献

特許文献

[0003] 特許文献1：国際公開WO2016/158429号公報

発明の概要

[0004] ところで、クロスポイント型のメモリセルアレイでは、さらなる大容量化が求められている。

[0005] 大容量化を実現することが可能な記憶素子および記憶装置を提供することが望ましい。

[0006] 本開示の一実施形態の記憶素子は、第1電極と、第1電極と対向配置された第2電極と、第1電極と第2電極との間に設けられると共に、テルル(Te)、セレン(Se)および硫黄(S)から選ばれる少なくとも1種のカルコゲン元素と、遷移金属と、酸素とを含む記憶層とを備えたものであり、記憶層は、非線形抵抗性を有すると共に、印加電圧を所定の閾値電圧以上のと

することで低抵抗状態となり、印加電圧を所定の閾値電圧より低い電圧とすることで高抵抗状態となることより整流性を有する。

[0007] 本開示の一実施形態の記憶装置は、一方向に延伸する一または複数の第1配線と、他の方向に延伸すると共に、第1配線と交差する1または複数の第2配線と、第1配線と第2配線との交点に配置される1または複数の上記本開示の一実施形態の記憶素子とを備えたものである。

[0008] 本開示の一実施形態の記憶素子および一実施形態の記憶装置では、第1電極と第2電極との間に、テルル (Te)、セレン (Se) および硫黄 (S) から選ばれる少なくとも1種のカルコゲン元素と、遷移金属と、酸素とを含む記憶層を設けるようにした。これにより、選択素子機能を有する記憶素子を実現することが可能となる。

[0009] 本開示の一実施形態の記憶素子および一実施形態の記憶装置によれば、記憶層をテルル (Te)、セレン (Se) および硫黄 (S) から選ばれる少なくとも1種のカルコゲン元素と、遷移金属と、酸素とを用いて形成するようにしたので、記憶層に選択素子機能が付加される。よって、一般的なクロスポイント型の記憶装置と比較して微細加工が容易となるため、大容量化を実現することが可能となる。

[0010] なお、ここに記載された効果は必ずしも限定されるものではなく、本開示中に記載されたいずれの効果であってもよい。

図面の簡単な説明

[0011] [図1]本開示の一実施の形態に係るメモリ素子の構成の一例を表す断面模式図である。

[図2]本開示の一実施の形態に係るメモリセルアレイの概略構成の一例を表す図である。

[図3]一般的なメモリセルアレイの概略構成の一例を表す図である。

[図4]図3に示したメモリセルアレイにおけるメモリセルの構成を表す断面模式図である。

[図5]図3に示したメモリセルアレイにおけるアスペクト比を説明する模式図

である。

[図6]図1に示したメモリ素子の大電流書き込み時におけるスイッチ動作の書き込み電流依存性を表す図である。

[図7]図1に示したメモリ素子の中電流書き込み時におけるスイッチ動作の書き込み電流依存性を表す図である。

[図8]図1に示したメモリ素子の小電流書き込み時におけるスイッチ動作の書き込み電流依存性を表す図である。

[図9]一般的なメモリ素子の大電流書き込み時におけるスイッチ動作の書き込み電流依存性を表す図である。

[図10]一般的なメモリ素子の中電流書き込み時におけるスイッチ動作の書き込み電流依存性を表す図である。

[図11]一般的なメモリ素子の小電流書き込み時におけるスイッチ動作の書き込み電流依存性を表す図である。

[図12]図2に示したメモリセルアレイにおけるアスペクト比を説明する模式図である。

[図13]本開示の変形例におけるメモリセルアレイの概略構成の一例を表す図である。

[図14]本開示の変形例におけるメモリセルアレイの概略構成の他の例を表す図である。

[図15]本開示の変形例におけるメモリセルアレイの概略構成の他の例を表す図である。

[図16]本開示の変形例におけるメモリセルアレイの概略構成の他の例を表す図である。

[図17]実施例1のI-V特性を表す図である。

発明を実施するための形態

[0012] 以下、本開示における実施の形態について、図面を参照して詳細に説明する。以下の説明は本開示の一具体例であって、本開示は以下の態様に限定されるものではない。また、本開示は、各図に示す各構成要素の配置や寸法、

寸法比等についても、それらに限定されるものではない。なお、説明する順序は、下記の通りである。

1. 実施の形態

(メモリ層を、テルル (Te)、セレン (Se) および硫黄 (S) から選ばれる少なくとも1種のカルコゲン元素と、遷移金属と、酸素とを用いて形成した例)

1-1. メモリ素子の構成

1-2. メモリセルアレイの構成

1-3. 作用・効果

2. 変形例 (3次元構造を有するメモリセルアレイの例)

3. 実施例

[0013] <1. 実施の形態>

(1-1. メモリ素子の構成)

図1は、本開示の一実施の形態に係る記憶素子 (メモリ素子10) の断面構成の一例を表したものである。このメモリ素子10は、例えば、図2に示した、所謂クロスポイントアレイ構造を有するメモリセルアレイ1において複数配設されたうちの任意のメモリセルを選択的に動作させるためのものである。メモリ素子10は、下部電極11 (第1電極)、記憶層12および上部電極13 (第2電極) をこの順に有するものである。本実施の形態のメモリ素子10は、記憶層12がテルル (Te)、セレン (Se) および硫黄 (S) から選ばれる少なくとも1種のカルコゲン元素と、遷移金属と、酸素 (O) とを用いて形成された構成を有する。

[0014] 下部電極11は、半導体プロセスに用いられる配線材料、例えば、タングステン (W)、窒化タングステン (WN)、窒化チタン (TiN)、銅 (Cu)、アルミニウム (Al)、モリブデン (Mo)、タンタル (Ta)、窒化タンタル (Ta₂N₅) およびシリサイド等により構成されている。下部電極11がCu等の電界でイオン伝導が生じる可能性のある材料により構成されている場合にはCu等よりなる下部電極11の表面を、W、WN、窒化チタ

ン (TiN), TaN等のイオン伝導や熱拡散しにくい材料で被覆するようにしてもよい。

[0015] 記憶層12は、下部電極11と上部電極13との間に所定の電圧以上の電圧を印加することによって抵抗状態が低抵抗状態にスイッチングすると共に、その低抵抗状態が記録される。また、逆方向の所定の電圧を印加することにより、低抵抗状態は高抵抗状態にスイッチングして、その高抵抗状態が記録される。ここで、所定の電圧とは、所定の書き込み抵抗が得られる電圧であり、記憶層12は、印加する電圧や電流の大きさを変えることによって、書き込まれる抵抗値が変化する。

[0016] 更に、本実施の形態の記憶層12は、非線形抵抗性を有すると共に、印加電圧を所定の閾値電圧（スイッチング閾値電圧）以上に上げることにより低抵抗状態に変化し、印加電圧を上記の閾値電圧（スイッチング閾値電圧）より低い電圧に下げることにより高抵抗状態に変化するものであり、整流性を有するものである。即ち、本実施の形態のメモリ素子10は、選択素子機能を有するものである。

[0017] 本実施の形態の記憶層12は、周期律表第16族の元素、具体的には、テルル (Te)、セレン (Se) および硫黄 (S) から選ばれる少なくとも1種のカルコゲン元素を含んでいる。強い非線形抵抗性を有するメモリ素子10では、スイッチングのための電圧バイアスを印加しても記憶層12はアモルファス構造を安定して維持することが望ましく、アモルファス構造が安定であるほど、安定してOTS現象を生じさせることができる。

[0018] 記憶層12は、上記カルコゲン元素のほかに、遷移金属元素を含んでいる。具体的には、周期律表4族の元素（チタン (Ti)、ジルコニウム (Zr)、ハフニウム (Hf)）、5族の元素（バナジウム (V)、ニオブ (Nb)、タンタル (Ta)）および6族の元素（クロム (Cr)、モリブデン (Mo)、タングステン (W)）のうちの少なくとも1種を含んでいる。

[0019] 更に、記憶層12は、酸素 (O) を含んでいる。記憶層12に含まれる酸素 (O) の含有量は、例えば、55原子%以上であることが好ましい。記憶

層12中の酸素(O)は、少なくとも一部が上記カルコゲン元素および遷移金属とそれぞれ結合して酸化物を形成している。

[0020] 記憶層12は、上記元素以外に、例えば、ホウ素(B)、アルミニウム(Al)、ガリウム(Ga)、ケイ素(Si)およびゲルマニウム(Ge)を含んでいてもよい。更に、記憶層12は、本開示の効果を損なわない範囲でこれら以外の元素を含んでいてもかまわない。記憶層12の積層方向の膜厚(以下、単に厚みという)は、例えば、1nm以上50nm以下であることが好ましく、より好ましくは、1nm以上20nm以下である。

[0021] 上部電極13は、下部電極11と同様に公知の半導体配線材料を用いることができるが、ポストアニールを経ても記憶層12と反応しない安定な材料が好ましい。

[0022] 本実施の形態のメモリ素子10は、メモリ機能と共に選択素子機能を有するものである。一例として、後述する図7を用いてその特性を説明する。メモリ素子10では、所定の電圧(スイッチング閾値電圧(V_1))以上の電圧を印加することで低抵抗状態(LRS1)に変化して書き込みがなされる。印加電圧を低下させていくと、メモリ素子10は非線形抵抗を有しているため、例えば書き込み電圧の半分の電圧 $V/2$ バイアス時には、書き込みはなされているものの高抵抗状態(LRS2)に戻る。このとき、消去動作を行わずに再度読み出し電圧(V_2)を印加すると、低抵抗な状態(LRS3)となる。一方で、書き込みされていない、もしくは消去動作がなされた高抵抗状態で読み出し電圧 V_2 を印加するとHRS1の抵抗となり、読み出し電圧 V_2 を印加した際の電流の差分で高抵抗状態と低抵抗状態を読み出すことができる。

[0023] (1-2. メモリセルアレイの構成)

図2は、メモリセルアレイ1の構成の一例を斜視的に表したものである。メモリセルアレイ1は、本開示の「記憶装置」の一具体例に相当する。メモリセルアレイ1は、所謂クロスポイントアレイ構造を備えており、例えば、図2に示したように、各ワード線WLと各ビット線BLとが互いに対向する

位置（クロスポイント）に1つずつ、メモリセルを備えている。つまり、メモリセルアレイ1は、複数のワード線WLと、複数のビット線BLと、クロスポイントごとに1つずつ配置された複数のメモリセルとを備えている。本実施の形態のメモリセルアレイ1では、メモリセルは上述したメモリ素子10によって構成されており、複数のメモリ素子10を平面（2次元、XY平面方向）に配置したものである。

[0024] 各ワード線WLは、互いに共通の方向に延在している。各ビット線BLは、ワード線WLの延在方向とは異なる方向（例えば、ワード線WLの延在方向と直交する方向）であって、かつ互いに共通の方向に延在している。なお、複数のワード線WLは、1または複数の層内に配置されており、例えば、図13に示したように、複数の階層に分かれて配置されていてもよい。複数のビット線BLは、1または複数の層内に配置されており、例えば、図13に示したように、複数の階層に分かれて配置されていてもよい。

[0025] メモリセルアレイ1は、基板上に2次元配置された複数のメモリ素子10を備えている。基板は、例えば、各ワード線WLおよび各ビット線BLと電氣的に接続された配線群や、その配線群と外部回路とを連結するための回路等を有している。各ワード線WLおよび各ビット線BLは、上述した下部電極11および上部電極13を兼ねていてもよいし、下部電極11および上部電極13とは別体で設けられていてもよい。その場合には、例えば、下部電極11はワード線WLと電氣的に接続され、上部電極13はビット線BLと電氣的に接続されている。

[0026] （1-3. 作用・効果）

前述したように、近年、ReRAMやPRAM等の抵抗変化型メモリに代表されるデータストレージ用の不揮発性メモリの大容量化が求められている。しかしながら、アクセストランジスタ1つに対してこれらメモリ素子を1つ配置させる1T1R構成では、単位セル当たりの面積が大きくなり大容量化には限界がある。そこで、これらの容量をより増大させる方法として、3次元構造を有するクロスポイント型のメモリが検討されている。

[0027] 一般的なクロスポイント型のメモリ（メモリセルアレイ100）は、例えば、図3に示したように、交差する配線間のクロスポイントに、メモリセル（メモリセル110）が配置された、所謂クロスポイントアレイ構造を有している。メモリセル110は、図4および図5に示したように、メモリ素子111と共に選択素子113が、例えば中間電極112を介して積層された構成を有する。クロスポイントアレイでは、単位セル当たりの面積がFを最小線幅として $2F^2$ が実現できるため、セル面積を小さくすることができる。更に、クロスポイントアレイは、例えば上方向（例えば、Z軸方向）に複数層積層することによって、大容量化を実現することができる。

[0028] クロスポイントアレイにおいて大容量化を実現するためにはメモリセルを微細化するに当たって下記のような課題がある。例えば、抵抗変化メモリであるReRAMやCBRAM（Conductive Bridge RAM）、あるいは相変化メモリであるPCM（Phase change memory）では、メモリ素子（メモリ層）の厚みはおよそ10nm～30nmである。OTSやMIT（Metal insulator transition device）等の一般的な選択素子では、選択素子（選択素子層）の厚みは少なくとも20nm以上であり、Siダイオードは数百nm以上の厚みを有する。また、メモリ層と選択素子層との間には、それぞれの層の相互拡散を防止する等の目的で、少なくとも20nm程度の厚みの中間電極が設けられる。このため、一般的なクロスポイントアレイにおけるメモリセルの厚みは、例えば50nm～100nmとなる。

[0029] クロスポイントアレイを大容量化するためには微細化が必要である。最小線幅を例えば20nmとした場合、例えば、図5に示したように、メモリセル110の合計厚みの平面寸法（w）と高さ（h1）とのアスペクト比は2.5～5となる。更に微細化を進め、例えば最小線幅を15nmとすると、アスペクト比は3.3～6.7まで増大し、メモリセルの加工が困難になる。

[0030] また、ReRAMやCBRAMあるいはPCM等のメモリ素子を用いた場合、その書き換え電流として数十～数百 μ Aの電流が用いられ、配線の断線

を防ぐために、ビット線およびワード線等の厚み (h_2) を大きくすることが求められる。例えば、配線材料としてWを用い、 $50\ \mu\text{A}$ の電流で駆動しようとする、W電極は、例えば $40\ \text{nm}$ 程度の厚みが必要となる。よって、メモリセル110の厚み (h_1) と電極層 (例えばビット線) の厚み (h_2) とを合計 (h) すると、加工時のアスペクト比 (h/w) はさらに増大し、例えば、最小線幅を $20\ \text{nm}$ とした場合のアスペクト比は $4.5\sim 7$ となり、加工アスペクト比が増大する。また、周辺のドライバ回路のトランジスタの寸法を大きくする必要性からドライバ回路の面積が大きくなり、メモリセルアレイがメモリチップに占める割合であるアレイ効率が減少し、微細化しても大容量化が困難になる。

[0031] 以上のことから、クロスポイントアレイの大容量化を実現するためには、メモリセルの厚みを減少させると共に、動作電流を低減することが求められる。

[0032] これに対して、本実施の形態のメモリ素子10では、記憶層12を、テルル (Te)、セレン (Se) および硫黄 (S) から選ばれる少なくとも1種のカルコゲン元素と、遷移金属と、酸素と用いて形成するようにした。

[0033] 図6～図8は、本実施の形態のメモリ素子10のスイッチ動作の書き込み電流依存性を表したものである。図6は大電流 (例えば数百 μA) 書き込み時におけるスイッチ動作の書き込み電流依存性を表したものである。図7は中電流 (例えば数十 μA) 書き込みにおけるスイッチ動作の書き込み電流依存性を表したものである。図8は、小電流 (例えば数 μA) 書き込み時におけるスイッチ動作の書き込み電流依存性を表したものである。図9～図11は、図3、4等に示したメモリ素子111のスイッチ動作の書き込み電流依存性を表したものである。図9は大電流書き込み時におけるスイッチ動作の書き込み電流依存性を表したものである。図10は中電流書き込みにおけるスイッチ動作の書き込み電流依存性を表したものである。図11は、小電流書き込み時におけるスイッチ動作の書き込み電流依存性を表したものである。

- [0034] メモリ素子 1 1 1 では、大電流あるいは中電流で書き込みを行う場合、トランジスタのゲート電圧のコントロール等による電流制限によって書き込み電流を制御する。このため、中電流で書き込みを行う図 1 0 の例にすると、書き込み電圧まで電圧を掃引していくと、書き込み電圧閾値 (V) で急激に電圧が上昇する。トランジスタによって書き込み時に流れる電流を制御し、その後電圧を 0 V まで戻すと非線形性の少ない I V 曲線を描いて電流が減少していく。このため、クロスポイントメモリとして必要な書き込み電圧 (V) と半選択電圧 ($2/V$) との電流の比である選択比 S_2 は、図 1 0 に示したように小さくなる。
- [0035] 一方、本実施の形態のメモリ素子 1 0 では、書き込み電流を印加する電圧で制御することが可能である。例えば、中電流で書き込みを行う図 7 を例にすると、所定の書き込み電圧まで印加した後に印加電流を取り去ると、非線形性が高い I V 曲線を描きながら電流が減少していく。このため、クロスポイントメモリとして必要な書き込み電圧 (V) と半選択電圧 ($2/V$) との電流の比である選択比 S_1 を大きくとることができる。
- [0036] このように、本実施の形態のメモリ素子 1 0 は、高い非線形性を有するため、半選択および非選択時のリーク電流を低く抑えることが可能となる。よって、メモリ素子および選択素子を個別に用いることなく、クロスポイントアレイを動作させることが可能となる。
- [0037] また、本実施の形態のメモリセルアレイ 1 は、メモリセルをメモリ素子 1 0 のみで構成することができる。図 1 2 は、メモリセルアレイ 1 の一部の断面構成を模式的に表したものである。本実施の形態では、メモリセルをメモリ素子 1 0 のみで構成することが可能となるため、加工するメモリセルの厚みを薄くすることができる。更に、本実施の形態では、メモリセルを $1 \mu A$ 以下の電流動作が可能となるため、ビット線 B L およびワード線 W L に流れる電流を低く抑えることが可能となる。よって、ビット線 B L およびワード線 W L の厚みを薄くすることができる。よって、上記メモリセルアレイ 1 0 におけるメモリセル 1 1 0 のアスペクト比 (h/w) と比較して小さくす

ることが可能となるため、メモリセルの加工が容易となり、微細加工が可能となる。

[0038] 更にまた、本実施の形態では、書き換え動作電流を小さくすることができるため、ドライバ回路のトランジスタを小さくすることが可能となる。よって、チップに占めるメモリセルアレイの面積比を大きくすることができるため、アレイ効率を向上することが可能となる。

[0039] 以上のことから、本実施の形態のメモリ素子10およびこれを備えたメモリセルアレイ1では、一般的な記憶装置（例えば、メモリセルアレイ100）と比較して微細加工が容易となり、大容量化を実現することが可能となる。

[0040] 次に、上記実施の形態における変形例について説明する。以下では、上記実施の形態と同様の構成要素については同一の符号を付し、適宜その説明を省略する。

[0041] <2. 変形例>

上記実施の形態におけるメモリ素子10は、3次元構造を有するメモリセルアレイも構成することができる。図13～16は、本開示の変形例に係る3次元構造を有するメモリセルアレイ2～5の構成の一例を斜視的に表したものである。3次元構造を有するメモリセルアレイでは、各ワード線WLは、互いに共通の方向に延在している。各ビット線BLは、ワード線WLの延在方向とは異なる方向（例えば、ワード線WLの延在方向と直交する方向）であって、かつ互いに共通の方向に延在している。更に、複数のワード線WLおよび複数のビット線BLは、それぞれ、複数の層内に配置されている。

[0042] 複数のワード線WLが複数の階層に分かれて配置されている場合、複数のワード線WLが配置された第1の層と、複数のワード線WLが配置された、第1の層に隣接する第2の層との間の層内に、複数のビット線BLが配置されている。複数のビット線BLが複数の階層に分かれて配置されている場合、複数のビット線BLが配置された第3の層と、複数のビット線BLが配置された、第3の層に隣接する第4の層との間の層内に、複数のワード線WL

が配置されている。複数のワード線WLが複数の階層に分かれて配置されるとともに、複数のビット線BLが複数の階層に分かれて配置されている場合、複数のワード線WLおよび複数のビット線BLは、メモリセルアレイの積層方向において交互に配置されている。

[0043] 本変形例のメモリセルアレイでは、ワード線WLもしくはビット線BLのどちらから一方がZ軸方向に平行に備わり、残りのもう一方がXY平面方向に平行に備わった、縦型のクロスポイント構造を有する。例えば、図13に示したように、複数のワード線WLはそれぞれX軸方向に、複数のビット線BLはそれぞれZ軸方向に延伸し、それぞれのクロスポイントにメモリ素子10が配置された構成としてもよい。また、図14に示したように、X軸方向およびZ軸方向にそれぞれ延伸する複数のワード線WLおよび複数のビット線BLのクロスポイントの両面に、それぞれメモリ素子10が配置された構成としてもよい。更に、図15に示したように、Z軸方向に延伸する複数のビット線BLと、X軸方向またはY軸方向の2方向に延伸する2種類の複数のワード線WLとを有する構成としてもよい。更にまた、複数のワード線WLおよび複数のビット線BLは必ずしも一方向に延伸する必要はない。例えば、図16に示したように、例えば、複数のビット線BLはZ軸方向に延伸し、複数のワード線WLは、X軸方向に延伸する途中でY軸方向に屈曲し、さらに、X軸方向に屈曲し、XY平面において、いわゆるUの字状に延伸するようにしてもよい。

[0044] 以上のように、本開示のメモリセルアレイは、複数のメモリ素子10を平面（2次元、XY平面方向）に配置し、さらにZ軸方向に積層させた3次元構造とするで、より高密度且つ大容量な記憶装置を提供することができる。

[0045] <3. 実施例>

以下、本開示の具体的な実施例について説明する。

[0046] (実験例1)

まず、下部電極としてTiNで形成される160nmφのプラグ状の電極を形成したのち、表面を逆スパッタなどでクリーニングした。続いて、コス

パターニングによりHfターゲットとTeターゲットを同時放電し、アルゴン(Ar)と酸素(O)を1:1で混合した雰囲気ガスによるリアクティブスパッタを行い、記憶層を成膜した。この際に、HfとTeの組成比が4:6になるように成膜電力を調整し、(Hf70Te30)Oxを10nmの厚みに成膜した。RBS(ラザフォード後方散乱)により組成分析を行ったところ、酸素の組成比はそれ以外の元素の合計に対して、55%であった。これを以降(Hf70Te30)O60と記載する。

[0047] 次に、上部電極としてTiNを20nm成膜したのちパターニングを行い、素子加工して、メモリセルを形成した。続いて、Alの配線電極を形成し、基板に設けられたMOSトランジストと接続したのち、320℃2時間の熱処理を行い、メモリ素子を作製した。これを実験例1としてそのIV特性を評価した。

[0048] 図17は、実験例1のIV曲線を表したものである。実験例1では、書き込み電圧を4.5Vとした場合、3nAで書き込みが可能であった。また、V/2バイアス時のオン/オフの選択比は2.03桁であった。

[0049] (実験例2)

実験例2では、記憶層を成膜する際に、Ar/Oの流量比を1:2とし酸素流量比を増加させた以外は、実験例1と同様の方法を用いてメモリ素子を作製した。実験例2における記憶層中の酸素組成比は、RBS組成分析の結果65%であった。

[0050] (実験例3)

実験例3では、記憶層を成膜する際に、Ar/Oの流量比を2:1とし酸素流量比を増加させた以外は、実験例1と同様の方法を用いてメモリ素子を作製した。実験例3における記憶層中の酸素組成比は、RBS組成分析の結果40%であった。

[0051] (実験例4)

実験例4では、成膜時の投入電力比を変化させてHf/Teの成膜レートを変化させた以外は、実験例1と同様の方法を用いてメモリ素子を作製した

。実験例3における記憶層中の酸素組成比は、RBS組成分析の結果40%であった。

[0052] (実験例5)

実験例5では、記憶層の成膜時に、Hf, Teに加えてZrを用いた以外は、実験例1と同様の方法を用いてメモリ素子を作製した。

[0053] (実験例6)

実験例6では、記憶層の成膜時に、Hf, Teに加えてAlを用いた以外は、実験例1と同様の方法を用いてメモリ素子を作製した。

[0054] (実験例7)

実験例7では、記憶層の成膜時に、Hf, Teに加えてBを用いた以外は、実験例1と同様の方法を用いてメモリ素子を作製した。

[0055] 以上、実験例2～7について、実験例1と同様に、書き込み電圧、書き込み電流および選択比の特性評価を行った。表1は、実験例1～7の特性評価の結果をまとめたものである。

[0056] [表1]

	記憶層の組成	膜厚	書き込み電圧(V)	書き込み電流(nA)	選択比(桁)
実験例1	(Hf70Te30)055	10nm	4.5	3	2.0
実験例2	(Hf70Te30)065	10nm	5	2	2.2
実験例3	(Hf70Te30)040	10nm	3	100	1.2
実験例4	(Hf50Te50)060	10nm	3.5	10	1.9
実験例5	(Hf50Zr10Te40)060	10nm	3	16	1.7
実験例6	(Hf60Al10Te30)055	10nm	5	3	2
実験例7	(Hf60B10Te30)060	10nm	4.5	5	2.2

[0057] 実験例1～3では、酸素の組成比が多いほど、書き込み電圧は上昇していくことがわかった。但し、ここでは示していないが、書き込み電圧は膜厚の

増減で調整することが可能であり、膜厚が大きいほど書き込み電圧は大きくなり、膜厚が小さいほど書き込み電圧は小さくなった。また、書き込み電流は同じメモリ層の厚みであっても酸素組成比が大きいほど小さくなった。更に、選択比は酸素量が多いほど大きくなり、酸素量が55%では2桁と良好であり、酸素量が40%では1.2桁まで低下した。また、選択比が小さくなると、クロスポイントアレイにおいてリーク電流の影響により、オン状態とオフ状態の電流比が十分に取れなくなった。これにより、エラーなくメモリセルを選択することが困難となり、より大きなメモリアレイを動作させることが難しくなることが推察される。したがって、本発明のメモリ材料としては酸素量が55%以上であることが好ましいといえる。

[0058] また、HfとTeとの比は、実験例1~3の70:30のみでなく、実験例4に示したように50:50とすることもできた。但し、その場合、書き込み電流が増大し、選択比が低下することから、HfとTeとの比率は少なくとも30:70よりもHfが多いことが好ましいことがわかった。

[0059] Hf, Te, Oに加えてZrを添加した実験例5では、実験例1と同様に低電流で書き込み可能であり、且つ、良好な選択比が得られた。実験例5ではZr1種を添加したが、それ以外に、本開示の効果を損なわない範囲において、Ti, V, Nb, Ta, Cr, Mo, W等の他の元素を添加してもよいといえる。また、実験例6および実験例7は、Hf, Te, Oの他に、それぞれAl, Bを添加したものであるが、実験例5と同様に、低い書き込み電流と良好な選択比が得られた。したがって、本実施の形態のメモリ素子は、本開示の効果を損なわない範囲において、B, Al, Ga, Si, Geを含んでいてもよいといえる。

[0060] また、図17から、本実施の形態のメモリ素子10の抵抗変化が非線形性を示すことに対して、カルコゲン元素としてTeが効果的であることがわかった。このことから、Se, Sにおいても同様な効果が得られると推測できる。したがって、本開示のメモリ素子の記憶層の材料としては、カルコゲン元素としてTe他にSeおよびSを含んでいてもよく、また、Teの代わり

にSeやSを用いてもよいといえる。

[0061] 更に、本実施例では、記憶層をスパッタリングで成膜した結果について示したが、成膜方法はこれに限らず、ALD等の方法を用いて、例えば HfO_2 と TeO_2 とを交互に積層して記憶層を形成するようにしてもよい。

[0062] 更にまた、記憶層の膜厚としては、実験例では10nmで十分に低い書き込み電流およびオフ電流が得られていたが、前述のエッチングの容易性から少なくとも20nm以下であることが好ましいといえる。

[0063] 以上、実施の形態および変形例を挙げて本開示を説明したが、本開示内容は上記実施の形態等に限定されるものではなく、種々変形が可能である。例えば、本開示のメモリ素子10を用いたメモリセルアレイ（例えば、メモリセルアレイ1）の動作方法としては、公知のV、V/2方式やV、V/3方式等、種々のバイアス方式を用いることができる。

[0064] なお、本明細書中に記載された効果は、あくまで例示である。本開示の効果は、本明細書中に記載された効果に限定されるものではない。本開示内容が、本明細書中に記載された効果以外の効果を持っていてもよい。

[0065] また、例えば、本開示は以下のような構成を取ることができる。

(1)

第1電極と、

前記第1電極と対向配置された第2電極と、

前記第1電極と前記第2電極との間に設けられると共に、テルル（Te）、セレン（Se）および硫黄（S）から選ばれる少なくとも1種のカルコゲン元素と、遷移金属と、酸素とを含む記憶層とを備え、

前記記憶層は、非線形抵抗性を有すると共に、印加電圧を所定の閾値電圧以上とすることで低抵抗状態となり、印加電圧を前記所定の閾値電圧より低い電圧とすることで高抵抗状態となることより整流性を有する

記憶素子。

(2)

前記遷移金属は、チタン（Ti）、ジルコニウム（Zr）、ハフニウム（

H f), バナジウム (V), ニオブ (Nb), タンタル (Ta), クロム (Cr), モリブデン (Mo), タングステン (W) のうちの少なくとも 1 種である、前記 (1) に記載の記憶素子。

(3)

前記記憶層は酸素原子を 55 原子%以上含む、前記 (1) または (2) に記載の記憶素子。

(4)

前記記憶層は酸化テルルを含む、前記 (1) 乃至 (3) のうちのいずれかに記載の記憶素子。

(5)

前記記憶層は前記遷移金属の酸化物を含む、前記 (1) 乃至 (4) のうちのいずれかに記載の記憶素子。

(6)

前記記憶層は、さらに、ホウ素 (B), アルミニウム (Al), ガリウム (Ga), ケイ素 (Si) およびゲルマニウム (Ge) のうちの少なくとも 1 種を含む、前記 (1) 乃至 (5) のうちのいずれかに記載の記憶素子。

(7)

前記第 1 電極と前記第 2 電極との間の厚みは 20 nm 以下である、前記 (1) 乃至 (6) のうちのいずれかに記載の記憶素子。

(8)

前記記憶層は、前記第 1 電極と前記第 2 電極との間に電圧を印加することにより、所定の電圧以上で抵抗状態がスイッチングすると共に低抵抗状態を記録し、前記所定の電圧とは逆方向の電圧を印加することにより高抵抗状態を記録する、前記 (1) 乃至 (7) のうちのいずれかに記載の記憶素子。

(9)

一の方向に延伸する一または複数の第 1 配線と、他の方向に延伸すると共に、前記第 1 配線と交差する一または複数の第 2 配線と、前記第 1 配線と前記第 2 配線との交点に配置される一または複数の記憶素子とを備え、

前記記憶素子は、
第1電極と、
前記第1電極と対向配置された第2電極と、
前記第1電極と前記第2電極との間に設けられると共に、テルル（Te）、セレン（Se）および硫黄（S）から選ばれる少なくとも1種のカルコゲン元素と、遷移金属と、酸素とを含む記憶層とを備え、
前記記憶層は、非線形抵抗性を有すると共に、印加電圧を所定の閾値電圧以上のとすることで低抵抗状態となり、印加電圧を前記所定の閾値電圧より低い電圧とすることで高抵抗状態となることより整流性を有する
記憶装置。

符号の説明

- [0066] 本出願は、日本国特許庁において2018年1月25日に出願された日本特許出願番号2018-010229号を基礎として優先権を主張するものであり、この出願の全ての内容を参照によって本出願に援用する。
- [0067] 当業者であれば、設計上の要件や他の要因に応じて、種々の修正、コンビネーション、サブコンビネーション、および変更を想到し得るが、それらは添付の請求の範囲やその均等物の範囲に含まれるものであることが理解される。

請求の範囲

- [請求項1] 第1電極と、
前記第1電極と対向配置された第2電極と、
前記第1電極と前記第2電極との間に設けられると共に、テルル（Te）、セレン（Se）および硫黄（S）から選ばれる少なくとも1種のカルコゲン元素と、遷移金属と、酸素とを含む記憶層とを備え、
前記記憶層は、非線形抵抗性を有すると共に、印加電圧を所定の閾値電圧以上とすることで低抵抗状態となり、印加電圧を前記所定の閾値電圧より低い電圧とすることで高抵抗状態となることより整流性を有する
記憶素子。
- [請求項2] 前記遷移金属は、チタン（Ti）、ジルコニウム（Zr）、ハフニウム（Hf）、バナジウム（V）、ニオブ（Nb）、タンタル（Ta）、クロム（Cr）、モリブデン（Mo）、タングステン（W）のうちの少なくとも1種である、請求項1に記載の記憶素子。
- [請求項3] 前記記憶層は酸素原子を55原子%以上含む、請求項1に記載の記憶素子。
- [請求項4] 前記記憶層は酸化テルルを含む、請求項1に記載の記憶素子。
- [請求項5] 前記記憶層は前記遷移金属の酸化物を含む、請求項1に記載の記憶素子。
- [請求項6] 前記記憶層は、さらに、ホウ素（B）、アルミニウム（Al）、ガリウム（Ga）、ケイ素（Si）およびゲルマニウム（Ge）のうちの少なくとも1種を含む、請求項1に記載の記憶素子。
- [請求項7] 前記第1電極と前記第2電極との間の厚みは20nm以下である、請求項1に記載の記憶素子。
- [請求項8] 前記記憶層は、前記第1電極と前記第2電極との間に電圧を印加することにより、所定の電圧以上で抵抗状態がスイッチングすると共に低抵抗状態を記録し、前記所定の電圧とは逆方向の電圧を印加するこ

とにより高抵抗状態を記録する、請求項 1 に記載の記憶素子。

[請求項9]

一方向に延伸する一または複数の第 1 配線と、他の方向に延伸すると共に、前記第 1 配線と交差する 1 または複数の第 2 配線と、前記第 1 配線と前記第 2 配線との交点に配置される 1 または複数の記憶素子とを備え、

前記記憶素子は、

第 1 電極と、

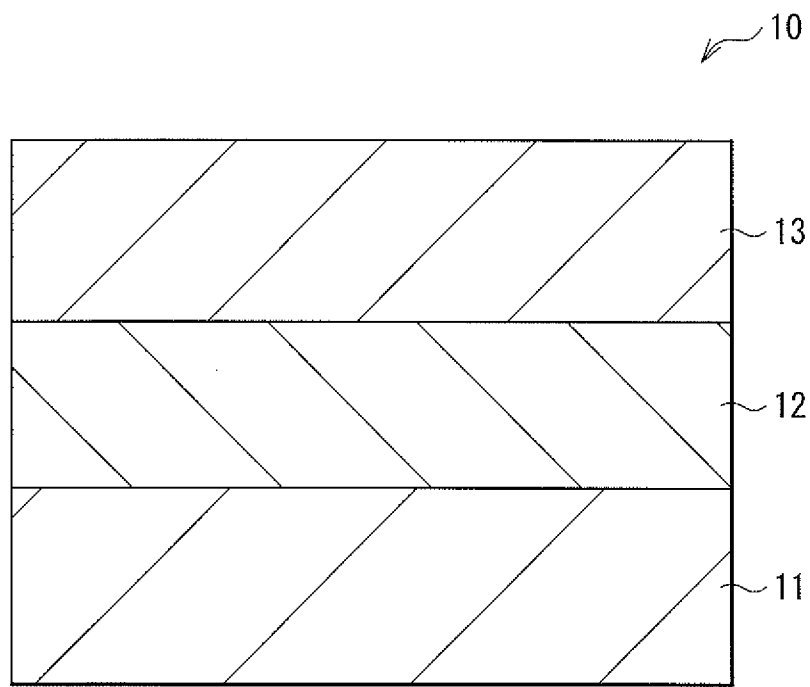
前記第 1 電極と対向配置された第 2 電極と、

前記第 1 電極と前記第 2 電極との間に設けられると共に、テルル (Te)、セレン (Se) および硫黄 (S) から選ばれる少なくとも 1 種のカルコゲン元素と、遷移金属と、酸素とを含む記憶層とを備え、

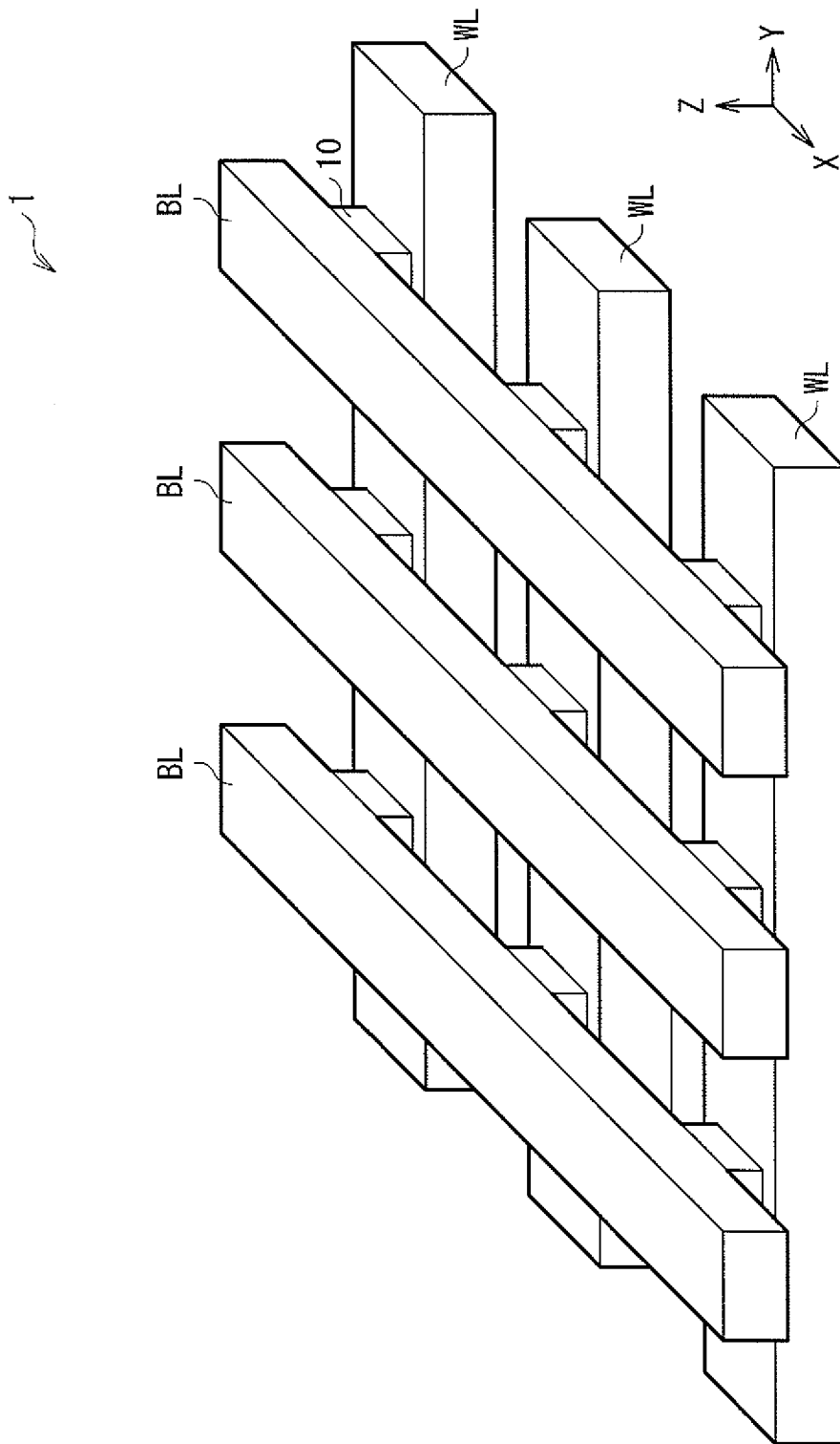
前記記憶層は、非線形抵抗性を有すると共に、印加電圧を所定の閾値電圧以上のとすることで低抵抗状態となり、印加電圧を前記所定の閾値電圧より低い電圧とすることで高抵抗状態となることより整流性を有する

記憶装置。

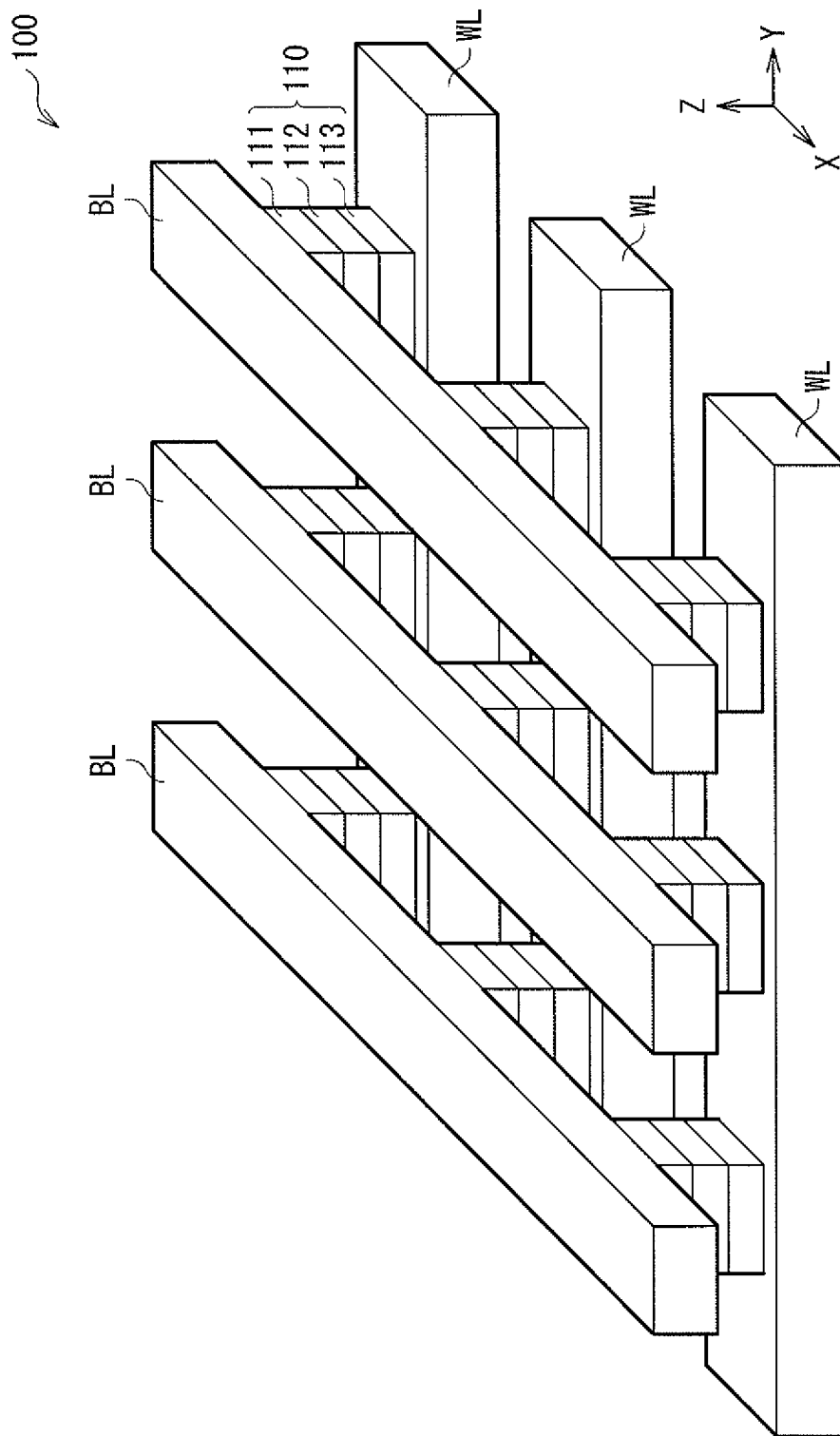
[図1]



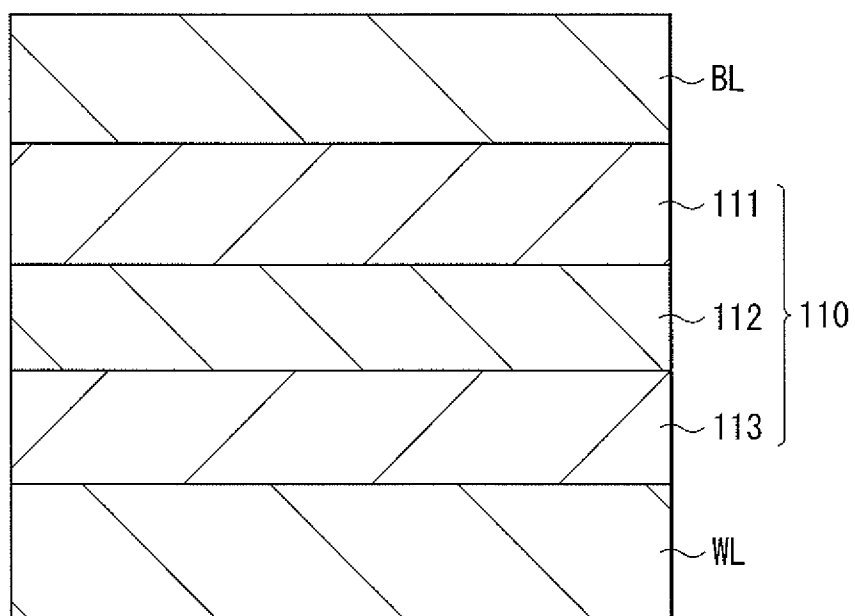
[図2]



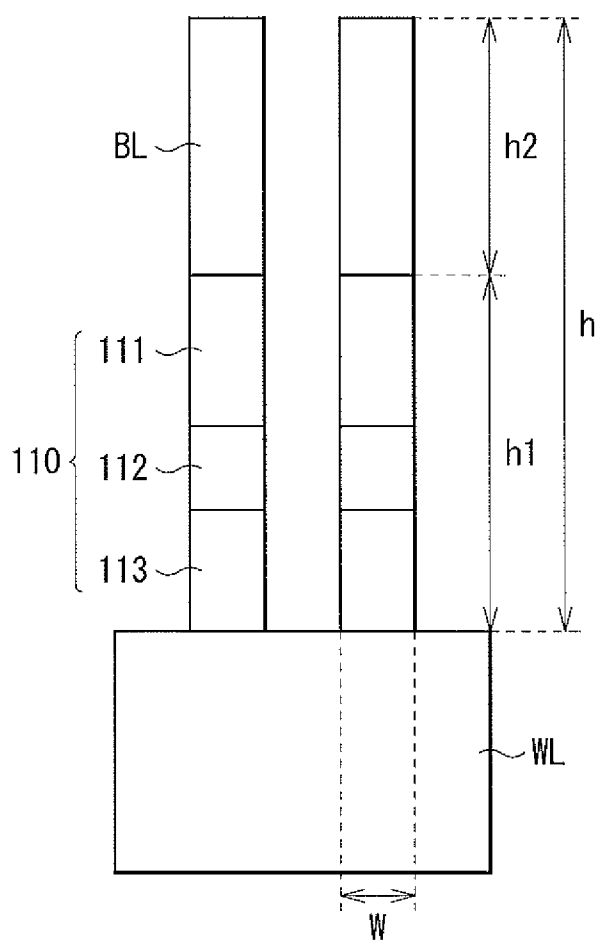
[図3]



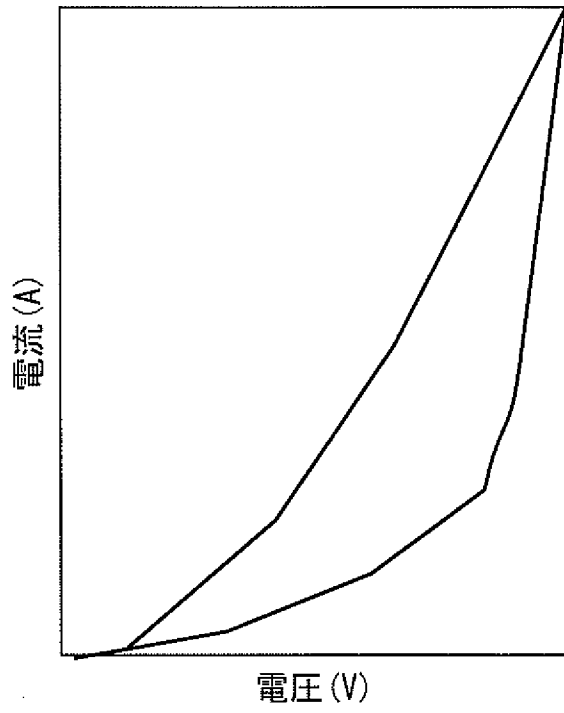
[図4]



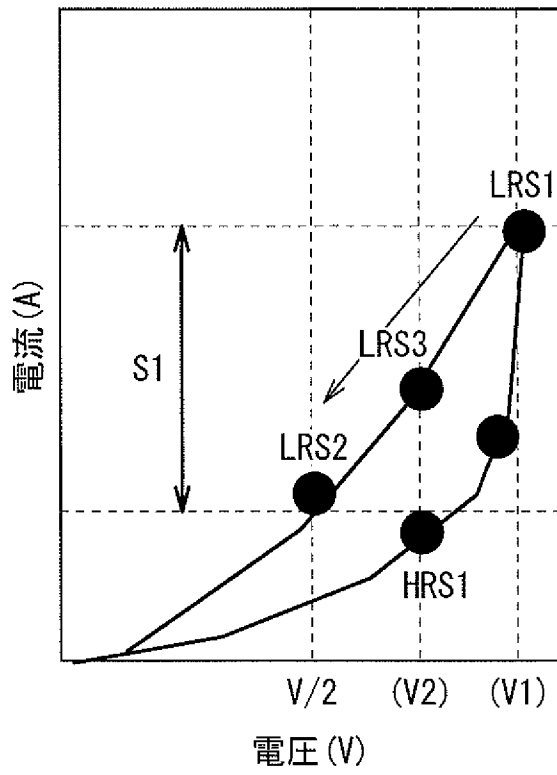
[図5]



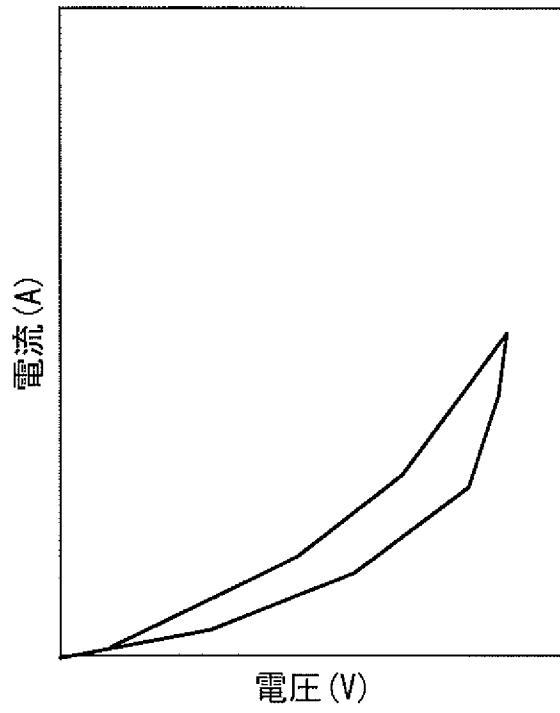
[図6]



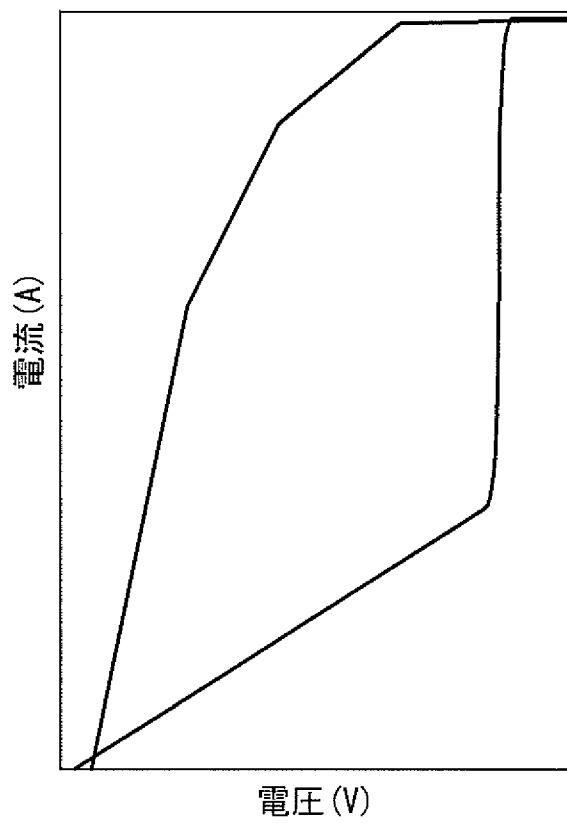
[図7]



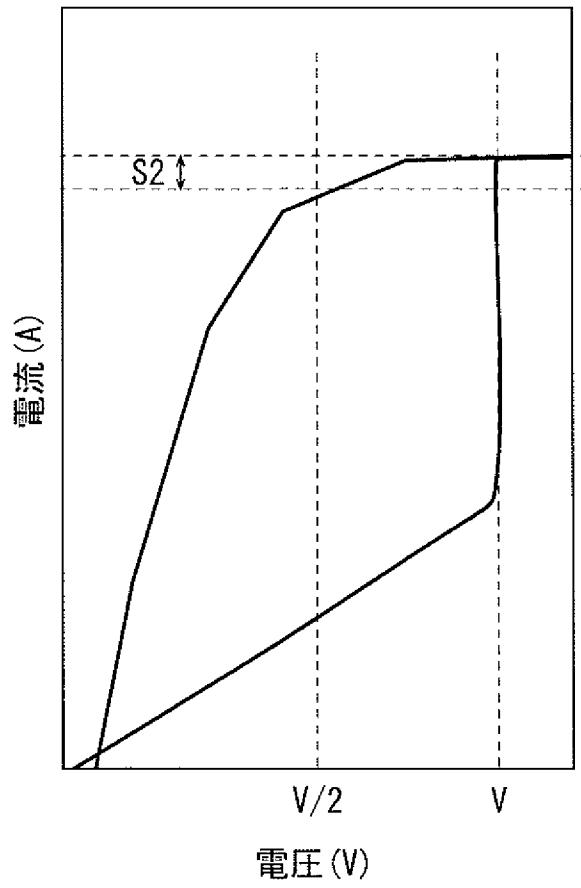
[図8]



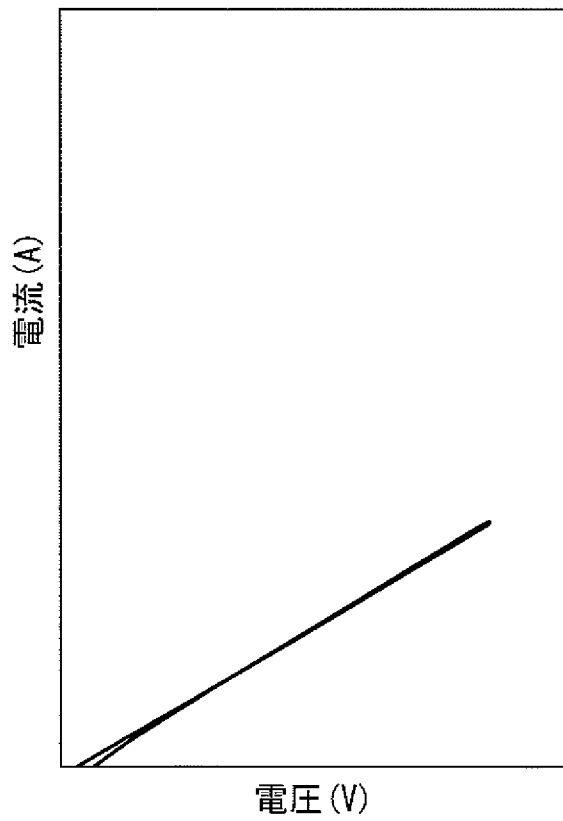
[図9]



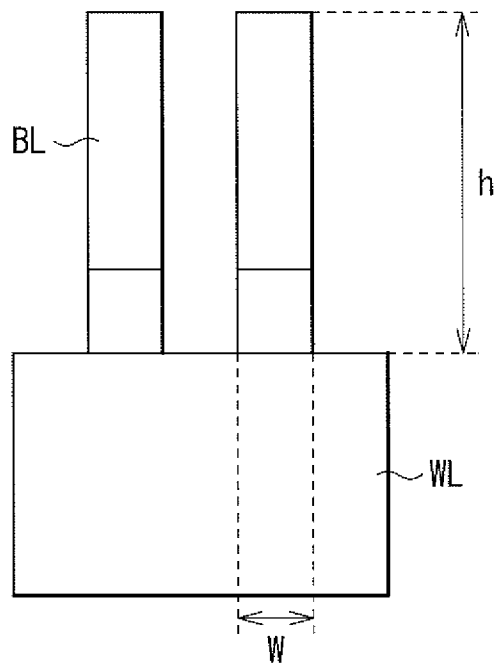
[図10]



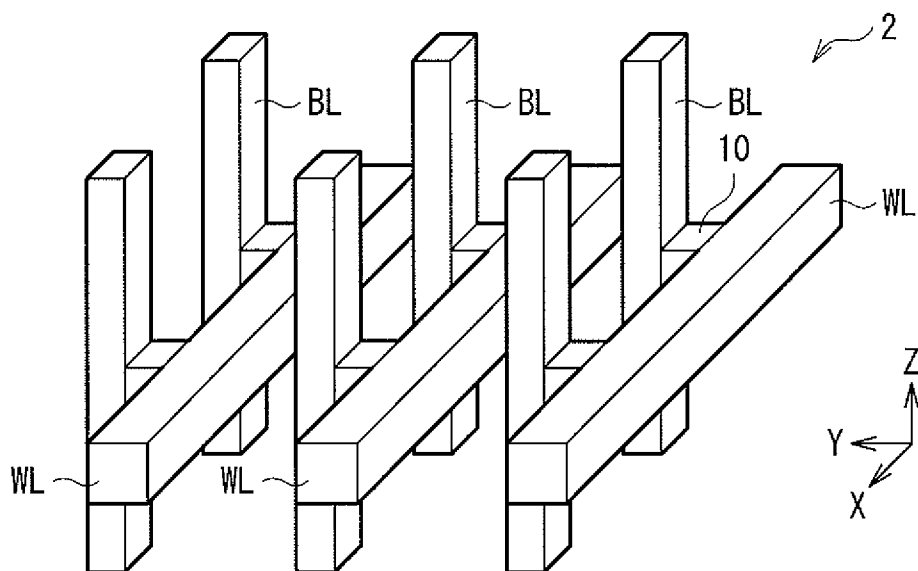
[図11]



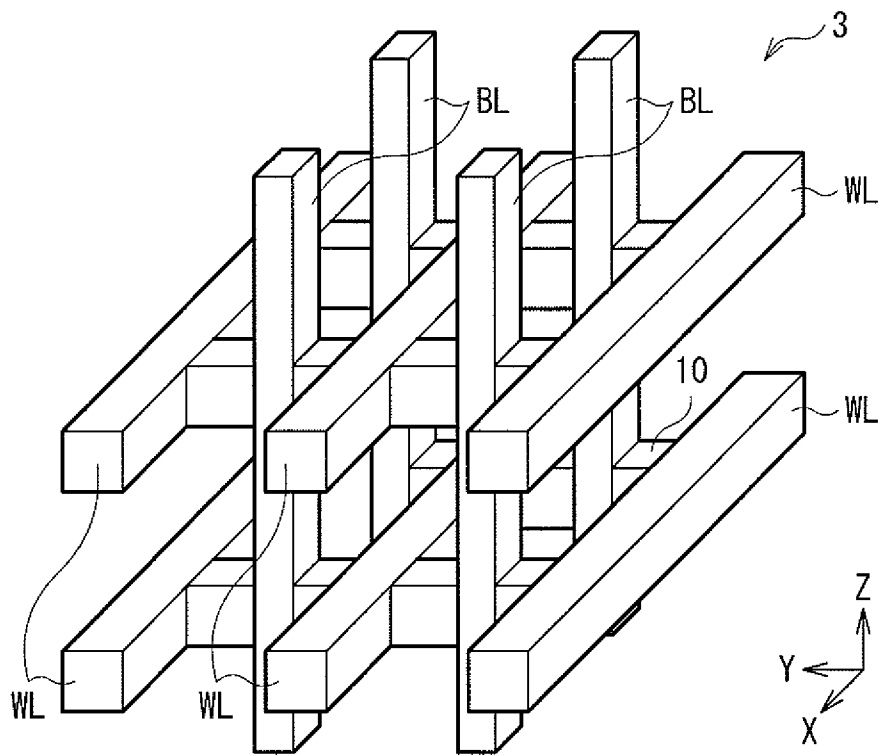
[図12]



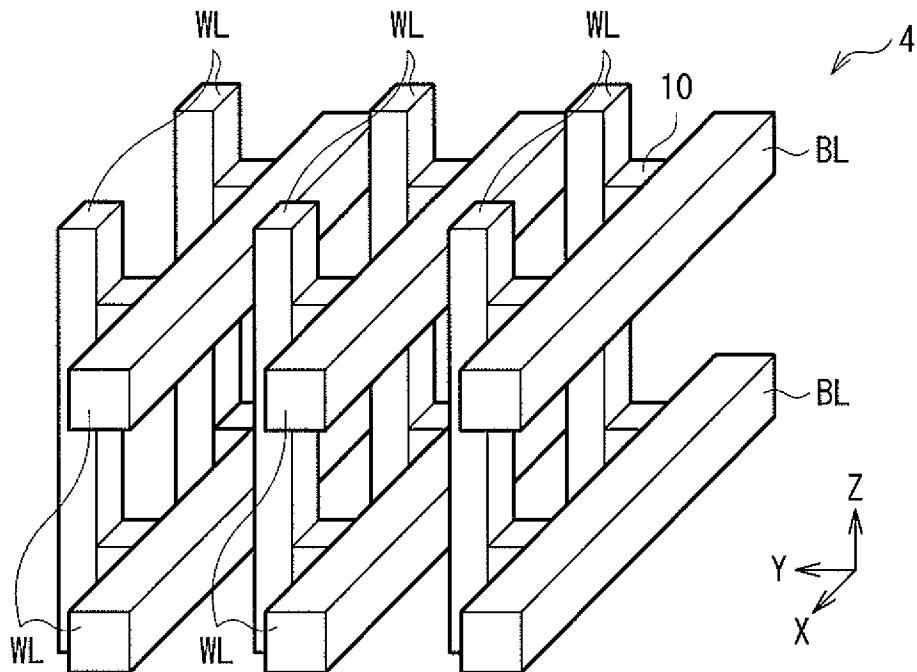
[図13]



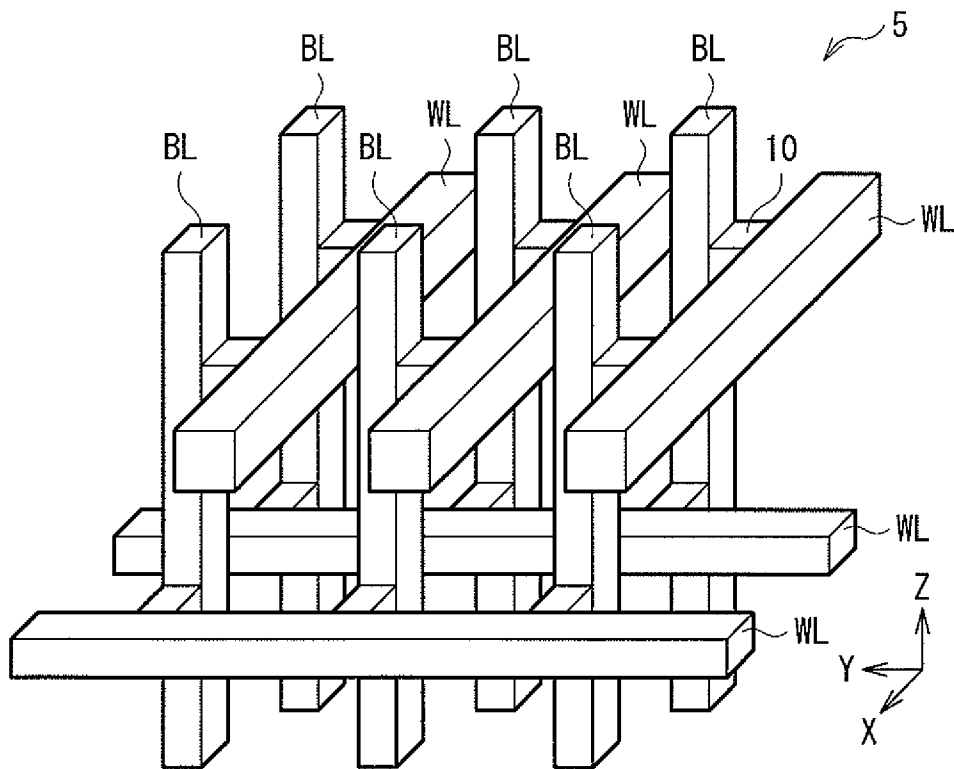
[図14]



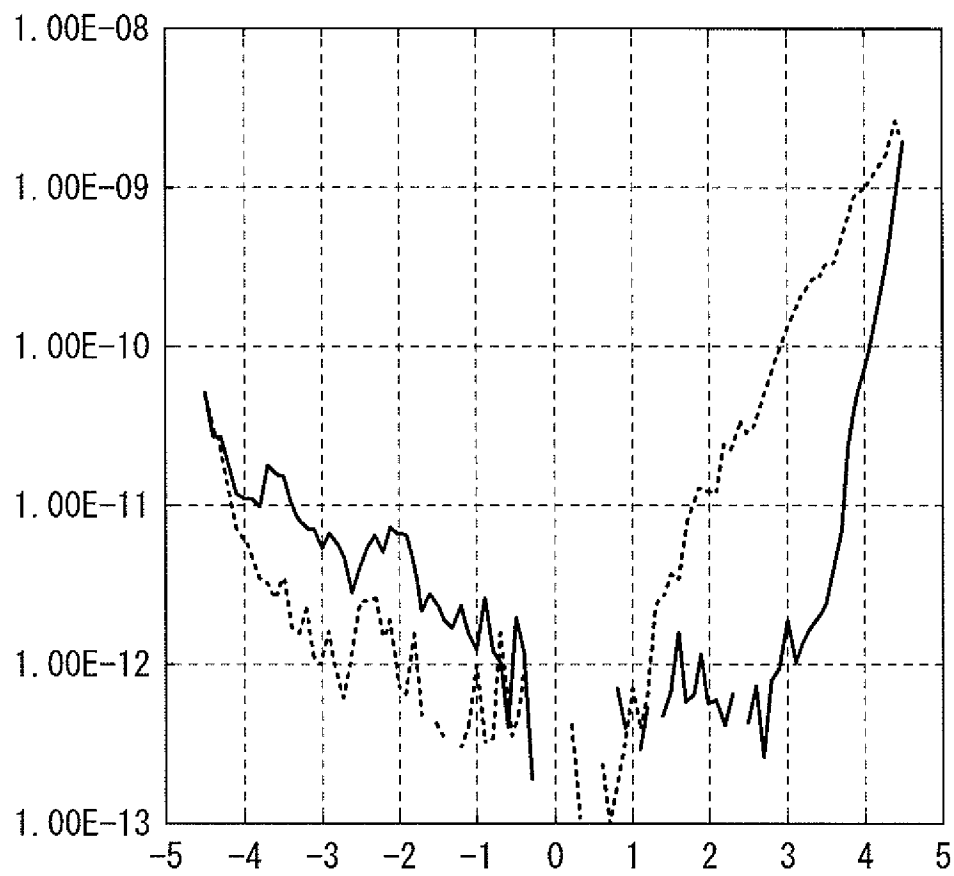
[図15]



[図16]



[図17]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/044965

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H01L21/8239 (2006.01) i, H01L27/105 (2006.01) i, H01L45/00 (2006.01) i, H01L49/00 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H01L21/8239, H01L27/105, H01L45/00, H01L49/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2019
Registered utility model specifications of Japan	1996-2019
Published registered utility model applications of Japan	1994-2019

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	WO 2014/103577 A1 (SONY CORPORATION) 03 July 2014, paragraphs [0017]-[0019], [0023], [0056]-[0060], [0076], [0108], [0109], [0116], [0124], fig. 50 & US 2015/0325628 A1, paragraphs [0087]-[0089], [0093], [0126]-[0130], [0146], [0178], [0179], [0186], [0194], fig. 50 & CN 104871313 A & KR 10-2015-0101997 A	1-5, 7-9 6
X A	WO 2016/111724 A1 (WANG, S. Y.) 14 July 2016, paragraphs [0141], [0178], [0179], [0186], fig. 4 & JP 2018-516447 A, paragraphs [0076], [0112], [0113], [0120], fig. 4 & US 2015/0357566 A1 & US 2017/0012083 A1 & US 2017/0244028 A1 & CN 106463340 A	1, 2, 4 3, 5-9

Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 12.02.2019	Date of mailing of the international search report 26.02.2019
---	--

Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Authorized officer Telephone No.
--	---

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/044965

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	WO 2016/158429 A1 (SONY CORPORATION) 06 October 2016, paragraphs [0041], [0042], fig. 3A & US 2018/0047784 A1, paragraphs [0074], [0075], fig. 3A & CN 107431069 A & KR 10-2017-0134381 A	6

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H01L21/8239(2006.01)i, H01L27/105(2006.01)i, H01L45/00(2006.01)i, H01L49/00(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H01L21/8239, H01L27/105, H01L45/00, H01L49/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2019年
日本国実用新案登録公報	1996-2019年
日本国登録実用新案公報	1994-2019年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	WO 2014/103577 A1 (ソニー株式会社) 2014.07.03, 段落[0017] - [0019], [0023], [0056] - [0060], [0076], [0108], [0109], [0116],	1-5, 7-9
Y	[0124], 図 50 & US 2015/0325628 A1, 段落[0087] - [0089], [0093], [0126] - [0130], [0146], [0178], [0179], [0186], [0194], 図 50 & CN 104871313 A & KR 10-2015-0101997 A	6
X	WO 2016/111724 A1 (WANG, Shih-Yuan) 2016.07.14, 段落[0141], [0178], [0179], [0186], 図 4 & JP 2018-516447 A, 段落[0076],	1, 2, 4
A	[0112], [0113], [0120], 図 4 & US 2015/0357566 A1 & US	3, 5-9

☑ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」口頭による開示、使用、展示等に言及する文献
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」同一パテントファミリー文献

国際調査を完了した日

12.02.2019

国際調査報告の発送日

26.02.2019

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)
 郵便番号 100-8915
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

宮本 博司

電話番号 03-3581-1101 内線 3516

5 F

6313

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	2017/0012083 A1 & US 2017/0244028 A1 & CN 106463340 A WO 2016/158429 A1 (ソニー株式会社) 2016.10.06, 段落[0041], [0042], 図 3A & US 2018/0047784 A1, 段落[0074], [0075], 図 3A & CN 107431069 A & KR 10-2017-0134381 A	6