

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

G06F 11/16 (2006.01)

G06F 12/16 (2006.01)



[12] 发明专利说明书

专利号 ZL 03808447.3

[45] 授权公告日 2007 年 8 月 1 日

[11] 授权公告号 CN 1329830C

[22] 申请日 2003.4.10 [21] 申请号 03808447.3

[30] 优先权

[32] 2002. 4. 16 [33] NO [31] 20021792

[86] 国际申请 PCT/NO2003/000115 2003.4.10

[87] 国际公布 WO2003/088041 英 2003.10.23

[85] 进入国家阶段日期 2004.10.15

[73] 专利权人 薄膜电子有限公司

地址 挪威奥斯陆

[72] 发明人 L·S·托尔于森 C·卡尔松

[56] 参考文献

WO0026783 A 2000.5.11

US5907861 A 1999.5.25

CN1045471 A 1990.9.19

EP0803813 A1 1997.10.29

US5812565 A 1998.9.22

审查员 吴 敏

[74] 专利代理机构 中国专利代理(香港)有限公司

代理人 邹光新 王 勇

权利要求书 2 页 说明书 7 页 附图 6 页

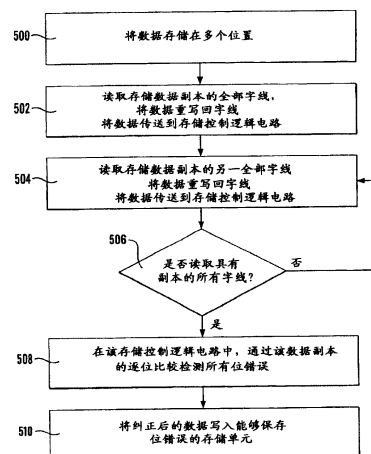
[54] 发明名称

在非易失性存储器中存储数据的方法

[57] 摘要

一种在非易失性铁电随机存取存储器中存储数据的方法，其中对存储器位置的破坏性读取操作之后进行重写操作，数据的完全相同的副本存储在不同的存储位置，该位置不具有任何公共字线或者不具有公共字线和公共位线。整体读取一个第一字线或一个第一字线的段，所述字线或所述段包含数据的完全相同的副本中的至少一个第一副本。从而将读取的数据重写入存储位置，另外从涉及的存储位置将数据传递到一个合适的缓冲位置，随后以字线或字线的段的形式连续读取存储位置，并将数据重写入缓冲位置。重复该操作直到将所有数据的相同副本传送到缓冲存储中。随后通过在存储控制逻辑电路中比较相同的副本来检测位错误，该控制逻辑电路也可以用于缓冲读出的数据副本或可选择地连接一个独立的缓冲存储器。当后者的位错误被检测

出时，将纠正的数据写回能够保存位错误的适当的存储位置。



1. 一种在非易失性铁电随机存取存储器中存储数据的方法，尤其是在其中的铁电存储器材料是一种铁电聚合物的存储器中，其中提供了作为矩阵单元的存储位置并且通过形成矩阵的字线和位线的电极来对该存储位置进行存取，其中对存储器位置的破坏性读取操作之后进行重写操作，该方法的特征在于以下述连续步骤：

(a) 将多个所述数据的完全相同的副本存储在多个存储位置中，所述的存储位置不具有任何的公共字线；

(b) 整体读取第一字线，所述第一字线包含所述数据的完全相同副本的至少一个第一副本，将从所述的第一字线读取的数据重新写回到所述第一字线中，将从所述的第一字线读取的数据传送到一个存储控制逻辑电路；

(c) 整体读取随后的一个字线，所述随后的字线包含所述数据的完全相同的副本中的至少一个随后副本，将从所述的随后的字线读取的数据重新写回到所述的随后的字线中，将从所述的随后字线读取的数据传送到所述存储控制逻辑电路；

(d) 重复步骤(c)直到从包含所述数据的所述完全相同副本的副本的所述字线中读取的所述数据被传送到所述的存储控制逻辑电路；

(e) 在所述的存储控制逻辑电路中，通过逐位比较从包含所述数据的所述多个完全相同副本的副本的所述字线中读取的所述数据，或者通过包含纠错码的所述数据，检测所有位错误；以及

(f) 当在步骤(e)中检测出位错误时，将纠正的数据写入到所述存储位置的存储单元中，该存储位置能保存位错误。

2. 依据权利要求1的方法，其特征在于所述数据是用于控制读和重写操作的定时数据，或者是用于识别冗余存储单元的冗余数据。

3. 一种在非易失性铁电随机存取存储器中存储数据的方法，尤其是在其中的铁电存储器材料是一种铁电聚合物的存储器中，其中提供了作为矩阵单元的存储位置并且通过形成矩阵的字线和位线的电极进行存取，其中对存储器位置的破坏性读取操作之后进行重写操作，该方法的特征在于以下述连续步骤：

(a) 将多个所述数据的完全相同的副本存储在多个存储位置中，所述的

存储位置不具有公共字线也不具有公共位线;

(b) 读取第一字线的段, 所述第一字线的段包含所述数据的完全相同副本的至少一个第一副本, 将从所述的第一字线的段读取的数据重新写回到数据锁存器的第一段中, 将从所述的第一字线的段读取的数据保存在数据锁存器的所述第一段中;

(c) 读取随后的一个字线的段, 所述随后的字线的段包含所述数据的完全相同的副本中的至少一个随后副本, 将从所述的随后字线的段读取的数据重新写回到所述的随后的字线的段中, 将从所述的随后字线的段读取的所述数据传送到数据锁存器的随后的段, 将从所述的随后字线的段读取的所述数据保存在数据锁存器的所述随后的段中;

(d) 重复步骤(c)直到所述数据的完全相同副本已经被传送到数据锁存器的所述段;

(e) 将保存在数据锁存器的所述段中的所述数据传送到一个存储控制逻辑电路;

(f) 在所述的存储控制逻辑电路中, 通过逐位比较所述数据的完全相同副本, 或者通过包含纠错码的所述数据的所述相同副本, 检测所有位错误; 以及

(g) 当在步骤(f)中检测出位错误时, 将纠正的数据写入到所述存储位置的存储单元中, 该存储位置能保存位错误。

4. 依据权利要求3的方法, 其特征在于所述数据是用于控制读和重写操作的定时数据, 或者是用于识别冗余存储单元的冗余数据。

在非易失性存储器中存储数据的方法

本发明涉及在非易失性铁电随机存取存储器 (FRAM) 中存储数据的方法, 尤其是在其中的铁电存储器材料是一种铁电聚合物的存储器中, 其中提供了作为矩阵单元的存储位置并且通过形成矩阵字线和位线的电极进行存取, 其中重写操作跟随着具有破坏性的读取存储器位置的操作。

铁电存储器具有重要的商业价值, 因为它们是非易失性的, 造价低廉, 并且能够以从 1 到 5V 的电压以及 10 到 100 毫微秒的速度级写入和读取, 传统的 DRAM 和 SRAM 计算机存储器是典型代表。

在半导体衬底上的电容器板之间放置铁电材料, 引起电容器在电荷偏振形式上呈现存储器功效。当用在一个方向上流经电容器板的电场线对电容器进行充电时, 在电荷从电容器板上移开后仍然保持剩余电荷偏振。如果将反向的电荷放置在电容器板上, 将保持一个反向的剩余偏振。和电容器板之间的铁电材料的偏振相反的施加在电容器板两端的电场电压的平面图呈现出如图 1 所示的典型的磁滞曲线。 P_s 和 $-P_s$ 是自偏振值, 反之 P_r 和 $-P_r$ 是表示在零电场值时铁电材料中的偏振的剩余偏振值。理想的铁电 P_s 应该等于 P_r , 但是由于线形电介质和非线形铁电行为, 在实际的铁电中这些值是不同的。

铁电存储器利用一个铁电电容器作为存储介质, 而为了读取该存储介质, 电场必须穿过存储电容器。一种应用到铁电电容器的脉冲, 如果脉冲偏振和先前的脉冲偏振一样, 那么剩余的电荷数就少, 如果电容器上的电荷是和经过电容器板最后的脉冲偏振相反的偏振, 那么剩余的电荷数就高。当存储器被持续写入时, 与先前存储电荷相同的电荷和相反的电荷之间的微小差别可以被测量以确定在铁电电容器上先前的偏振是什么样的。读取电场在很多情况下改变存储单元的状态。这意味着铁电存储器是具有破坏性的读出存储器, 该存储器必须具有一个重写功能, 当读取存储器后, 读出的数据被重新存储到存储单元。重写操作占时间, 并且如果存储功能被削弱, 例如通过减少能量, 完成存储单元读取后及重写周期前的期间或瞬间, 存储单元的数据将会丢失。对于非易失性存储器这种数据的丢失是不可接受的。

美国专利 No.5, 682, 344 公开了一种铁电随机存取存储器 (RAM), 其使用铁电存储单元存储数据。该铁电存储器是一个静态存储器, 其中存储在铁电存储单元的数据在读操作期间会被破坏。该存储器包含电路系统, 在存取操作期间锁定当前存储地址, 防止存储器跳转到新的存储地址, 直到被破坏的数据被替换。该存储器也包括这样的电路系统, 其能够检测地址输入提供的地址数据的变换。

一个电路包括, 一个铁电电容器, 该电容器已在美国专利 No.5, 815, 431 公开, 用于在逻辑电路中存储易失逻辑元件节点的值。在这种方式中, 象 CPU 或 I/O 设备这样的复杂逻辑电路的状态可以被存储在非易失铁电电容器中。在偶然或计划的停电后, 非易失铁电电容器可以被用来存储节点值。另外, 有计划的电源损耗可以用于节省对电源消耗敏感的电路中的系统电源。

美国专利 No.5, 892, 705 公开了一种设备和方法, 用于维持铁电随机存取存储器的非易失性。维持非易失性的设备包括一个用于回写功能的控制部分, 一个电源电压感知单元, 用于感知电源电压的掉电并且为控制部分提供一个电源掉电信号, 从而在电源掉电之前控制部分完成回写周期。电源电压感知单元通过感知电源电压的掉电生成一个控制信号, 为控制部分提供一个电源掉电信号, 从而在电源掉电之前完成回写处理, 从而维持存储设备的非易失性。

美国专利 No.6, 201, 731 公开了一种铁电破坏性的读出存储系统, 它包括一个电源, 具有存储单元的存储器阵列, 一个为存储器阵列提供信号的逻辑电路。不论何时在所述的电源中检测到低功率状态, 一种防止干扰电路防止由于低功率状态产生的意外电压干扰存储单元。防止干扰电路也可长时间阻止逻辑电路操作来允许完成重写周期, 从而防止正在重写的数据丢失。

美国专利 No.6, 211, 710 公开了一电路, 该电路用于保证上电的配置信息稳定。在一个实施例中, 一种半导体设备包括一个存储在若干个非易失存储单元 (熔丝位) 中的配置信息。一个配置上电复位电路在上电时生成一个用于锁定配置数据的信号给易失性配置寄存器。响应上电复位 (POR) 脉冲来生成配置数据信号, 并且直到在 POR 脉冲之后预定延迟结束后才被锁定。预定延迟给予“调整”来自熔丝位的数据信号提供时间。随后的 POR 脉冲不会导致另一个锁定行为。

欧洲专利申请 EP 0 803 813 A1 公开了一种用于半导体存储器的数据备份

设备，尤其是非易失性半导体存储器，例如 EEPROM（电可擦除只读存储器）类型。该设备的目的在于防止在意外地中断写操作，例如在写操作期间断开电源的情况中的数据丢失或错误。该半导体存储器具有若干个用于存储变量值的存储位置。写单元将值一个接一个地写入存储器的若干个存储位置，读单元从这些存储位置读取值。重合确定装置用于确定是否超出一半从存储器中的存储位置读取的值是相同的，如果重合确定装置发现超出一半的值是相同的，那么分配装置确定一个重合值。从而，一个确定的重合值可以被分配给每一个变量。

本发明的目的在于提供一种方法，用于保证在可寻址矩阵存储器数据的非易失性存储，尤其是铁电存储器，以及通过在读出的数据中检测位错误并实现它的纠正来维持存储数据的完整性。

依照本发明中，通过连续的步骤描写的第一种方法，可以进一步了解到本目的以及其它特征和优点，该连续步骤是：

（a）将若干个所述数据完全相同的副本存储在若干个存储位置，所述的存储位置不具有任何的通用字线；

（b）整体读取第一字线，所述第一字线包含至少一个所述数据的完全相同副本的第一副本，将从所述的第一字线读取的数据重新写回到所述第一字线中，将从所述的第一字线读取的数据传送到一个存储控制逻辑电路；

（c）整体读取随后的一个字线，所述随后的字线包含至少一个所述数据的完全相同的副本中的随后一个副本，将从所述的随后字线读取的数据重新写回到所述随后的字线中，将从所述的随后字线读取的数据传送到一个存储控制逻辑电路；

（d）重复步骤（c）直到从包含所述数据的完全相同的副本的所述字线读取的所述数据被传送到所述的存储控制逻辑电路；

（e）在所述的存储控制逻辑电路中，通过逐位比较从包含所述数据完全相同副本的所述字线读取的所述数据，或者通过包含纠错码（ECC）的所述数据，检测任何位错误；及

（f）当在步骤（e）中检测出位错误时，将正确的数据写入到所述存储位置的存储单元中，该存储位置能保存位错误。

依照本发明中，通过连续的步骤描写的第二种方法，可以了解到相同目的以及进一步的特征和优点，该连续步骤是：

(a) 将若干个所述数据完全相同的副本存储在若干个存储位置, 所述的存储位置不具有通用字线也不具有通用位线;

(b) 读取第一字线的段, 所述第一字线的段包含至少一个所述数据的完全相同副本的第一副本, 将从所述的第一字线的段读取的数据重新写回到所述第一字线的段中, 将从所述的第一字线的段读取的所述数据传送到数据锁存器的第一段, 从所述的第一字线的段中读取的所述数据保存在数据锁存器的所述第一段中;

(c) 读取随后的一个字线的段, 所述随后的字线的段包含至少一个所述数据的完全相同的副本中的随后一个副本, 将从所述的随后字线的段读取的数据重新写回到所述的随后的字线的段中, 将从所述的随后字线的段读取的所述数据传送到随后的数据锁存器的段, 将从所述的随后字线的段读取的所述数据保存在所述的随后的数据锁存器的段;

(d) 重复步骤(c)直到与所述数据的完全相同副本已经被传送到数据锁存器的所述段;

(e) 将保存在所述的数据锁存器的段中的所述数据传送到一个存储控制逻辑电路;

(f) 在所述的存储控制逻辑电路中, 通过逐位比较和所述数据完全相同副本, 或者通过包含纠错码(ECC)的所述数据的所述相同副本, 检测所有位错误; 以及

(g) 当在步骤(f)中检测出位错误时, 将正确的数据写入到所述存储位置的存储单元中, 该存储位置能保存位错误。

依据本发明的两种方法, 优选的, 该数据是用于控制读和回写操作的定时数据(timing data), 或者是用于识别冗余存储单元的冗余数据。

参考附图现在将讨论典型实施例以更详细的说明本发明, 其中

图1示出了如上所述的现有技术的铁电电容器的迟滞曲线,

图2是依据本发明可以实施的所述方法的存储电路框图,

图3a是和读出放大器连接的铁电存储单元阵列的示意性框图, 该铁电存储单元阵列可以根据本发明的方法来使用,

图3b是类似于图3a的铁电存储单元阵列的示意性框图, 该铁电存储单元包含具有在其交叉处的电极之间的二极管,

图4是用于铁电存储设备中的铁电薄膜电容器的两个图,

图5是依据本发明第一方法的流程图,

图6是依据本发明第二方法的流程图, 以及

图7是依据本发明第二方法的优选实施例使用的存储器阵列的图。

本发明涉及表示同一发明思想的相关方法, 现在将以优选实施例的形式描述这些方法。

图2说明了一个简单的方框图, 该图示范了依据本发明两种方法所使用的存储器元件。存储器宏210包含一个存储器矩阵或阵列200, 行和列解码器22, 202, 读出放大器206, 数据锁存器208和冗余字线和位线204, 24。行和列解码器22, 202对存储位置或存储单元的地址解码, 该地址位于存储器阵列电极的交叉处, 即字线(简称为WL)形成存储器阵列的行及位线(简称为BL)形成存储器宏的列。由连接到位线的读出放大器206执行读取存储在存储器元件中的数据。数据锁存器208保存该数据直到其部分或全部的数据传送到存储控制逻辑220。从存储器宏210读取的数据应该具有某一误码率(BER), 通过用冗余字线和位线204, 24取代在存储器阵列200中有缺陷的字线和位线来减少该误码率。为了执行错误检测存储器宏210必须具有包含纠错码(ECC)信息的数据段。

一个用于存储控制逻辑220的模块为存储器宏210提供一个数字接口并且控制存储器阵列200的读和写。用冗余字线和位线204, 24取代有缺陷的字线和位线的存储器初始化和逻辑也将在存储控制逻辑中获得。

设备控制器230将存储控制逻辑220连接到外围总线标准。ECC单元240在全部存储器阵列200上执行纠错。它可以是简单的错误检测或者也可以包括错误纠正, 电荷泵242生成存储单元的读和写所需要的一些电压。由经过振荡器(未示出)的设备控制器230给定的独立时钟输入, 为了保持使用存储器宏210的应用程序的位速率的独立性, 该独立时钟输入将被用于充电的电荷泵242使用。

图3a示出了一个铁电存储设备300, 该设备包含铁电存储单元302的矩阵或阵列。每一个存储单元包含一个铁电电容器和一个存取控制晶体管, 但是可以更好的排列两个电容器和两个晶体管。在第一种情况中存储器宏是一个类型为1T-1C的有效矩阵可寻址存储器设备, 而在其它情况中, 存储器宏是2T-2C

类型。存储单元 302 通过一个使能字线 310 进行存取，随后通过脉冲驱动线 312 读取。在每一个位线 314 的终端提供的读出放大器 206 生成数据输出信号。读出放大器也包括用于将数据重写入铁电存储单元 302 的数据再生电路。行解码器 22 将一部分接收的地址信号解码成字线选择信号，存储控制逻辑 220 生成一系列操作存储器阵列 200 所需的定时信号。

图 3b 示出了一个存储器阵列 200，其包含字线 310 和位线 314 的电极。铁电绝缘材料位于这些电极之间，因此这些电极不会电连接或物理连接。然而也可以在这些电极即字线和位线之上并与其接触地提供该铁电材料，但是除此之外字线和位线应该通过一个非铁电电介质相互绝缘。在字线 310 和位线 314 之间的每一个交叉处形成二极管 322。铁电材料与字线和位线 310, 314 一起形成铁电电容器或存储单元 315，该铁电电容器或存储单元具有作为电容器板的字线和位线 310; 314。

图 4 说明了铁电薄膜电容器 315 的典型结构和通用符号。该符号也可以用于上述图 3a 的示意性方框图中。这种类型的铁电电容器具有金属导电板，该金属导电板由构成该电容器的电介质的约 50 到 100 微米的铁电材料隔离开。

如上所述的非易失性无源矩阵存储器，像配置数据这样的数据是十分重要的，需要使其不受功率损耗的影响。控制读和写操作的定时数据和识别冗余存储单元的冗余数据也是这方面的例子，如果这些数据丢失，将使得整个存储器无用。这种类型的数据永久地存储在例如熔丝单元中，即，被激光熔化的熔丝，但是这需要相当大的区域。因此，如果采取其它措施保持这些重要数据的安全性，那么这些重要数据可以以任何方式存储在破坏性读出存储单元中。

图 5 以流程图的形式介绍了本发明的第一种方法，该方法解决了由于例如电源故障使重要数据消除的问题。在步骤 500，需要特别关心的数据被存储在存储器阵列 200 的多个位置中。如果这些位置中的一些有缺陷，那么冗余的字线和位线 204, 24 被代替使用。无论何时使用该数据，或者基于有规则的基础上使用，在步骤 502 和 504 读取存储在该字线 700 中的这些数据，随后通过大多数情况下自动的一个重写，也就是公知的回写，接着将这些数据传送到存储控制逻辑 220。所述数据的实例数量大约是四到十种，在步骤 506 某些形式的计数器将确保读出所有的实例。很明显，三个副本太少了，这是因为和位错误结合的电源故障会引起致命的损害。在步骤 508 逐位比较不同的数据实例。其

它的选择是使用 ECC 单元 240, 该 ECC 单元要求 ECC 数据和数据本身一起被存储。最后, 在步骤 510 对发现不正确的数据部分进行校正并写入到能够保存错误数据的存储单元 302, 315 中。

以这种方式保护的数据数量会相当有限, 而且用于安全存储所使用的字线 310 会相当的长。这导致了不能有效的利用存储器阵列 200。为了补救这个问题, 可以使用依据本发明的第二种方法。该方法在图 6 的流程图中示出了, 在步骤 602 和 604 中, 确保传送认为重要的数据的一小部分并将这些部分传送到数据锁存器 208。由于整个字线 310 不再必须保存相同的数据从而导致为其它数据释放存储单元 302, 315。步骤 606, 608 和 610 对应于图 5 中的步骤 506, 508 和 510, 其区别仅仅在于处理较少的数据。然而, 为了将存储在数据锁存器 208 的数据传送到存储控制逻辑 220 中, 必须在步骤 606 和 608 之间插入步骤 607。结果, 由于在步骤 602 和 604 没有数据需要传送, 因此存储控制逻辑 220 中的存储单元不必存储同样多的数据。从而减小了空间消耗, 并且同样地执行错误检测的数据处理能力的要求也降低了。

有时减短位线 314 而将数据存储冗余在冗余位线 24。无法预料的位线不足的问题会消除重要的数据。尽管是个小问题, 但是可以通过将重要的数据存储在不同的位线 314 和不同的字线 310 上来避免。本发明第二种方法的变化在图 7 中提出了, 其示出了用于存储重要数据的存储单元 704 的字线 700 和位线 702。这些重要数据的副本组成了数据块 706, 结合图 6 依照如上所述的本发明的第二种方法, 将这些重要数据的副本传送到诸如数据锁存器 208 这样的存储单元。

本领域的技术人员将会实现依照本发明的方法, 该方法可以使用于有源和无源的矩阵可寻址电存储器设备并解决位错误的问题, 该位错误是由对两种类型进行寻址操作而产生的。但是由于读出操作是破坏性因此而需要回写或重写, 无论如何防止数据内容由于位错误而丢失是尤其重要的, 该位错误是在修复破坏性读出数据所需要的重写操作中产生的。

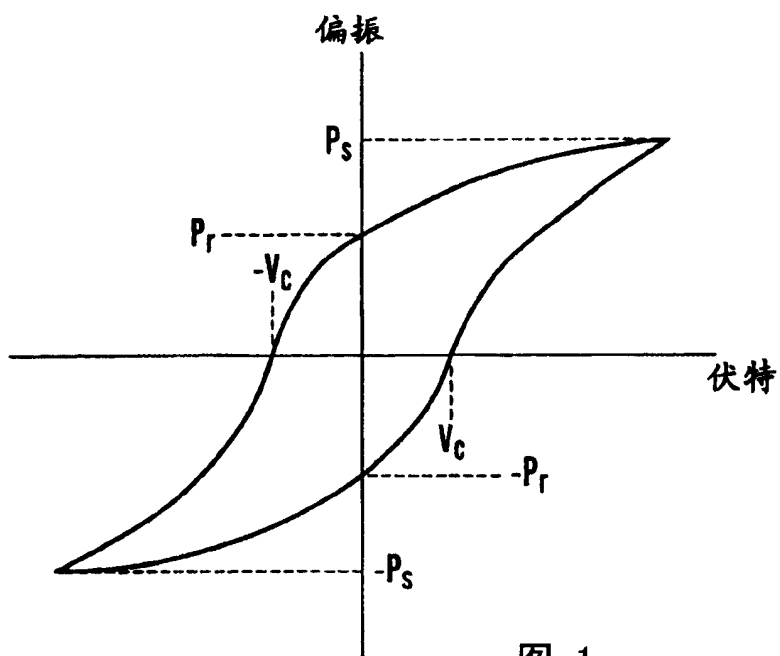


图 1

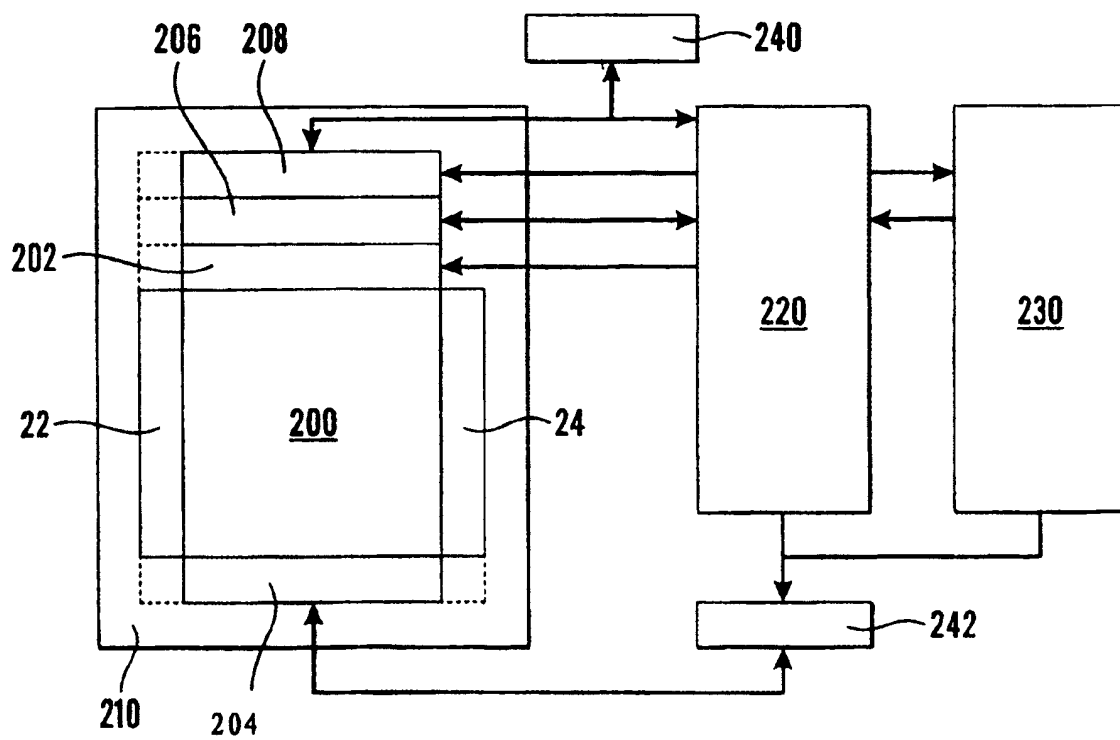


图 2

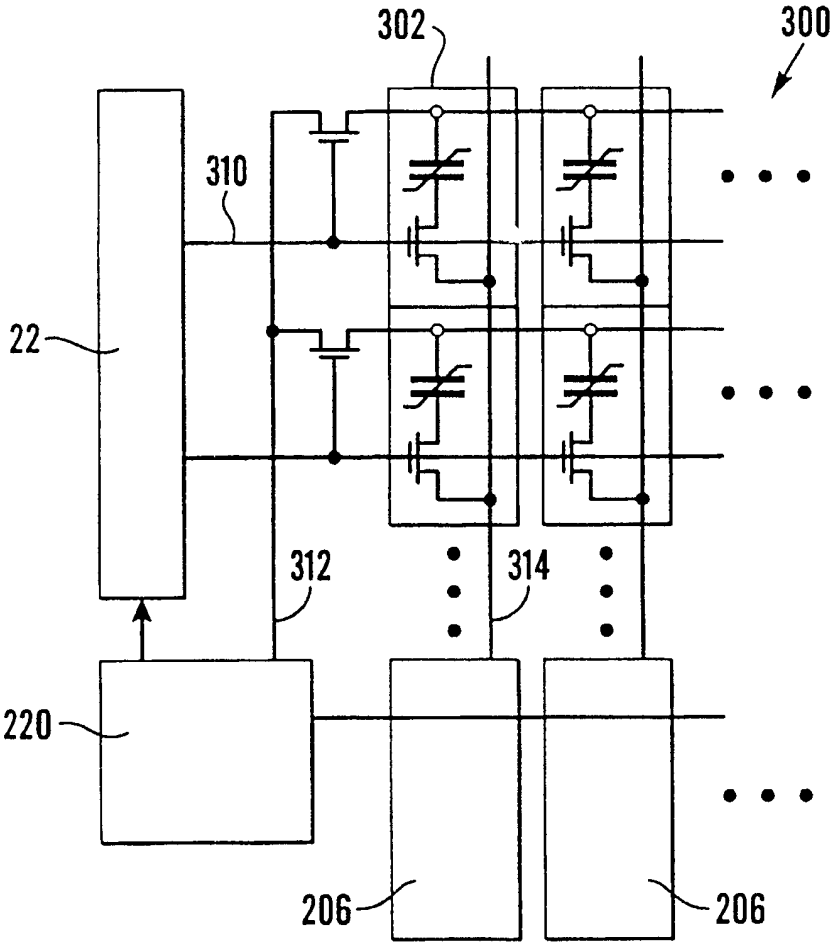


图 3a

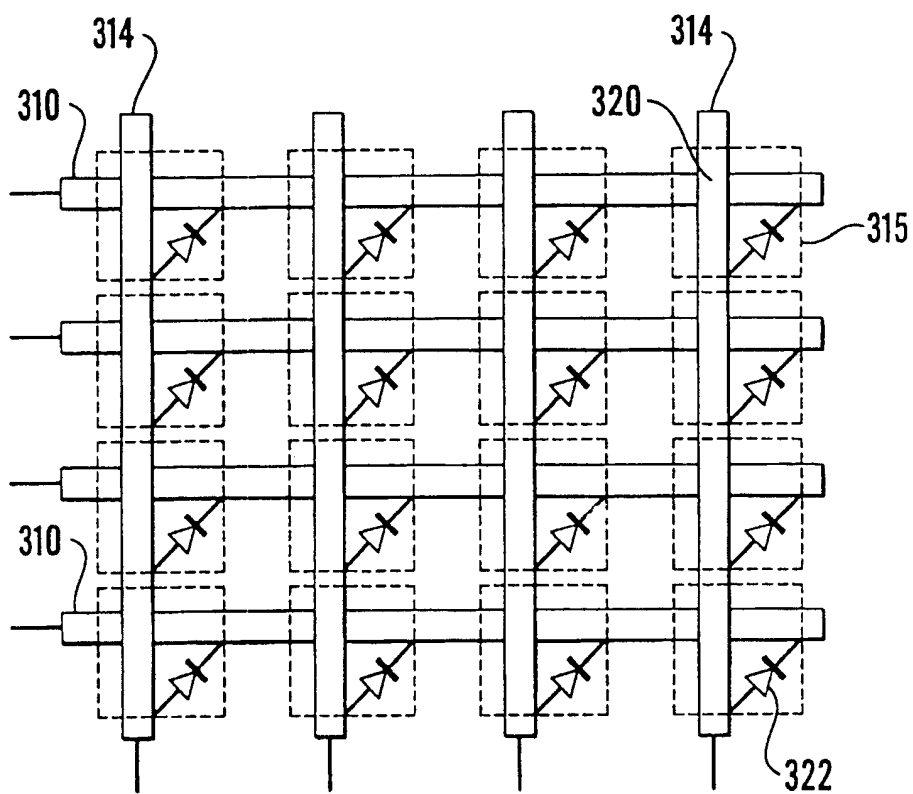


图 3b

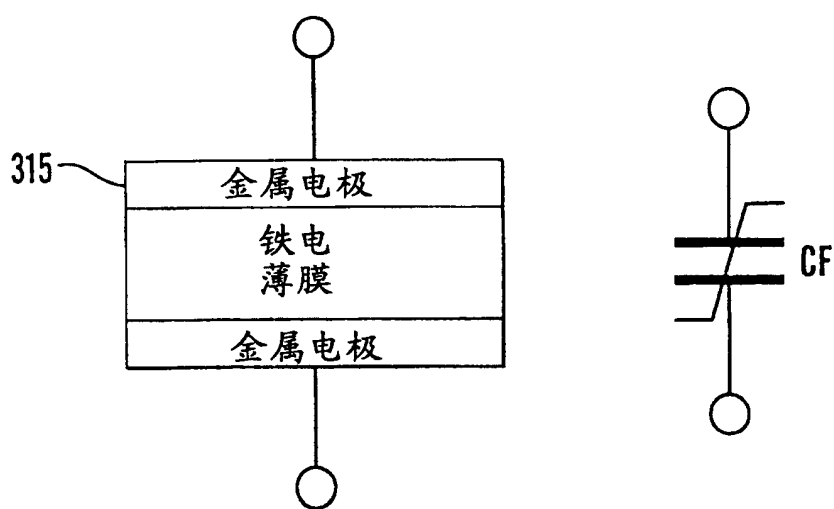


图 4

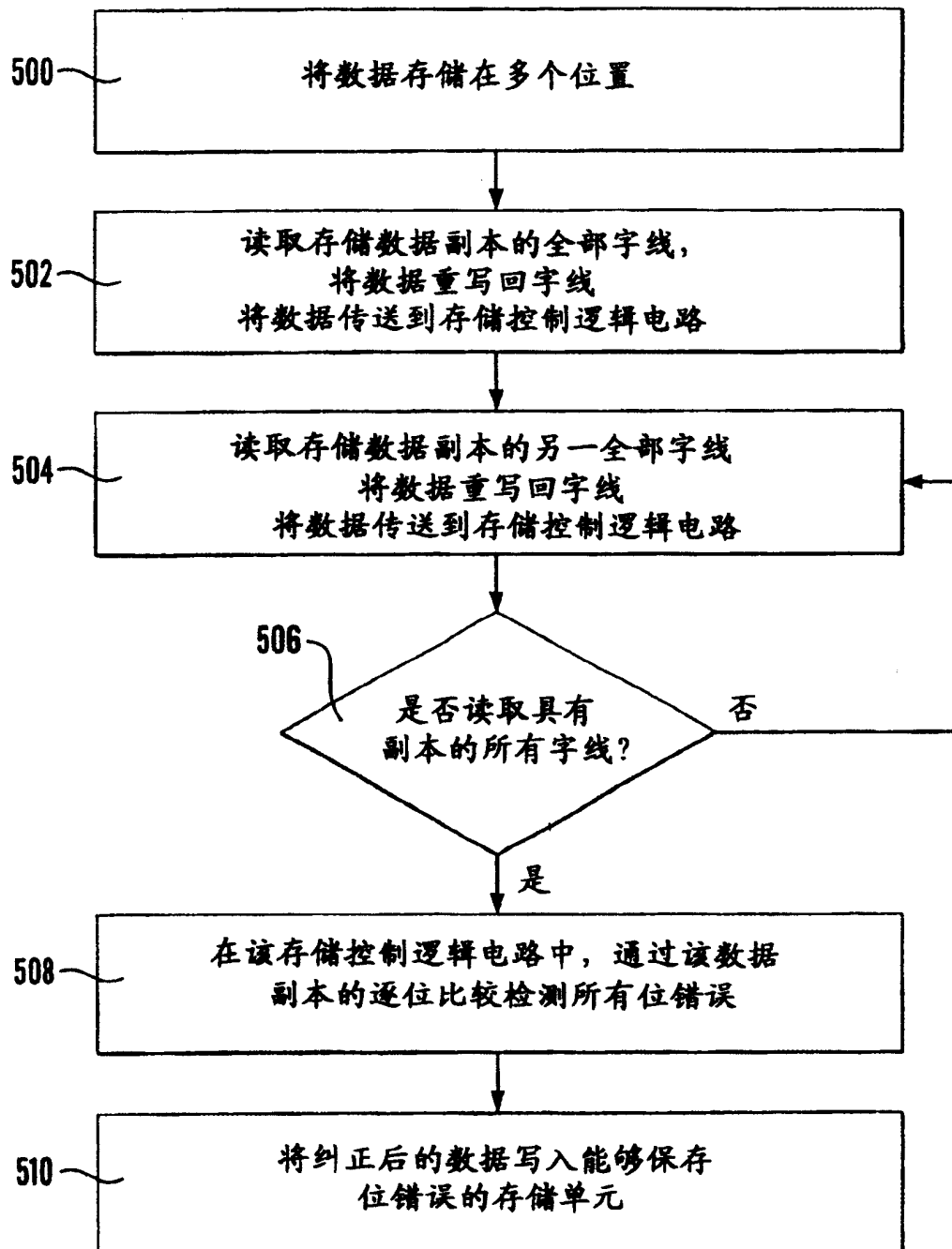


图 5

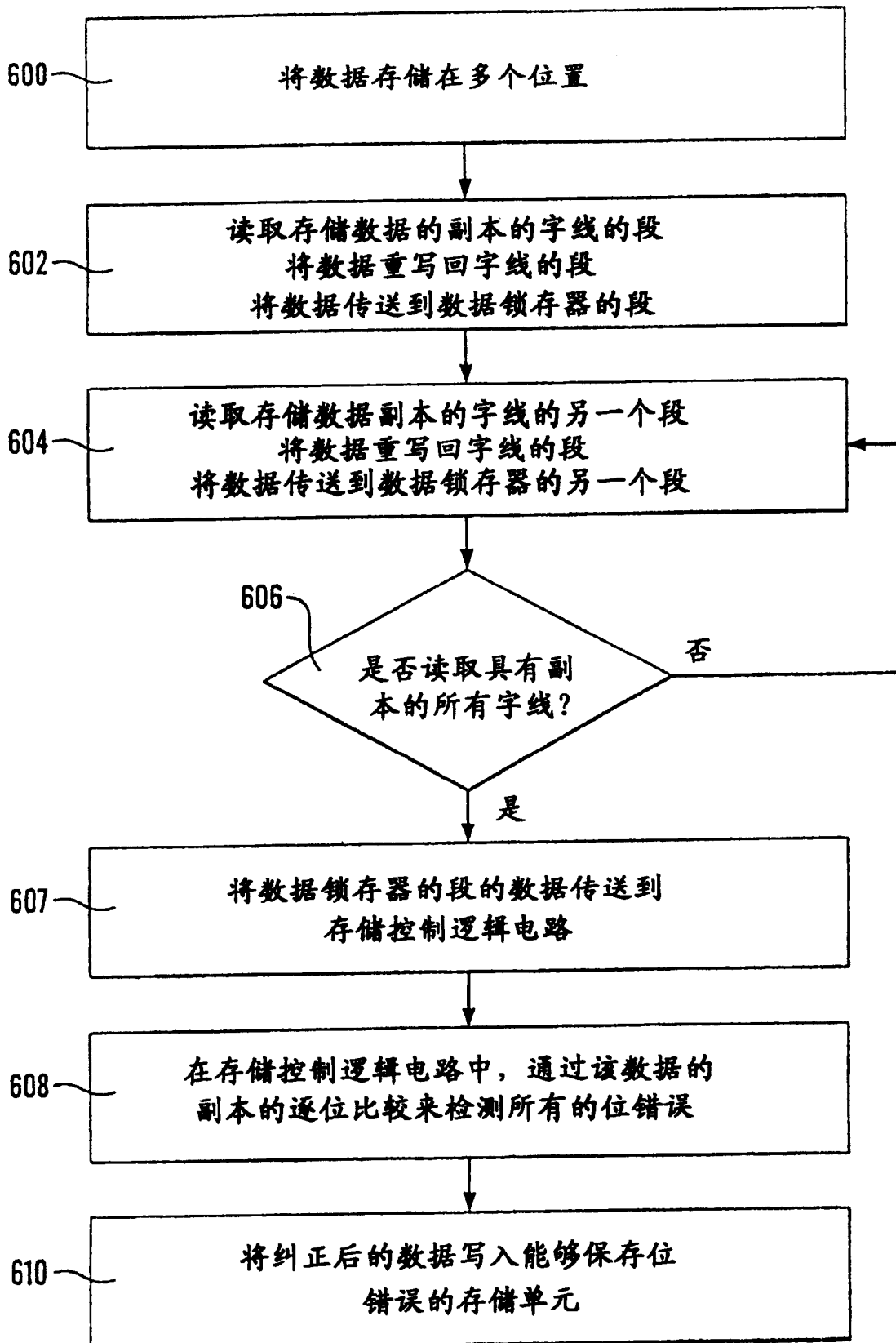


图 6

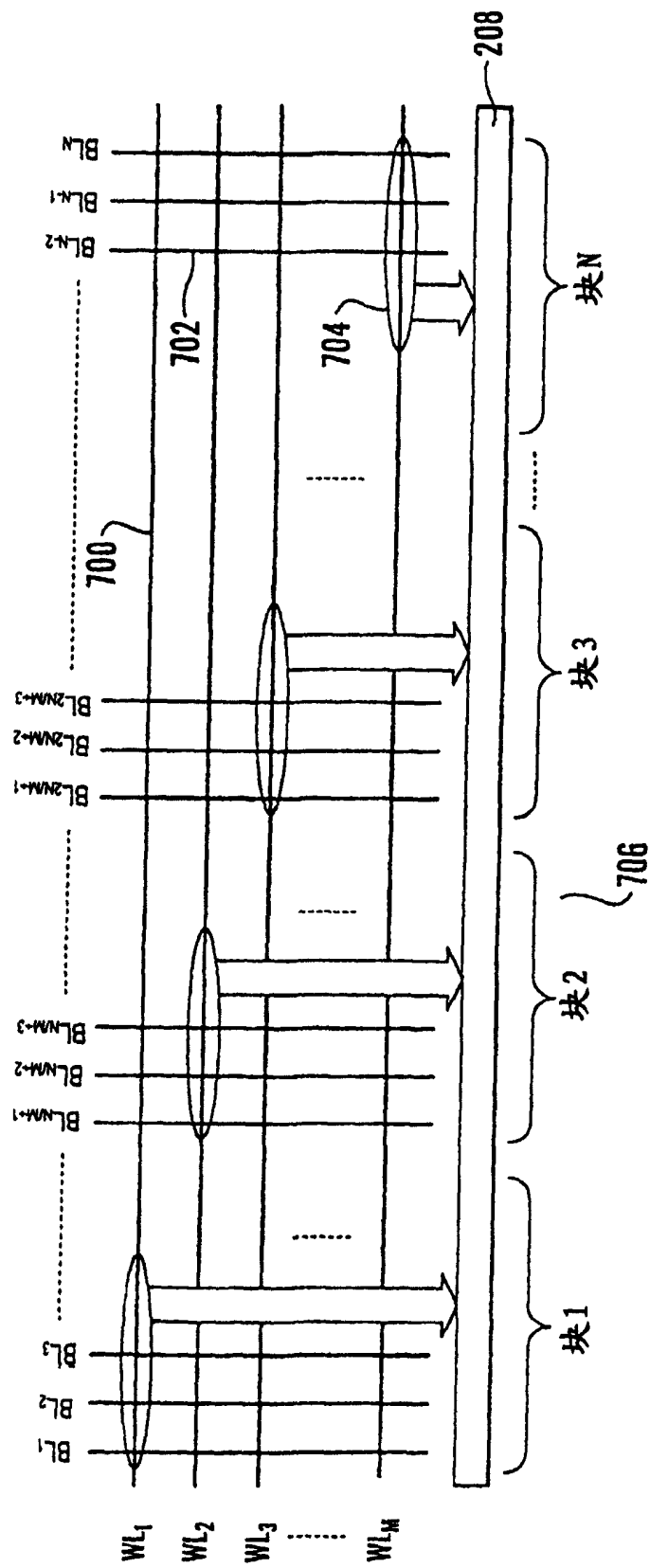


图 7