



CONFÉDÉRATION SUISSE  
OFFICE FÉDÉRAL DE LA PROPRIÉTÉ INTELLECTUELLE

⑤ Int. Cl. 3: H 03 H 11/12

**Brevet d'invention délivré pour la Suisse et le Liechtenstein**  
Traité sur les brevets, du 22 décembre 1978, entre la Suisse et le Liechtenstein

⑫ **FASCICULE DU BREVET** A5

⑪

**625 373**

⑳ Numéro de la demande: 12855/78

⑦③ Titulaire(s):  
Centre Electronique Horloger S.A., Neuchâtel

㉒ Date de dépôt: 18.12.1978

⑦② Inventeur(s):  
Roger Dessoulavy, Lausanne

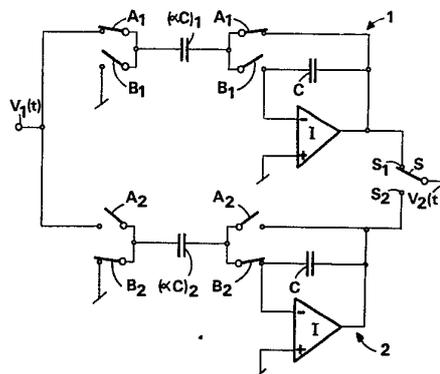
㉔ Brevet délivré le: 15.09.1981

④⑤ Fascicule du brevet  
publié le: 15.09.1981

⑦④ Mandataire:  
Kirker & Cie, Genève

⑤④ **Circuit électronique à capacités commutées.**

⑤⑦ Il comporte au moins deux circuits sélectifs à capacité commutée (1) et (2). Ces deux circuits sélectifs (1) et (2) sont disposés en parallèle, le signal d'entrée  $V_1(t)$  étant relié aux entrées des circuits sélectifs (1) et (2) et les sorties sont reliées à un élément (S) formant le signal de sortie  $V_2(t)$  de l'ensemble du circuit électronique. Les signaux commandant les commutateurs ( $A_1$ ), ( $B_1$ ), ( $A_2$ ) et ( $B_2$ ) assurant les commutations successives des capacités commutées  $(\alpha C)_1$  et  $(\alpha C)_2$  sont agencés de telle manière que chacune des commutations successives correspondant à la capacité commutée  $(\alpha C)_1$  est décalée dans le temps par rapport à chacune des commutations successives de la capacité commutée  $(\alpha C)_2$ . Utilisation pour constituer un filtre de fréquences.



## REVENDEICATIONS

1. Circuit électronique à capacités commutées comprenant:

– un circuit sélectif à capacité commutée composé d'une capacité commutée, de commutateurs aux bornes de la dite capacité commutée et d'un intégrateur formé d'un amplificateur opérationnel et d'une capacité,

– un circuit délivrant des signaux commandant les dits commutateurs assurant les commutations successives de la dite capacité commutée à une certaine fréquence d'échantillonnage, caractérisé d'une part en ce qu'il comprend au moins deux tels circuits sélectifs disposés en parallèle, le signal d'entrée du circuit électronique étant relié aux entrées des circuits sélectifs et les sorties des dits circuits sélectifs étant reliées à un élément formant le signal de sortie du circuit électronique, et d'autre part, en ce que le circuit délivrant les signaux commandant les commutateurs comporte des moyens pour agencer les dits signaux de telle manière que chacune des commutations successives correspondant à une capacité commutée soit décalée dans le temps par rapport à chacune des commutations successives d'une autre capacité commutée.

2. Circuit selon la revendication 1, caractérisé en ce qu'il comporte des moyens pour faire varier la fréquence d'échantillonnage correspondant aux dites commutations successives.

3. Circuit selon la revendication 1, caractérisé en ce qu'il comporte des moyens pour faire varier la capacité de l'intégrateur et la capacité commutée.

4. Circuit selon la revendication 1, caractérisé en ce que l'ensemble de ses composants est réalisé en circuit intégré.

La présente invention concerne un circuit électronique à capacités commutées permettant de traiter un signal analogique et pouvant constituer un filtre de fréquences.

Des circuits à capacités commutées ont été réalisés essentiellement dans le but de pouvoir incorporer dans des circuits intégrés des circuits électroniques nécessitant l'utilisation de résistances. Les résistances intégrées ont en effet des caractéristiques de température et de précision peu satisfaisantes et utilisent une trop grande place au sein de la plaquette de silicium. Comme le montre la fig. 1, les résistances sont remplacées par des capacités que l'on commutue à une fréquence donnée. Cette capacité C appliquée sur  $V_1$  est chargée et après commutation sur  $V_2$ , elle est déchargée de  $Q = C(V_1 - V_2)$ .

Si la commutation a lieu toutes les  $T_c$  secondes, donc à une fréquence de commutation ou d'échantillonnage  $f_c = 1/T_c$ , on aura un courant vers  $V_2$  de valeur moyenne  $i = Q/T_c = C(V_1 - V_2)/T_c$ . La résistance équivalente à cette capacité commutée serait:  $R = T_c/C$ . Une condition de bon fonctionnement est que la fréquence d'échantillonnage  $f_c$  soit beaucoup plus grande que la fréquence  $f$  du signal d'entrée échantillonné  $V_1$ . On impose en général  $f < f_c/2$ , conformément aux règles des systèmes échantillonnés. Des interrupteurs analogiques commandés par des signaux digitaux issus d'une horloge et représentés par le commutateur K assurent en général cette commutation.

Un circuit à capacités commutées est présenté à la fig. 2. Il est composé d'un intégrateur formé d'un amplificateur opérationnel I et d'une capacité C, d'une capacité commutée  $\alpha C$  et de deux commutateurs K. Les commutations successives de la capacité commutée  $\alpha C$ , appliquées dans une première phase à  $V_1$  et  $V_2$  et dans une deuxième phase à la masse et à l'entrée négative de l'intégrateur, correspondent à la fréquence d'échantillonnage  $f_c$  du signal d'entrée  $V_1$  à fréquence  $f$ . Suivant la valeur de  $\alpha$ , le dit circuit à capacités commutées devrait se comporter comme un circuit retard ( $\alpha = 1$ ), comme un circuit coupe-bande ( $0 < \alpha < 1$ ) ou comme un circuit passe-bande ( $1 < \alpha < 2$ ) utilisant dans ces deux derniers cas la résonance du circuit à  $f = (f_c/2) (1 + 2k)$  avec  $k$  entier. Ainsi, dans ces deux

cas, un tel circuit constitue autour de la fréquence de résonance un filtre coupe-bande classique ou un filtre passe-bande classique et de plus, peut être parfaitement intégrable notamment en technologie C-MOS. Il est dès lors facile de construire des filtres sélectifs intégrables dont on sélectionne la fréquence d'échantillonnage pour déterminer la fréquence de résonance  $f = f_c/2$  à laquelle on désire travailler.

Un tel circuit sélectif, notamment lorsqu'il travaille en filtre passe-bande, présente certains désavantages.

D'une part, sachant que la première résonance a lieu pour  $f = f_c/2$  et que c'est la limite théorique pour laquelle le signal d'entrée est échantillonné deux fois par période, il résulte, comme le montre la fig. 3, une incertitude selon la phase relative du signal d'entrée  $V_1$  par rapport aux instants d'échantillonnage. Ainsi il peut arriver que le signal d'entrée soit nul au moment de l'échantillonnage, affectant le signal de sortie du circuit.

D'autre part, les fréquences  $f$  du signal d'entrée  $V_1$  supérieures à  $f_c/2$  apparaissent à la sortie transposées au-dessous de  $f_c/2$ , ce qui est le cas de tous les circuits échantillonnés, raison pour laquelle on impose que le spectre du signal d'entrée soit limité aux fréquences inférieures à  $f_c/2$ .

La présente invention vise à éliminer ces inconvénients et à réaliser ainsi un circuit électronique à capacités commutées dont la fréquence d'entrée peut varier au-delà de la fréquence de résonance  $f_c/2$  et constituer ainsi un circuit-retard, un circuit coupe-bande ou un circuit passe-bande parfaitement intégrable.

Notons qu'il existe une solution mais dont le principe est fondamentalement différent. Il s'agit des circuits dits à  $n$  voies mais qui ont l'inconvénient de travailler à une fréquence d'échantillonnage égale à celle du signal à recevoir, étant ainsi soumis à l'injection parasite de la fréquence d'horloge.

L'invention a pour objet un circuit électronique qui est conforme à la revendication 1.

Les figures suivantes illustrent, à titre d'exemples, l'invention et ses formes d'exécution.

La fig. 1 représente une capacité commutée selon l'état de la technique,

la fig. 2 représente un circuit sélectif à capacités commutées appartenant à l'état de la technique,

la fig. 3 montre les limites de l'échantillonnage du signal d'entrée à une fréquence  $f_c = 2f$  du circuit de la fig. 2,

la fig. 4 représente le circuit électronique à capacités commutées selon l'invention,

la fig. 5 représente les signaux d'échantillonnage  $e_1(t)$  et  $e_2(t)$  ainsi que le signal  $V_1(t)$  d'entrée échantillonné selon  $e_1(t)$  et  $e_2(t)$ ,

la fig. 6 montre les signaux de commande des interrupteurs réalisant la commutation ainsi que les positions du commutateur de sortie en fonction de ces signaux,

la fig. 7 représente un moyen permettant de générer une séquence de fréquences d'échantillonnage,

la figure 8 représente un moyen permettant d'ajuster la valeur des capacités  $\alpha C$  ou  $C$ .

La fig. 4 présente un circuit électronique à capacités commutées selon l'invention. L'exemple se limite à présenter deux circuits sélectifs de la fig. 2, la mise en cascade de plusieurs tels circuits sélectifs étant sans autre possible. Ces deux circuits sélectifs sont mis en parallèle et les commutateurs des capacités commutées ( $\alpha C$ )<sub>1</sub> et ( $\alpha C$ )<sub>2</sub> sont représentés par deux couples d'interrupteurs  $A_1, B_1$  et respectivement deux couples d'interrupteurs  $A_2, B_2$ .

Notre but est d'échantillonner le signal d'entrée  $V_1(t)$  à la fréquence  $f_c$  d'une part par le premier circuit sélectif 1 et d'autre part par le deuxième circuit sélectif 2 mais de telle manière que les échantillons relevés par le circuit sélectif 2 soient déphasés par rapport aux échantillons relevés par le circuit sélectif 1.

Dans notre exemple, on choisit un déphasage d'une demi-période et une fréquence du signal d'entrée  $V_1(t)$  de moitié de la

fréquence d'échantillonnage  $f_e$ . Tout se passe alors comme si le signal d'entrée  $V_1(t)$  était échantillonné quatre fois par période. Les fig. 5a et 5b illustrent ce que nous venons de dire et montrent l'échantillonnage  $e_1(t)$  et  $e_2(t)$  déphasé d'une demi-période. Les fig. 5c et 5e présentent le signal d'entrée  $V_1(t)$  échantillonné lorsque l'une des séries d'échantillons est nulle, l'autre série d'échantillons n'étant alors pas nulle de par la conception du circuit. En dehors de ces limites, le circuit est échantillonné quatre fois par période, comme le montre la fig. 5d.

Pour permettre cet échantillonnage particulier, il faut assurer la commutation appropriée des capacités commutées  $(\alpha C)_1$  respectivement  $(\alpha C)_2$ . Pour ce faire, désignons par  $\emptyset_{A1}$ ,  $\emptyset_{B1}$ ,  $\emptyset_{A2}$ , et  $\emptyset_{B2}$  les signaux commandant les interrupteurs  $A_1$ ,  $B_1$ ,  $A_2$  et  $B_2$ , ces interrupteurs pouvant être constitués de transistors MOS et référons-nous à la fig. 6. Dans le circuit sélectif 1, le signal  $\emptyset_{A1}$  commande les deux interrupteurs  $A_1$  à une fréquence d'échantillonnage  $f_e$  et à chaque fermeture de durée  $\Delta T$  des dits interrupteurs  $A_1$ , le dit circuit sélectif 1 prélève un échantillon du signal d'entrée  $V_1(t)$ . Le signal  $\emptyset_{B1}$  ferme les interrupteurs  $B_1$  à la même cadence  $f_e$ , mais après l'ouverture des interrupteurs  $A_1$ , mettant  $(\alpha C)_1$  d'une part à la masse et d'autre part à l'entrée négative de l'amplificateur opérationnel I.  $\emptyset_{A1}$  et  $\emptyset_{B1}$  assurent ainsi par le biais des interrupteurs  $A_1$  et  $B_1$  la commutation de  $(\alpha C)_1$  et l'échantillonnage de  $V_1(t)$  à la fréquence  $f_e$ , comme déjà décrit dans l'introduction.

Le circuit sélectif 2 doit prélever des échantillons de  $V_1(t)$  déphasés d'une demi-période par rapport aux échantillons prélevés par le circuit sélectif 1. Ainsi le signal  $\emptyset_{A2}$  ferme les interrupteurs  $A_2$  du circuit sélectif 2 lorsque les interrupteurs  $A_1$  du circuit sélectif 1 sont ouverts, ceci à même cadence  $f_e$ . De même, lorsque les interrupteurs  $A_2$  sont ouverts,  $\emptyset_{B2}$  ferme les interrupteurs  $B_2$  afin d'obtenir la commutation de la capacité  $(\alpha C)_2$ . On constate que pour  $\emptyset_{A2}$  on peut utiliser le signal  $\emptyset_{B1}$  et pour  $\emptyset_{B2}$  le signal  $\emptyset_{A1}$ , ce qui simplifie l'agencement des signaux de commande des interrupteurs  $A_1$ ,  $B_1$ ,  $A_2$  et  $B_2$ .

Les signaux  $\emptyset_{A1}$ ,  $\emptyset_{B1}$ ,  $\emptyset_{A2}$ ,  $\emptyset_{B2}$  sont agencés de telle manière que les interrupteurs  $A_1$ ,  $B_1$  respectivement  $A_2$ ,  $B_2$  ne sont jamais fermés en même temps et au contraire sont ouverts ensemble pendant  $\Delta t$ . Cette durée  $\Delta t$  peut tendre vers zéro, augmentant les durées de fermeture  $\Delta T$ , mais ne doit pas être nulle, évitant par là tout risque de court-circuit.

Nous avons vu que la sortie  $V_2(t)$  peut être la somme des sorties de chacun des circuits sélectifs 1 et 2. Une autre méthode, plus simple, pour former  $V_2(t)$  consiste à prélever alternativement au moyen d'un commutateur S la sortie du circuit sélectif 1 puis la sortie du circuit sélectif 2 comme le montre la fig. 4. En effet, le commutateur S sera en position  $S_1$  puis  $S_2$  reliant la sortie alternativement à l'un des deux circuits sélectifs 1 et 2, de préférence à celui qui n'a pas de transition: la fig. 6 représente la position du commutateur S par rapport notam-

ment aux signaux  $\emptyset_{A1}$  et  $\emptyset_{B1}$ ,  $\emptyset_{A2}$  et  $\emptyset_{B2}$ . Une telle commutation peut également être réalisée par un couple d'interrupteur tel que transistors MOS, commandé par des signaux appropriés dérivés de  $\emptyset_{A1}$  et  $\emptyset_{B1}$  par exemple.

5 Comme déjà mentionné, l'intérêt primordial réside dans le fait que la fréquence de résonance est la moitié de celle d'échantillonnage. Cette dernière issue d'un oscillateur pilote à quartz permet d'obtenir une grande stabilité de la fréquence de résonance. Cette stabilité permet de réaliser des filtres à très faible  
10 largeur de bande pouvant détecter un signal dont la fréquence peut également être pilotée par quartz. La fréquence d'échantillonnage étant le double de celle du signal d'entrée, on élimine tout risque d'injection parasite à la fréquence du signal d'entrée. De plus, la mise en cascade de plusieurs circuits sélectifs ne pose  
15 pas de problèmes de désaccord d'un circuit par rapport à l'autre.

Le circuit à capacités commutées selon l'invention possède ainsi une fréquence de résonance  $f_e/2$  directement liée à la fréquence d'échantillonnage  $f_e$ , indépendante de la précision des éléments du circuit. Ainsi, en agissant sur la fréquence d'échan-  
20 tillonnage  $f_e$ , on fait varier la résonance du circuit électronique de l'invention et on peut réaliser un filtre à fréquence d'accord adaptable.

La fig. 7 représente un tel moyen permettant de générer une séquence de fréquence d'échantillonnage des signaux  $\emptyset_{A1}$  et  
25  $\emptyset_{B1}$ . Un générateur  $G_o$  génère une fréquence pilote  $f_o$  qui attaque un générateur de fréquence  $G_n$  qui émet différentes fréquences  $f_1$  à  $f_n$  liées directement à  $f_o$  par un rapport fixe. Un circuit de commande F sélectionne alors selon une séquence déterminée une des fréquences  $f_1$  à  $f_n$  et détermine ainsi la fré-  
30 quence d'échantillonnage  $f_e$  selon la dite séquence. Cette fréquence  $f_e$  déterminera au travers d'un dispositif D les signaux de commande  $\emptyset_{A1}$  et  $\emptyset_{B1}$ . La fréquence pilote  $f_o$  peut être issue d'un oscillateur à quartz et les éléments peuvent être réalisés à l'aide de circuits logiques parfaitement intégrables, notamment  
35 en technologie MOS.

D'autre part, c'est en agissant sur les capacités  $(\alpha C)_1$ ,  $(\alpha C)_2$  ou C, donc indirectement sur  $\alpha$  que l'on modifie les propriétés du circuit tel que sa largeur de bande et son amplifi-  
40 cation. La fig. 8 présente un moyen simple de faire varier les dites capacités. La capacité  $C_o$  représente la capacité de base  $(\alpha C)_1$ ,  $(\alpha C)_2$  ou C qui peut varier par la mise en parallèle des capacités  $C_1$  à  $C_n$ , ceci au moyen d'interrupteurs  $S_1$  à  $S_n$ . Ces interrupteurs peuvent être réalisés par des transistors MOS  
45 commandés par circuits logiques, l'ensemble d'un tel système étant également intégrable.

Enfin, tel qu'il ressort déjà de la description, le circuit électronique à capacités commutées présente l'avantage de pouvoir être entièrement intégré en technologie MOS, laquelle est parti-  
50 culièrement adaptée à ce genre de circuit.

FIG.1

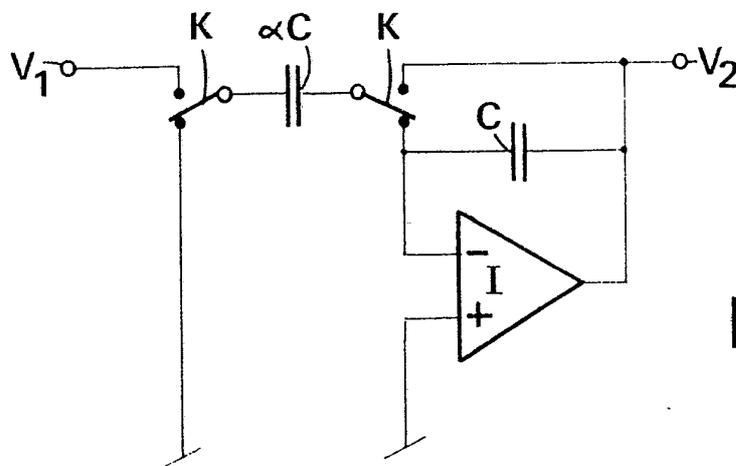
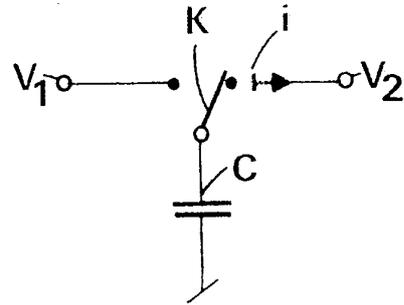


FIG.2

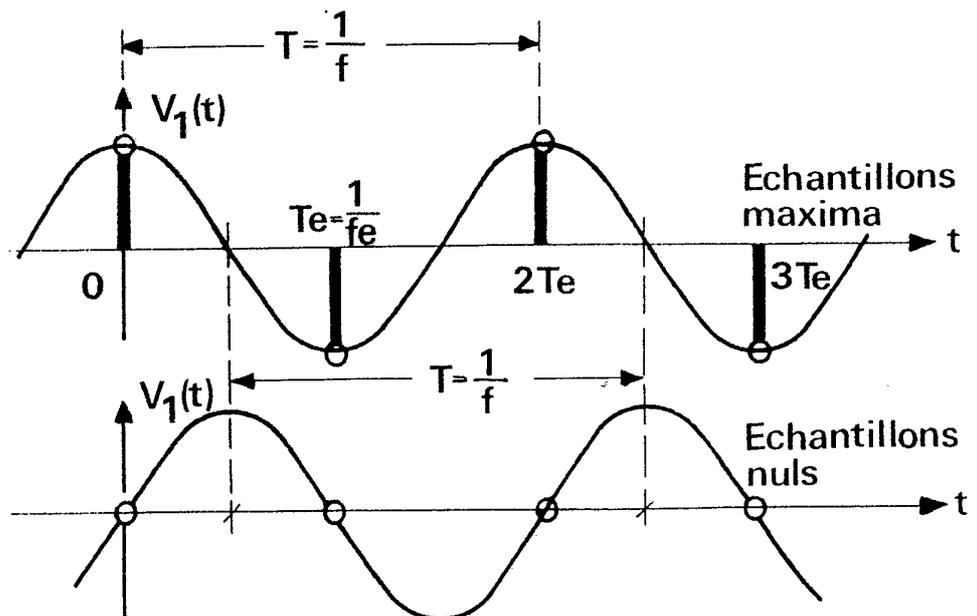


FIG.3

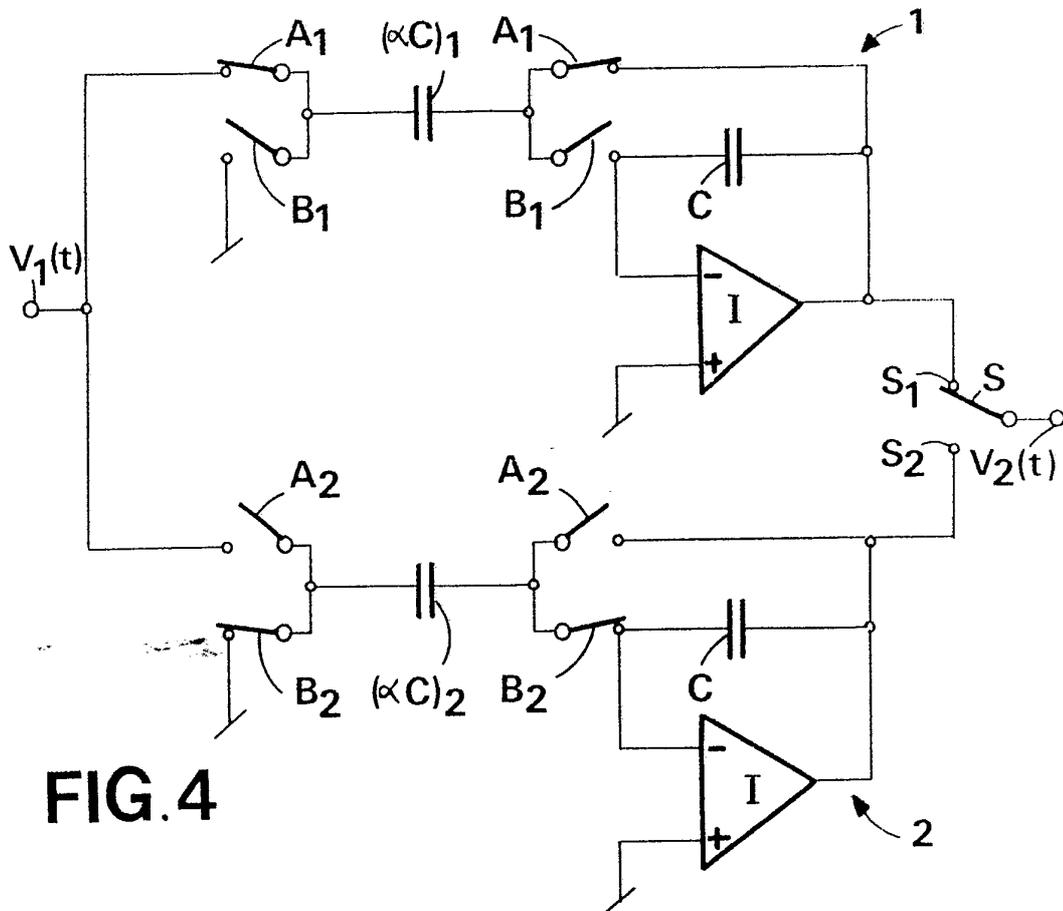


FIG. 4

