

[19] 中华人民共和国国家知识产权局



[12] 发明专利申请公布说明书

[21] 申请号 200610137187.5

[51] Int. Cl.

H04J 3/00 (2006.01)

H04J 3/22 (2006.01)

H04J 14/08 (2006.01)

[43] 公开日 2007年5月2日

[11] 公开号 CN 1956367A

[22] 申请日 2006.10.23

[21] 申请号 200610137187.5

[30] 优先权

[32] 2005.10.21 [33] FR [31] 0510777

[71] 申请人 阿尔卡特公司

地址 法国巴黎市

[72] 发明人 让·戈丹

[74] 专利代理机构 北京市金杜律师事务所

代理人 朱海波

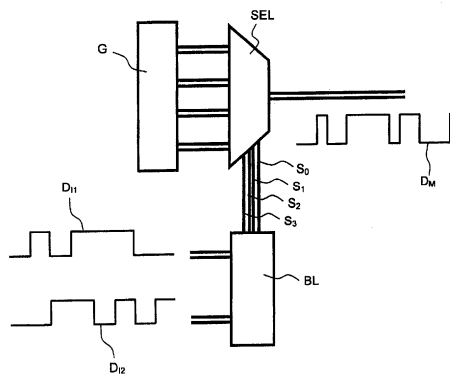
权利要求书 2 页 说明书 6 页 附图 4 页

[54] 发明名称

具有并行结构的高速复用器

[57] 摘要

本发明的领域是用于高速数字数据传输的电子或电光复用器。根据本发明的设备使两路 NRZ 类型的二进制编码信号 (D_{11} , D_{12}) 的复用成为可能。其主要包括: 四个初级信号 (C_0 , C_1 , C_k 以及 C_{Ak}) 的生成器 (G); 电子选择所述由两路初始信号 (D_{11} , D_{12}) 所控制的初级信号的装置, 用于生成最终的复用信号 (D_M)。该选择装置由用于依赖该两个初始信号 (D_{11} , D_{12}) 生成完全不同的四个逻辑信号的逻辑块 (BL) 而实现。本装置的主要优点是允许利用所谓 ETDM 技术进行高速复用信号的传输, 因而必要的逻辑电路主要工作于复用信号的一半频率。这些电子传输技术不像所谓的 OTDM 光学技术那样昂贵。



1. 用于时分复用两路初始 NRZ 类型的二进制编码信号 (D_{11} , D_{12}) 的电子电路, 所述信号的每一位具有持续时间 T , 所述两路信号可以使用分别定义了四种状态的值, 表示为 “0, 0”、“0, 1”、“1, 0”、“1, 1”, 所述电路至少包括:

- 分别与下述四种状态相关联的四个初级信号的生成器 (G):
 - 幅度对应于 “0” 二进制电平的第一连续初级信号 (C_0);
 - 幅度对应于 “1” 二进制电平的第二连续初级信号 (C_1);
 - 由在 “0” 和 “1” 二进制电平之间交替的位序列构成的第三周期性初级信号 (C_K), 所述第三信号的每一位持续时间 $T/2$, 是所述初始信号的位的持续时间的一半;
 - 由在 “0” 和 “1” 二进制电平之间交替的位序列构成的第四周期性初级信号 (C_{AK}), 所述第四信号的每一位持续时间 $T/2$, 是所述初始信号的位的所述持续时间的一半, 所述第四信号相对于该第三信号存在一位持续时间的相移;
 - 由所述两路初始信号所控制的用于从所述四个初级信号中生成最终信号 (D_M) 的电子选择装置 (SEL), 设置所述装置, 从而对于每一个所述两路信号为其定义了给定状态的持续时间 T 来说, 在与所述给定状态相关联的四个初级信号之一的所述持续期间从该选择得到所述最终信号结果。

2. 根据权利要求 1 中所述的电子电路, 其特征在于, 在所述初级信号与所述初级信号的状态之间的所述关联如下:

- 第一初级信号关联于所述状态 “0, 0”;
- 第二初级信号关联于所述状态 “1, 1”;
- 第三初级信号关联于所述状态 “1, 0”;
- 第四初级信号关联于所述状态 “0, 1”。

3. 根据权利要求 1 或 2 所述的电子电路, 其特征在于, 所述电子电

路进一步包括逻辑块 (BL), 用于生成四个分别关联于所述初始信号的所述四种状态的逻辑信号 (S_0 、 S_1 、 S_2 和 S_3), 当所述初始信号定义了同所述逻辑信号相关联的状态时, 逻辑信号的所述逻辑状态是 1, 而在其他情况下是 0。

4. 根据权利要求 3 所述的电子电路, 其特征在于, 所述选择装置 (SEL) 包括用于计算所述逻辑信号 (S_0 、 S_1 、 S_2 和 S_3) 乘所述初级信号 (C_0 、 C_1 、 C_K 和 C_{AK}) 所得四个积之和的装置。

5. 根据前述权利要求中任一项所述的电子电路, 其特征在于, 所述信号是光信号, 而所述选择装置实质上是电控光门。

具有并行结构的高速复用器

技术领域

本发明涉及用于高速数字数据传输的电子复用器。

背景技术

为了最少化数字数据传输电缆的数量，人们对使用一根电缆并用该电缆承载几路数字信号的复用数据产生了兴趣。为了复用数字数据，存在多种可用技术。这些技术中通常所使用的之一被称为 TDM，其代表时分复用。这种技术的原理在传输两路信号 D_{11} 和 D_{12} 的情况下由图 1 加以示出。该两路具有相同速率 F 的信号由复用器 M 时分复用，该复用器 M 在单一信道 L 上以 $2F$ 的速率传输单路数字信号 D_M ，该信号 D_M 继而由解复用器 DEM 解复用使得该两个初始信号 D_{01} 和 D_{02} 还原到速率 F 。通常地，通过交叉初始信号获得复用信号 D_M ，举例而言，该复用信号的每隔一位对应于第一信号 D_{11} 的位，而该复用信号的其它位对应于第二信号 D_{12} 的那些位。

当该复用信号 D_M 通过光通路传输时，复用装置为光学装置或电子装置。在第一种情况下，使用代表光时分复用的术语 ODTM。在第二种情况下，使用代表电时分复用的术语 ETDM。

ETDM 技术不像通常为超高速传输所预留的 OTDM 技术那样昂贵。当前 ETDM 技术被限于 80 吉比特每秒 (Gbit/s)。它们通常使用如下技术：

- 对于较低速率，基于代表互补金属氧化物半导体的 Silicon-(Bi)-CMOS；
- 对于较高速率，基于硅化锗 (SiGe)、砷化镓 (GaAs) 或磷化铟 (InP)。

目前，对于以超过 80Gbit/s 的甚高速进行传输的需求在增长，对于 ETDM 技术这是不易达到的速率。

发明内容

因而，根据本发明的设备使当前 ETDM 技术的复用能力倍增完全成为可能。因而相比于当前电信的需要，可以使用并不昂贵的技术获得高速率。自然地，本发明也可以应用于 OTDM 技术。

更具体地，本发明的主题是用于时分复用两路初始 NRZ 类型的二进制编码信号的电子电路，该信号的每一位具有持续时间 T，该两路信号可以使用分别定义了四种状态的值，表示为“0, 0”、“0, 1”、“1, 0”、“1, 1”，所述电路包括至少：

- 分别关联于所述四种状态的四个初级信号的生成器：
 - 幅度对应于“0”二进制电平的第一连续初级信号；
 - 幅度对应于“1”二进制电平的第二连续初级信号；
 - 包括在“0”和“1”二进制电平之间交替的位序列的第三周期性初级信号，所述第三信号的每一位持续时间 $T/2$ ，是该初始信号的位所持续时间的一半；
 - 包含在“0”和“1”二进制电平之间交替的位序列的第四周期性初级信号，所述第四信号的每一位持续时间 $T/2$ ，是该初始信号的位所持续时间的一半，所述第四信号相对于该第三信号存在一位持续时间的相移；
- 由该两路初始信号所控制的用于从该四个初级信号中生成最终信号的电子选择装置，设置所述装置，从而对于每一个该两路信号为其定义了给定状态的持续时间 T 来说，在与所述给定状态相关联的四个初级信号其中之一的持续期间内从该选择得到最终信号。

典型地，输出信号等于：

该第一初级信号，如果初始信号的状态是“0, 1”；

该第二初级信号，如果初始信号的状态是“1, 1”；

该第三初级信号，如果初始信号的状态是“1, 0”；

该第四初级信号，如果初始信号的状态是“0, 1”。

然而，其他“初级信号-状态”的关联项却仍然可用。因此在接收时所执行的解复用操作中，对于应被考虑的所选择关联项的每一种情况都是适当的。

优选地，该电子电路包括逻辑块，用于生成分别关联于初始信号的四种状态的四个逻辑信号，当该初始信号定义关联于所述逻辑信号的状态时，逻辑信号的逻辑状态是 1，而在其他情况下是 0；该选择装置可以包括用于计算该逻辑信号乘该初级信号所得四个积之和的装置。

优选地，该信号是光信号，并且该选择装置是电控光门。

附图说明

通过阅读下文的描述可以更好地理解本发明并使本发明的其他有益效果变得明显，该描述由非限定性的举例方式以及附图给出，其中：

图 1 表示双通道复用/解复用部件的一般原理；

图 2 表示根据本发明的复用电路的一般原理；

图 3 表示根据本发明的复用电路所实现的不同信号时间上的变化；

图 4 表示根据本发明的复用设备的变体。

具体实施方式

图 2 表示根据本发明，用于复用两路初始 NRZ（非归零）类型的二进制编码信号 D_{11} 和 D_{12} 的复用电路的一般原理。构成这些信号的位具有对应于等于 $1/T$ 的速率 F 的持续时间 T 。该复用电路主要包括：

- 四个初级信号的生成器 G ；
- 电激活装置 SEL ，对由两路初始信号 D_{11} 和 D_{12} 所控制的所述初级信号进行选择以生成最终复用信号 D_M 。

作为一个例子，通过用于根据该两路初始信号 D_{11} 和 D_{12} 而生成完全不同的四个逻辑信号 S_0 、 S_1 、 S_2 和 S_3 的逻辑块 BL ，获得对该选择装置的控制。

图 3 表示在两路信号 D_{11} 和 D_{12} 的情况下, 对本发明必要的不同信号的时间变化。在此图中, X 轴上是时间, 而 Y 轴上是各种信号的强度。精细的垂直线由等于半周期 $T/2$ 的持续时间隔开。信号 D 和 C 的加粗部分表示用于“构建”该复用信号的有用部分。

如图 3 所示, 从该生成器 G 获得的四个初级信号如下:

- 幅度对应于“0”二进制电平的第一连续初级信号 C_0 ;
- 幅度对应于“1”二进制电平的第二连续初级信号 C_1 ;
- 包括在“0”和“1”二进制电平之间交替的位序列的第三周期性初级信号 C_k , 所述第三信号的每一位持续时间 $T/2$, 是初始信号该位所持续时间的一半。
- 包括在“0”和“1”二进制电平之间交替的位序列的第四周期性初级信号 C_{AK} , 所述第三信号的每一位持续时间 $T/2$, 是初始信号该位所持续时间的一半, 所述第四信号相对于该第三信号存在一位持续时间的相移。

当然, 最先的两路信号 C_0 和 C_1 的生成不会引起技术问题。虽然信号 C_k 和 C_{AK} 的速率是该初始信号的两倍, 它们的生成也不会引起技术问题, 因为它们对应于可以在高频下生成的简单周期信号。

在周期 T 中, 该信号对 D_{11} 和 D_{12} 可以仅具有下面四种可能状态中的一种: “0, 0”、“0, 1”、“1, 0”、“1, 1”。因此, 对应于这两路信号的复用信号必要地对应于该四个初级信号之一。

该选择装置的目的是选择对应于该初始信号不同状态的正确初级信号。为这种目的, 可以使用一种逻辑块, 该逻辑块基于该初始信号生成四个分别关联于该初始信号的四种状态的逻辑信号 S_0 、 S_1 、 S_2 和 S_3 , 当该初始信号定义了同所述逻辑信号相关联的状态时, 逻辑信号的该逻辑状态是 1, 在其他情况中为 0。这些信号在图 3 中示出。举例而言, 当该两路信号 D_{11} 和 D_{12} 是“0, 0”时, S_0 是“1”, 而当该两个信号 D_{11} 和 D_{12} 是“0, 1”、“1, 0”以及“1, 1”时, S_0 是“0”。以频率 F 完成这些逻辑信号的生成, 不会引起技术问题。

因而, 该四个逻辑信号可以表达该信号 D_{11} 和 D_{12} 的状态。该四个

逻辑信号的每一个控制对该四个初级信号之一的选择。所选出的初级信号对应于该信号 D_{11} 和 D_{12} 的状态。作为一个例子，所执行的逻辑操作如下：

$$D_M = C_0 \cdot S_0 + C_K \cdot S_1 + C_{AK} \cdot S_2 + C_1 \cdot S_3$$

相对于该选择信号的初级信号 C_K 和 C_{AK} 的同步对于该电路的正确操作是至关重要的。所谓的 D 触发器 (D.FF) 设备可以用于解决这个问题。然而，该初级信号的位列序之间的跳变使得形成的复用信号可能并不理想。在这种情况下，可以在该选择装置的输出中将其过滤。

也可以使用另一种方案。实践中，该复用信号由该第二信号 D_2 的位 B_{D2} 所跟随的该第一信号 D_1 的位 B_{D1} 的序列所组成，以形成时间上的序列 $B_{D1}-B_{D2}-B_{D1+T}-B_{D2+T}-B_{D1+2T} \dots$ 。

该复用信号可以由不同方法获得。该第二信号 D_2 的每一位 B_{D2} 都由等于一位持续时间的时间持续所延迟。其结果是被延迟的信号 D_{2-T} 。那么，该复用信号由该信号 D_1 的位 B_{D1} 所跟随的该延迟信号位 B_{D2-T} 的序列产生，以形成该时间序列 $B_{D2-T}-B_{D1}-B_{D2}-B_{D1+T}-B_{D2+T} \dots$ 。正如所见，除了等于半周期的时间延迟之外，此第二复用信号同该第一复用信号相同。然而，其由添加了噪声的不同的初级信号生成，该噪声必须是不同于该初始复用信号的。通过对这两路复用信号求和，从而显著降低了该噪声。

作为一个例子，图 4 中表示的设备使此功能的实现成为可能。该设备包括：

- 该四个初级信号 C_0 、 C_1 、 C_K 和 C_{AK} 的生成器 G；
- 两个逻辑块 BL1 和 BL2；
- 两个连接到该生成器和该逻辑块的选择装置 SEL1 和 SEL2；
- 两个延迟电路第一 LR_T 和第二 $LR_{T/2}$ ，该第一 LR_T 生成等于周期 T 的第一延迟，以及该第二 $LR_{T/2}$ 生成等于半周期 T/2 的第二延迟；
- 模拟加法器 S.A。

操作如下：

每个逻辑块有两个标示为 E1 和 E2 的输入。该部件是这样的，在由每个选择装置 SEL1 或 SEL2 所获得的该时分复用中，由该相关联的逻辑块 BL1 或 BL2 的第一输入 E1 接收的信号所对应的位，先于那些对应于由第二输入 E2 所接收的信号的位。信号 D_1 和 D_2 分别连接到逻辑块 BL1 的输入 E1 和 E2，并且分别连接到逻辑块 BL2 的输入 E2 和 E1。在这种情况下，信号 D_2 由第一延迟电路 LR_T 延迟一个周期 T。

逻辑块 BL1 和 BL2 中的每个生成控制该选择器 SEL1 和 SEL2 的初级信号的四个逻辑信号 S_0 、 S_1 、 S_2 和 S_3 。

在该选择器的输出处，获得两个相同但有半周期相移的复用信号 D_{M1} 和 D_{M2} 。第二延迟电路用于将其按相位放置，以及该模拟加法器用于将其加在一起。然后获得降低了噪声的复用信号 D_M 。

根据本发明的电路可以通过传统电子装置在初始电信号上实现。

也可以执行复用使得从诸如电光调节器的装置所获得的光初级信号产生光复用。在这后一种情况下，该选择装置是电控光门。

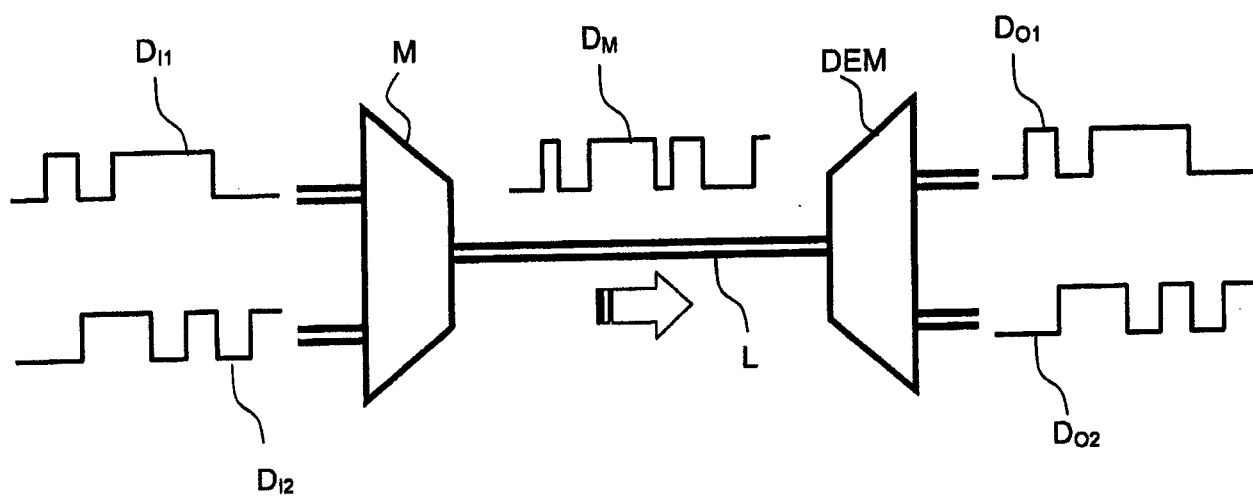


图 1

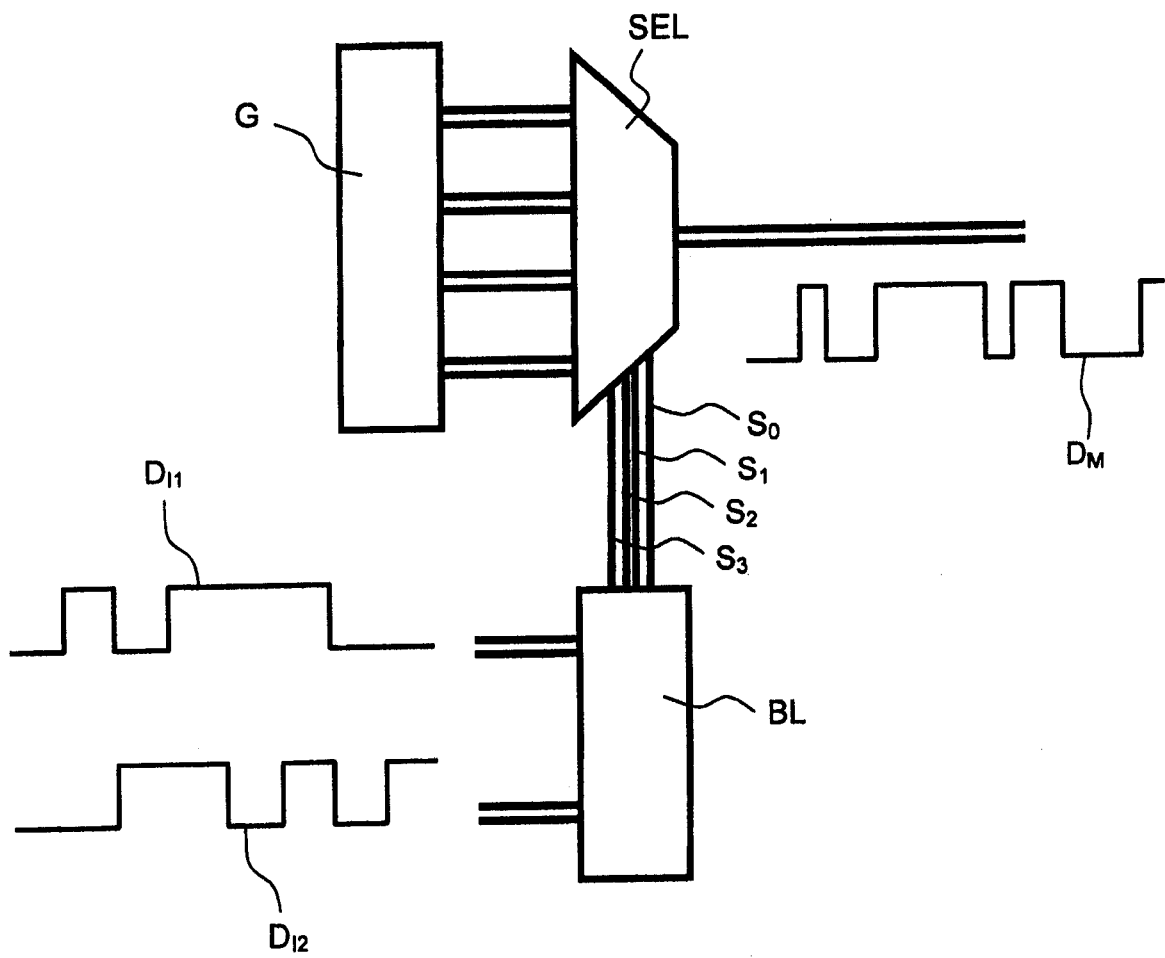


图 2

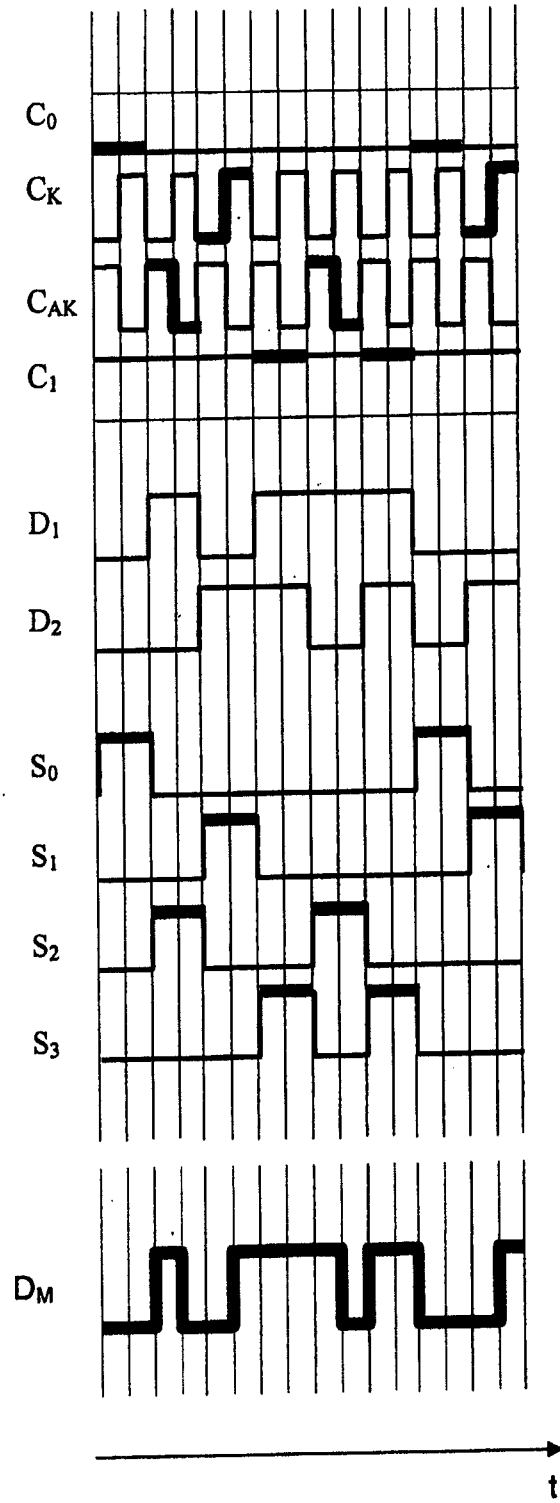


图 3

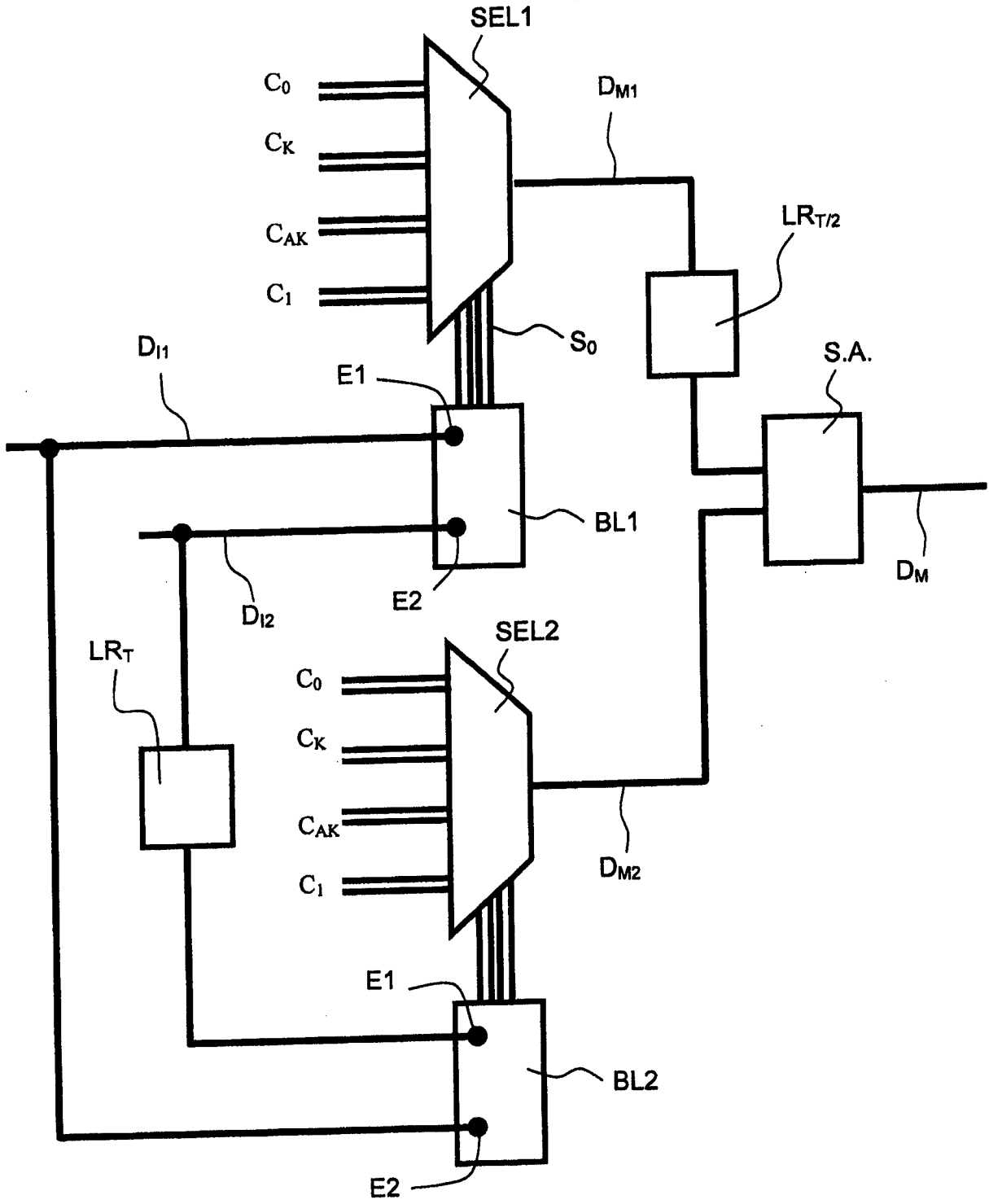


图 4