

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成27年1月8日(2015.1.8)

【公表番号】特表2014-504013(P2014-504013A)

【公表日】平成26年2月13日(2014.2.13)

【年通号数】公開・登録公報2014-008

【出願番号】特願2013-544724(P2013-544724)

【国際特許分類】

H 01 L	21/338	(2006.01)
H 01 L	29/778	(2006.01)
H 01 L	29/812	(2006.01)
H 01 L	21/337	(2006.01)
H 01 L	27/098	(2006.01)
H 01 L	29/808	(2006.01)
H 01 L	27/095	(2006.01)
H 01 L	21/3205	(2006.01)
H 01 L	21/768	(2006.01)
H 01 L	23/522	(2006.01)
H 01 L	21/76	(2006.01)
H 01 L	27/08	(2006.01)
H 01 L	27/06	(2006.01)
H 01 L	21/822	(2006.01)
H 01 L	27/04	(2006.01)
H 01 L	29/66	(2006.01)
H 01 L	21/8234	(2006.01)

【F I】

H 01 L	29/80	H
H 01 L	29/80	C
H 01 L	29/80	E
H 01 L	21/88	J
H 01 L	21/76	N
H 01 L	27/08	3 3 1 D
H 01 L	27/08	3 3 1 G
H 01 L	27/08	3 3 1 A
H 01 L	27/06	3 1 1 B
H 01 L	27/04	H
H 01 L	29/66	T
H 01 L	27/06	1 0 2 A
H 01 L	27/08	3 3 1 C

【手続補正書】

【提出日】平成26年11月12日(2014.11.12)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

基板と、

前記基板の上に形成された、化合物半導体材料を有する少なくとも1つのバッファ層と

前記少なくとも1つのバッファ層の上に形成された、電流導通領域を含むデバイス層と

前記デバイス層の頂面上に形成されたソースコンタクト及びドレインコンタクトと、前記基板内に配置され、且つ前記ソースコンタクト及び前記ドレインコンタクトの双方の下方に配置された導電領域であり、少なくとも一方のバイアス極性において、前記ソースコンタクト及び前記ドレインコンタクトの下の電位が前記基板の電位から独立となるように、前記基板から電気的にアイソレートされる導電領域と、

前記デバイス層の前記頂面から前記デバイス層及び前記バッファ層を貫いて前記導電領域まで延在して、前記ソースコンタクトを前記導電領域に電気的に接続する導電ビアと、を有し、

前記ドレインコンタクトは、前記基板の背面から電位的に独立である、

トランジスタデバイス。

【請求項2】

前記導電領域は、前記基板と反対の極性のドーピングを有する、請求項1に記載のトランジスタデバイス。

【請求項3】

前記導電領域はドーピングを有し、前記基板は実質的にアンドープである、請求項1に記載のトランジスタデバイス。

【請求項4】

前記導電ビアはTin及びAlを有し、前記導電ビアの外側部分がTinを有し、前記導電ビアの内側部分がAlを有する、請求項1に記載のトランジスタデバイス。

【請求項5】

複数の導電領域を更に有する請求項4に記載のトランジスタデバイス。

【請求項6】

当該トランジスタデバイスは、前記デバイス層の上で前記ソースコンタクトと前記ドレインコンタクトとの間に形成されたゲート構造を更に有し、

前記複数の導電領域は1つのpinダイオードを形成し、それぞれの導電領域が前記ソースコンタクト及び前記ドレインコンタクトに電気的に接続されている、

請求項5に記載のトランジスタデバイス。

【請求項7】

当該トランジスタデバイスは、前記デバイス層の上で前記ソースコンタクトと前記ドレインコンタクトとの間に形成されたゲート構造を更に有し、

前記複数の導電領域は、直列の複数のP-Nダイオードを形成し、それぞれの導電領域が前記ソースコンタクト、前記ドレインコンタクト及び前記ゲート構造のうちの1つに電気的に接続されている、

請求項5に記載のトランジスタデバイス。

【請求項8】

前記直列の複数のP-Nダイオード内の1つおきのP-Nダイオードがトンネル接合を含む、請求項7に記載のトランジスタデバイス。

【請求項9】

前記基板と前記導電領域との間に形成された複数の導電層を更に有し、該複数の導電層は交互のドープ極性を有する、請求項1に記載のトランジスタデバイス。

【請求項10】

前記デバイス層内の第1の電流導通領域と、

前記導電領域内の第2の電流導通領域と、

を更に有する請求項1に記載のトランジスタデバイス。

【請求項11】

前記バッファ層を貫通して延在して前記第1の電流導通領域と前記第2の電流導通領域とを接続するチャネル接続、を更に有する請求項1_0に記載のトランジスタデバイス。

【請求項1_2】

当該トランジスタデバイスは、複数のトランジスタデバイスを有する集積回路の一部である、請求項1に記載のトランジスタデバイス。

【請求項1_3】

前記複数のトランジスタデバイスの下のそれぞれの基板が、少なくとも一方の極性において電気的にアイソレートされる、請求項1_2に記載のトランジスタデバイス。

【請求項1_4】

前記集積回路は、前記複数のトランジスタデバイスに対する複数のそれぞれの電流導通領域を有し、該複数のそれぞれの電流導通領域は、アイソレーション構造によって相互にアイソレートされている、請求項1_2に記載のトランジスタデバイス。

【請求項1_5】

前記複数のトランジスタデバイスは第2のトランジスタデバイスを含み、該第2のトランジスタデバイスは、

前記デバイス層の上に形成され、別の電流導通領域に電気的に接続されたコンタクトと、

該第2のトランジスタデバイスの前記コンタクトに前記バッファ層を介して電気的に接続された第2の導電領域と

を有する、請求項1_2に記載のトランジスタデバイス。

【請求項1_6】

前記アイソレーション構造は、電流導通層内に形成されて前記複数のそれぞれの電流導通領域を分離するダイオードを有する、請求項1_4に記載のトランジスタデバイス。

【請求項1_7】

前記ダイオードは、第1のドーピング極性を有する注入された導電領域と、第2のドーピング極性を有するトンネル領域とを有する、請求項1_6に記載のトランジスタデバイス。

【請求項1_8】

前記複数のトランジスタデバイスのうちの少なくとも2つが、共通のコンタクトを共有している、請求項1_2に記載のトランジスタデバイス。

【請求項1_9】

当該トランジスタデバイスは、金属酸化膜半導体ゲート構造を更に有し、前記金属酸化膜半導体ゲート構造は、電子を蓄積するバックチャネル領域の上方に位置する、請求項1に記載のトランジスタデバイス。

【請求項2_0】

前記ソースコンタクトと前記ドレインコンタクトとの間で前記デバイス層内にエッチングされた開口部と、

少なくとも部分的に前記エッチングされた開口部内に形成されたゲート構造と、

前記ソースコンタクトが電気的に接続された前記導電領域と前記ドレインコンタクトが電気的に接続された第2の導電領域との間に形成された、電子を蓄積するバックチャネル領域と、

を更に有する請求項1に記載のトランジスタデバイス。

【請求項2_1】

当該トランジスタデバイスは更に、前記導電領域及び前記第2の導電領域のうちの一方と前記バックチャネル領域との間に形成された空乏領域を有し、該空乏領域は、前記導電領域より低いドーパント濃度を有する、請求項2_0に記載のトランジスタデバイス。

【請求項2_2】

基板を用意する工程と、

少なくとも一方のバイアス極性において周囲材料から電気的にアイソレートされる導電領域を形成する工程と、

前記基板及び前記導電領域の上に少なくとも1つのバッファ層を形成する工程と、
前記バッファ層の上に、窒化ガリウムを有するデバイス層を形成する工程と、
前記デバイス層の表面にソースコンタクト及びドレインコンタクトを形成する工程と、
前記デバイス層及び前記バッファ層を貫通して前記導電領域まで延在し且つ前記ソース
コンタクトを前記導電領域に電気的に接続する導電ビアを形成する工程と、
を有し、

前記ドレインコンタクトは、前記基板の背面から電位的に独立である、
トランジスタデバイスを製造する方法。

【請求項23】

前記導電領域を形成する工程は、前記基板にドーパントを注入することを有する、請求
項22に記載の方法。

【請求項24】

前記導電領域及び前記基板はシリコン・オン・インシュレータウェハの一部である、請求
項22に記載の方法。

【請求項25】

前記導電領域内にアイソレーション構造を形成する工程を更に有する請求項24に記載
の方法。

【請求項26】

前記アイソレーション構造を形成する工程は、
前記導電領域の上に酸化バリア材料を堆積し、
前記バリア材料の上にフォトレジストパターンを形成し、
前記フォトレジストパターンから露出された領域の前記酸化バリア材料を除去し、
前記フォトレジストパターンを除去し、且つ
前記導電領域の露出部分を、該露出部分を高温蒸気に晒すことによって、下方に前記シリコン・オン・インシュレータウェハの埋込酸化物層まで酸化する
ことを有する、請求項25に記載の方法。

【請求項27】

前記アイソレーション構造を形成する工程は、
注入バリア材料を堆積し、
前記バリア材料の上にフォトレジストパターンを形成し、
前記フォトレジストパターンから露出された領域の前記注入バリア材料を除去し、
前記フォトレジストパターン及び注入バリア材料を剥離し、且つ
前記導電領域を高温でアニールする
ことを有する、請求項25に記載の方法。

【請求項28】

前記基板上に、複数のトランジスタデバイスを有する集積デバイスを形成する工程と、
それぞれのトランジスタデバイスに対応する複数の導電領域を形成する工程であり、各
導電領域が、少なくとも一方のバイアス極性において前記基板から電気的にアイソレート
される、工程と、
を更に有する請求項22に記載の方法。