

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.  
G01R 19/165 (2006.01)



## [12] 实用新型专利说明书

专利号 ZL 200820106194.3

[45] 授权公告日 2009年7月8日

[11] 授权公告号 CN 201269901Y

[22] 申请日 2008.10.14

[21] 申请号 200820106194.3

[73] 专利权人 河北旭辉电气股份有限公司

地址 050035 河北省石家庄市高新区昆仑大街55号

[72] 发明人 董锁英 王晓璞 郑金芝 张建军  
张旭辉

[74] 专利代理机构 石家庄科诚专利事务所  
代理人 刘谟培

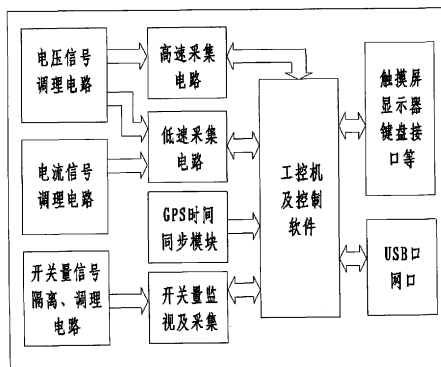
权利要求书2页 说明书10页 附图4页

### [54] 实用新型名称

一种电网过电压监测装置

### [57] 摘要

本实用新型公开了一种电网过电压监测装置，包括工控机以及电压信号调理电路、电流信号调理电路、开关量信号隔离调理电路、高速采集电路、低速采集电路、开关量监测及采集电路、GPS时间同步模块、触摸屏、网络或USB接口。电压信号调理电路连接高、低速采集电路，电流信号调理电路连接低速采集电路，开关量信号隔离调理电路连接开关量监测及采集电路，然后它们再与工控机连接，时间同步模块与工控机及各采集电路连接。本实用新型能实时在线监测并显示电网电压、电流波形及开关量状态，将过限电压、电流波形及开关量状态记录下来，并可导出。对雷击等短时、高频、变化快的外过电压、开关变位过电压以及时间长、频率低、变化慢的内过电压过电流都能记录。



1、一种电网过电压监测装置，包括信号调理单元、采集单元、装有控制装置运行软件的工控机，其特征在于：信号调理单元包括电压信号调理电路、电流信号调理电路、开关量信号隔离调理电路；采集单元包括高速采集电路、低速采集电路、开关量监测及采集电路；电压信号调理电路分别和高速采集电路及低速采集电路连接，电流信号调理电路与低速采集电路连接，开关量信号隔离调理电路与开关量监测及采集电路连接；高速采集电路、低速采集电路、开关量监测及采集电路分别与工控机互相连接，工控机上还连接有与高速采集电路、低速采集电路及开关量监测及采集电路连接的时间同步模块。

2、根据权利要求1所述的一种电网过电压监测装置，其特征在于所述工控机配置有键盘接口、USB接口及网线接口，外接硬盘、显示器或者触摸屏。

3、根据权利要求1所述的一种电网过电压监测装置，其特征在于所述电压信号调理电路包括电阻R1、R2、R3、R4、电容C1、瞬态抑制器TVS1、模数转换器AD；与分压器或电压互感器连接的电压信号输入端分别接瞬态抑制器TVS1和电阻R1、R3，瞬态抑制器TVS1另一端接地，电阻R1与电容C1串联后接地，电阻R3另一端接R2并和模数转换器AD的负极连接，模数转换器AD的正极通过电阻R4接地；R2的另一端与分别连接高速采集电路和低速采集电路的模数转换器AD的输出端连接。

4、根据权利要求1所述的一种电网过电压监测装置，其特征在于所述电流信号调理电路包括磁珠CZH1、CZH2、电容C2、C3、C4、精密变换器T1和瞬态抑制器TVS2；与电流互感器连接的两个信号输入端分别接磁珠CZH1、CZH2后经电容C2、C3接地，两磁珠CZH1、CZH2的输出端之间还接有电容C4；精密变换器T1的输入端接磁珠CZH1、CZH2的输出端，精密变换器T1的输出端连接瞬态抑制器TVS2。

5、根据权利要求1所述的一种电网过电压监测装置，其特征在于所述开关

量信号隔离调理电路的结构为：光耦 TLP521 的输入端经电阻 R7、R6、R5 与开关量信号输入端连接，电阻 R5、R6 之间连接有接地的电容 C5，电阻 R6、R7 之间连接有接地的瞬态抑制器 TVS3；光耦 TLP521 两个输入端之间还连接有并联的电阻 R8、电容 C6、二极管 D1，光耦 TLP521 一个输入端及并联的电阻 R8、电容 C6、二极管 D1 的一端接地；光耦 TLP521 的一输出端连接开关量监测及采集电路，另一输出端接地，光耦 TLP521 两输出端之间连接电容 C7。

6、根据权利要求 1 所述的一种电网过电压监测装置，其特征在于所述高速采集电路以 FPGA 芯片为控制核心，还包括 FPGA 配置芯片、AS 模式配置接口、串行存储器、JTAG 配置接口、SDRAM 芯片组、AD 芯片组，它们分别与 FPGA 芯片连接，SDRAM 芯片组连接在 AD 芯片组和 FPGA 芯片之间，FPGA 配置芯片与 AS 模式配置接口连接后与 FPGA 芯片连接；FPGA 芯片还与同步总线、PC104 总线、时间同步模块、卡号地址设置接口连接。

7、根据权利要求 1 所述的一种电网过电压监测装置，其特征在于所述低速采集电路以 FPGA 芯片为核心，FPGA 芯片与 FPGA 配置芯片、工控机的 EPP 并口以及时间同步模块连接；FPGA 芯片的输入端与模拟开关输入信号连接的模数转换器 AD 连接。

8、根据权利要求 1 所述的一种电网过电压监测装置，其特征在于所述开关量监测及采集电路采用大规模 CPLD 芯片，CPLD 芯片分别与开关量隔离调理电路、时间同步模块连接，CPLD 芯片连接有与工控机相连的 PC104 总线。

9、根据权利要求 1 所述的一种电网过电压监测装置，其特征在于所述时间同步模块以 CPU 为核心，CPU 与各采集电路、为系统提供时间同步的晶振、以及通过串口与工控机连接，CPU 上还通过串型接口连接有实现远程时间同步的 GPS 模块和 GPS 天线。

## 一种电网过电压监测装置

### 技术领域

本实用新型涉及一种电力系统用的电网过电压、过电流监测装置，同时也适用于其它领域故障信号的监测与记录。

### 背景技术

电网过电压包括电网内外过电压，它的存在对电力系统设备或线路的绝缘性能构成威胁，严重影响配电网的供电可靠性和安全运行；有效监测电网内外过电压，是认识电网过电压以及采取有效方式方法预防电网过电压的有力手段。

中国专利申请 200510057043.4 公开的是一种配电网过电压在线监测装置及方法，是监测配电网外部过电压和内部过电压的在线监测装置和方法。该装置包括高压分压器、信号预处理电路、触发电路、数据采集卡、工作电源、工业控制计算机以及连接高压分压器与信号预处理电路、触发电路的同轴电缆、连接信号预处理电路、触发电路与数据采集卡的信号电缆。该方法包括开机进入初始化，设定过电压值，数据采集卡等待触发电路发出的触发信号，判断电网是否出现过电压，将过电压数据存入采集卡缓存，判断采集卡缓存是否存满，将采集卡缓存中的数据读入计算机缓存，查询是否有新的过电压数据；将过电压数据以文件形式存盘，判断存盘是否结束。中国专利申请 200610095191.X 公开的是一种高压电网内外过电压综合在线监测装置及方法，涉及 110~500kV 高压电网过电压监测装置及方法。本发明装置包括电压传感器、匹配及保护电路、信号预处理电路、触发电路、数据采集卡、工作电源、工业控制计算机等。

现有的电网电压的在线监测装置以及上述技术都只是监测电力系统内外过电压，它们都采用固定的采集方式，无现场波形显示功能，操作不直观，且不能根据用户设定需要进行采集，并受到采集卡采样率和采样深度的限制，不适

宜采集时间长、变化慢、频率低的内部过电压，也不能记录过电流及开关量状态进而实现对电力系统的综合分析。由于电网中除了过电压之外，还存在过电流污染以及开关不同的特殊设备而产生的开关量的对电网的冲击，所以对电网电流或者开关量的监测也是非常必要的。

### 实用新型内容

本实用新型需要解决的技术问题是提供一种采用高、低速采集相结合的电网过电压、过电流的监测装置，该装置能满足内、外过电压波形和过电流波形、开关状态采集监测的需要，还能记录过电压、过电流及开关变位对系统的影响，增加显示功能以增强用户的可操作性。

为解决上述技术问题，本实用新型所采用的技术方案是：

一种电网过电压监测装置，包括信号调理单元、采集单元、工控机，信号调理单元包括电压信号调理电路、电流信号调理电路、开关量信号隔离调理电路；采集单元包括高速采集电路、低速采集电路、开关量监测及采集电路；电压信号调理电路分别和高速采集电路及低速采集电路连接，电流信号调理电路与低速采集电路连接，开关量信号隔离调理电路与开关量监测及采集电路连接；高速采集电路、低速采集电路、开关量监测及采集电路分别与工控机互相连接，工控机上还连接有与高速采集电路、低速采集电路、开关量监测及采集电路连接的时间同步模块。

工控机配置有键盘接口、USB接口及网线接口，外接硬盘、液晶显示器、触摸屏等设备，并装有控制装置运行的软件。

本实用新型的电压信号调理电路的具体结构为：母线上的电压信号经分压器或电压互感器等设备分压后通过电缆输入电压信号调理电路中，电压信号调理电路包括电阻 R1、R2、R3、R4、电容 C1、瞬态抑制器 TVS1、模数转换器 AD，电压信号输入端分别接电阻 R1、R3 和瞬态抑制器 TVS1，瞬态抑制器 TVS1 另一端接地，电阻 R1 另一端与电容 C1 串联后接地，电阻 R3 另一端接 R2 以及模数转换器 AD 的负极，模数转换器 AD 的正极通过电阻 R4 接地；R2 的另一端与模数

转换器 AD 输出端连接；模数转换器 AD 输出端分别与高速采集电路和低速采集电路连接。

输入的电压信号经过电压调理电路的电阻 R1 和电容 C1 进行阻抗匹配后，再经过模数转换分别送给高速采集电路和低速采集电路。

本实用新型的电流信号调理电路的具体结构为：电流信号经电流互感器等设备输入到电流信号调理电路，电流信号调理电路包括磁珠 CZH1、CZH2、电容 C2、C3、C4、精密变换器 T1 和瞬态抑制器 TVS2。输入的电流信号分别接磁珠 CZH1、CZH2 后经电容 C2、C3 接地，两个磁珠 CZH1、CZH2 的输出端之间还连接电容 C4；精密变换器 T1 的输入端接磁珠 CZH1、CZH2 的两个输出端，精密变换器 T1 的两输出端之间连接瞬态抑制器 TVS2。

电流调理电路利用磁珠 CZH1、CZH2、电容 C2、C3、C4 对输入的电流信号进行滤波处理后，通过精密变换器 T1 将电流信号转换为电压信号，再输出到低速采集电路。

本实用新型的开关量信号隔离调理电路的具体结构为：输入的开关量信号依次经过电阻 R5、R6、R7 进入光耦 TLP521，电容 C5 一端接电阻 R5、R6 的连接端且其另一端接地，瞬态抑制器 TVS3 一端接电阻 R6、R7 的连接端且另一端接地，在光耦 TLP521 两输入端之间连接有并联的电阻 R8、电容 C6、二极管 D1，光耦 TLP521 及并联的电阻 R8、电容 C6、二极管 D1 的一端接地；光耦 TLP521 的一输出端连接开关量监测及采集电路，另一输出端接地，在光耦 TLP521 两输出端之间连接电容 C7。

开关量调理电路对输入的开关量状态信号进行滤波、分压、隔离等处理后将信号送到开关量监测及采集电路。

本实用新型的高速采集电路的具体结构为：高速采集电路以 FPGA 芯片为控制核心，还包括 FPGA 配置芯片、AS 模式配置接口、串行存储器、JTAG 配置接口、SDRAM 芯片组，它们都与 FPGA 芯片连接，SDRAM 芯片组连接在 AD 芯片组和 FPGA 芯片之间，FPGA 配置芯片与 AS 模式配置接口连接后与 FPGA 芯片连接。

FPGA 芯片还与 AD 芯片组、同步总线、PC104 总线、时间同步模块、卡号地址设置接口连接。

本实用新型的低速采集电路的具体结构为：低速采集电路以 FPGA 芯片为核心，模拟开关输入的信号通过模数转换器（AD 芯片组）输入 FPGA 芯片，FPGA 芯片连接有 FPGA 配置芯片、工控机的 EPP 并口以及时间同步模块。

低速采集电路采用 FPGA 器件实现，按主机设置的采样率采集电压、电流信号，通过 EPP 并口与工控机通信，定时将采集的数据上传。

本实用新型的开关量监测及采集电路的具体结构为：调理后的开关量信号输入到 CPLD 芯片，CPLD 芯片与开关量信号隔离调理电路、时间同步模块和 PC104 总线连接。

开关量监测及采集电路采用大规模 CPLD 芯片，监视并记录开关量信号隔离调理电路所发出的开关量的输入状态，当开关量输入信号变化时，锁存开关量状态并通过 PC104 总线向工控机提供变位信号，并向高速采集电路提供外部触发信号。

本实用新型的时间同步模块的具体结构为：时间同步模块以 CPU 为核心，CPU 通过串口与工控机相互连接，CPU 还与高速采集电路、低速采集电路和开关量监测及采集电路连接，CPU 上还连接为系统提供时间同步的晶振，CPU 还通过串型接口连接有 GPS 模块和 GPS 天线，以实现远程时间同步。这样时间同步模块就构成同时由 GPS 和晶振组成的时间同步模块，GPS 时间同步模块采用 ARM 技术实现，为高速采集电路、低速采集电路和开关量监测及采集电路提供统一的触发时标，为三种信号同步和匹配提供时间依据。

由于采用了上述技术方案，本实用新型取得的技术进步是：

针对电网过电压、过电流波形的特性及电力系统综合分析的需要，本实用新型能够对电网过电压、过电流、开关量进行监测，它采用高、低速采集相结合的方式，同时满足内、外过电压波形和过电流波形采集的需要，并同步记录开关变位信号，并将这些信息显示在显示器上，这样丰富了人机交互功能，为

电力系统运行状态的综合分析提供了一种有效工具。

本实用新型可实时在线监测并显示相同和不同电压等级的母线电压、电流以及开关状态，判断电网中是否有过电压、过电流发生及开关变位，并可根据用户设定参数记录过电压、过电流发生前后的实际变化过程及开关动作对母线电压的影响。本实用新型的高速采集电路的采样率高，适于记录雷击等短时、高频、变化快的外部过电压；低速采集电路的采样率低，但采样时间长，适于记录时间长、频率低、变化慢的内部过电压及过电流。用户可根据高、低速采集波形及开关量状态对电气设备的绝缘强度、检修周期进行判断，对设备改进和系统改造进行研究，本实用新型对研究电力系统过电压、过电流对系统的影响方式和程度，以及怎样对过电压、过电流进行防范等都具有重要的指导意义。

本实用新型的信号调理单元能对输入的电压信号进行阻抗匹配、模数转换等处理，将输入的电流信号经滤波处理后，转换为电压信号，对输入的开关量状态信号进行滤波、隔离等处理。

本实用新型的高速采集电路能按设定的采样率对调理后的电压信号连续采样，当采集的信号超过设定的界值或接收到外触发信号时，通过PC104总线将采集的信号传送至工控机，工控机将传输的数据以文件方式保存下来，有利于日后分析处理。

本实用新型的低速采集电路能按主机设置的采样率对电压、电流信号进行采集，通过EPP并口与工控机通信，定时将采集的数据上传，采样信号未超过设定的界值时供装置界面实时显示，采样信号超过设定的界值时，装置将采集的数据存储下来，以便分析处理。

本实用新型的开关量监测及采集电路能监视并记录开关量输入状态，开关量输入信号有变化时，锁存开关量状态向工控机提供变位信号，向高速采集单元提供外部触发信号。

本实用新型的GPS时间同步模块能为高速采集电路、低速采集电路和开关量监测及采集电路提供统一的触发时标，为信号同步和匹配提供时间依据，并能



够实现远程监控。

工控机及控制软件、液晶触摸屏等的设置能够通过程序对监测信息进行实时显示，对装置运行进行控制，将数据以文件方式保存下来，存储的数据可通过USB或网络导出，以便进行管理和综合分析。

### 附图说明

图1是本实用新型的组织结构图；

图2是电压信号调理电路；

图3是电流信号调理电路；

图4是开关量信号隔离调理电路；

图5是高速采集电路框图；

图6是低速采集电路框图；

图7是开关量监测及采集电路框图；

图8是GPS时间同步模块框图；

图9是软件流程图。

### 具体实施方式

下面结合附图对本实用新型作进一步详细的说明。

本实用新型的整体结构连接框图参照图1。本实用新型主要包括工控机、电压信号调理电路、电流信号调理电路、开关量信号隔离调理电路、高速采集电路、低速采集电路、开关量监测及采集电路、GPS时间同步模块、以及工控机外接的液晶显示器、触摸屏、硬盘等外部设备，工控机内部的装有控制装置运行的软件。电压信号调理电路分别和高速采集电路及低速采集电路连接，电流信号调理电路与低速采集电路连接，开关量信号隔离调理电路与开关量监测及采集电路连接；高速采集电路、低速采集电路、开关量监测及采集电路分别与工控机互相连接，工控机上还连接GPS时间同步模块，GPS时间同步模块还与高速采集电路、低速采集电路和开关量监测及采集电路分别连接；工控机配置有键盘接口、USB接口及网线接口、外接液晶显示器、触摸屏和硬盘等设备。

本实用新型将从电网中采集到的电压进行调理后分别输入高、低速采集电路，将采集到的电流信号进行调理后输入低速采集电路，将采集到的开关量信号输入到开关量监测及采集电路。高速采集电路对电压信号进行监测，当信号超过限值或接收到外触发信号时，通过PC104总线将采集的信号送到工控机；低速采集电路按设定采样率对电压、电流信号进行采集，通过EPP并口与工控机通信，定时将采集的数据上传；开关量信号隔离调理电路对输入开关量信号进行调理后，将信号输入开关量监测及采集电路，开关量输入信号有变化时，锁存开关量状态并向工控机提供变位信号，同时向高速采集电路提供外部触发信号；GPS时间同步模块为高速采集电路、低速采集电路和开关量监测及采集电路提供统一的触发时标。工控机及控制软件对装置运行进行控制，采样信号未超过设定的界值时装置对电压、电流信号及开关状态进行显示，当采样信号超过设定的界值或满足其他触发条件时，装置将采集的数据以文件方式存储下来，存储的数据可通过网络或USB口传输到其他设备。

上述的电压信号调理电路如图2所示。电压信号调理电路包括电阻R1、R2、R3、R4、电容C1、瞬态抑制器TVS1、模数转换器AD；电压信号输入端分别接瞬态抑制器TVS1和电阻R1、R3，瞬态抑制器TVS1另一端接地，电阻R1另一端与电容C1串联后接地，电阻R3另一端接R2和模数转换器AD的负极；R2的另一端与模数转换器AD输出端连接，模数转换器AD的正极通过电阻R4接地；模数转换器AD输出端分别与高速采集电路和低速采集电路连接。

母线上的电压信号经分压器或电压互感器等设备分压后通过电缆输入到电压信号调理电路，电压调理电路通过电阻R1和电容C1对输入的电压信号进行阻抗匹配，通过AD转换器将输入的模拟型号转换为数字信号，再将转换后的信号输入到高速采集电路和低速采集电路。

本实用新型的电流信号调理电路如图3所示。电流信号调理电路包括磁珠CZH1、CZH2、电容C2、C3、C4、精密变换器T1和瞬态抑制器TVS2。输入的电流信号分别接磁珠CZH1、CZH2后经电容C2、C3接地，磁珠CZH1、CZH2的输出

端之间还接有电容 C4，磁珠 CZH1、CZH2 的输出端接精密变换器 T1 的输入端，精密变换器 T1 输出端连接瞬态抑制器 TVS2。

电流信号经电流互感器等设备输入到电流信号调理电路，电流调理电路利用磁珠 CZH1、CZH2、电容 C2、C3、C4 对输入的电流信号进行滤波处理后，通过精密变换器 T1 将电流信号转换为电压信号，再输出到低速采集电路。

本实用新型的开关量隔离调理电路如图 4 所示。输入的开关量信号依次经过电阻 R5、R6、R7 进入光耦 TLP521，电阻 R5、R6 相连接的一端接有接地的电容 C5，电阻 R6、R7 的连接端之间接有瞬态抑制器 TVS3，瞬态抑制器 TVS3 另一端接地；在光耦 TLP521 的两输入端之间还接有并联的电阻 R8、电容 C6 及二极管 D1，并联的电阻 R8、电容 C6、二极管 D1 及光耦 TLP521 的一输入端接地；光耦 TLP521 的一输出端连接开关量监测及采集电路，另一输出端接地，在光耦 TLP521 两输出端之间连接有电容 C7。

开关量隔离调理电路通过电阻 R5、电容 C5 对输入的开关量信号进行分压、阻容滤波，再经电阻 R6、R7 分压后输入光耦 TLP521 进行隔离，电容 C6 对输入光耦 TLP521 前的信号进行滤波，光耦 TLP521 输出的信号通过电容 C7 滤波后输出到开关量监测及采集电路。

本实用新型的高速采集电路如图 5 所示。高速采集电路采用 FPGA 芯片作为控制核心，采用 AS 和 JTAG 配置方式，实现与工控机的 PC104 总线接口控制、高速采集电路之间的同步控制、SDRAM 的读写控制、AD 转换器的控制、存储校准控制以及校准 AD 转换器控制等。高速采集电路包括 FPGA 芯片及其配置芯片、AS 模式配置接口、串行存储器、JTAG 配置接口、SDRAM 芯片组，它们都与 FPGA 芯片连接；SDRAM 芯片组连接在 AD 芯片组和 FPGA 芯片之间，FPGA 配置芯片与 AS 模式配置接口连接后与 FPGA 芯片连接。FPGA 芯片上还连接有 AD 芯片组、同步总线、PC104 总线、晶振和卡号地址设置接口。

本实用新型的低速采集电路如图 6 所示。低速采集电路以 FPGA 芯片为核心，模拟开关输入的信号通过模数转换器（AD 芯片组）后输入 FPGA 芯片，FPGA 芯

片连接有 FPGA 配置芯片、工控机的 EPP 并口以及 GPS 时间同步模块。

低速采集电路以 FPGA 芯片为核心，按主机设置的采样率对 AD 芯片组输入的电压、电流信号进行连续采样，通过 EPP 并口与工控机通信，定时将采集的数据上传。当电压、电流信号超过设定的界值时，向 GPS 时间同步模块发出触发信号。

图 7 所示的开关量监测及采集电路采用大规模 CPLD 芯片实现，CPLD 芯片与开关量隔离调理电路、PC104 总线、GPS 时间同步模块、高速采集电路连接，调理后的开关量信号输入 CPLD 芯片，CPLD 芯片对输入信号进行监测并记录，同时读取开关量隔离调理电路所监测到的系统状态，当输入的开关量信号变化时，锁存开关量状态并通过 PC104 总线向工控机提供变位信号，并向高速采集电路提供外部触发信号。

本实用新型的 GPS 时间同步模块如图 8 所示。时间同步模块以 CPU 为核心，工控机的串口与 CPU 相互连接，CPU 上连接为系统提供时间同步的晶振，CPU 上还通过串型接口连接有 GPS 模块和 GPS 天线。这样时间同步模块就构成同时由 GPS 和晶振组成的时间同步模块。

GPS 时间同步模块采用 ARM 技术实现，GPS 天线和 GPS 模块接收到的 GPS 信号通过串口发送到 CPU，晶振输出信号到 CPU，高速采集电路、低速采集电路和开关量监测及采集电路向 CPU 提供触发信号，CPU 通过工控机串口与工控机进行通讯。用户可根据实际需要选择是否接 GPS 信号，未接入 GPS 信号的 GPS 时间同步模块仍具备为高速采集电路、低速采集电路和开关量监视电路提供统一的触发时标功能。

本实用新型的软件控制流程如图 9 所示：

(1) 初始化：程序进入 VGA 模式运行；初始化采集单元、GPS 时间同步模块，设置各种中断，检测并配置其它接口。

(2) 检测用户是否选择退出运行，“是”执行第（6）步退出运行，“否”执行第（3）步。

---

(3) 读取采集单元的状态, 查看是否需要把采集的数据保存下来。

(4) 检测用户是否对界面进行操作, 更新界面显示。

(5) 检测网络状态、USB 状态, 查看是否需要把文件通过网络或 USB 转存, 而后返回执行第(2)步。

(6) 释放资源, 恢复环境, 退出运行。

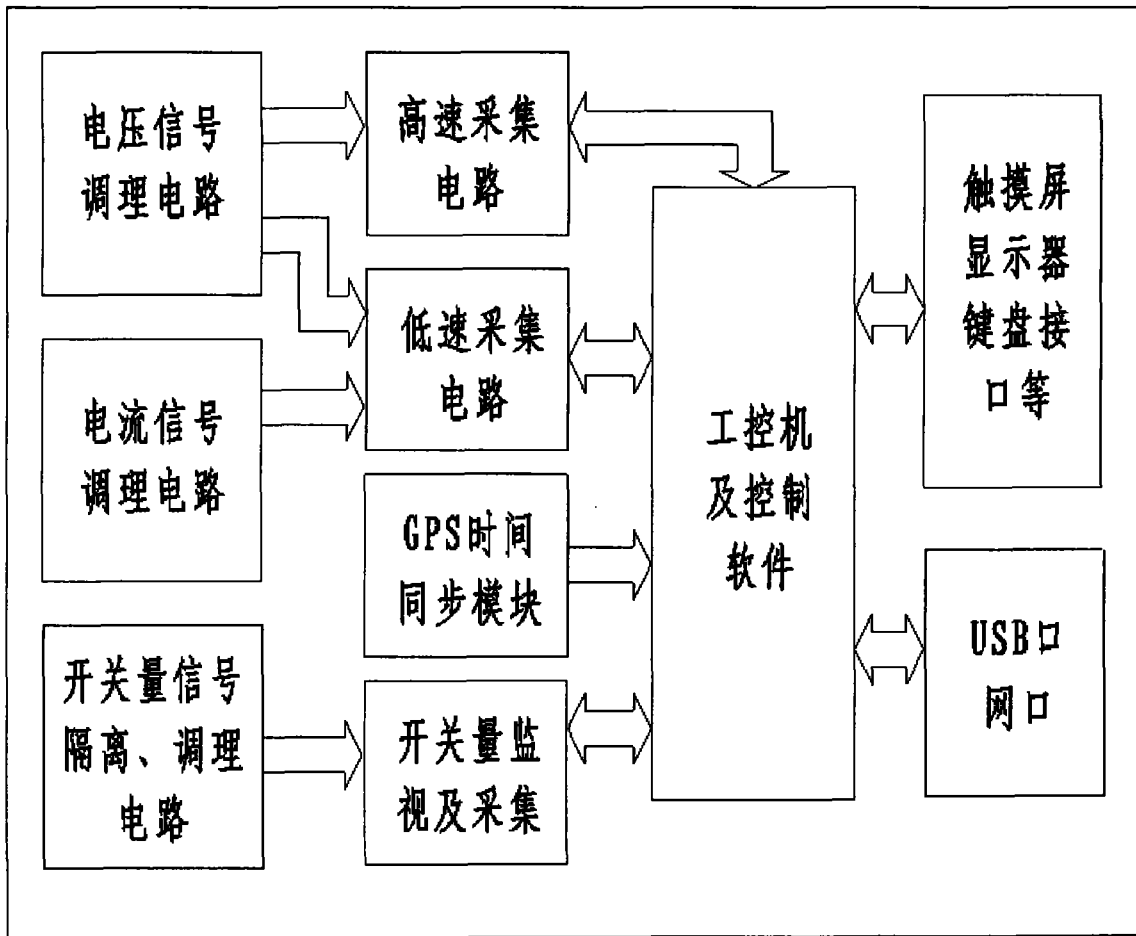


图 1

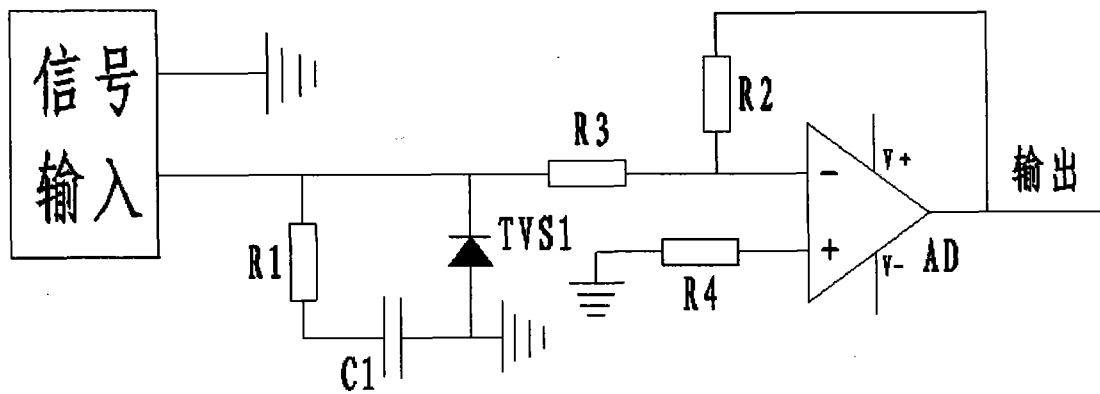


图 2

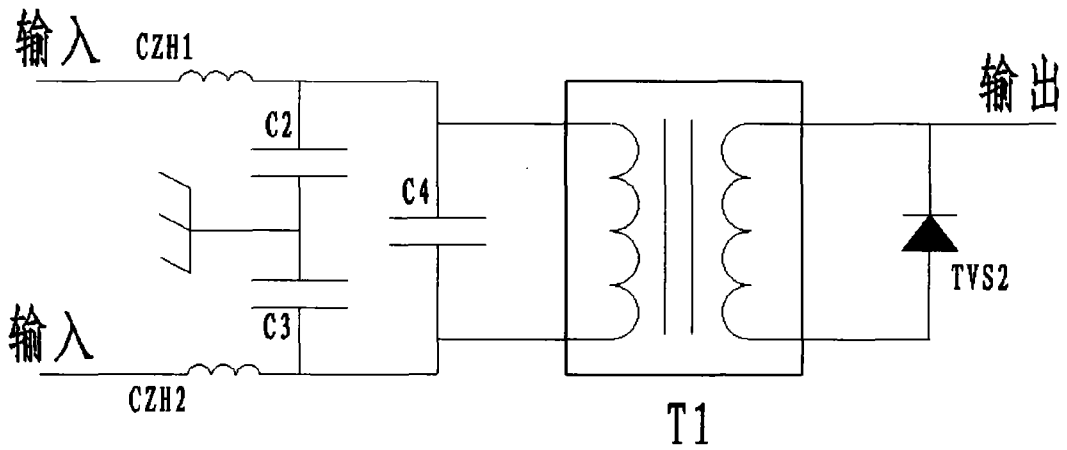


图 3

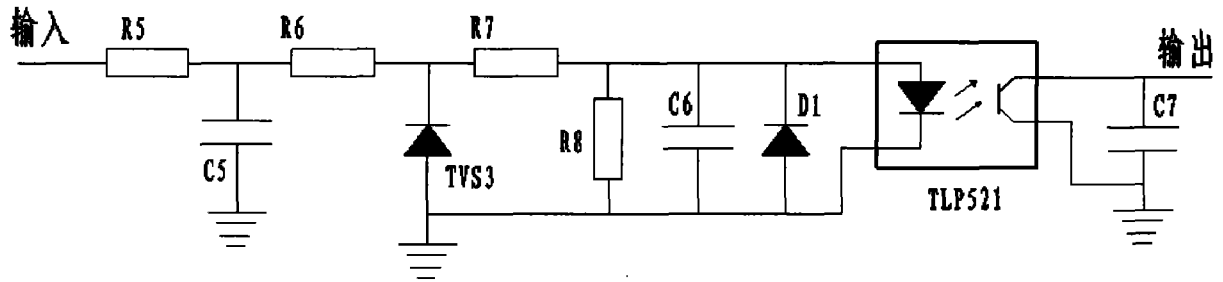


图 4

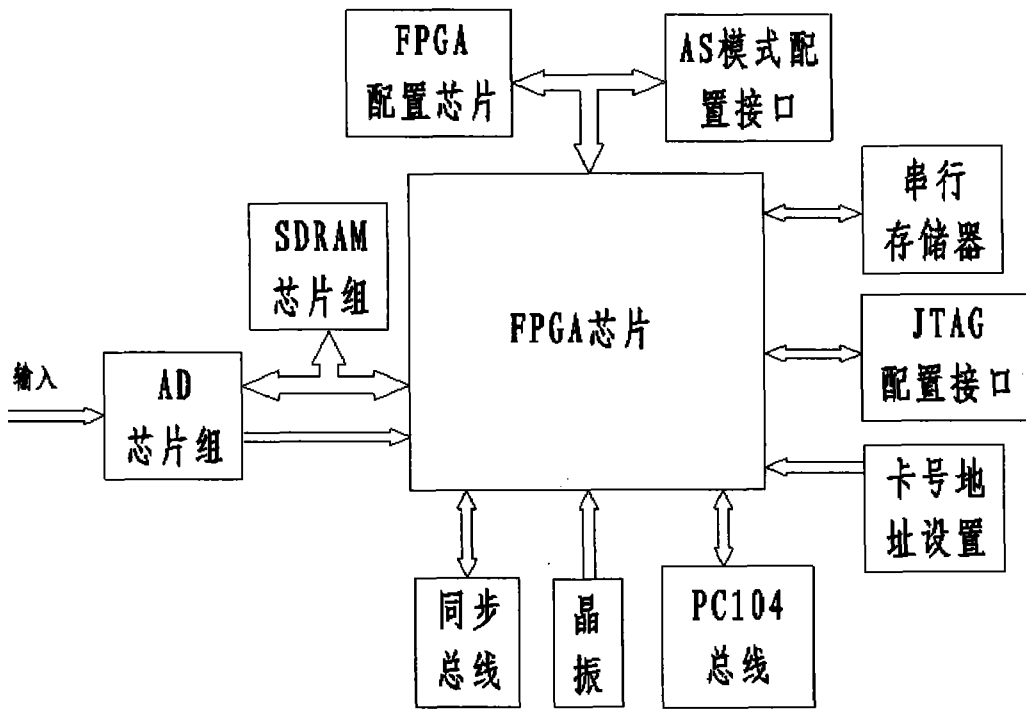


图 5

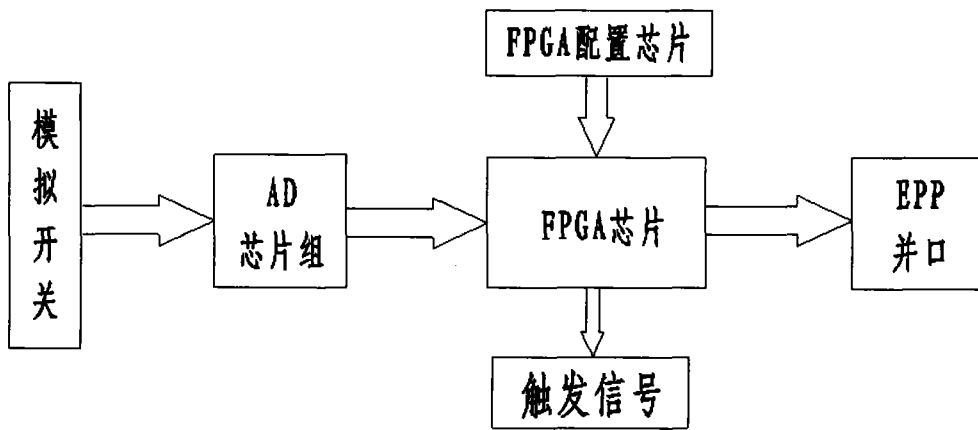


图 6

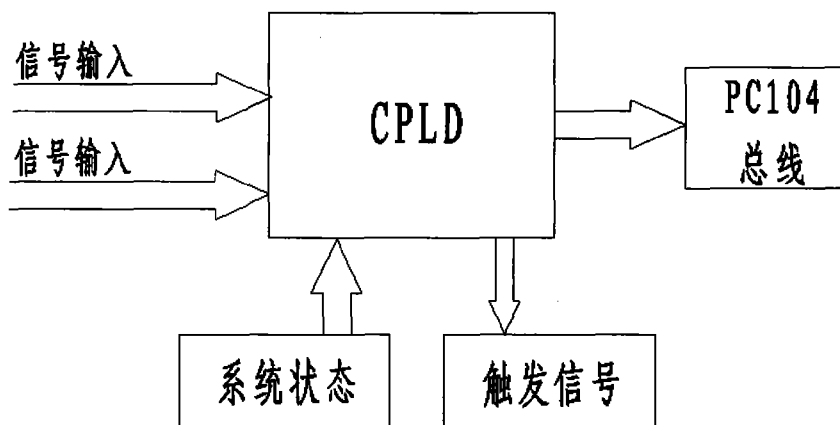


图 7

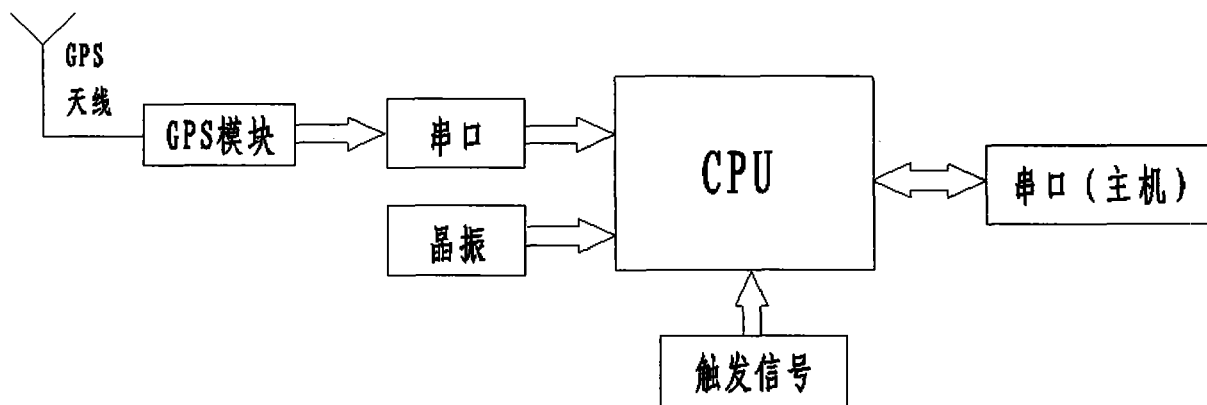


图 8



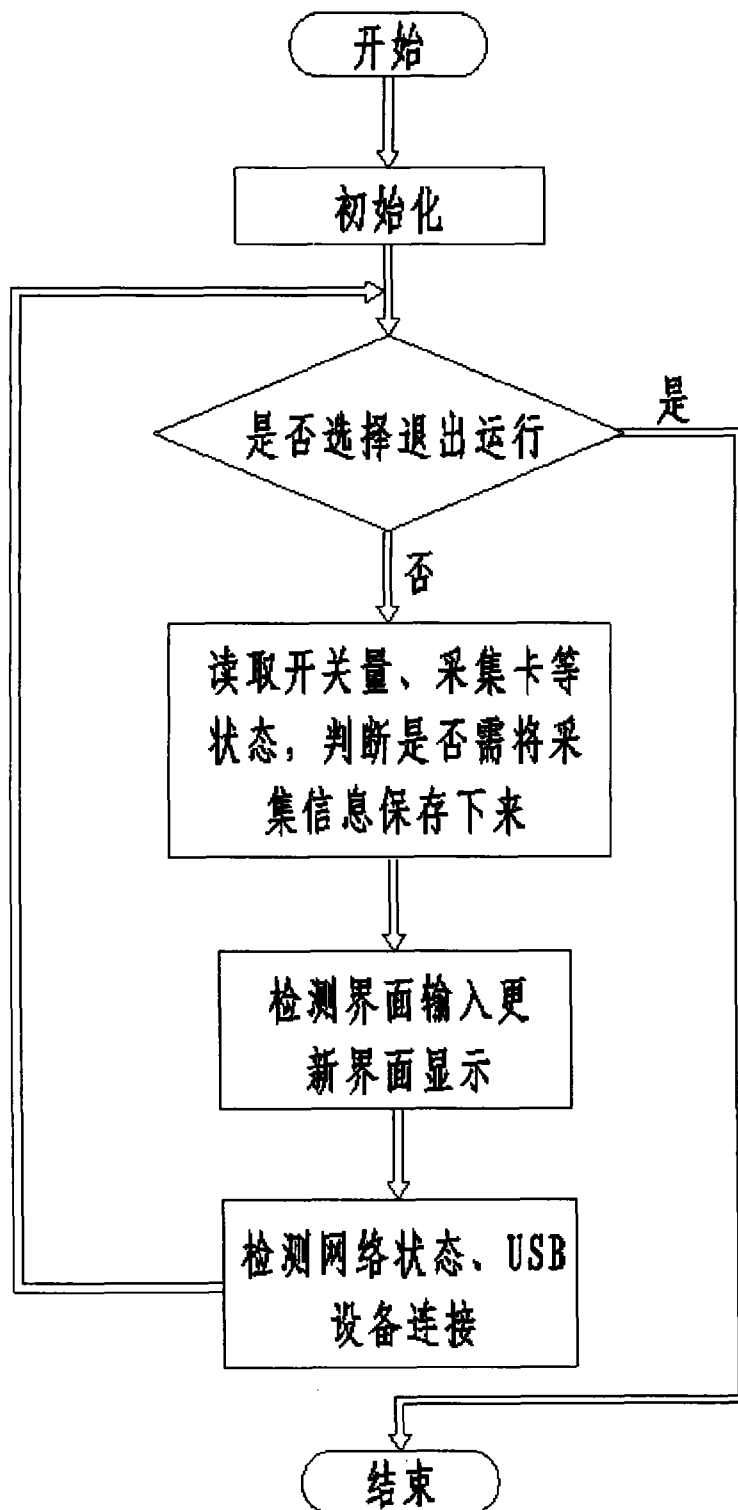


图 9