



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(45) 공고일자 2018년01월29일  
(11) 등록번호 10-1823246  
(24) 등록일자 2018년01월29일

- (51) 국제특허분류(Int. Cl.)  
H01G 4/232 (2006.01) H01G 2/06 (2006.01)  
H01G 4/005 (2006.01) H01G 4/12 (2006.01)  
H01G 4/30 (2006.01)
- (52) CPC특허분류  
H01G 4/232 (2013.01)  
H01G 2/065 (2013.01)
- (21) 출원번호 10-2016-0077313
- (22) 출원일자 2016년06월21일  
심사청구일자 2016년06월21일
- (65) 공개번호 10-2017-0143275
- (43) 공개일자 2017년12월29일
- (56) 선행기술조사문헌  
KR1020150018650 A\*  
KR1020120122589 A\*  
KR1020150115184 A\*  
\*는 심사관에 의하여 인용된 문헌
- (73) 특허권자  
삼성전기주식회사  
경기도 수원시 영통구 매영로 150 (매탄동)
- (72) 발명자  
채은혁  
경기도 수원시 영통구 매영로 150 (매탄동)  
구현희  
경기도 수원시 영통구 매영로 150 (매탄동)  
(뒷면에 계속)
- (74) 대리인  
특허법인씨엔에스

전체 청구항 수 : 총 12 항

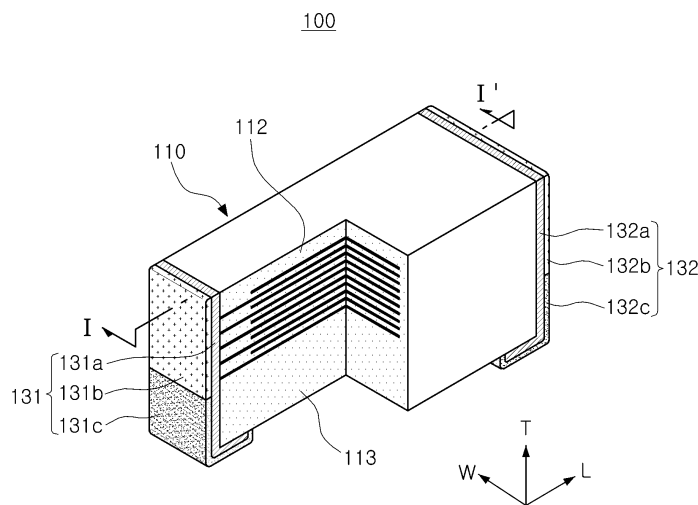
심사관 : 황승희

**(54) 발명의 명칭 적층 세라믹 전자 부품 및 그 실장 기관**

**(57) 요약**

본 발명은, 복수의 유전체층을 포함하는 세라믹 바디, 상기 세라믹 바디 내에서 상기 유전체층을 사이에 두고 상기 세라믹 바디의 양 단면을 통해 번갈아 노출되도록 배치된 복수의 제1 및 제2 내부 전극을 포함하는 액티브부, 상기 액티브부의 상부에 형성된 상부 커버부, 상기 액티브부의 하부에 형성되며, 상기 상부 커버부에 비해 두꺼운 두께를 갖는 하부 커버부 및 상기 제1 및 제2 내부 전극과 전기적으로 연결된 제1 및 제2 외부 전극을 포함하며, 상기 제1 및 제2 외부 전극은, 상기 세라믹 바디의 길이 방향 양 측면과 하면에 배치되며, 상면에는 배치되지 않은 제1 및 제2 전극층을 포함하는 적층 세라믹 전자 부품을 제공한다.

**대표도 - 도1**



(52) CPC특허분류

*H01G 4/005* (2013.01)

*H01G 4/12* (2013.01)

*H01G 4/30* (2013.01)

*H05K 2201/10015* (2013.01)

(72) 발명자

**이종호**

경기도 수원시 영통구 매영로 150 (매탄동)

---

**최재열**

경기도 수원시 영통구 매영로 150 (매탄동)

**명세서**

**청구범위**

**청구항 1**

복수의 유전체층을 포함하는 세라믹 바디;

상기 세라믹 바디 내에서 상기 유전체층을 사이에 두고 상기 세라믹 바디의 양 단면을 통해 번갈아 노출되도록 배치된 복수의 제1 및 제2 내부 전극을 포함하는 액티브부;

상기 액티브부의 상부에 형성된 상부 커버부;

상기 액티브부의 하부에 형성되며, 상기 상부 커버부에 비해 두꺼운 두께를 갖는 하부 커버부; 및

상기 제1 및 제2 내부 전극과 전기적으로 연결된 제1 및 제2 외부 전극; 을 포함하며,

상기 제1 및 제2 외부 전극은,

상기 세라믹 바디의 길이 방향 양 측면과 하면에 배치되며, 상면에는 배치되지 않은 제1 및 제2 전극층을 포함하며, 상기 제1 및 제2 전극층 상에 절연층이 더 배치되며, 상기 절연층은 상기 세라믹 바디의 두께 방향 상부 코너부에서 상기 제1 및 제2 내부전극 중 적층 방향에서 최하부에 배치된 내부전극과 상기 하부 커버부를 두께 방향으로 3등분할 경우 상기 내부전극에 인접한 부분 사이의 영역까지 배치된 적층 세라믹 전자 부품.

**청구항 2**

제1항에 있어서,

상기 제1 및 제2 전극층은 상기 세라믹 바디의 길이 방향 양 측면에서 폭 방향으로 양 코너부까지 배치된 적층 세라믹 전자 부품.

**청구항 3**

제1항에 있어서,

상기 제1 및 제2 전극층은 상기 세라믹 바디의 폭 방향 양 측면에 연장되어 배치된 적층 세라믹 전자 부품.

**청구항 4**

삭제

**청구항 5**

제1항에 있어서,

상기 제1 및 제2 외부 전극은 상기 제1 및 제2 전극층 상에 배치되며, 상기 제1 및 제2 전극층의 하면 및 상기 절연층의 단부까지 덮도록 형성된 제1 및 제2 도금층을 더 포함하는 적층 세라믹 전자 부품.

**청구항 6**

제1항에 있어서,

상기 세라믹 바디의 전체 두께의 1/2를 A로, 상기 하부 커버부의 두께를 B로, 상기 액티브부의 전체 두께의 1/2를 C로, 상기 상부 커버부의 두께를 D로 규정할 때,

상기 액티브부의 중심부가 상기 세라믹 바디의 중심부로부터 벗어난 비율  $(B+C)/A$ 는,  $1.050 \leq (B+C)/A \leq 1.764$ 의 범위를 만족하는 것을 특징으로 하는 적층 세라믹 전자 부품.

#### 청구항 7

제1항에 있어서,

상기 상부 커버부의 두께(D)와 상기 하부 커버부의 두께(B) 사이의 비율  $D/B$ 는,  $0.021 \leq D/B \leq 0.545$ 의 범위를 만족하는 것을 특징으로 하는 적층 세라믹 전자 부품.

#### 청구항 8

제1항에 있어서,

상기 세라믹 바디의 전체 두께의  $1/2(A)$ 에 대한 상기 하부 커버부의 두께(B)의 비율  $B/A$ 는,  $0.331 \leq B/A \leq 1.537$ 의 범위를 만족하는 것을 특징으로 하는 적층 세라믹 전자 부품.

#### 청구항 9

제1항에 있어서,

상기 하부 커버부의 두께(B)에 대한 상기 액티브부의 전체 두께의  $1/2(C)$ 의 비율  $C/B$ 는,  $0.148 \leq C/B \leq 2.441$ 의 범위를 만족하는 것을 특징으로 하는 적층 세라믹 전자 부품.

#### 청구항 10

제1항에 있어서,

상기 세라믹 바디의 두께 방향 중앙부 영역에서의 상기 제1 및 제2 전극층의 두께를  $T1$  및 상기 내부전극 중 상기 세라믹 바디의 두께 방향 상부 최외측 내부전극이 위치하는 지점에서의 상기 제1 및 제2 전극층의 두께를  $T2$ 라 할 때,  $0.8 \leq T2/T1 \leq 1.2$ 를 만족하는 적층 세라믹 전자 부품.

#### 청구항 11

상부에 전극 패드를 갖는 인쇄회로기판;

상기 전극 패드 위에 설치된 제1항의 적층 세라믹 전자 부품; 및

상기 전극 패드와 상기 적층 세라믹 전자 부품을 연결하는 솔더;를 포함하며,

상기 솔더는 상기 세라믹 바디의 실장면과 길이 방향 측면에 배치되며, 상기 제1 및 제2 전극층 상에 절연층이 더 배치되며, 상기 절연층은 상기 세라믹 바디의 두께 방향 상부 코너부에서 상기 제1 및 제2 내부전극 중 적층 방향에서 최하부에 배치된 내부전극과 상기 하부 커버부를 두께 방향으로 3등분할 경우 상기 내부전극에 인접한 부분 사이의 영역까지 배치된 세라믹 전자 부품의 실장 기판.

#### 청구항 12

삭제

#### 청구항 13

제11항에 있어서,

상기 솔더는 상기 세라믹 바디의 길이 방향 측면에서 상기 절연층의 단부까지 배치되는 적층 세라믹 전자 부품의 실장 기관.

**청구항 14**

제11항에 있어서,

상기 세라믹 바디의 두께 방향 중앙부 영역에서의 상기 제1 및 제2 전극층의 두께를 T1 및 상기 내부전극 중 상기 세라믹 바디의 두께 방향 상부 최외측 내부전극이 위치하는 지점에서의 상기 제1 및 제2 전극층의 두께를 T2 라 할 때,  $0.8 \leq T2/T1 \leq 1.2$  를 만족하는 적층 세라믹 전자 부품의 실장 기관.

**발명의 설명**

**기술분야**

[0001] 본 발명은 적층 세라믹 커패시터 및 그 실장 기관과 제조 방법에 관한 것이다.

**배경기술**

[0002] 최근 전자 제품의 소형화 추세에 따라, 이러한 전자 제품에 사용되는 적층 세라믹 전자 부품 역시 소형화 및 고용량화가 요구되고 있다.

[0004] 이에 따라 유전체층과 내부 전극의 박막화 및 다층화가 다양한 방법으로 시도되고 있으며, 근래에는 유전체층의 두께를 얇게 하면서 그 적층 수를 증가시킨 적층 세라믹 전자 부품이 제조되고 있다.

[0006] 상기 유전체층은 압전성 및 전왜성을 갖기 때문에, 적층 세라믹 전자 부품에 직류 또는 교류 전압이 인가될 때 상기 내부 전극들 사이에 압전 현상이 발생하여 진동이 나타날 수 있다.

[0007] 이러한 진동은 적층 세라믹 전자 부품의 외부 전극 및 솔더를 통해 상기 적층 세라믹 전자 부품이 실장된 인쇄 회로기판으로 전달되어 상기 인쇄회로기판 전체가 음향 반사면이 되면서 잡음이 되는 진동음을 발생시키게 된다.

[0008] 상기 진동음은 사람에게 불쾌감을 주는 20 내지 20,000 Hz 영역의 가청 주파수에 해당 될 수 있으며, 이렇게 사람에게 불쾌감을 주는 진동음을 어쿠스틱 노이즈(acoustic noise)라고 한다.

[0010] 최근 전자 기기는 부품의 저소음화로 인해 이러한 적층 세라믹 전자 부품에서 발생하는 어쿠스틱 노이즈가 보다 두드러지게 나타날 수 있으므로, 적층 세라믹 전자 부품에서 발생하는 어쿠스틱 노이즈를 효과적으로 저감시킬 수 있는 연구가 필요한 실정이다.

[0012] 하기 특허문헌 1은 적층 세라믹 커패시터를 개시하고 있으나, 어쿠스틱 노이즈를 저감시키기 위해 하부 커버부 이 상부 커버부에 비해 두껍게 형성되는 구조 및 외부 전극이 절연층을 포함하는 구조는 개시하지 않는다.

**선행기술문헌**

**특허문헌**

[0014] (특허문헌 0001) 한국공개특허 제2007-0089629호

**발명의 내용**

**해결하려는 과제**

[0015] 본 발명은 적층 세라믹 커패시터 및 그 실장 기관과 제조 방법에 관한 것이다.

**과제의 해결 수단**

[0016] 본 발명의 일 실시형태는 복수의 유전체층을 포함하는 세라믹 바디, 상기 세라믹 바디 내에서 상기 유전체층을

사이에 두고 상기 세라믹 바디의 양 단면을 통해 번갈아 노출되도록 배치된 복수의 제1 및 제2 내부 전극을 포함하는 액티브부, 상기 액티브부의 상부에 형성된 상부 커버부, 상기 액티브부의 하부에 형성되며, 상기 상부 커버부에 비해 두꺼운 두께를 갖는 하부 커버부 및 상기 제1 및 제2 내부 전극과 전기적으로 연결된 제1 및 제2 외부 전극을 포함하며, 상기 제1 및 제2 외부 전극은, 상기 세라믹 바디의 길이 방향 양 측면과 하면에 배치되며, 상면에는 배치되지 않은 제1 및 제2 전극층을 포함하는 적층 세라믹 전자 부품을 제공한다.

[0018] 본 발명의 다른 실시형태는 상부에 전극 패드를 갖는 인쇄회로기판, 상기 전극 패드 위에 설치된 상기 본 발명의 일 실시형태에 따른 적층 세라믹 전자 부품 및 상기 전극 패드와 상기 적층 세라믹 전자 부품을 연결하는 솔더를 포함하며, 상기 솔더는 상기 세라믹 바디의 실장면과 길이 방향 측면에 배치되는 세라믹 전자 부품의 실장 기판을 제공한다.

**발명의 효과**

[0020] 본 발명의 일 실시 형태에 따르면, 외부전극이 L자 형상을 가짐으로써 상하면을 구분하기 위한 별도의 표식이 필요 없으며, 별도의 표식을 위해 적용되는 바디의 상부와 하부의 색상을 다르게 하는 방법으로 인해 발생할 수 있는 크랙 등의 신뢰성 저하의 문제가 없다.

[0022] 본 발명의 일 실시 형태에 따르면, 외부전극이 L자 형상을 가짐과 동시에 세라믹 바디의 길이 방향 측면과 실장면인 하면에만 형성되기 때문에 솔더가 바디의 한쪽면만을 타고 오르는 구조를 구현할 수 있어 어쿠스틱 노이즈를 저감시킬 수 있는 효과가 있다.

[0024] 본 발명의 일 실시 형태에 따르면, 하부 커버부가 상부 커버부에 비해 두꺼운 두께를 갖도록 하며, 세라믹 바디의 길이 방향 측면에 배치된 외부 전극의 상부에 형성되며, 두께 방향으로 최하층 내부전극과 하부 커버부를 3등분할 경우 상부 영역 사이에서까지 절연층을 형성하여 인쇄회로기판에 실장시 외부 전극에 형성되는솔더의 높이를 낮춤으로써, 적층 세라믹 전자 부품에서 발생된 진동이 외부 전극 및 솔더를 통해 인쇄회로기판으로 전달되는 것을 감소시켜 어쿠스틱 노이즈를 저감시킬 수 있는 효과가 있다.

**도면의 간단한 설명**

[0026] 도 1은 본 발명의 일 실시 형태에 따른 적층 세라믹 커패시터의 일부를 절개하여 개략적으로 나타낸 사시도이다.

도 2는 도 1의 I-I'선 단면도이다.

도 3은 도 2의 'A' 영역의 확대도이다.

도 4는 적층 세라믹 커패시터에 포함되는 구성 요소들의 치수 관계를 설명하기 위해 도 1의 적층 세라믹 커패시터를 길이 방향으로 절단하여 개략적으로 도시한 단면도이다.

도 5는 도 1의 적층 세라믹 커패시터가 인쇄회로기판에 실장된 모습을 적층 세라믹 커패시터의 일부를 절개하여 개략적으로 나타낸 사시도이다.

도 6은 도 5의 적층 세라믹 커패시터 및 인쇄회로기판을 길이 방향으로 절단하여 나타낸 단면도이다.

도 7은 도 5의 적층 세라믹 커패시터가 인쇄회로기판에 실장된 상태에서 전압이 인가되어 적층 세라믹 커패시터가 변형되는 모습을 개략적으로 나타낸 단면도이다.

**발명을 실시하기 위한 구체적인 내용**

[0027] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시 형태들을 설명한다.

[0028] 그러나, 본 발명의 실시 형태는 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 이하 설명하는 실시 형태로 한정되는 것은 아니다.

[0029] 또한, 본 발명의 실시 형태는 당해 기술 분야에서 평균적인 지식을 가진 자에게 본 발명을 더욱 완전하게 설명하기 위해서 제공되는 것이다.

[0030] 도면에서 요소들의 형상 및 크기 등은 보다 명확한 설명을 위해 과장될 수 있다.

[0031] 또한, 각 실시 형태의 도면에서 나타난 동일한 사상의 범위 내의 기능이 동일한 구성 요소는 동일한 참조 부호

를 사용하여 설명한다.

- [0033] 이하에서는 본 발명의 일 실시 형태에 따른 적층 세라믹 전자 부품을 설명하되, 특히 적층 세라믹 커패시터로 설명하지만 본 발명이 이에 한정되는 것은 아니다.
- [0035] **적층 세라믹 커패시터**
- [0037] 도 1은 본 발명의 일 실시 형태에 따른 적층 세라믹 커패시터의 일부를 절개하여 개략적으로 나타낸 사시도이고, 도 2는 도 1의 I-I'선 단면도이다.
- [0039] 도 1 및 도 2를 참조하면, 본 실시 형태에 따른 적층 세라믹 커패시터(100)는 세라믹 바디(110), 복수의 제1 및 제2 내부 전극(121, 122)을 포함하는 액티브부(115), 상부 및 하부 커버부(112, 113) 및 제1 및 제2 내부 전극(121, 122)과 각각 전기적으로 연결된 제1 및 제2 외부 전극(131, 132)을 포함한다.
- [0041] 세라믹 바디(110)는 복수의 유전체층(111)을 적층한 다음 소성하여 형성되며, 이러한 세라믹 바디(110)의 형상, 치수 및 유전체층(111)의 적층 수가 본 실시 형태에 도시된 것으로 한정되는 것은 아니다.
- [0043] 또한, 세라믹 바디(110)를 형성하는 복수의 유전체층(111)은 소결된 상태로서, 인접하는 유전체층(111) 사이의 경계는 주사전자현미경(SEM: Scanning Electron Microscope)을 이용하지 않고 확인하기 곤란할 정도로 일체화될 수 있다.
- [0044] 또한, 세라믹 바디(110)는 육면체 형상을 가질 수 있다. 본 발명의 실시 형태를 명확하게 설명하기 위해 육면체의 방향을 정의하면 도 1에 표시된 L, W 및 T는 각각 길이 방향, 폭 방향 및 두께 방향을 나타낸다.
- [0045] 또한, 본 실시 형태에서는 세라믹 바디(110)의 유전체층(111)의 적층 방향으로 서로 대향하는 두께 방향의 단면을 상면 및 하면으로, 상기 상면 및 하면을 연결하며 서로 대향하는 길이 방향의 단면을 길이 방향 제1 및 제2 측면으로, 서로 대향하는 폭 방향의 단면을 폭 방향 제1 및 제2 측면으로 정의하기로 한다.
- [0047] 이러한 세라믹 바디(110)는 커패시터의 용량 형성에 기여하는 부분으로서의 액티브부(115)와, 상하 마진부로서 액티브부(115)의 상하부에 각각 형성된 상부 및 하부 커버부(112, 113)로 구성될 수 있다.
- [0049] 액티브부(115)는 유전체층(111)을 사이에 두고 복수의 제1 및 제2 내부 전극(121, 122)을 세라믹 바디(110)의 양 단면을 통해 번갈아 노출되도록 반복적으로 적층하여 형성될 수 있다.
- [0050] 이때, 유전체층(111)의 두께는 적층 세라믹 커패시터(100)의 용량 설계에 맞추어 임의로 변경할 수 있으며, 바람직하게 1 층의 두께는 소성 후 0.01 내지 1.00  $\mu\text{m}$ 가 되도록 구성할 수 있으나, 본 발명이 이에 한정되는 것은 아니다.
- [0051] 또한, 유전체층(111)은 고유전률의 세라믹 재료를 포함할 수 있으며, 예를 들어 티탄산바륨( $\text{BaTiO}_3$ )계 또는 티탄산스트론튬( $\text{SrTiO}_3$ )계 세라믹 분말 등을 포함할 수 있으나, 충분한 정전 용량을 얻을 수 있는 한 본 발명이 이에 한정되는 것은 아니다.
- [0052] 또한, 유전체층(111)에는 상기 세라믹 분말과 함께, 필요시 전이금속 산화물 또는 탄화물, 희토류 원소, 마그네슘(Mg) 또는 알루미늄(Al) 등과 같은 다양한 종류의 세라믹 첨가제, 유기용제, 가소제, 결합제 및 분산제 등이 더 첨가될 수 있다.
- [0054] 상부 및 하부 커버부(112, 113)는 내부 전극을 포함하지 않는 것을 제외하고는 유전체층(111)과 동일한 재질 및 구성을 가질 수 있다.
- [0055] 또한, 상부 및 하부 커버부(112, 113)는 단일 유전체층 또는 2 개 이상의 유전체층을 액티브부(115)의 상하면에 각각 두께 방향으로 적층하여 형성할 수 있으며, 기본적으로 물리적 또는 화학적 스트레스에 의한 제1 및 제2 내부 전극(121, 122)의 손상을 방지하는 역할을 수행할 수 있다.
- [0056] 이때, 하부 커버부(113)는 상부 커버부(112) 보다 유전체층의 적층 수를 더 늘림으로써 상부 커버부(112)에 비해 두꺼운 두께를 갖도록 형성될 수 있다.
- [0058] 제1 및 제2 내부 전극(121, 122)은 서로 다른 극성을 갖는 전극으로서, 유전체층(111)에 소정의 두께로 도전성 금속을 포함하는 도전성 페이스트를 인쇄하여 유전체층(111)의 적층 방향을 따라 세라믹 바디(110)의 제1 및 제2 단면을 통해 번갈아 노출되도록 형성될 수 있으며, 중간에 배치된 유전체층(111)에 의해 서로 전기적으로 절연될 수 있다.

- [0059] 상기 도전성 금속은 예를 들어 은(Ag), 팔라듐(Pd), 백금(Pt), 니켈(Ni) 및 구리(Cu) 중 하나 또는 이들의 합금 등으로 이루어진 것을 사용할 수 있으며, 본 발명이 이에 한정되는 것은 아니다. 또한, 상기 도전성 페이스트의 인쇄 방법은 스크린 인쇄법 또는 그라비아 인쇄법 등을 사용할 수 있으며, 본 발명이 이에 한정되는 것은 아니다.
- [0060] 또한, 제1 및 제2 내부 전극(121, 122)은 세라믹 바디(110)의 길이 방향 제1 및 제2 측면을 통해 번갈아 노출된 부분을 통해 제1 및 제2 외부 전극(131, 132)과 각각 전기적으로 연결될 수 있다.
- [0061] 따라서, 제1 및 제2 외부 전극(131, 132)에 전압을 인가하면 서로 대향하는 제1 및 제2 내부 전극(121, 122) 사이에 전하가 축적되고, 이때 적층 세라믹 커패시터(100)의 정전 용량은 액티브부(115)에서 제1 및 제2 내부 전극(121, 122)의 서로 중첩되는 영역의 면적과 비례하게 된다.
- [0062] 이러한 제1 및 제2 내부 전극(121, 122)의 두께는 용도에 따라 결정될 수 있는데, 예를 들어 세라믹 바디(110)의 크기를 고려하여 0.2 내지 1.0  $\mu\text{m}$ 의 범위 내에 있도록 결정될 수 있으며, 본 발명이 이에 한정되는 것은 아니다.
- [0064] 제1 및 제2 외부 전극(131, 132)은, 제1 및 제2 전극층(131a, 132a)을 포함할 수 있다.
- [0066] 제1 및 제2 전극층(131a, 132a)은 세라믹 바디(110)의 길이 방향 제1 및 제2 측면을 통해 번갈아 노출된 복수의 제1 및 제2 내부 전극(121, 122)을 덮어 전기적으로 연결되도록 상기 세라믹 바디(110)의 길이 방향 양 측면과 하면에 배치된다.
- [0068] 이때, 제1 및 제2 전극층(131a, 132a)은 양호한 전기적 특성을 가지면서 우수한 내습성 등의 고신뢰성을 제공하기 위해, 예를 들어 구리-유리(Cu-Glass) 페이스트를 사용하여 형성될 수 있으며, 본 발명이 이에 한정되는 것은 아니다.
- [0070] 본 발명의 일 실시형태에 따르면, 상기 제1 및 제2 전극층(131a, 132a)은 상기 세라믹 바디(110)의 길이 방향 양 측면에서 폭 방향으로 양 코너부까지 배치될 수 있다.
- [0071] 즉, 상기 제1 및 제2 전극층(131a, 132a)은 상기 세라믹 바디(110)의 길이 방향 양 측면과 하면에 배치되되, 상면에는 배치되지 않는 구조를 갖는다.
- [0073] 한편, 상기 제1 및 제2 전극층(131a, 132a)은 상기 세라믹 바디(110)의 폭 방향 양 측면에 연장되어 배치될 수도 있다.
- [0074] 즉, 상기 제1 및 제2 전극층(131a, 132a)은 상기 세라믹 바디(110)의 폭 방향 양 측면에 연장되어 배치된 연장부를 가질 수 있다.
- [0076] 종래의 외부 전극 형성 방법은 세라믹 바디를 금속 성분이 포함된 페이스트에 딥핑(dipping)하는 방법이 주로 사용되었다.
- [0077] 딥핑(dipping) 방식으로 외부전극을 형성할 경우, 페이스트의 유동성 및 점성으로 인하여 외부전극이 균일하게 도포되지 않아 외부전극의 중앙부와 코너부의 도포 두께에 차이가 발생한다.
- [0078] 이와 같이 외부전극의 두께가 불균일하게 형성될 경우, 두껍게 도포된 중앙부에서는 글라스 비딩(Glass Beading) 혹은 블리스터(Blister)가 발생하여 도금 불량 및 형상 불량을 야기하며, 얇게 도포된 코너부에는 도금액 침투에 취약하여 신뢰성 저하의 문제가 생긴다.
- [0079] 또한, 도금액에 취약한 코너부를 보완하고자 할 경우 결국 중앙부 도포 두께는 증가할 수밖에 없으며, 정전 용량 증가를 위해 세라믹 커패시터의 사이즈를 증가시키는 데 한계가 있다.
- [0081] 상기 제1 및 제2 전극층(131a, 132a)은 종래의 딥핑 방식에 의해 형성하지 않기 때문에, 세라믹 바디(110)의 길이(L) 방향 측면인 머릿면에 형성되되, 상기 머릿면과 접하는 4면인 밴드면 중 기관의 실장면인 하면을 제외하고는 형성되지 않거나 최소로 형성되므로 외부전극의 두께가 얇고 균일하게 형성할 수 있다.
- [0082] 이로 인하여, 내부 전극의 형성 면적을 증가하는 것이 가능해 내부전극의 오버랩 면적을 극대화함으로써 고용량 적층 세라믹 커패시터를 구현할 수 있다.
- [0084] 본 발명의 일 실시형태에 따르면, 상기 제1 및 제2 전극층(131a, 132a)은 종래의 딥핑 방식과 달리 시트(Sheet) 전사 혹은 패드(Pad) 전사 방식에 의해 형성할 수 있다.



- [0086] 도 1 및 도 2를 참조하면, 제1 및 제2 전극층(131a, 132a)이 세라믹 바디(110)의 길이 방향 측면에 배치되며, 두께 방향으로 상부 코너부에서 기판 실장면인 하면까지 연장 형성되고, 상기 머릿면과 접하는 나머지 3면인 밴드면 전체에는 형성되지 않음을 알 수 있다.
- [0088] 상기 제1 및 제2 전극층(131a, 132a)은 도전성 금속을 포함하는 시트를 전사하여 형성될 수 있다.
- [0090] 본 발명의 일 실시 형태에 따르면, 외부전극이 L자 형상을 가짐으로써 상하면을 구분하기 위한 별도의 표식이 필요 없으며, 별도의 표식을 위해 적용되는 바디의 상부와 하부의 색상을 다르게 하는 방법으로 인해 발생할 수 있는 크랙 등의 신뢰성 저하의 문제가 없다.
- [0091] 즉, 상기 외부전극(131, 132)이 상기 세라믹 바디(110)의 길이 방향 양 측면과 하면에 배치되며, 상면에는 배치되지 않는 구조를 가짐으로써, 상하면을 구분하기 위한 별도의 표식이 필요 없으며, 이로 인하여 바디의 상부와 하부의 색상을 다르게 하는 방법으로 인해 발생할 수 있는 크랙 등의 신뢰성 저하의 문제가 없다.
- [0093] 또한, 외부전극이 L자 형상을 가짐과 동시에 세라믹 바디(110)의 길이 방향 측면과 실장면인 하면에만 형성되기 때문에 솔더가 바디의 한쪽면만을 타고 오르는 구조를 구현할 수 있어 어쿠스틱 노이즈를 저감시킬 수 있는 효과가 있다.
- [0095] 도 3은 도 2의 'A' 영역의 확대도이다.
- [0097] 도 3을 참조하면, 상기 세라믹 바디(110)의 두께 방향 중앙부 영역에서의 상기 제1 및 제2 전극층(131a, 132a)의 두께를 T1 및 상기 내부전극(121, 122) 중 상기 세라믹 바디(110)의 두께 방향 상부 최외측 내부전극이 위치하는 지점에서의 상기 제1 및 제2 전극층(131a, 132a)의 두께를 T2 라 할 때,  $0.8 \leq T2/T1 \leq 1.2$  를 만족할 수 있다.
- [0099] 상기 세라믹 바디(110)의 두께 방향 중앙부 영역에서의 상기 제1 및 제2 전극층(131a, 132a)의 두께(T1)라 함은 상기 세라믹 바디(110)의 두께 방향의 중앙부 지점에서 상기 세라믹 바디(110)의 길이 방향으로 가상의 선을 그었을 때 만나게 되는 외부전극의 두께를 의미할 수 있다.
- [0101] 마찬가지로, 상기 내부전극(121, 122) 중 세라믹 바디(110)의 두께 방향 상부 최외측 내부전극이 위치하는 지점에서의 상기 제1 및 제2 전극층(131a, 132a)의 두께(T2)라 함은 상기 세라믹 바디(110)의 두께 방향의 최외측에 배치된 내부전극의 위치에서 상기 세라믹 바디(110)의 길이 방향으로 가상의 선을 그었을 때 만나게 되는 외부전극의 두께를 의미할 수 있다.
- [0103] 상기 T2/T1의 비가  $0.8 \leq T2/T1 \leq 1.2$  를 만족함으로써, 상기 세라믹 바디(110)의 두께 방향 중앙부 영역에서의 상기 제1 및 제2 전극층(131a, 132a)의 두께(T1)와 상기 내부전극(121, 122) 중 최외측 내부전극이 위치하는 지점에서의 상기 제1 및 제2 전극층(131a, 132a)의 두께(T2)의 편차를 줄여서 신뢰성 저하를 방지할 수 있다.
- [0105] 상기 T2/T1의 비가 0.8 미만 또는 1.2를 초과하는 경우에는, 외부전극의 두께 편차가 크게 되므로 두께가 얇은 부분으로 도금액이 침투할 수 있어 신뢰성이 저하되는 문제가 있을 수 있다.
- [0107] 본 발명의 일 실시형태에 따르면, 상기 제1 및 제2 전극층(131a, 132a) 상에 절연층(131b, 132b)이 더 배치되며, 상기 절연층(131b, 132b)은 상기 세라믹 바디(110)의 두께 방향 상부 코너부에서 상기 제1 및 제2 내부전극(121, 122) 중 적층 방향에서 최하부에 배치된 내부전극과 상기 하부 커버부(113)를 두께 방향으로 3등분할 경우 상기 내부전극에 인접한 부분 사이의 영역까지 배치될 수 있다.
- [0109] 상기 절연층(131b, 132b)은 세라믹 바디(110)의 길이 방향 제1 및 제2 측면에 배치된 제1 및 제2 전극층(131a, 132a) 상에 배치되며, 적층 세라믹 커패시터(100)를 인쇄회로기판에 실장 했을 때 제1 및 제2 외부 전극(130, 140)의 실장 면, 즉 하면과 세라믹 바디(110)의 길이 방향 제1 및 제2 측면의 일정 영역을 제외한 부분에 솔더가 형성되지 않거나 최소화되도록 하기 위한 것이다.
- [0111] 구체적으로, 상기 절연층(131b, 132b)은 상기 세라믹 바디(110)의 두께 방향 상부 코너부에서 상기 제1 및 제2 내부전극(121, 122) 중 적층 방향에서 최하부에 배치된 내부전극과 상기 하부 커버부(113)를 두께 방향으로 3등분할 경우 상기 내부전극에 인접한 부분 사이의 영역까지 배치됨으로써, 솔더는 적층 방향에서 최하부에 배치된 내부전극과 수평으로 대응되는 위치에는 형성되지 않도록 한다.
- [0113] 상기와 같이, 절연층(131b, 132b)을 배치함으로써, 적층 세라믹 커패시터를 인쇄회로기판에 실장시 외부 전극에 형성되는 솔더의 높이를 낮춤으로써, 적층 세라믹 커패시터에서 발생된 진동이 외부 전극 및 솔더를 통해 인쇄

회로기관으로 전달되는 것을 감소시켜 어쿠스틱 노이즈를 저감시킬 수 있는 효과가 있다.

- [0115] 한편, 상기 절연층(131b, 132b)이 상기 세라믹 바디(110)의 실장면인 하면만을 제외하고, 길이 방향 측면 전체에 형성될 경우에는 솔더의 형성 면적이 작아져서 상기 적층 세라믹 커패시터를 인쇄회로기관에 실장시 충격에 의한 실장 불량 발생 수 있다.
- [0117] 즉, 상기 절연층(131b, 132b)을 최하부에 배치된 내부전극(121, 122)과 상기 하부 커버부(113)를 두께 방향으로 3등분할 경우 상기 내부전극에 인접한 부분 사이의 영역까지 배치함으로써, 어쿠스틱 노이즈를 저감시킬 수 있는 효과와 동시에 기관 실장시 실장 불량을 감소할 수 있는 효과가 있다.
- [0119] 한편, 상기 제1 및 제2 외부 전극(131, 132)은 상기 제1 및 제2 전극층(131a, 132a) 상에 배치되되, 상기 제1 및 제2 전극층(131a, 132a)의 하면 및 상기 절연층(131b, 132b)의 단부까지 덮도록 배치된 제1 및 제2 도금층(131c, 132c)을 더 포함할 수 있다.
- [0121] 이때, 제1 및 제2 도금층(131c, 132c)은 제1 및 제2 전극층(131a, 132a)의 하면 및 상기 절연층(131b, 132b)의 단부까지 덮도록 배치된 니켈(Ni) 도금층과, 상기 니켈 도금층 상에 형성된 주석(Sn) 도금층을 포함할 수 있다.
- [0123] 이러한 제1 및 제2 도금층(131c, 132c)은 적층 세라믹 커패시터(100)를 인쇄회로기관 등에 솔더로 실장할 때 상호 간의 접촉 강도를 높이기 위한 것으로서, 도금 처리는 공지된 방법에 의해 행해질 수 있으며, 친환경적인 요소를 고려하여 납-프리 도금을 실시하는 것이 바람직하나, 본 발명이 이에 한정되는 것은 아니다.
- [0125] 이하, 본 실시 형태에 따른 적층 세라믹 커패시터에 포함되는 구성 요소들의 치수와 어쿠스틱 노이즈에 대한 관계를 설명한다.
- [0127] 도 4는 본 실시 형태의 적층 세라믹 커패시터에 포함되는 구성 요소들의 치수 관계를 설명하기 위해 도 1의 적층 세라믹 커패시터를 길이 방향으로 절단하여 개략적으로 도시한 단면도이다.
- [0129] 도 4를 참조하여 세라믹 바디(110)의 전체 두께의 1/2를 A로, 하부 커버부(113)의 두께를 B로, 액티브부(115)의 전체 두께의 1/2를 C로, 상부 커버부(112)의 두께를 D로 규정한다.
- [0130] 여기서, 세라믹 바디(110)의 전체 두께는 세라믹 바디(110)의 상면에서 하면까지의 거리를 의미하고, 액티브부(115)의 전체 두께는 액티브부(115)의 최상부에 형성된 제2 내부 전극(122)의 상면에서 액티브부(115)의 최하부에 형성된 제1 내부 전극(121)의 하면까지의 거리를 의미한다.
- [0131] 또한, 하부 커버부(113)의 두께(B)는 액티브부(115)의 두께 방향의 최하부에 형성된 제1 내부 전극(121)의 하면에서 세라믹 바디(110)의 하면까지의 거리를 의미하고, 상부 커버부(112)의 두께(D)는 액티브부(115)의 두께 방향의 최상부에 형성된 제2 내부 전극(122)의 상면에서 세라믹 바디(110)의 상면까지의 거리를 의미한다.
- [0133] 적층 세라믹 커패시터(100)의 길이 방향 제1 및 제2 측면에 배치된 제1 및 제2 외부 전극(131, 132)에 극성이 다른 전압이 인가되면, 유전체층(111)의 역압전성 효과(Inverse piezoelectric effect)에 의해 세라믹 바디(110)는 두께 방향으로 팽창 및 수축을 하게 되고, 세라믹 바디(110)의 길이 방향 양 측면은 포아송 효과(Poisson effect)에 의해 세라믹 바디(110)의 두께 방향의 팽창 및 수축과는 반대로 수축 및 팽창을 하게 된다.
- [0134] 여기서, 액티브부(115)의 중심부는 제1 및 제2 외부 전극(131, 132)이 형성된 길이 방향의 양 측면에서 수축 및 팽창이 크게 발생하는 부분으로, 이 부분에 솔더가 접합될 경우 상기 솔더를 통해 세라믹 바디(110)의 길이 방향의 양 측면의 수축 및 팽창 거동이 인쇄회로기관으로 대부분 전달되므로 어쿠스틱 노이즈 발생이 크게 증가하게 된다.
- [0135] 그러나, 본 실시 형태에서는 절연층(131b, 132b)에 의해 솔더가 세라믹 바디(110)의 하단과 최하층 내부전극에 대응하는 길이 방향 측면 하부에만 형성되고, 하부 커버부(113)은 상부 커버부(112)에 비해 두꺼운 두께를 갖도록 형성된다.
- [0136] 따라서, 전압이 인가되어 액티브부(115)의 중심부(C<sub>L</sub>A)에서 발생하는 변형율과 하부 커버부(113)에서의 발생하는 변형율의 차이에 의해 세라믹 바디(110)의 길이 방향 양 측면에 형성된 변곡점이 세라믹 바디(110)의 두께의 중심부(C<sub>L</sub>C) 이하에서 형성되어, 어쿠스틱 노이즈를 저감시킬 수 있게 된다.
- [0138] 이때, 어쿠스틱 노이즈를 더 감소시키기 위해, 액티브부(115)의 중심부(C<sub>L</sub>A)가 세라믹 바디(110)의 중심부(C<sub>L</sub>C)로부터 벗어난 비율 (B+C)/A는, 1.050 ≤ (B+C)/A ≤ 1.764의 범위를 만족할 수 있다.

- [0139] 또한, 상부 커버부(112)의 두께(D)와 하부 커버부(113)의 두께(B) 사이의 비율 D/B는,  $0.021 \leq D/B \leq 0.545$ 의 범위를 만족할 수 있다.
- [0140] 또한, 세라믹 바디(110)의 두께의 1/2(A)에 대한 하부 커버부(113)의 두께(B)의 비율 B/A는, 더 바람직하게  $0.331 \leq B/A \leq 1.537$ 의 범위를 만족할 수 있다.
- [0141] 또한, 하부 커버부(113)의 두께(B)에 대한 액티브부(115)의 두께의 1/2(C)의 비율 C/B는, 더 바람직하게  $0.148 \leq C/B \leq 2.441$ 의 범위를 만족할 수 있다.
- [0143] **실험 예**
- [0145] 본 발명의 실시 예와 비교 예에 따른 적층 세라믹 커패시터는 하기와 같이 제작되었다.
- [0147] 티탄산바륨( $BaTiO_3$ ) 등의 파우더, 폴리머 및 용제 등을 혼합하여 형성된 슬러리를 닥터 블레이드 등의 공법을 통해 캐리어 필름(carrier film) 상에 도포 및 건조하여 수  $\mu m$  두께로 제조된 복수 개의 세라믹 그린 시트를 마련한다.
- [0148] 상기 세라믹 시트는 세라믹 바디(110)의 유전체층(111)을 형성하기 위한 것이다.
- [0150] 다음으로, 상기 세라믹 그린 시트 상에 소정의 두께로 내부 전극용 도전성 페이스트를 도포하여 상기 세라믹 그린 시트의 길이 방향의 양 단면을 통해 각각 노출되도록 제1 및 제2 내부 전극(121, 122)을 형성한다.
- [0151] 상기 도전성 페이스트의 도포 방법으로는 스크린 인쇄법 또는 그라비아 인쇄법 등을 사용할 수 있으며, 본 발명이 이에 한정되는 것은 아니다.
- [0153] 다음으로, 상기 복수의 세라믹 그린 시트를 상기 세라믹 시트들 사이에 두고 복수의 제1 및 제2 내부 전극(121, 122)이 서로 대향하여 배치되도록 적층하여 적층체를 형성한다.
- [0154] 이때, 제1 및 제2 내부 전극(121, 122)이 형성되지 않은 세라믹 그린 시트를 제1 및 제2 내부 전극(121, 122)이 형성된 세라믹 그린 시트의 하부에서 상부보다 더 많이 적층 한다.
- [0155] 그리고, 형성된 적층체를 약 85 °C에서 약 1,000 kgf/cm<sup>2</sup>의 압력 조건으로 등압 압축성형(isostatic pressing)한다.
- [0157] 다음으로, 압착이 완료된 적층체를 1개의 커패시터에 대응하는 영역마다 절단하고, 절단된 칩은 대기 분위기에서 약 230 °C, 약 60 시간 유지하여 탈바인더를 진행한다.
- [0159] 다음으로, 약 1,200 °C에서 제1 및 제2 내부 전극(121, 122)이 산화되지 않도록 Ni/NiO 평형 산소 분압 보다 낮은  $10^{-11}$  내지  $10^{-10}$  atm의 산소 분압하 환원 분위기에서 소성하여 세라믹 바디(110)를 마련한다.
- [0161] 다음으로, 세라믹 바디(110)의 두께-폭 단면에 제1 및 제2 내부 전극(121, 122)의 노출된 부분과 전기적으로 연결되도록 제1 및 제2 외부 전극(131, 132)을 형성한다.
- [0163] 이하, 제1 및 제2 외부 전극(131, 132)을 형성하는 방법에 대해 구체적으로 설명한다.
- [0165] 먼저, 상기 세라믹 바디(110)의 하면에 도전성 페이스트를 이용하여 시드층을 형성할 수 있다. 시드층을 형성하는 상기 도전성 페이스트에 포함되는 도전성 금속은 내부전극과 동일할 수 있으나, 이에 제한되지 않으며, 예를 들어, 구리(Cu), 니켈(Ni), 팔라듐(Pd), 백금(Pt), 금(Au), 은(Ag) 또는 납(Pb) 등의 단독 또는 이들의 합금일 수 있다.
- [0167] 상기 도전성 페이스트를 이용하여 시드층(135)을 형성하는 방법은 예를 들어, 스크린 인쇄법 또는 그라비아 인쇄법 등의 방법으로 수행할 수 있으며, 이에 제한되는 것은 아니고, 스퍼터 방법이나 증착에 의해서도 수행될 수 있다.
- [0169] 다음으로, 상기 세라믹 바디(110)의 길이 방향의 양 측면에 노출되는 내부 전극(121, 122)과 접촉되어 전기적으로 연결되도록 제1 및 제2 전극층(131a, 132a)을 형성할 수 있다. 제1 및 제2 전극층(131a, 132a)은 내부 전극과 동일한 도전성 금속으로 형성될 수 있으나, 이에 제한되지 않으며, 예를 들어, 구리(Cu), 은(Ag), 니켈(Ni) 등의 단독 또는 이들의 합금일 수 있다.
- [0171] 상기 제1 및 제2 전극층(131a, 132a)을 상기 세라믹 바디(110)의 길이 방향의 양 측면에 형성하는 방법은 종래

의 딥핑 방식과 달리 시트(Sheet) 전사 혹은 패드(Pad) 전사 방식에 의해 형성할 수 있다.

- [0173] 구체적으로, 정반 위의 압착 러버(Rubber) 위에 제1 및 제2 전극층 형성용 시트(Sheet) 혹은 패드(Pad)를 위치시키고, 세라믹 바디를 상기 시트 혹은 패드에 압력을 가하면서 밀착시켜 제1 및 제2 전극층 형성용 시트(Sheet) 혹은 패드(Pad)를 세라믹 바디에 부착시킨다.
- [0174] 이 때, 정반에 열을 가하여 시트의 연성을 증가시켜 시트를 세라믹 바디의 길이 방향 측면인 머릿면에서 시드층이 형성된 하면까지 연장되도록 부착함과 동시에 바디와 시트 간의 접착력을 증가 시킨다.
- [0175] 다음으로, 세라믹 바디에 부착된 시트의 불필요한 부분을 제거하기 위하여 정반 위의 펀칭 러버(Punching Rubber)에 시트가 부착된 세라믹 바디를 가압하여 러버의 탄성에 의해 시트의 바디에 부착되지 않은 부분을 제거한다.
- [0177] 한편, 다른 방법으로서 정반 위의 압착 러버(Rubber) 위에 PET 필름이 부착된 제1 및 제2 전극층 형성용 시트(Sheet)를 위치시키고, 세라믹 바디(110)를 상기 시트에 압력을 가하면서 밀착시켜 제1 전극층 형성용 시트(Sheet)를 세라믹 바디에 부착시킨다.
- [0178] 이 때, PET 필름에 의해 시트가 세라믹 바디(110)의 모서리 부분에서 커팅(Cutting)되며, 압력 제거시 세라믹 바디의 머릿면에 한하여 시트가 부착된다.
- [0179] 이 경우, 세라믹 바디에 부착되지 않은 시트 부분은 PET 필름에 남게 되어 별도의 불필요한 시트 제거 공정은 생략될 수 있다.
- [0180] 상기의 방법에 의할 경우, 제1 및 제2 전극층은 세라믹 바디의 길이 방향 양 측면인 머릿면에만 형성되고, 세라믹 바디의 하면에 형성된 시드층과 연결되므로, 외부전극의 두께가 더욱 감소할 수 있기 때문에, 고용량 적층 세라믹 커패시터를 구현할 수 있다.
- [0182] 다음으로, 에폭시 레지스트 등을 사용하여 제1 및 제2 전극층(131a, 132a) 상에 절연층(131b, 132b)을 형성한다.
- [0183] 이때, 절연층(131b, 132b)은 제1 및 제2 내부전극(121, 122) 중 적층 방향에서 최하부에 배치된 내부전극과 상기 하부 커버부(113)를 두께 방향으로 3등분할 경우 상기 내부전극에 인접한 부분 사이의 영역까지 형성할 수 있다.
- [0184] 상기 에폭시 레지스트는 디핑(dipping) 또는 다양한 인쇄 방법을 이용하여 도포할 수 있으며, 본 발명이 이에 한정되는 것은 아니다. 또한, 도포 과정 이후에는 열처리 공정을 실시하여 도포된 에폭시 레지스트가 굳어지도록 한다.
- [0186] 한편, 필요시 절연층(131b, 132b)을 형성하는 단계 이후에, 제1 및 제2 전극층(131a, 132a)이 배치된 세라믹 바디의 하면에서부터 길이 방향 측면에 배치된 절연층(131b, 132b)의 단부까지의 영역에 전기 도금 등의 방법으로 도금 처리하여 제1 및 제2 도금층(131c, 132c)을 형성할 수 있다.
- [0187] 상기 도금에 사용되는 물질로는 니켈 또는 주석, 니켈-주석-합금 등을 사용할 수 있으며, 본 발명이 이에 한정되는 것은 아니다.
- [0188] 또한, 필요시 제1 및 제2 도금층(131c, 132c)은 니켈 도금층과 주석 도금층을 제1 및 제2 전극층(131a, 132a)이 배치된 세라믹 바디의 하면에서부터 길이 방향 측면에 배치된 절연층(131b, 132b)의 단부까지의 영역에 순서대로 도포하여 형성할 수 있다.
- [0190] 위와 같은 제작 방법에 의해 적층 세라믹 커패시터를 제조하였으며, 여기서, 제작 공차는 길이×폭(L×W)으로 ±0.1 mm 내의 범위로 정하였고, 이를 만족하면 실험하여 어쿠스틱 노이즈 측정을 실시하였다.

표 1

| 샘플 | A     | B    | C     | D     | (B+C)/A | B/A   | D/B    | C/B    | Acoustic Noise (dB) | 용량 구현율 |
|----|-------|------|-------|-------|---------|-------|--------|--------|---------------------|--------|
| 1* | 405.3 | 40.3 | 366.5 | 37.4  | 1.003   | 0.099 | 0.930  | 9.103  | 28.4                | OK     |
| 2* | 432.0 | 69.0 | 361.9 | 70.2  | 0.998   | 0.160 | 1.017  | 5.245  | 23.2                | OK     |
| 3* | 457.1 | 93.1 | 362.1 | 90.8  | 0.996   | 0.204 | 0.975  | 3.888  | 21.5                | OK     |
| 4* | 508.8 | 26.2 | 360.9 | 266.9 | 0.761   | 0.051 | 10.208 | 13.799 | 29.8                | OK     |

|     |       |       |       |       |       |       |        |        |      |    |
|-----|-------|-------|-------|-------|-------|-------|--------|--------|------|----|
| 5*  | 458.0 | 28.8  | 357.4 | 167.9 | 0.843 | 0.063 | 5.822  | 12.393 | 30.5 | OK |
| 6*  | 525.6 | 30.6  | 192.4 | 643.5 | 0.424 | 0.058 | 21.017 | 6.285  | 28.5 | OK |
| 7*  | 412.3 | 35.2  | 188.1 | 419.2 | 0.541 | 0.085 | 11.923 | 5.348  | 29.5 | OK |
| 8*  | 514.5 | 36.3  | 359.6 | 268.5 | 0.770 | 0.071 | 7.390  | 9.896  | 26.5 | OK |
| 9*  | 444.5 | 42.7  | 362.7 | 121.2 | 0.912 | 0.096 | 2.839  | 8.495  | 28.1 | OK |
| 10* | 468.0 | 41.1  | 363.4 | 167.8 | 0.864 | 0.088 | 4.080  | 8.839  | 26.5 | OK |
| 11* | 417.2 | 39.4  | 364.9 | 72.8  | 0.969 | 0.094 | 1.846  | 9.260  | 26.1 | OK |
| 12* | 426.8 | 44.0  | 361.5 | 94.6  | 0.950 | 0.103 | 2.151  | 8.220  | 25.9 | OK |
| 13* | 495.3 | 38.5  | 366.0 | 224.2 | 0.817 | 0.078 | 5.831  | 9.518  | 26.1 | OK |
| 14* | 433.7 | 24.7  | 420.9 | 2.4   | 1.028 | 0.057 | 0.098  | 17.053 | 30.1 | OK |
| 15  | 417.0 | 69.3  | 368.7 | 37.7  | 1.050 | 0.166 | 0.545  | 5.319  | 23.1 | OK |
| 16  | 432.5 | 95.6  | 365.1 | 39.1  | 1.065 | 0.221 | 0.409  | 3.819  | 18.1 | OK |
| 17  | 442.0 | 106.6 | 391.9 | 5.4   | 1.128 | 0.241 | 0.051  | 3.675  | 19.0 | OK |
| 18  | 443.1 | 118.3 | 363.0 | 42.0  | 1.086 | 0.267 | 0.355  | 3.069  | 18.1 | OK |
| 19  | 445.6 | 147.6 | 360.2 | 18.2  | 1.139 | 0.331 | 0.124  | 2.441  | 17.3 | OK |
| 20  | 453.5 | 164.3 | 354.2 | 21.1  | 1.143 | 0.362 | 0.128  | 2.156  | 17.0 | OK |
| 21  | 447.2 | 172.4 | 361.6 | 5.0   | 1.194 | 0.385 | 0.029  | 2.098  | 16.9 | OK |
| 22  | 472.7 | 175.8 | 362.7 | 40.2  | 1.139 | 0.372 | 0.229  | 2.064  | 16.8 | OK |
| 23  | 493.1 | 216.8 | 361.0 | 41.8  | 1.172 | 0.440 | 0.193  | 1.665  | 16.8 | OK |
| 24  | 501.8 | 270.4 | 357.5 | 12.1  | 1.251 | 0.539 | 0.045  | 1.322  | 16.7 | OK |
| 25  | 517.1 | 269.8 | 363.3 | 40.2  | 1.224 | 0.522 | 0.149  | 1.346  | 16.6 | OK |
| 26  | 500.9 | 366.8 | 314.1 | 16.0  | 1.359 | 0.732 | 0.044  | 0.856  | 16.6 | OK |
| 27  | 406.4 | 423.2 | 190.6 | 15.7  | 1.510 | 1.041 | 0.037  | 0.450  | 16.5 | OK |
| 28  | 446.2 | 494.7 | 177.6 | 40.0  | 1.507 | 1.109 | 0.081  | 0.359  | 16.4 | OK |
| 29  | 485.2 | 632.9 | 156.0 | 13.3  | 1.626 | 1.304 | 0.021  | 0.247  | 16.4 | OK |
| 30  | 522.7 | 645.0 | 189.0 | 15.6  | 1.596 | 1.234 | 0.024  | 0.293  | 16.4 | OK |
| 31  | 488.3 | 688.2 | 122.4 | 46.8  | 1.660 | 1.409 | 0.068  | 0.178  | 16.3 | OK |
| 32  | 507.8 | 742.1 | 119.9 | 29.5  | 1.698 | 1.461 | 0.040  | 0.162  | 16.3 | OK |
| 33  | 513.8 | 776.0 | 115.7 | 20.2  | 1.735 | 1.510 | 0.026  | 0.149  | 16.3 | OK |
| 34  | 522.5 | 803.0 | 118.7 | 18.1  | 1.764 | 1.537 | 0.023  | 0.148  | 16.3 | OK |
| 35* | 531.6 | 828.8 | 107.5 | 12.1  | 1.761 | 1.559 | 0.015  | 0.130  | 16.3 | NG |
| 36* | 533.8 | 843.1 | 106.3 | 13.3  | 1.778 | 1.579 | 0.016  | 0.126  | 16.3 | NG |
| 37* | 534.6 | 850.0 | 100.7 | 17.3  | 1.778 | 1.590 | 0.020  | 0.118  | 16.3 | NG |

[0193] 여기서, \*는 비교 예, AN은 어쿠스틱 노이즈(acoustic noise)

[0195] 상기 표 1의 데이터는 도 4와 같이 적층 세라믹 커패시터(100)의 세라믹 바디(110)의 폭 방향(W)의 중심부에서 길이 방향(L) 및 두께 방향(T)으로 절개한 단면을 주사전자현미경(SEM, Scanning Electron Microscope)으로 찍은 사진을 기준으로 각각의 치수를 측정하였다.

[0196] 여기서 A, B, C 및 D는 상기에서 설명한 바와 같이, 세라믹 바디(110)의 전체 두께의 1/2을 A로, 하부 커버부(113)의 두께를 B로, 액티브부(115)의 전체 두께의 1/2을 C로, 상부 커버부(112)의 두께를 D로 규정하였다.

[0198] 어쿠스틱 노이즈를 측정하기 위해, 어쿠스틱 노이즈 측정용 기관당 1개의 샘플(적층 세라믹 커패시터)을 상하 방향으로 구분하여 인쇄 회로 기판에 실장한 후 그 기관을 측정용 지그(Jig)에 장착하였다.

[0199] 그리고, DC 파워 서플라이(Power supply) 및 신호 발생기(Function generator)를 이용하여 측정 지그에 장착된 샘플의 양 단자에 DC 전압 및 전압 변동을 인가하였다. 상기 인쇄 회로 기판의 바로 위에 설치된 마이크를 통해 어쿠스틱 노이즈를 측정하였다.

[0201] 상기 표 1에서, 샘플 1 내지 3은 하부 커버부(113)의 두께(B)와 상부 커버부(112)의 두께(D)가 거의 유사한 커버 대칭 구조를 갖는 비교 예이고, 샘플 4 내지 13은 상부 커버부(112)의 두께(D)가 하부 커버부(113)의 두께(B)보다 두꺼운 구조를 갖는 비교 예이다.

[0202] 그리고, 샘플 14 및 샘플 35 내지 37은 하부 커버부(113)의 두께(B)가 상부 커버부(112)의 두께(D)보다 두꺼운 구조를 갖는 비교 예이고, 샘플 15 내지 34는 본 발명의 실시 형태에 따른 실시 예이다.

[0204] 여기서, (B+C)/A 값이 거의 1인 경우는 액티브부(115)의 중심부가 세라믹 바디(110)의 중심부로부터 크게 벗어

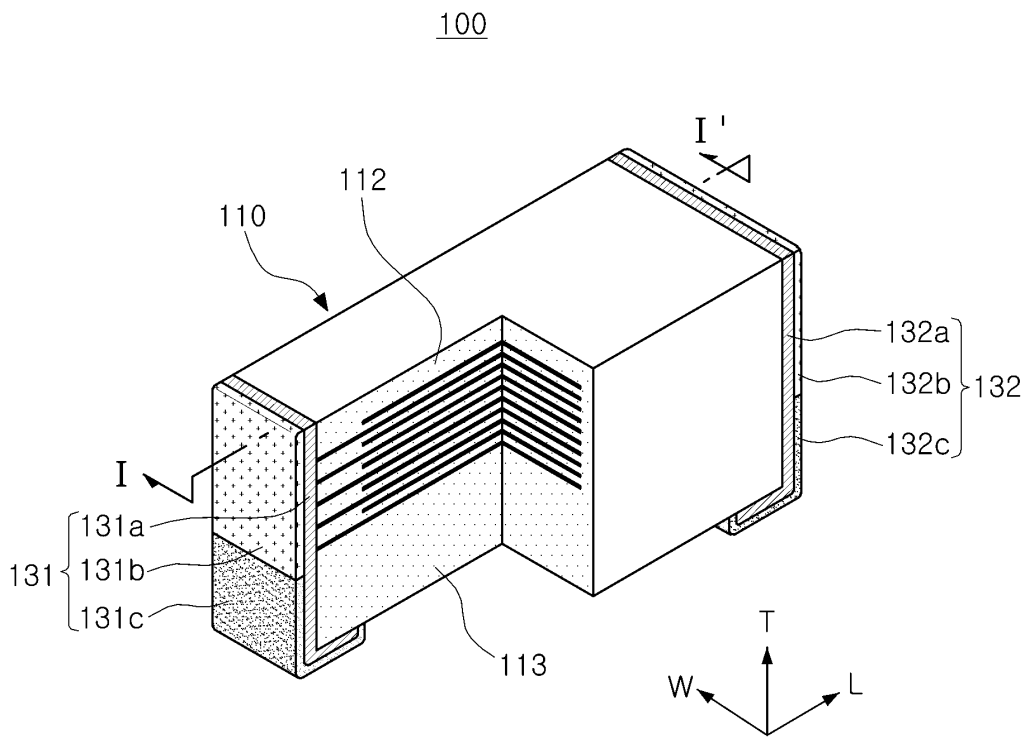
나지 않음을 의미한다. 하부 커버부(113)의 두께(B)와 상부 커버부(112)의 두께(D)가 거의 유사한 커버 대칭 구조를 갖는 샘플 1 내지 3의  $(B+C)/A$  값은 거의 1이다.

- [0205]  $(B+C)/A$  값이 1보다 크면 액티브부(115)의 중심부가 세라믹 바디(110)의 중심부로부터 상부 방향으로 벗어났음을 의미하고,  $(B+C)/A$  값이 1보다 작으면 액티브부(115)의 중심부가 세라믹 바디(110)의 중심부로부터 하부 방향으로 벗어났음을 의미할 수 있다.
- [0207] 상기 표 1을 참조하면, 액티브부(115)의 중심부가 세라믹 바디(110)의 중심부로부터 벗어난 비율,  $(B+C)/A$ 는  $1.050 \leq (B+C)/A \leq 1.764$ 의 범위를 만족하는 실시 예인 샘플 15 내지 34에서 어쿠스틱 노이즈가 25 dB 미만으로 현저히 줄어드는 것을 확인할 수 있다.
- [0208] 또한, 액티브부(115)의 중심부가 세라믹 바디(110)의 중심부로부터 벗어난 비율,  $(B+C)/A$ 가 1.050 미만인 샘플 1 내지 14는 액티브부(115)의 중심부가 세라믹 바디(110)의 중심부로부터 거의 벗어나지 않았거나, 액티브부(115)의 중심부가 세라믹 바디(110)의 중심부로부터 하부 방향으로 벗어난 구조를 갖는다.
- [0209] 상기  $(B+C)/A$ 가 1.050 미만인 샘플 1 내지 14는 어쿠스틱 노이즈가 25 내지 31 dB 사이로서 본 발명에 따른 실시 예에 비해 어쿠스틱 노이즈 감소 효과가 없음을 알 수 있다.
- [0211] 또한, 액티브부(115)의 중심부가 세라믹 바디(110)의 중심부로부터 벗어난 비율,  $(B+C)/A$ 가 1.764를 초과하는 샘플 35 내지 37의 경우에는 목표 용량 대비 정전 용량이 낮아서 용량 불량이 발생하였다.
- [0212] 상기 표 1에서, 용량 구현율(즉, 목표 용량 대비 정전 용량의 비율)이 "NG"로 표시된 것은 목표 용량치를 100 % 라고 할 때, 목표 용량 대비 정전 용량 값이 80 % 미만인 경우를 의미한다.
- [0214] 또한, 상부 커버부(112)의 두께(D)와 하부 커버부(113)의 두께(B)의 비율(D/B)이  $0.021 \leq D/B \leq 0.545$ 의 범위를 만족하는 실시 예들은 어쿠스틱 노이즈가 현저히 줄어드는 것을 알 수 있다.
- [0215] 반면에, 상부 커버부(112)의 두께(D)와 하부 커버부(113)의 두께(B)의 비율(D/B)이 0.545를 초과하는 비교 예들은 어쿠스틱 노이즈 감소 효과가 없음을 알 수 있다.
- [0216] 상부 커버부(112)의 두께(D)와 하부 커버부(113)의 두께(B)의 비율(D/B)이 0.021 미만의 경우에는 상부 커버부(112)의 두께(D)에 비해 하부 커버부(113)의 두께(B)가 지나치게 커서 크랙 또는 디라미네이션 발생할 수 있으며, 또한 목표 용량 대비 정전 용량이 낮아서 용량 불량이 발생할 수 있다.
- [0218] 한편, 실시 예 중에서 세라믹 바디(110)의 두께의  $1/2(A)$ 에 대한 하부 커버부(113)의 두께(B)의 비율(B/A) 및 하부 커버부(113)의 두께(B)에 대한 액티브부(115)의 두께의  $1/2(C)$ 의 비율(C/B) 각각이  $0.331 \leq B/A \leq 1.537$  및  $0.148 \leq C/B \leq 2.441$ 의 범위를 만족하는 실시 예인 샘플 19 내지 34는 어쿠스틱 노이즈가 18 dB 미만으로 더 줄어드는 것을 알 수 있다.
- [0219] 반면에, 세라믹 바디(110)의 두께의  $1/2(A)$ 에 대한 하부 커버부(113)의 두께(B)의 비율(B/A)이 1.537을 초과하거나 하부 커버부(113)의 두께(B)에 대한 액티브부(115)의 두께의  $1/2(C)$ 의 비율(C/B)이 0.148 미만인 샘플 35 내지 37의 경우에는 목표 용량 대비 정전 용량이 낮아서 용량 불량이 발생하는 문제점이 있었다.
- [0221] **적층 세라믹 커패시터의 실장 기관**
- [0223] 도 5는 도 1의 적층 세라믹 커패시터가 인쇄회로기판에 실장된 모습을 적층 세라믹 커패시터의 일부를 절개하여 개략적으로 나타낸 사시도이고, 도 6은 도 5의 적층 세라믹 커패시터 및 인쇄회로기판을 길이 방향으로 절단하여 나타낸 단면도이다.
- [0225] 도 5 및 도 6을 참조하면, 본 실시 형태에 따른 적층 세라믹 커패시터(100)의 실장 기관(200)은 적층 세라믹 커패시터(100)가 실장되는 인쇄회로기판(210)과, 인쇄회로기판(210)의 상면에 서로 이격되게 형성된 제1 및 제2 전극 패드(221, 222)를 포함한다.
- [0226] 또한, 적층 세라믹 커패시터(100)는 제1 및 제 2 외부 전극(131, 132)에서 절연층(131b, 132b)이 형성되지 않고 제1 및 제2 전극층(131a, 132a)이 노출된 하면이 인쇄회로기판(210)과 마주보도록 실장된다.
- [0227] 또한, 적층 세라믹 커패시터(100)는 하부 커버부(113)가 하측에 배치되며, 각각의 제1 및 제2 전극층(131a, 132a) 상에 형성된 제1 및 제2 도금층(131c, 132c)이 제1 및 제2 전극 패드(221, 222) 상에 접촉되게 위치한 상태에서 솔더(230)에 의해 인쇄회로기판(210)과 전기적으로 연결될 수 있다.
- [0229] 위와 같이 적층 세라믹 커패시터(100)가 인쇄회로기판(210)에 실장된 상태에서 전압을 인가하면 어쿠스틱 노이

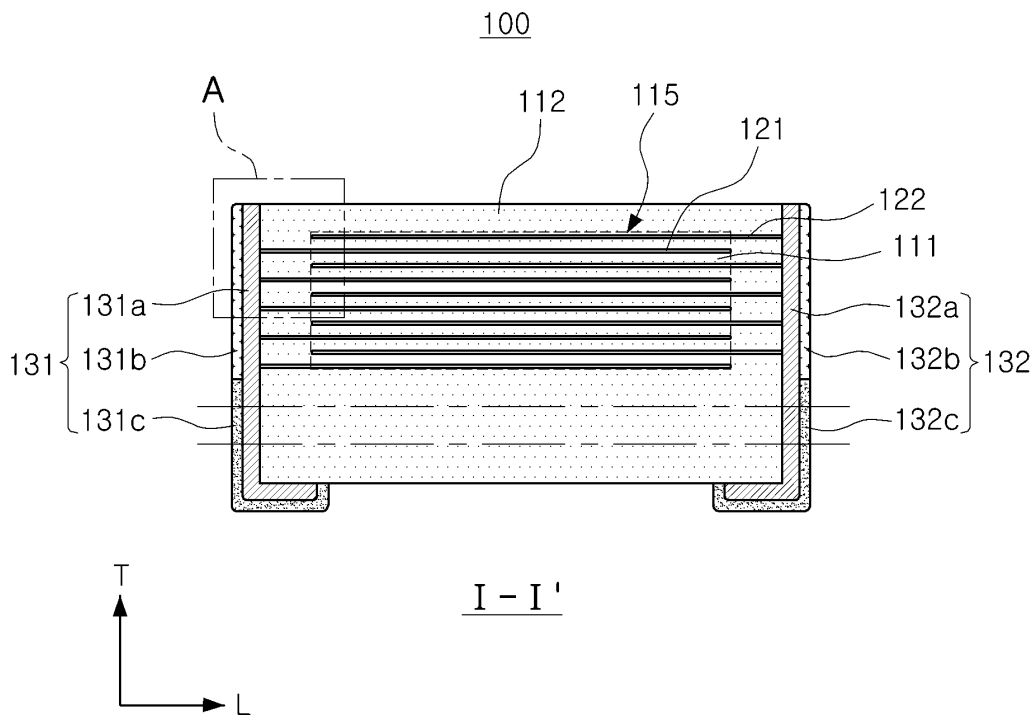


도면

도면1

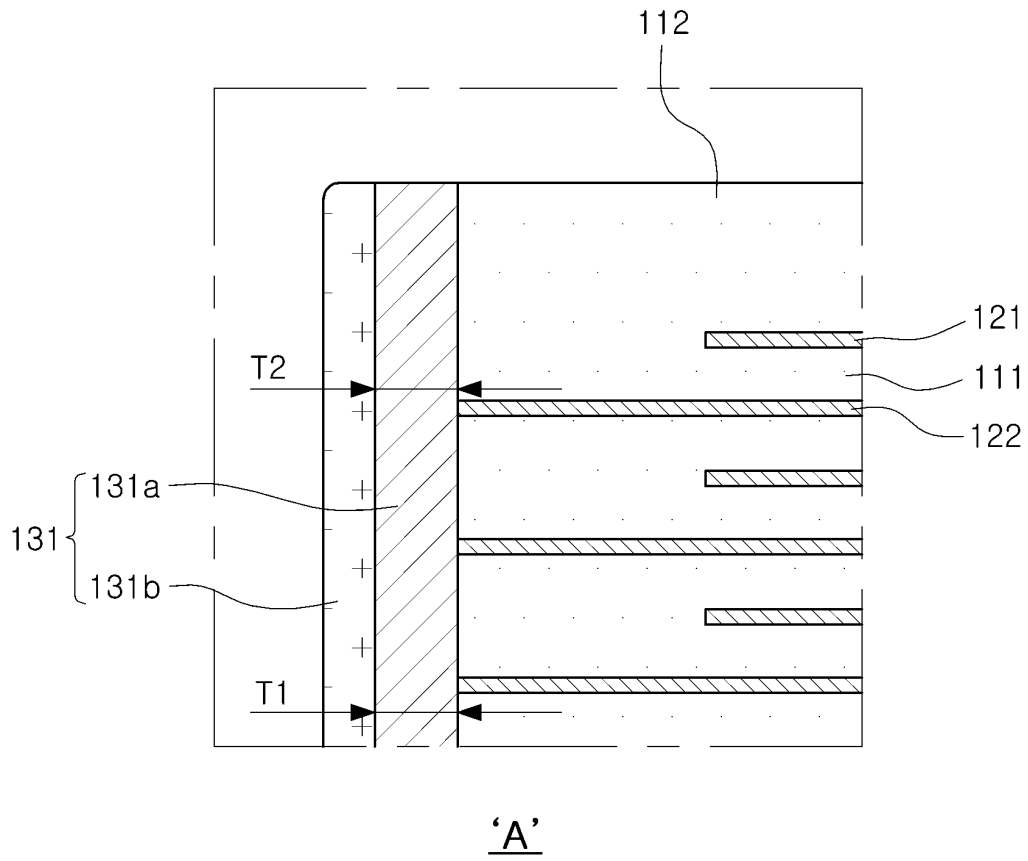


도면2

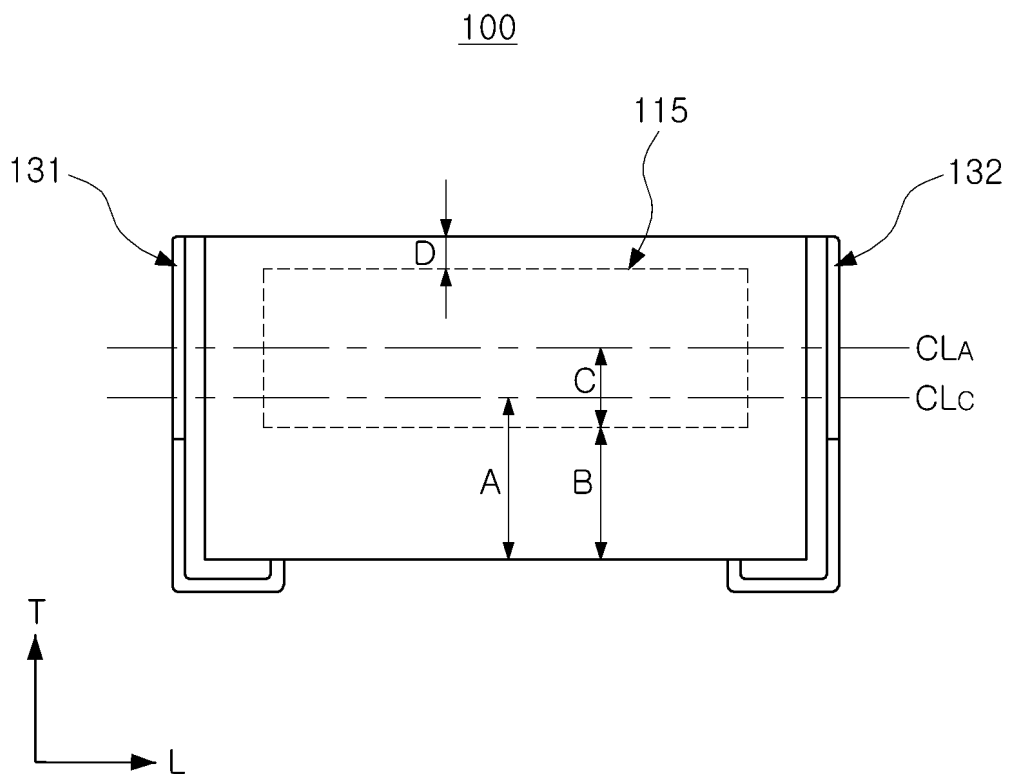




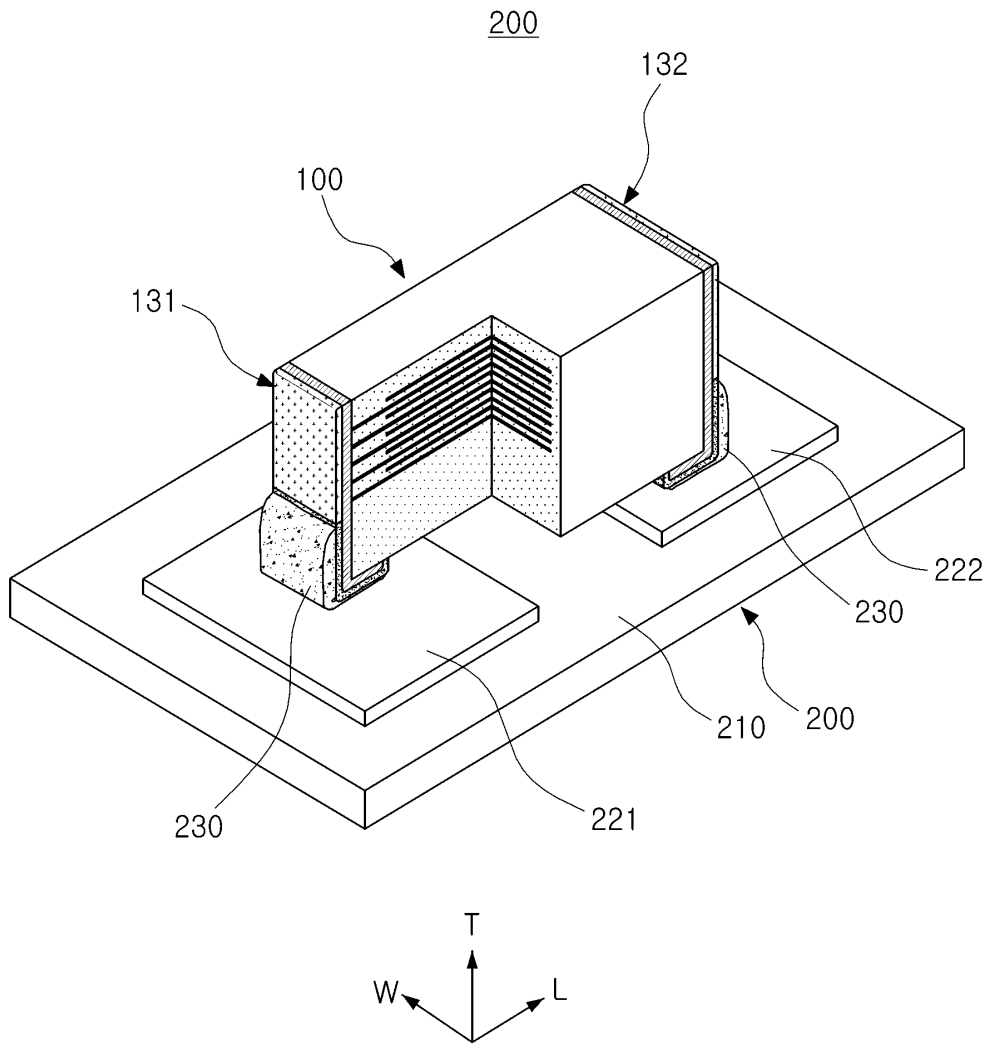
도면3



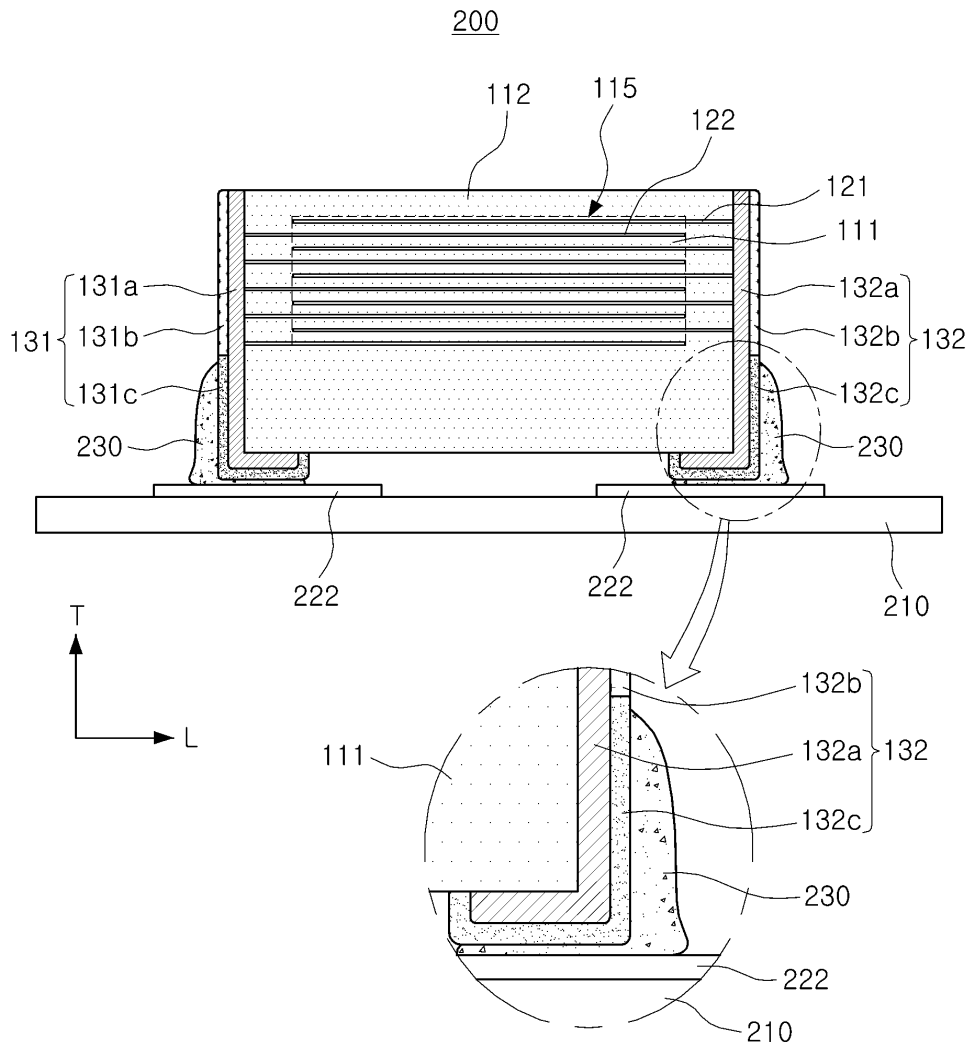
도면4



도면5



도면6



도면7

