

(19) 대한민국특허청(KR)
(12) 특허공보(B1)

(51) Int. Cl.⁵
H01L 21/82

(45) 공고일자 1991년05월06일
(11) 공고번호 91-002831

(21) 출원번호	특1987-0701212	(65) 공개번호	특1988-7001461
(22) 출원일자	1987년12월23일	(43) 공개일자	1988년07월27일
(86) 국제출원번호	PCT/US 87/000766	(87) 국제공개번호	WO 87/06764
(86) 국제출원일자	1987년03월31일	(87) 국제공개일자	1987년11월05일

(30) 우선권 주장 854885 1986년04월23일 미국(US)
(71) 출원인 아메리칸 텔레폰 앤드 텔레그라프 캄파니 오레그 이. 앨버
미합중국, 뉴욕 10022, 뉴욕, 매디슨 애비뉴 550

(72) 발명자 쉰-인 치우
미합중국, 뉴저지 07746, 말보로, 미도우 라인 10
겐 만 친
미합중국, 뉴저지 07746, 말보로, 포그 코트 5
로날드 커티스 헨슨
미합중국, 뉴저지 07748, 미들타운, 크레스트뷰 드라이브 234
마우린 와이. 라우
미합중국, 뉴저지 07735, 키포트, 코루코 플래스 13
퀵 파이 리
미합중국, 뉴저지 07733, 훔델, 피. 오. 박스 464
마크 디. 모리스
미합중국, 뉴저지 07728, 프리홀드, 캐논로드 197
알렉산더 마이클 볼센코프
미합중국, 뉴저지 07728, 프리홀드, 박스 140에이
(74) 대리인 이병호

심사관 : 조성욱 (특허공보 제2282호)

(54) 반도체 소자 제조공정

요약

내용 없음.

대표도

도1

명세서

[발명의 명칭]

반도체 소자 제조공정

[도면의 간단한 설명]

제1도는 내지 14도는 BICMOS구조를 제조하기 위한 여러가지 공정을 도시한 반도체 웨이퍼의 단면도이다.

[발명의 상세한 설명]

[발명의 배경]

본 발명은 반도체 처리에 관한 것으로 특히 같은 칩상에 바이폴라 트랜지스터와 전계효과 트랜지스터(BICMOS)를 제조할 수 있는 반도체 제조공정에 관한 것이다.

동일한 반도체 소자상에 바이폴라 및 전계효과 트랜지스터를 결합시킬 수 있는 여러 가지 BICMOS 공정이 종래 기술에서 공지되어 있다. 이러한 종래 기술의 예는 1985년 8월 27일 부르스 등에게 허여된 미합중국 특허 제4,536,945호와 1984년 11월 27일 아이.히로시에게 허여된 제4,484,388호에서 찾

아볼 수 있다. 상기 두가지 종래 기술의 공정은 반도체 소자를 고속도로 생산하는데 있어서 한계가 있다는 것이 판명되었다. 이들 2가지 공정에서, 게이트 구조 자체는 소자의 활성 요소로 만들어진 접촉부의 위치를 결정하는데 있어서 정렬 장치로서 사용이 된다. 상기 2가지 공정은 금속 접촉부가 소스와 드레인 영역에 직접 만들어진다. 이들 영역의 크기는 게이트 구성부에 대해 구멍이 위치될 수 있는 정밀도에 따라 다르다. 상기 사실은 소스와 드레인 영역이 원하는 것보다 크게 만들어 이들 영역이 바라는 것 이상의 큰 기생용량을 발생시켜 고속 작동을 제한한다.

또한, PMOS소자를 위한 공정에서 만들어진 P영역은 브롬을 반도체 재질에 직접 주입시켜 형성된다. 종래 기술에서 양호하게 공지된 바와 같이, 브롬은 주입중에 반도체 결정 구조를 통해 아주 쉽게 침투하려는 경향이 있기 때문에 너무 강하게 도프되어 원하는 것보다 큰 접합부 깊이를 만든다. 한편 브롬을 약하게 도프시키면 원하는 이상의 높은 저항을 갖는 반도체 소자의 요소를 만든다. 이러한 문제는 본 발명에 의해 해결된다.

[발명의 요약]

소스와 드레인 및 베이스 영역의 크기는 본 발명에 따라 감소가 되며, 여기서, 재질 적층부는 최종 소자에서 형성되는 전계효과 트랜지스터의 게이트 소자와 에미터 소자에 대응하는 기판의 영역상에 만들어진다. 절연층은 적층부를 포함하는 전체 웨이퍼상에 부착된다. 상기 층은 다음 적층부 주변의 벽으로서만 유지되는 형태로 반응성 이온 에칭된다. 다결정층은 별과적층부를 포함하는 전체 웨이퍼의 상부에 부착된다. 상기 다결정 층의 부분은 개별 트랜지스터 소자를 규정하는 영역의 외부가 제거되어, 적당히 차단된 다결정 실리콘 재질의 아일랜드를 만든다. 적당한 도펀트는 상기 다결정 실리콘 재질의 아일랜드에 부착되어 도펀트 재질의 저장소를 만들며, 도프된 아일랜드는 적층부 둘레의 벽이 벽내부의 재질과 벽 외부의 다결정 실리콘 재질 사이의 절연 경계부를 형성하는 지점까지 에칭이 된다. 상기 웨이퍼는 다결정 실리콘 재질이 기판과 접촉되는 기판내로 다결정 실리콘 재질로부터 도펀트를 이동시킨다. 낮은 저항 재질이 다결정 실리콘 재질상에 선택적으로 부착되어 개별 트랜지스터의 소자와 접촉 상태를 형성한다.

반도체 처리 공정에서 양호하게 공지된 기술을 사용하여 제1도에 도시된 형태의 단면을 갖는 반도체 웨이퍼를 만든다. 간단히 말해, P형 반도체 실리콘 웨이퍼는 깨끗하게 한 다음, 산화물 층이 부착되고, 상기층은 웨이퍼(12)의 표면 영역을 노출시키는 마스크에 따라 에칭된다. 상기 영역에는 비소가 주입되어 n^+ 매입 웰(11, 12)을 만들기 위해 웨이퍼 구조체내로 이동된다. 산화물층이 제거된 다음, 약 $1\mu\text{m}$ 의 P형 에퍼택셜층이 웨이퍼 상부에 성장된다. 제1도에 있는 n웰에 대응하는 영역은 마스크와 사진 석판 공정 단계를 이용하여 형성되며, 다음 웰은 인 주입에 의해 만들어진다. 패드 산화물 성장과 질산화물 첨가가 전체 웨이퍼 구조에 대해 실행된 다음 다음 단계중에 만들어질 NMOS PMOS 및 바이폴라 소자에 대응하는 모든 활성 영역을 형성하는 사진 석판 단계가 이어지며, 상기과 같은 영역은 제1도의 범례에 의해 설계된다.

필드 절연 영역(16)에 대응하는 소자 사이에 있는 영역은 선택적으로 에칭되어 성장된 필드 산화물로 채워져 활성소자를 절연시킨다. 다음 마스크는 PMOS 및 바이폴라 소자에 대응하는 웰을 절연시키는데 이용될 수 있으며, NMOS소자는 NMOS소자를 절연시키기 위해 이중 이온화된 브롬 주입에 노출된다. 패드 산화물과 질산화물적층이 실행될 수 있으며, 다음 희생성 산화물 성장이 이루어지고 그 다음 약 200옹거스트롱의 게이트 산화물이 성장되어, 제1도에서 산화물 영역(17)을 만든다. 마지막으로 다결정실리콘(POLY) 재질의 부착이 웨이퍼 전체에 형성되어 약 50nm의 크기를 갖는 층(18)이 제공된다. 기술된 모든 상기 공정 단계는 실리콘 반도체 처리 기술에 숙련된 사람에는 너무나 양호하게 공지되어 있으며, 상기 기술에 관한 종래 기술의 특허에 기술된 것과 유사하다.

제1도에 예시된 웨이퍼를 형성한 다음, 웨이퍼상의 바이폴라 활성 소자에 대해 감광내식 층(21)(제2도)을 만들기 위해 사진석판 기술을 이용하여, 이들을 도펀트의 연속적인 주입으로부터 차단한다. 이온화된 브롬 B^+ 이 3 내지 100kev의 에너지로 약 8×10^{11} 내지 2×10^{12} 원자/ cm^2 의 주입량으로 주입된다. 그 결과, 임계 주입이 웨이퍼상의 MOS소자에 대해 설정된다. 감광내식층(21)은 웨이퍼로부터 벗겨져 나가며, 사진석판 단계가 이용되어 MOS소자에 대응하는 웨이퍼의 영역상에 대해 또 다른 감광성내식층(31)(제3도)이 형성된다. 바이폴라 소자를 덮고 있는 다결정 실리콘층(18)이 에칭되고, BHF의 습기있는 산화물 에칭이 사용되어 바이폴라 소자상에 있는 게이트 산화물(17)을 제거하며, 이에 의해 기판의 영역(14)에 대응하는 n형 층을 노출시킨다.

불화브롬 BF_3 주입이 1 내지 5×10^{13} 원자/ cm^2 의 도펀트 레벨과 25 내지 150kev의 에너지로 이루어져 바이폴라 소자의 베이스로서의 역할을 하는 P형 층을 만들 수 있다. 감광성 내식층(31)을 웨이퍼로부터 벗겨내고 350nm의 다결정 실리콘 층(41)(제4도)가 전체 웨이퍼의 상부에 부착된다. 상기 다결정 실리콘은 또한 MOS소자 상부에 남아있는 다결정 실리콘 층(18)의 두께를 증가시킨다. 상기 전체 다결정 실리콘 층(41)은 약 40kev의 에너지로 1×10^{16} 원자/ cm^2 의 주입량을 갖는 비소 도펀트로 주입이 된다. 그 결과, 전체 다결정 실리콘 층(41)은 n형 도펀트로 주입되어진다. 층(41)에 있는 상기 도펀트 저장소는 바이폴라 소자의 베이스층(32)위에 있는 에미터의 형성을 위해 도펀트 재질의 소스로서의 역할을 한다. 실리콘 질화물층(42)은 전체 웨이퍼에 대해 약 50 내지 100nm의 두께로 부착이 되며, 다결정 실리콘 층(43)은 약 600nm의 두께로 전체 웨이퍼상에 부착된다.

다음 반응성 에칭을 포함한 사진석판 단계가 이용되어 참고번호(51, 52, 53)으로 제5도에 표시된 재질의 적층부를 형성한다. 상기 적층부의 형성은 MOS소자의 게이트 전극과, 바이폴라 소자의 에미터 전극에 대응하는 웨이퍼의 영역 상부에 배치된다.

촉매 산화물 역할을 하는 적절한 산화물(61)이 제6도에 표시된 바와 같이 약 20nm의 두께로 전체 웨이퍼 상에 부착된다. 비등방성 반응 이온 에칭 공정이 사용되어 산화물 부분을 제거한다. 상기 반응 이온 에칭 공정은 적층부(51, 52, 53)와 적층부와 인접한 산화물의 벽 사이에 있는 모든 산화물의 상부에 부착된 모든 산화물을 제거하여 제7도에 표시된 바와 같이 적층부를 둘러싸는 실리콘 산화물

벽(71)을 만든다. 상기 측벽 형성은 반응 이온 에칭 공정의 높은 지향 특성 때문에 생긴다.

상기 웨이퍼를 깨끗하게 만들고, 200nm의 두께를 갖는 다결정 실리콘 층(81)에 제8도에 도시된 바와 같이 전체 웨이퍼 상에 부착된다. 사진 석판 공정이 사용되어 활성 소자 사이에 다결정 층을 형성한다. 상기 다결정 실리콘은 등방성으로 에칭되어 개별 소자가 절연된다.

제9도에 표시된 바와 같이, 다음 사진석판 단계는 PMOS와 바이폴라 소자를 덮는 감광 내식층(91)을 형성하여 NMOS소자를 덮는 다결정 실리콘 층과 바이폴라 소자의 컬렉터 영역(15)이 인이온 주입제로 주입되게 된다. 상기 인이온 주입제는 5×10^{15} 원자/ cm^2 와 25 내지 75keV의 에너지로 전달되어 컬렉터 영역(15)와 NMOS소자영역을 덮는 다결정 실리콘 층이 n^+ 도핑을 형성한다. 다음 PMOS와 바이폴라 소자상에 위치된 감광성 내식층(91)을 벗겨낸다.

그리고 다음 사진석판 단계를 이용하여 NMOS활성소자와 컬렉터 영역(15)상의 감광성 내식층을 형성하여 제9도에서 91로 도시된 감광성 내식층의 보완층인 제10도에 있는 감광성 내식층을 형성한다. PMOS와 바이폴라소자는 제10도에 도시된 바와 같이 25 내지 35keV의 에너지와 1 내지 10×10^{15} 원자/ cm^2 의 주입량을 갖는 불화브롬 BF_2 이온 주입제에 노출시킨다. 상기 BF_2 주입제는 바이폴라 소자의 부분과 PMOS를 덮는 다결정 재질이 p^+ 형 도핑이 되게 한다. 그 다음 상기 감광성 내식막이 제거된다.

전체 웨이퍼는 약 80nm의 두께를 갖는 실리콘 질화물 부착부(102)로 덮히게 된다. 상기 실리콘 질화물 부착부는 감광성 내식층이 선택적으로 에칭되는 동안 다음 단계에서 다결정 실리콘을 보호한다.

상기 공정에서 다음 단계는 3 내지 5 μm 의 균일한 두께를 갖는 평면화 감광성 내식 재질이 전체 웨이퍼에 인가되어 제11도에서 감광성 내식층(101)이 만들어지도록 할 필요가 있다. 상기 감광성 내식층(101)은 적층부(51, 52, 53)의 상부가 완전히 노출되는 지점까지 에칭된다. 웨이퍼의 단면도는 질화물층과 다결정 실리콘층이 아직 실리콘 산화물 벽을 덮고 있기 때문에 12도에 도시된 것과 같지 않다. 이점에서, 노출된 실리콘 질화물은 약 80nm의 재질제거를 가져오는 반응성 이온 에칭을 이용하여 제거된다. 나머지 감광성 내식 재질은 경화가 되고 노출된 다결정 실리콘 재질이 에칭된다. 나머지 감광성 내식 재질이 제거된다.

남아있는 다결정 재질의 임계영역이 도시되어 있으며, 제12도에서 영역(111 내지 114)로 표시되어 있다. 소자를 위한 실리콘 산화물 벽을 둘러싸는 다결정 재질의 영역(111)은 제9도에 대응하는 단계에서 인이온의 도펀트에 사전에 노출되어 상기 다결정 재질에서 n 형 도펀트 저장소를 만든다. 다결정 재질의 영역(112, 113)이 PMOS와 바이폴라 소자에 대응하는 실리콘 산화물 벽을 둘러싼다. 다결정 재질의 상기 영역은 제10도에 대응하는 단계에서 불화브롬 도펀트에 노출되어 p 형 재질의 상기 영역의 저장소를 만든다. 또한 제12도에 도시된 단면에서 영역(114)로 표시된 다결정 재질은 제4도에서 층(41)으로 부착된 다결정 실리콘으로부터 남아있는 것이며, n 형 재질의 저장소를 만들기 위해 비소가 주입된다. 이때, 상기 공정에서, 전체 웨이퍼는 상기 저장소의 주입된 도펀트가 실리콘 기판 내로 확산되어 소스 및 드레인 영역(115 내지 118), 비소 베이스 영역(119) 및 바이폴라 소자의 적층부(53) 하부에 있는 영역(120)을 만들도록 하기 위해 약 950°C의 온도에서 60분동안 가열된다. 따라서, 앞서 형성된 p 형 베이스와 상기 사이에 에미터 베이스 접촉부를 만든다.

리플럭스(reflux) 시스템에서 155도로 인산의 습성 에칭이 실행되어 전체 웨이퍼 상의 나머지 실리콘 질화물을 제거한다. 상기 웨이퍼는 텅스텐의 선택적 부작 또는 자체 정렬 실리콘사이드 반응이 이루어져, 제13도에 도시된 바와 같이 다결정 실리콘의 노출 영역의 전체상에 약 100nm의 두께를 갖는 도전성 부착부(121)를 만든다. 상기 노출 산화물 벽 구조체는 도전성 재질이 실리콘 산화물의 영역상에 형성되거나 남아있지 않도록 하기 위해 선택적 처리 공정을 개선시킨다. 전체 웨이퍼는 도전성 재질의 저항을 감소시키기 위해 아닐(anneal)될 수 있다. 상기 게이트 표면상에서 노출된 높은 산화물 벽은 습성 산화물 에칭을 이용하여 제거된다.

전체 웨이퍼를 깨끗하게 한 후, CVD부착은 제14도에 도시된 바와 같이 전체 웨이퍼 상에 실리콘이 산화물층(138)을 만들어, 소자의 개별 요소를 분리시키는 필드 산화물과 실리콘 산화물 벽을 접촉시킨다. 상기 실리콘 산화물 층은 약 400nm의 두께를 갖는다. 앞서 부착된 도전성 재질에 접촉을 만들기 위해 상기 실리콘 산화물 층에 형성되는 구멍의 위치를 한정하는 사진석판 공정과 마스크를 이용하며, 습성 에칭과 반응성 이온 에칭의 조합 사용하여, 텅스텐 또는 실리콘 부착부의 레벨 이하로 실리콘이 산화물(138)을 통해 구멍을 만든다. 사진석판 단계동안 사용된 감광내식성 재질이 제거된다. 마지막으로 알루미늄이 부착되고 제14도에 131 내지 136으로 도시된 전극을 형성하기 위해 패틴이 형성된다. 바이폴라 소자의 에미터 및 컬렉터 요소의 접촉부는 제14도에서 단면도에서 도시되지 않은 평면에 유사한 형태로 만들어질 수 있다. 상기 웨이퍼는 최종소결 단계에서 가열된다.

본 발명의 공정은 단지 전계효과 트랜지스터만이 만들어지는 반도체 웨이퍼에도 동일하게 적용될 수 있다. 상기의 경우, 반도체 재질은 게이트 구조체 상에 위치되며, 바이폴라 소자의 처리를 위해 필요한 단계를 없앨 수 있다. 자체 정렬 폴리실리콘 접촉부는 종래 기술의 공정에서 달성될 수 있는 공간보다 훨씬 더 근접한 전계효과 트랜지스터의 소스 및 드레인 용량을 저하시킨다. 마찬가지로 상기 공정은 바이폴라 소자에만 적용도 가능하며, 상기 공정에 의해 만들어진 에미터-베이스 구조체는 용량과 저항을 다시 저하시킨다. 그래서 종래 기술의 공정에서 제조된 소자보다 고속도 작동이 가능하다.

(57) 청구의 범위

청구항 1

트랜지스터의 소자에 대응하는 선택된 영역의 소정부분 위에 적당한 재질의 적층부(51, 52, 53)이 만들어지는 반도체 웨이퍼의 선택된 영역에서 트랜지스터 소자를 만들기 위한 공정에 있어서, 적층부를 포함한 전체 웨이퍼상에 절연층을 부착하는 단계와; 상기 절연층이 상기 적층부 둘레의 벽으로

서만 남도록 상기 절연층을 선택적으로 에칭하는 단계와; 상기 벽과 적층부를 포함한 웨이퍼 상에 다결정 실리콘 층(81)을 부착하는 단계와; 개별 트랜지스터를 형성하는 영역 외부의 다결정 실리콘 층을 제거하여, 고립된 다결정 실리콘 재질의 아일랜드를 만드는 단계와; 상기 다결정 실리콘 재질의 아일랜드내로 적당한 도펀트를 주입하는 단계와; 산화물 벽이 상기 벽의 내부와 벽의 외부에 있는 다결정 실리콘 재질 사이의 돌출된 절연 경계부를 형성하는 지점까지 도프된 다결정 실리콘 재질의 아일랜드를 에칭하는 단계와; 다결정 실리콘 재질이 상기 기판과 접촉되는 기판내 다결정 실리콘 재질로부터의 도펀트가 이동하도록 가열하는 단계와; 개별 트랜지스터 소자와 접촉 상태를 만들기 위해 다결정 실리콘 재질 상으로 저저항 재질(132)을 선택적으로 부착하는 단계를 구비하는 것을 특징으로 하는 반도체 소자 제조공정.

청구항 2

제1항에 있어서, 트랜지스터 소자는 NMOS와 PMOS소자를 포함하며, 다결정 실리콘 재질의 아일랜드내로 적당한 도펀트를 주입하는 단계는; NMOS소자에 대응하는 반도체 웨이퍼의 영역을 만드는 단계와; PMOS소자에 대응하는 면적을 덮는 다결정 실리콘내로 P형 주입제를 주입하는 단계와; PMOS소자에 대응하는 반도체 웨이퍼의 영역에 마스크를 하는 단계와; NMOS소자에 대응하는 영역을 덮는 다결정 실리콘내로 n형 주입제를 주입하는 단계를 구비하는 것을 특징으로 하는 반도체 소자 제조공정.

청구항 3

전계효과 트랜지스터와 바이폴라 트랜지스터를 형성하는 공정에 있어서, 전계효과 트랜지스터의 소스와 드레인 영역과 바이폴라 트랜지스터의 에미터 영역이 되는 반도체 웨이퍼상의 적당히 도프된 다결정 실리콘 재질의 층(111, 114)을 만드는 단계와; 다결정 실리콘 층으로부터 도펀트가 반도체 웨이퍼내로 확산되도록 반도체 웨이퍼를 가열하여 전계효과 트랜지스터의 소스 및 드레인 영역과 바이폴라 트랜지스터의 에미터 영역을 동시에 형성하는 단계를 구비하는 것을 특징으로 하는 전계효과 트랜지스터 및 바이폴라 트랜지스터 형성 공정.

청구항 4

제3항에 있어서, 전계효과 트랜지스터는 NMOS와 PMOS소자를 포함하며, 적당히 도프된 다결정 실리콘 재질의 층을 만드는 단계는; PMOS 및 바이폴라 소자상의 다결정 실리콘 재질내로 P형 도펀트를 주입하는 단계와; NMOS소자상의 다결정 실리콘 재질내로 n형 도펀트를 주입하는 단계를 구비하는 것을 특징으로 하는 전계효과 트랜지스터 및 바이폴라 트랜지스터를 형성하는 공정.

청구항 5

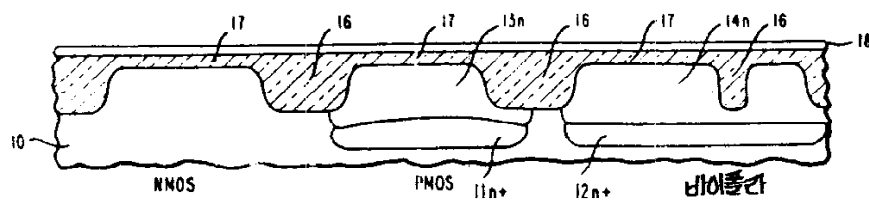
공지된 바와 같이 n^+ 매입 웰이 P형 실리콘 기판에 매입되어 있으며, P형 에픽택셀 층이 기판상부에 성장되고 필드 절연 형성되어 웨이퍼 상의 CMOS와 바이폴라 트랜지스터 영역을 절연시키는 제4항의 공정에 있어서, 전체웨이퍼 상에 다결정 실리콘 재질을 부착하는 단계와; 바이폴라 트랜지스터에 의해 점유되는 영역을 덮고 있는 다결정 실리콘 층과 게이트 산화물을 제거하기 위해 웨이퍼를 선택적으로 에칭하는 단계와; 노출된 에피택셀 층에 P형 도펀트를 주입하는 단계와; 전계 웨이퍼상에 다결정 실리콘 층을 부착하는 단계와; n형 도펀트의 저장소를 만들기 위해 다결정 층에 n형 도펀트를 주입하는 단계와; 전체 웨이퍼상에 실리콘 질화물 층을 부착하는 단계와; CMOS소자의 게이트 소자와 바이폴라 소자의 에미터 소자에 대응하는 웨이퍼 영역상에 다결정 실리콘 질화물의 적층부를 만들기 위해 다결정 실리콘과 실리콘 질화물의 적층부를 만들기 위해 다결정 실리콘과 질화물 층을 선택적으로 에칭하는 단계와; 전체 웨이퍼상에 균일한 산화물을 부착하는 단계와; 상기 적층부 둘레의 이산화실리콘의 벽을 만들기 위해 다결정 실리콘과 실리콘 질화물의 적층부에 인접한 곳을 제외하고는 균일한 산화물의 모두를 제거하기 위해 전체 웨이퍼를 선택적으로 에칭하는 단계와; 전체 웨이퍼 상에 다결정 실리콘 층을 부착하는 단계와; CMOS와 바이폴라 트랜지스터 상에 다결정 실리콘의 아일랜드를 만들기 위해 마지막으로 부착된 다결정 실리콘 층을 선택적으로 에칭하는 단계와; n형 도펀트 저장소를 만들기 위해 NMOS 트랜지스터에 대응하는 다결정 실리콘의 아일랜드에 n형 도펀트를 선택적으로 주입하는 단계와; P형 도펀트의 저장소를 만들기 위해 PMOS와 바이폴라 소자에 대응하는 다결정 실리콘의 아일랜드에 P^+ 형 도펀트를 선택적으로 주입하는 단계와; 실리콘 산화물의 벽 내부에 실리콘 질화물이 충분히 노출되도록 에피택셀 층으로부터 소정의 거리로 다결정 실리콘 층을 선택적으로 제거하는 단계와; 저장소에 주입된 도펀트가 에피택셀 층내로 확산되어 가도록 웨이퍼를 가열하여 CMOS 트랜지스터에 대한 소스 및 드레인 영역과 바이폴라 트랜지스터에 대한 에미터 영역을 동시에 만드는 단계와; 실리콘 산화물 벽 내부의 실리콘 질화물을 제거하는 단계와; CMOS와 바이폴라 트랜지스터에 도전성 접속을 허용하기 위해 노출된 다결정 실리콘 층 상에 도전성 재질을 부착하는 단계를 구비하는 것을 특징으로 하는 전계효과 트랜지스터 및 바이폴라 트랜지스터를 형성하는 공정.

청구항 6

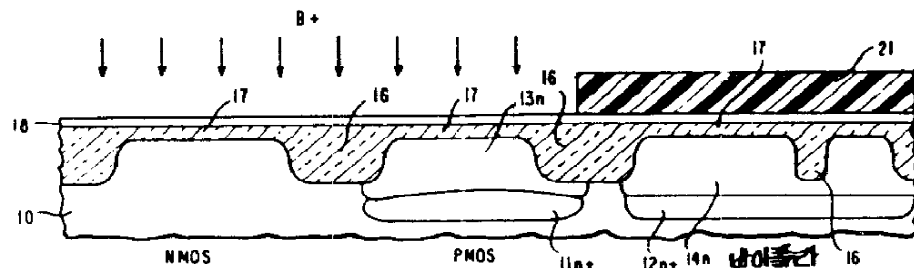
제5항에 있어서, 에피택셀 층으로부터 소정의 거리로 다결정 실리콘 층을 선택적으로 제거하는 단계는; 전체 웨이퍼상에 실리콘 질화물 층을 부착하는 단계와; 전체 웨이퍼 상에 균일 두께의 감광 내식성 재질을 부착하는 단계와; 적층부의 상부가 완전히 노출되는 지점까지 감광성 내식재질을 에칭하는 단계와, 노출된 실리콘 질화물을 반응 이온 애칭하여 다결정 실리콘 재질을 노출시키는 단계와; 노출된 다결정 실리콘 재질을 에칭하여 이산화실리콘의 벽 내부에 실리콘 질화물을 노출시키는 단계를 구비하는 것을 특징으로 하는 전계효과 트랜지스터 및 바이폴라 트랜지스터를 형성하는 공정.

도면

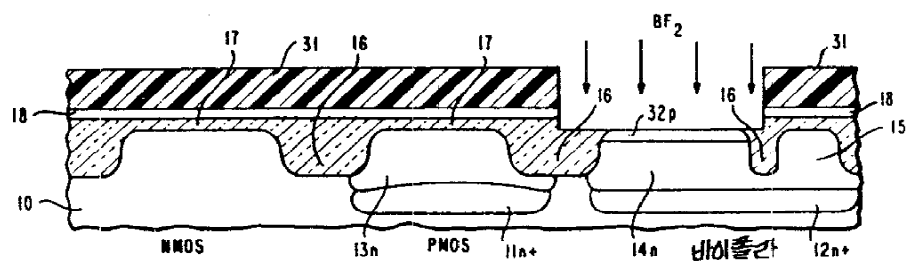
도면1



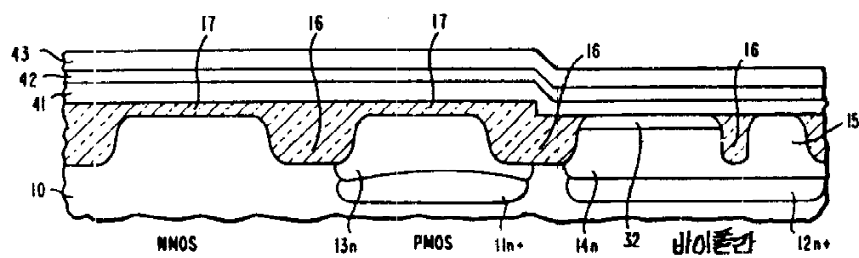
도면2



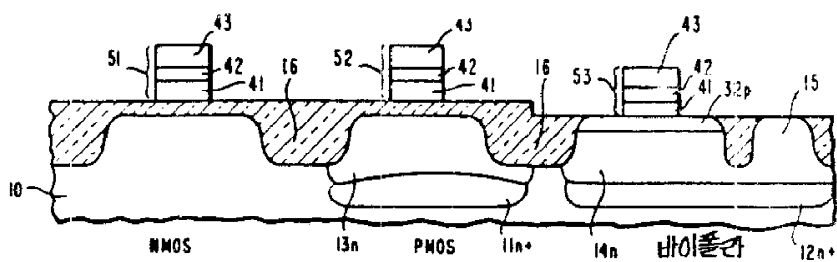
도면3



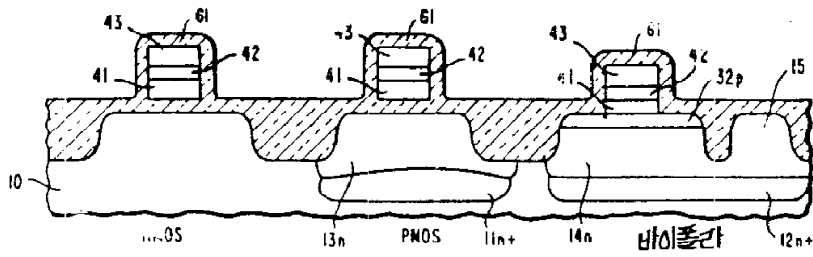
도면4



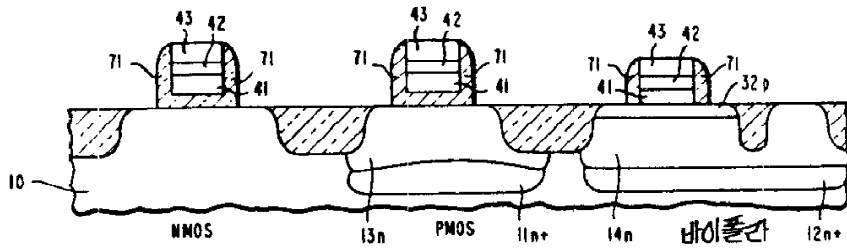
도면5



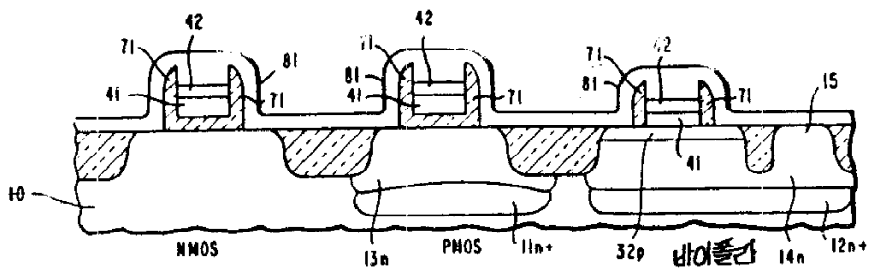
도면6



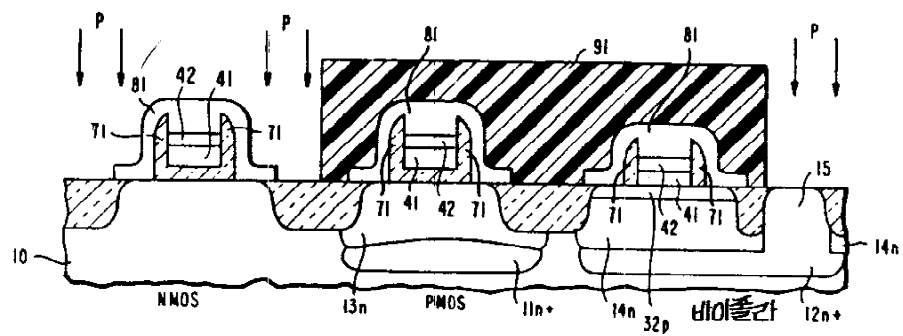
도면7



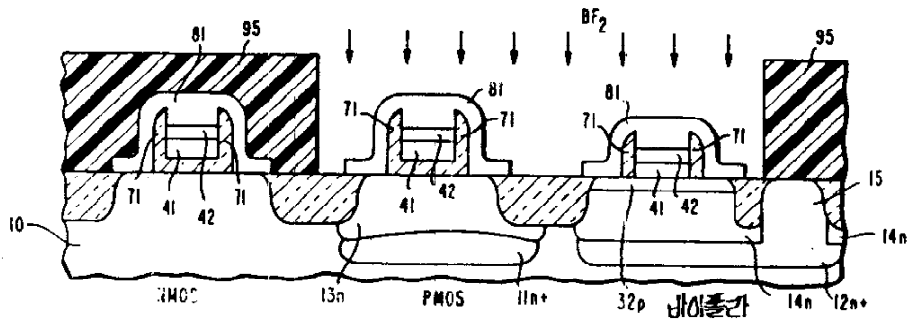
도면8



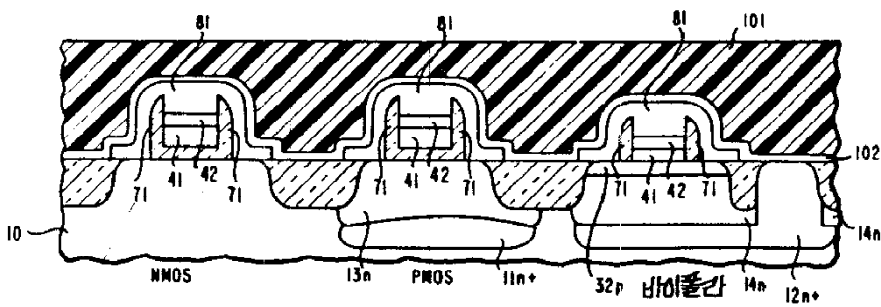
도면9



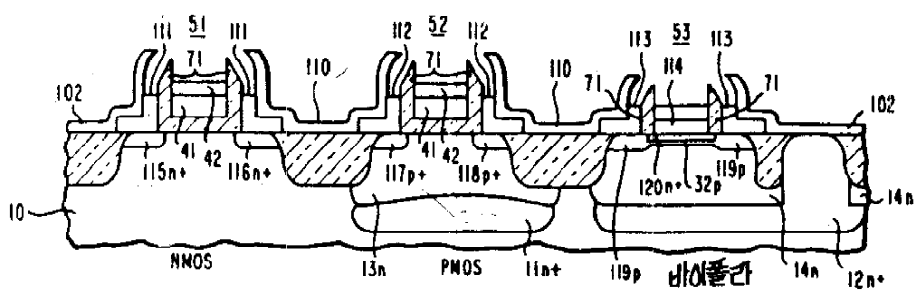
도면 10



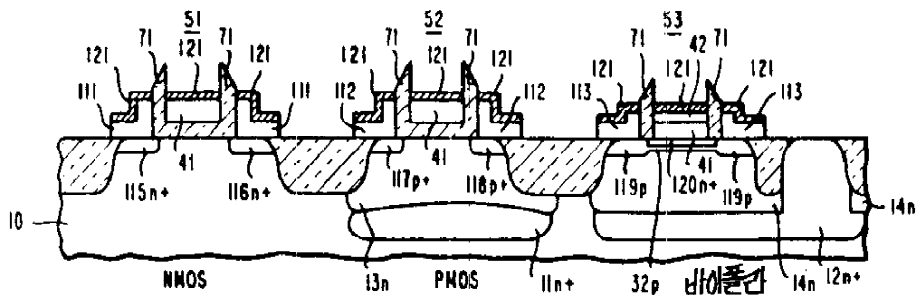
도면 11



도면 12



도면 13



도면 14

