

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5808580号
(P5808580)

(45) 発行日 平成27年11月10日 (2015.11.10)

(24) 登録日 平成27年9月18日 (2015.9.18)

(51) Int.Cl.	F I				
HO 1 L 29/786 (2006.01)	HO 1 L 29/78	6 1 6 T			
HO 1 L 21/8234 (2006.01)	HO 1 L 29/78	6 1 8 B			
HO 1 L 27/088 (2006.01)	HO 1 L 27/08	1 0 2 E			
HO 1 L 27/08 (2006.01)	HO 1 L 27/08	3 3 1 E			
HO 1 L 21/8242 (2006.01)	HO 1 L 27/10	3 2 1			
請求項の数 12 (全 36 頁) 最終頁に続く					

(21) 出願番号	特願2011-123651 (P2011-123651)	(73) 特許権者	000153878
(22) 出願日	平成23年6月1日 (2011.6.1)		株式会社半導体エネルギー研究所
(65) 公開番号	特開2012-15499 (P2012-15499A)		神奈川県厚木市長谷398番地
(43) 公開日	平成24年1月19日 (2012.1.19)	(72) 発明者	加藤 清
審査請求日	平成26年5月27日 (2014.5.27)		神奈川県厚木市長谷398番地 株式会社
(31) 優先権主張番号	特願2010-129349 (P2010-129349)		半導体エネルギー研究所内
(32) 優先日	平成22年6月4日 (2010.6.4)		
(33) 優先権主張国	日本国 (JP)	審査官	市川 武宜
		(56) 参考文献	国際公開第2008/136505 (W O, A1) 特開平06-252171 (JP, A) 特表2006-503439 (JP, A) 最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

チャネル形成領域を含む半導体層と、
 前記チャネル形成領域と電氣的に接続されたソース電極と、
 前記チャネル形成領域と電氣的に接続されたドレイン電極と、
 前記チャネル形成領域と重なるゲート電極と、
 前記チャネル形成領域と前記ゲート電極との間のゲート絶縁層と、
前記ゲート絶縁層上に電極と、を有し、
 前記ソース電極の上面と、前記ドレイン電極の上面とは、前記ゲート絶縁層に覆われて
 おり、
 前記ソース電極と前記ドレイン電極とは、金属、金属酸化物、または金属窒化物を含み
 、
 前記ソース電極は、前記半導体層の側面と接する領域を有し、
 前記ドレイン電極は、前記半導体層の側面と接する領域を有し、
 前記ゲート絶縁層の側面の一部と、前記ソース電極または前記ドレイン電極の側面の一
 部と、は、平面方向から見て概略一致しており、
前記電極は、前記ゲート絶縁層を介して、前記ソース電極または前記ドレイン電極と重
 なる領域を有し、
前記電極の側面の一部と、前記ゲート絶縁層の側面の一部とは、平面方向から見て概略
 一致していることを特徴とする半導体装置。

【請求項 2】

請求項 1 において、

前記チャンネル形成領域は、酸化物半導体を含むことを特徴とする半導体装置。

【請求項 3】

請求項 1 または 2 において、

前記ゲート絶縁層と、前記ソース電極または前記ドレイン電極と、は、同じ工程で加工可能な材料を含むことを特徴とする半導体装置。

【請求項 4】

請求項 1 乃至 3 のいずれかにおいて、

前記ゲート絶縁層の側面の一部は、チャンネル長方向に対し垂直であることを特徴とする半導体装置。 10

【請求項 5】

請求項 1 乃至 4 のいずれかにおいて、

前記半導体層の側面の一部と、前記ソース電極または前記ドレイン電極の側面の別の一部と、は、平面方向から見て概略一致していることを特徴とする半導体装置。

【請求項 6】

第 1 のトランジスタと、第 2 のトランジスタと、を有し、

前記第 1 のトランジスタは、

半導体基板に設けられたソース領域と、

前記半導体基板に設けられたドレイン領域と、 20

前記半導体基板に設けられ、前記ソース領域と前記ドレイン領域との間の第 1 のチャンネル形成領域と、

前記第 1 のチャンネル形成領域上の第 1 のゲート絶縁層と、

前記第 1 のゲート絶縁層上に設けられ、前記第 1 のチャンネル形成領域と重なる第 1 のゲート電極と、を有し、

前記第 2 のトランジスタは、

第 2 のチャンネル形成領域を含む半導体層と、

前記第 2 のチャンネル形成領域と電気的に接続されたソース電極と、

前記第 2 のチャンネル形成領域と電気的に接続されたドレイン電極と、

前記第 2 のチャンネル形成領域と重なる第 2 のゲート電極と、 30

前記第 2 のチャンネル形成領域と前記第 2 のゲート電極との間の第 2 のゲート絶縁層と、を有し、

前記第 1 のチャンネル形成領域と前記第 2 のチャンネル形成領域とは、互いに異なる半導体材料を含み、

前記ソース電極の上面と、前記ドレイン電極の上面とは、前記第 2 のゲート絶縁層に覆われており、

前記第 1 のゲート電極は、前記ソース電極または前記ドレイン電極と接する領域を有し、

前記ソース電極と前記ドレイン電極とは、金属、金属酸化物、または金属窒化物を含み、 40

前記ソース電極は、前記半導体層の側面と接する領域を有し、

前記ドレイン電極は、前記半導体層の側面と接する領域を有し、

前記第 2 のゲート絶縁層の側面の一部と、前記ソース電極または前記ドレイン電極の側面の一部と、は、平面方向から見て概略一致していることを特徴とする半導体装置。

【請求項 7】

請求項 6 において、

前記第 2 のチャンネル形成領域は、酸化物半導体を含むことを特徴とする半導体装置。

【請求項 8】

請求項 6 または 7 において、

前記第 2 のゲート絶縁層と、前記ソース電極および前記ドレイン電極と、は、同じ工程 50

で加工可能な材料を含むことを特徴とする半導体装置。

【請求項 9】

請求項 6 乃至 8 のいずれかーにおいて、

前記第 2 のゲート絶縁層の側面の一部は、前記第 2 のチャネル形成領域のチャネル長方向に対し垂直であることを特徴とする半導体装置。

【請求項 10】

請求項 6 乃至 9 のいずれかーにおいて、

前記第 2 のゲート絶縁層上に電極を有し、

前記電極は、前記第 2 のゲート絶縁層を介して、前記ソース電極または前記ドレイン電極と重なる領域を有し、

前記電極の側面の一部と、前記第 2 のゲート絶縁層の側面の一部とは、平面方向から見て概略一致していることを特徴とする半導体装置。

【請求項 11】

請求項 6 乃至 10 のいずれかーにおいて、

前記半導体層の側面の一部と、前記ソース電極または前記ドレイン電極の側面の別の一部と、は、平面方向から見て概略一致していることを特徴とする半導体装置。

【請求項 12】

請求項 6 乃至 11 のいずれかーにおいて、

前記第 1 のトランジスタを複数有し、

前記第 2 のトランジスタを複数有し、

前記複数の第 1 のトランジスタのうち、一におけるソース領域またはドレイン領域は、前記一と隣接する他の一におけるドレイン領域またはソース領域と電氣的に接続されており、

前記複数の第 2 のトランジスタのうち、一におけるソース電極またはドレイン電極は、前記一と隣接する他の一におけるソース電極またはドレイン電極と電氣的に接続されていることを特徴とする半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

開示する発明は、半導体素子を利用した半導体装置およびその作製方法に関するものである。

【背景技術】

【0002】

半導体素子を利用した記憶装置は、電力の供給がなくなると記憶内容が失われる揮発性のものと、電力の供給がなくなっても記憶内容は保持される不揮発性のものとに大別される。

【0003】

揮発性記憶装置の代表的な例としては、DRAM (Dynamic Random Access Memory) がある。DRAMは、記憶素子を構成するトランジスタを選択してキャパシタに電荷を蓄積することで、情報を記憶する。

【0004】

上述の原理から、DRAMでは、情報を読み出すとキャパシタの電荷は失われるため、情報の読み出しの度に、再度の書き込み動作が必要となる。また、記憶素子を構成するトランジスタにおいてはオフ状態でのソースとドレイン間のリーク電流（オフ電流）等によって、トランジスタが選択されていない状況でも電荷が流出、または流入するため、データの保持期間が短い。このため、所定の周期で再度の書き込み動作（リフレッシュ動作）が必要であり、消費電力を十分に低減することは困難である。また、電力の供給がなくなると記憶内容が失われるため、長期間の記憶の保持には、磁性材料や光学材料を利用した別の記憶装置が必要となる。

【0005】

揮発性記憶装置の別の例としてはSRAM (Static Random Access Memory) がある。SRAMは、フリップフロップなどの回路を用いて記憶内容を保持するため、リフレッシュ動作が不要であり、この点においてはDRAMより有利である。しかし、フリップフロップなどの回路を用いているため、記憶容量あたりの単価が高くなるという問題がある。また、電力の供給がなくなると記憶内容が失われるという点については、DRAMと変わるところはない。

【0006】

不揮発性記憶装置の代表例としては、フラッシュメモリがある。フラッシュメモリは、トランジスタのゲート電極とチャネル形成領域との間にフローティングゲートを有し、当該フローティングゲートに電荷を保持させることで記憶を行うため、データの保持期間は極めて長く（半永久的）、揮発性記憶装置で必要なリフレッシュ動作が不要であるという利点を有している（例えば、特許文献1参照）。

10

【0007】

しかし、書き込みの際に生じるトンネル電流によって記憶素子を構成するゲート絶縁層が劣化するため、所定回数の書き込みによって記憶素子が機能しなくなるという問題が生じる。この問題の影響を緩和するために、例えば、各記憶素子の書き込み回数を均一化する手法が採られるが、これを実現するためには、複雑な周辺回路が必要になってしまう。そして、このような手法を採用しても、根本的な寿命の問題が解消するわけではない。つまり、フラッシュメモリは、情報の書き換え頻度が高い用途には不向きである。

【0008】

20

また、フローティングゲートに電荷を保持させるため、または、その電荷を除去するためには、高い電圧が必要であり、また、そのための回路も必要である。さらに、電荷の保持、または除去のためには比較的長い時間を要し、書き込み、消去の高速化が容易ではないという問題もある。

【先行技術文献】

【特許文献】

【0009】

【特許文献1】特開昭57-105889号公報

【発明の概要】

【発明が解決しようとする課題】

30

【0010】

ところで、上述のような半導体素子を利用した記憶装置（単に半導体装置とも言う。）では、記憶容量の増大、製品単価抑制などの観点から、十分なサイズの低減が求められている。また、上述のような半導体素子を利用した記憶装置は、各種要求を満たす十分な機能を有しているとは言い難く、このため、記憶装置のさらなる高機能化が必要とされている。

【0011】

上述の問題に鑑み、開示する発明の一態様では、高度な集積化を実現した、新たな構造の半導体装置を提供することを目的の一とする。

【0012】

40

または、電力が供給されない状況でも記憶内容の保持が可能で、かつ、書き込み回数にも制限が無い、新たな構造の半導体装置において、高度な集積化を実現することを目的の一とする。

【課題を解決するための手段】

【0013】

開示する発明の一態様では、半導体装置が有するトランジスタの構成要素の側面（の一部）を一致させる。または、トランジスタを三次元的に集積化する。より具体的には、例えば、半導体装置の構成を以下のようなものにする。

【0014】

開示する発明の一態様は、チャネル形成領域を含む半導体層と、チャネル形成領域と電気

50

的に接続するソース電極およびドレイン電極と、チャンネル形成領域と重畳するゲート電極と、チャンネル形成領域とゲート電極との間のゲート絶縁層と、を含み、ゲート絶縁層の側面の一部と、ソース電極またはドレイン電極の側面の一部と、は、平面方向から見て概略一致している半導体装置である。

【0015】

ここで、チャンネル形成領域は、酸化物半導体を含んで構成される場合がある。また、ゲート絶縁層と、ソース電極またはドレイン電極とには、同じ工程（例えば、同じエッチングガスを用いたドライエッチング工程など）で加工可能な材料が用いられている場合がある。また、ゲート絶縁層の側面は、チャンネル長方向に垂直な側面の場合がある。

【0016】

また、上記において、ゲート絶縁層上の、ソース電極またはドレイン電極と重畳する電極を有し、電極の側面の一部と、ゲート絶縁層の側面の一部と、ソース電極またはドレイン電極の側面の一部と、は、平面方向から見て概略一致している場合がある。そして、チャンネル形成領域を含む半導体層の側面の一部と、ソース電極またはドレイン電極の側面の別の一部と、は、平面方向から見て概略一致している場合がある。

【0017】

開示する発明の別の一態様は、第1のチャンネル形成領域と、第1のチャンネル形成領域上の第1のゲート絶縁層と、第1のゲート絶縁層上の第1のチャンネル形成領域と重畳する第1のゲート電極と、第1のチャンネル形成領域を挟む第1のソース領域および第1のドレイン領域と、を含む第1のトランジスタと、第2のチャンネル形成領域を含む半導体層と、第2のチャンネル形成領域と電氣的に接続する第2のソース電極および第2のドレイン電極と、第2のチャンネル形成領域と重畳する第2のゲート電極と、第2のチャンネル形成領域と第2のゲート電極との間の第2のゲート絶縁層と、を含む第2のトランジスタと、を有し、第1のチャンネル形成領域と第2のチャンネル形成領域は、異なる半導体材料を主成分として構成され、第2のゲート絶縁層の側面の一部と、第2のソース電極または第2のドレイン電極の側面の一部と、は、平面方向から見て概略一致している半導体装置である。

【0018】

ここで、第2のチャンネル形成領域は、酸化物半導体を含んで構成される場合がある。また、第2のゲート絶縁層と、第2のソース電極および第2のドレイン電極とには、同じ工程で加工可能な材料が用いられている場合がある。また、第2のゲート絶縁層の側面は、チャンネル長方向に垂直な側面の場合がある。また、第2のゲート絶縁層上の、第2のソース電極または第2のドレイン電極と重畳する電極を有し、電極の側面の一部と、第2のゲート絶縁層の側面の一部と、第2のソース電極または第2のドレイン電極の側面の一部と、は、平面方向から見て概略一致している場合がある。

【0019】

また、上記において、第1のチャンネル形成領域の側面の一部と、第1のゲート絶縁層の側面の一部と、第1のゲート電極の側面の一部と、は、平面方向から見て概略一致しており、第2のチャンネル形成領域を含む半導体層の側面の一部と、第2のソース電極または第2のドレイン電極の側面の別の一部と、は、平面方向から見て概略一致している場合がある。また、第1のチャンネル形成領域の側面は、第1のトランジスタのチャンネル長方向に平行な側面の場合がある。また、第2のチャンネル形成領域を含む半導体層の側面は、第2のトランジスタのチャンネル長方向に平行な側面の場合がある。

【0020】

また、上記において、第1のゲート電極と、第2のソース電極または第2のドレイン電極と、は、電氣的に接続されている場合がある。また、第1のトランジスタおよび第2のトランジスタを複数有し、複数の第1のトランジスタの一における第1のソース領域または第1のドレイン領域は、隣接する第1のトランジスタにおける第1のドレイン領域または第1のソース領域と電氣的に接続されている場合がある。

【0021】

なお、上記において、酸化物半導体を用いてトランジスタを構成することがあるが、開示

10

20

30

40

50

する発明はこれに限定されない。酸化物半導体と同等のオフ電流特性が実現できる材料、例えば、炭化シリコンをはじめとするワイドギャップ材料（より具体的には、例えば、エネルギーギャップ E_g が 3 eV より大きい半導体材料）などを適用しても良い。

【0022】

本明細書等において、「平面方向から見て、側面の一部が一致」とは、基板の表面（表面または裏面のいずれか）と垂直な方向から見て、対象物の側面が、一部の領域において重畳することを意味する。また、「概略一致」は、厳密な一致を要しない意味で用いる。例えば、「概略一致」の表現は、複数の層を同一のマスクを用いてエッチングして得られた形状における一致の程度を包含する。また、「チャンネル長方向」とは、ソース領域（またはソース電極）からドレイン領域（またはドレイン電極）へと向かう方向、または、その反対の方向であって、ソース領域とドレイン領域との間隔が最小となる経路を通るものをいう。

10

【0023】

また、本明細書等において「主成分」の用語は、含有率（原子%）が最大の成分をいう場合に用いる。これに従えば、例えば、いわゆる「シリコンウェハ」の主成分元素はシリコンである、ということができる。

【0024】

また、本明細書等において「上」や「下」の用語は、構成要素の位置関係が「直上」または「直下」であることを限定するものではない。例えば、「ゲート絶縁層上のゲート電極」の表現であれば、ゲート絶縁層とゲート電極との間に他の構成要素を含むものを除外しない。

20

【0025】

また、本明細書等において「電極」や「配線」の用語は、これらの構成要素を機能的に限定するものではない。例えば、「電極」は「配線」の一部として用いられることがあり、その逆もまた同様である。さらに、「電極」や「配線」の用語は、複数の「電極」や「配線」が一体となって形成されている場合なども含む。

【0026】

また、「ソース」や「ドレイン」の機能は、異なる極性のトランジスタを採用する場合や、回路動作において電流の方向が変化する場合などには入れ替わることがある。このため、本明細書においては、「ソース」や「ドレイン」の用語は、入れ替えて用いることができるものとする。

30

【0027】

また、本明細書等において、「電気的に接続」には、「何らかの電気的作用を有するもの」を介して接続されている場合が含まれる。ここで、「何らかの電気的作用を有するもの」は、接続対象間での電気信号の授受を可能とするものであれば、特に制限を受けない。例えば、「何らかの電気的作用を有するもの」には、電極や配線をはじめ、トランジスタなどのスイッチング素子、抵抗素子、インダクタ、キャパシタ、その他の各種機能を有する素子などが含まれる。

【発明の効果】

【0028】

開示する発明に係る半導体装置では、トランジスタの構成要素の側面（の一部）を一致させる態様を採用している。これにより、半導体装置の高集積化を実現することが可能である。特に、トランジスタを三次元的に集積化した構造においては、当該三次元的構成の採用による高集積化と相まって、より顕著な効果が得られる。

40

【図面の簡単な説明】

【0029】

【図1】半導体装置の平面図および断面図。

【図2】半導体装置の作製工程に係る斜視図。

【図3】半導体装置の作製工程に係る斜視図。

【図4】半導体装置の作製工程に係る斜視図。

50

【図 5】半導体装置の作製工程に係る斜視図。

【図 6】半導体装置の作製工程に係る斜視図。

【図 7】半導体装置の作製工程に係る斜視図。

【図 8】半導体装置の回路図。

【図 9】半導体装置の回路図。

【図 10】タイミングチャート図。

【図 11】半導体装置の回路図。

【図 12】タイミングチャート図。

【図 13】半導体装置を用いた電子機器を説明するための図。

【発明を実施するための形態】

10

【0030】

開示する発明の実施の形態の一例について、図面を用いて以下に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。

【0031】

なお、図面等において示す各構成の、位置、大きさ、範囲などは、理解の簡単のため、実際の位置、大きさ、範囲などを表していない場合がある。このため、開示する発明は、必ずしも、図面等を開示された位置、大きさ、範囲などに限定されない。

【0032】

20

なお、本明細書等における「第 1」、「第 2」、「第 3」などの序数詞は、構成要素の混同を避けるために付すものであり、数的に限定するものではないことを付記する。

【0033】

(実施の形態 1)

本実施の形態では、開示する発明の一態様に係る半導体装置の構成およびその作製方法について、図 1 乃至図 7 を参照して説明する。なお、図 1 乃至図 7 は、半導体装置およびその作製方法の説明のために、半導体装置の一部に相当する部分を抜き出して示したものであって、半導体装置の構成全てを示すものではないことを付記する。

【0034】

半導体装置の断面構成および平面構成

30

図 1 は、半導体装置の構成の一例である。図 1 (A) は、半導体装置の一部を示す平面図であり、図 1 (B) は、図 1 (A) の A 1 - A 2 における断面図である。図 1 に示される半導体装置は、下部に第 1 の半導体材料を用いたトランジスタ 160 を有し、上部に第 2 の半導体材料を用いたトランジスタ 162 および容量素子 164 を有するものである。

【0035】

ここで、第 1 の半導体材料と第 2 の半導体材料とは、異なる半導体材料を主成分として構成されることが望ましい。例えば、第 1 の半導体材料を酸化物半導体以外の半導体材料（シリコンなど）とし、第 2 の半導体材料を酸化物半導体とすることができる。単結晶シリコンなどの酸化物半導体以外の材料を用いたトランジスタは、高速動作が容易である。一方で、酸化物半導体を用いたトランジスタは、その特性により長時間の電荷保持を可能とする。なお、本明細書等において「主成分」の用語は、含有率（原子%）が最大の成分をいう場合に用いる。これに従えば、例えば、いわゆる「シリコンウェハ」の主成分元素はシリコンである、ということができる。

40

【0036】

なお、これらのトランジスタは、n チャネル型トランジスタとしても良いし、p チャネル型トランジスタとしても良い。

【0037】

図 1 におけるトランジスタ 160 は、半導体材料（例えば、シリコンなど）を含む基板 101 に設けられたチャネル形成領域 132 と、チャネル形成領域を挟むように設けられた不純物領域 128 および不純物領域 130 と、チャネル形成領域 132 上に設けられたゲ

50

ート絶縁層 111 と、ゲート絶縁層 111 上に設けられたゲート電極 125 と、を有する。ここで、不純物領域 128 および不純物領域 130 は、トランジスタのソース領域またはドレイン領域として機能する。また、不純物領域 128 は、高濃度に不純物元素が添加された領域であり、配線としても機能する。なお、図において、明示的にはソース電極やドレイン電極を有しない場合があるが、便宜上、このような状態を含めてトランジスタと呼ぶ場合がある。また、この場合、トランジスタの接続関係を説明するために、ソース領域やドレイン領域を含めてソース電極やドレイン電極と表現することがある。つまり、本明細書において、ソース電極との記載にはソース領域が、ドレイン電極との記載にはドレイン領域が、含まれる。

【0038】

ここで、トランジスタ 160 を平面方向から見ると、基板 101 に設けられたチャンネル形成領域 132、ゲート絶縁層 111 およびゲート電極 125 の側面の一部は、概略一致している（図 1（A）参照）。特に、基板 101 に設けられたチャンネル形成領域 132、ゲート絶縁層 111 およびゲート電極 125 のチャンネル長方向に平行な側面（例えば、図 1（A）の領域 155 に位置する側面）は概略一致している。このような平面レイアウトでトランジスタ 160 を形成することにより、トランジスタ 160 を含む半導体装置の高集積化を図ることができる。ここで、「平面方向から見て、側面の一部が一致」とは、基板 101 の表面（表面または裏面のいずれか）と垂直な方向から見て、対象物の側面が、一部の領域において重畳することを意味する。また、「概略一致」は、厳密な一致を要しない意味で用いる。例えば、「概略一致」の表現は、複数の層を同一のマスクを用いてエッチングして得られた形状における一致の程度を包含する。また、「チャンネル長方向」とは、ソース領域からドレイン領域へと向かう方向、または、その反対の方向であって、ソース領域とドレイン領域との間隔が最小となる経路を通るものをいう。

【0039】

また、図 3（B）に示すように、基板 101 には、隣接するトランジスタ 160 どうしを分離する素子分離絶縁層 121 が埋め込まれており、また、図 4（C）に示すように、トランジスタ 160 上に、ゲート電極 125 の上面を露出させるように絶縁層 131 が設けられている。なお、高集積化を実現するためには、図 1 に示すようにトランジスタ 160 がサイドウォール絶縁層を有しない構成とすることが望ましい。一方で、トランジスタ 160 の特性を重視する場合には、ゲート電極 125 の側面にサイドウォール絶縁層を設け、不純物濃度が異なる領域を含む不純物領域 130 などを設けても良い。

【0040】

ここで、絶縁層 131 は、平坦性の良好な表面を有しているのが好ましく、例えば、絶縁層 131 の表面は、二乗平均平方根（RMS：Root Mean Square）粗さを 1 nm 以下とすることが好ましい。絶縁層 131 の表面が平坦性に優れることで、その上に設けられるトランジスタ 162 の特性も高まるためである。

【0041】

図 1 におけるトランジスタ 162 は、絶縁層 131 上に形成された、チャンネル形成領域を含む酸化物半導体層 141 と、酸化物半導体層 141 の一部と接続するソース電極 143 およびドレイン電極 145 と、酸化物半導体層 141 を覆うゲート絶縁層 147 と、ゲート絶縁層 147 上に酸化物半導体層 141 と重畳するように設けられたゲート電極 149 と、を有する。ここで、トランジスタ 162 のソース電極 143（ドレイン電極 145 の場合もある）と、トランジスタ 160 のゲート電極 125 とは電氣的に接続されている。もちろん、開示する発明に係るトランジスタの接続関係はこれに限定されない。

【0042】

ここで、酸化物半導体層 141 は水素などの不純物が十分に除去されることにより、または、十分な酸素が供給されることにより、高純度化されたものであることが望ましい。具体的には、例えば、酸化物半導体層 141 の水素濃度は $5 \times 10^{19} \text{ atoms/cm}^3$ 以下、望ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以下、より望ましくは $5 \times 10^{17} \text{ atoms/cm}^3$ 以下とする。なお、上述の酸化物半導体層 141 中の水素濃度は、二次

10

20

30

40

50

イオン質量分析法 (SIMS: Secondary Ion Mass Spectroscopy) で測定されるものである。このように、水素濃度が十分に低減されて高純度化され、十分な酸素の供給により酸素欠乏に起因するエネルギーギャップ中の欠陥準位が低減された酸化物半導体層 141 では、水素等のドナーに起因するキャリア密度が $1 \times 10^{12} / \text{cm}^3$ 未満、望ましくは、 $1 \times 10^{11} / \text{cm}^3$ 未満、より望ましくは $1.45 \times 10^{10} / \text{cm}^3$ 未満となる。また、例えば、室温 (25) でのオフ電流 (ここでは、単位チャネル幅 (1 μm) あたりの値) は 100 zA (1 zA (zeptoアンペア) は $1 \times 10^{-21} \text{ A}$) 以下、望ましくは 10 zA 以下となる。このように、i 型化 (真性化) または実質的に i 型化された酸化物半導体を用いることで、極めて優れたオフ電流特性のトランジスタ 162 を得ることができる。

10

【0043】

また、絶縁層 131 の表面であって酸化物半導体層 141 と接する領域は、その二乗平均平方根 (RMS) 粗さを 1 nm 以下とすることが好ましい。このように、二乗平均平方根 (RMS) 粗さが 1 nm 以下という極めて平坦な領域にトランジスタ 162 のチャネル形成領域を設けることにより、トランジスタ 162 が微細化される状況においても、短チャネル効果などの不具合を防止し、良好な特性を有するトランジスタ 162 を提供することが可能である。

【0044】

ここで、トランジスタ 162 を平面方向から見ると、チャネル形成領域を含む酸化物半導体層 141、ソース電極 143 (またはドレイン電極 145) の側面の一部は概略一致している。特に、図 5 (C) に示すように、チャネル形成領域を含む酸化物半導体層 141、ソース電極 142 (ソース電極 143 に対応) (またはドレイン電極 145) のチャネル長方向に平行な側面 (例えば、図 1 (A) の領域 157 に位置する側面) は概略一致している。

20

【0045】

また、同様に、トランジスタ 162 を平面方向から見ると、ゲート絶縁層 147 の側面の一部と、ソース電極 143 (またはドレイン電極 145) の側面の一部は概略一致している。特に、図 7 に示すように、ゲート絶縁層 147 と、ソース電極 143 (またはドレイン電極 145) のチャネル長方向に垂直な側面 (例えば、図 1 (A) の領域 159 に位置する側面) は概略一致している。

30

【0046】

ここで、「平面方向から見て、側面の一部が一致」とは、基板 101 の表面 (表面または裏面のいずれか) と垂直な方向から見て、対象物の側面が、一部の領域において重畳することを意味する。また、「概略一致」は、厳密な一致を要しない意味で用いる。例えば、「概略一致」の表現は、複数の層を同一のマスクを用いてエッチングして得られた形状における一致の程度を包含する。また、「チャネル長方向」とは、ソース領域からドレイン領域へと向かう方向、または、その反対の方向であって、ソース領域とドレイン領域との間隔が最小となる経路を通るものをいう。このような平面レイアウトでトランジスタ 162 を形成することにより、トランジスタ 162 を含む半導体装置の高集積化を図ることができる。

40

【0047】

図 1 における容量素子 164 は、ソース電極 143、ゲート絶縁層 147、ゲート絶縁層 147 上の電極 151、で構成される。すなわち、ソース電極 143 は、容量素子 164 の一方の電極として機能し、電極 151 は、容量素子 164 の他方の電極として機能することになる。一方で、開示する発明の一態様において、容量素子 164 は必須の構成ではないから、電極 151 などは適宜省略することも可能である。また、電極 151 の側面の一部は、トランジスタ 162 を平面方向から見ると、ゲート絶縁層 147 の側面の一部と、ソース電極 143 (またはドレイン電極 145) の側面の一部と概略一致していることが好ましい。図 7 に示すように、電極 151 と、ゲート絶縁層 147 と、ソース電極 143 (またはドレイン電極 145) のチャネル長方向に垂直な側面 (例えば、図 1 (A) の

50

領域 1 5 9 に位置する側面) は概略一致していることが好ましい。

【 0 0 4 8 】

以上のように、トランジスタの構成要素の側面(の一部)を一致させる態様を採用することで、高度に集積化された半導体装置を実現することができる。特に、トランジスタを三次元的に集積化した構造においては、当該三次元的構成の採用による高集積化と相まって、より顕著な効果が得られる。なお、図 1 に示す半導体装置では、複数の領域(領域 1 5 5、領域 1 5 7、および領域 1 5 9)においてトランジスタの構成要素の側面(の一部)を一致させているが、これらのうちのーのみが一致する場合であっても十分な効果を得ることが可能である。

【 0 0 4 9 】

なお、開示する発明に係る半導体装置の構成は、図 1 に示されるものに限定されない。開示する発明のー態様の技術的思想は、トランジスタの構成要素の側面(の一部)を一致させる態様とすることで半導体装置の高集積化を実現する点にあるから、電極の接続関係等の詳細については、適宜変更することができる。

【 0 0 5 0 】

半導体装置の作製方法

次に、上記半導体装置の作製方法のー例について説明する。

【 0 0 5 1 】

まず、半導体材料を含む基板 1 0 1 を用意する(図 2 (A) 参照)。なお、図 2 (A) の A 1 - A 2 における断面が、図 1 (B) に示される断面に相当する。以下、図 2 乃至図 7 において同様である。半導体材料を含む基板 1 0 1 としては、シリコンや炭化シリコンなどの単結晶半導体基板、多結晶半導体基板、シリコンゲルマニウムなどの化合物半導体基板、S O I 基板などを適用することができる。ここでは、半導体材料を含む基板 1 0 1 として、単結晶シリコン基板を用いる場合のー例について示すものとする。なお、一般に「S O I 基板」は、絶縁表面上にシリコン半導体層が設けられた構成の基板をいうが、本明細書等においては、絶縁表面上にシリコン以外の材料からなる半導体層が設けられた構成の基板も含む概念として用いる。つまり、「S O I 基板」が有する半導体層は、シリコン半導体層に限定されない。また、S O I 基板には、ガラス基板などの絶縁基板上に絶縁層を介して半導体層が設けられた構成のものが含まれるものとする。

【 0 0 5 2 】

半導体材料を含む基板 1 0 1 として、特に、シリコンなどの単結晶半導体基板を用いる場合には、半導体装置の読み出し動作を高速化することができるため好適である。

【 0 0 5 3 】

なお、トランジスタのしきい値電圧を制御するために、後にトランジスタ 1 6 0 のチャネル形成領域 1 3 2 となる領域に、不純物元素を添加しても良い。ここでは、トランジスタ 1 6 0 のしきい値電圧が正となるように導電性を付与する不純物元素を添加する。半導体材料がシリコンの場合、該導電性を付与する不純物には、例えば、硼素、アルミニウム、ガリウムなどがある。

【 0 0 5 4 】

次に、基板 1 0 1 上に絶縁層 1 0 3 を形成する(図 2 (A) 参照)。絶縁層 1 0 3 は後のゲート絶縁層 1 1 1 となるものであり、例えば、半導体材料を含む基板 1 0 1 の表面の熱処理(熱酸化処理や熱窒化処理など)によって形成することができる。熱処理に代えて、高密度プラズマ処理を適用しても良い。高密度プラズマ処理は、例えば、He、Ar、Kr、Xeなどの希ガス、酸素、酸化窒素、アンモニア、窒素、水素などの混合ガスを用いて行うことができる。もちろん、C V D 法やスパッタリング法等を用いて絶縁層を形成しても良い。絶縁層 1 0 3 は、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ハフニウム、酸化アルミニウム、酸化タンタル、酸化イットリウム、ハフニウムシリケート(HfSi_xO_y ($x > 0$, $y > 0$))、窒素が添加されたハフニウムシリケート(HfSi_xO_y ($x > 0$, $y > 0$))、窒素が添加されたハフニウムアルミネート(HfAl_xO_y ($x > 0$, $y > 0$))等を含む単層構造または積層構造とするこ

10

20

30

40

50

とが望ましい。また、絶縁層 103 の厚さは、例えば、1 nm 以上 100 nm 以下、好ましくは 10 nm 以上 50 nm 以下とすることができる。

【0055】

次に、絶縁層 103 上に導電性材料を含む層 105 を形成する（図 2（A）参照）。導電性材料を含む層 105 は後のゲート電極 125 となるものである。導電性材料を含む層 105 は、リン、硼素等の一導電型を付与する不純物元素が添加された、多結晶シリコンなどの半導体材料を用いて形成することができる。また、導電性材料を含む層 105 は、アルミニウムや銅、チタン、タンタル、タングステン等の金属材料を用いて形成してもよい。形成方法も特に限定されず、蒸着法、CVD 法、スパッタリング法、スピンコート法などの各種成膜方法を用いることができる。

10

【0056】

次に、導電性材料を含む層 105 上に絶縁層 107 を形成する（図 2（A）参照）。絶縁層 107 は、後の工程で導電性材料を含む層 105 をエッチングする際に、導電性材料を含む層 105 のゲート電極 125 となる部分を保護する絶縁層 115 となるものである。絶縁層 107 は、後の工程で形成する素子分離絶縁層 121 とエッチングの選択比がとれる材料を用いて形成するのが好ましく、例えば、素子分離絶縁層 121 に酸化シリコンが用いられる場合には、絶縁層 107 には窒化シリコンなどを用いるのが好ましい。

【0057】

それから、絶縁層 107 上にレジストマスク 109 を形成する（図 2（A）参照）。

【0058】

20

次に、レジストマスク 109 を用いて、絶縁層 107、導電性材料を含む層 105、絶縁層 103、および基板 101 の一部を選択的にエッチングして、レジストマスク 109 に覆われていない領域を除去する。これにより、ゲート絶縁層 111、導電性材料を含む層 113 および絶縁層 115 が形成される（図 2（B）参照）。また、これにより、後にチャネル形成領域 132 となる領域（上述のエッチングによって形成された、基板 101 の凸状の領域）の側面の一部と、ゲート絶縁層 111 の側面の一部と、後にゲート電極となる導電性材料を含む層 113 の側面の一部と、が、平面方向から見て概略一致することになる。また、上述の概略一致する側面（例えば、後にチャネル形成領域 132 となる領域の側面）は、チャネル長方向に平行な側面である。ここで、「平面方向から見て、側面の一部が一致」とは、基板 101 の表面に垂直な方向から見て、対象物の側面が、一部の領域において重畳することを意味する。また、「概略一致」は、厳密な一致を要しない意味で用いる。例えば、「概略一致」の表現は、上述のような、複数の層を同一のマスクを用いてエッチングして得られた形状における一致の程度を包含する。また、「チャネル長方向」とは、ソース領域からドレイン領域へと向かう方向、または、その反対の方向であって、ソース領域とドレイン領域との間隔が最小となる経路を通るものをいう。

30

【0059】

上述のように、レジストマスク 109 を用いて、絶縁層 107、導電性材料を含む層 105、絶縁層 103、および基板 101 の一部を一度にエッチングすることで、各構成要素を個別にエッチングして形成する場合に生じうる、マスクの位置合わせに起因する形状ばらつきを無くすることができる。これにより、マスクの位置合わせに余裕を持たせる必要が

40

【0060】

なお、上記エッチングの後には、レジストマスク 109 は除去する。当該エッチングには、ドライエッチングを用いるのが好適であるが、ウェットエッチングを用いても良い。エッチングガスやエッチング液については被エッチング材料に応じて適宜選択することができる。また、導電性材料を含む層 105、絶縁層 103 および基板 101 には、当該エッチング工程で条件変更により連続的に加工可能な材料を用いるのが好ましく、例えばドライエッチング工程においてガスの切り替えといった条件変更により連続的に加工可能な材料を用いるのが好ましい。特に好ましくは、導電性材料を含む層 105、絶縁層 103 および基板 101 には、同じ工程（例えば、同じエッチングガスを用いたドライエッチング

50

工程など)で加工可能な材料を用いる。

【0061】

次に、基板101、ゲート絶縁層111、導電性材料を含む層113および絶縁層115を覆うように絶縁層117を形成する(図2(C)参照)。絶縁層117の形成方法は特に限定されないが、例えば、基板101、ゲート絶縁層111、導電性材料を含む層113および絶縁層115を熱酸化することにより得られる熱酸化膜で形成することができる。このように、絶縁層117を熱酸化で形成する場合には、例えば、CVDを用いた高温酸化膜を形成することが出来る。また、導電性材料を含む層113を、不純物元素が添加された多結晶シリコンなどの半導体材料を用いて形成する場合には、熱酸化を行って熱酸化膜を形成することが好ましい。この場合、熱酸化膜形成前後に加熱処理を行うことも可能である。このように熱酸化や加熱処理を行うことで、上述のエッチングの際に損傷した基板101、ゲート絶縁層111、導電性材料を含む層113および絶縁層115の一部を修復させることも可能である。

10

【0062】

次に、基板101、ゲート絶縁層111、導電性材料を含む層113、絶縁層115および絶縁層117を覆うように絶縁層119を形成する(図3(A)参照)。絶縁層119は後に素子分離絶縁層121となるものであり、酸化シリコンや窒化シリコン、酸化窒化シリコン、窒化酸化シリコンなどを用いて形成される。

【0063】

次に、少なくとも絶縁層115の一部が露出するように絶縁層119を加工して素子分離絶縁層121を形成し、その後、絶縁層115を除去することで、導電性材料を含む層113を露出させる(図3(B)参照)。絶縁層119の加工方法としては、CMP(化学的機械的研磨)処理などの研磨処理やエッチング処理などがあるが、そのいずれを用いても良い。なお、ここでは、素子分離絶縁層121の上面が、導電性材料を含む層113の上面より低い位置に来るように、絶縁層119の一部を除去する例について示している。このとき、素子分離絶縁層121より上部に形成されている絶縁層117も同時に除去される場合がある。

20

【0064】

次に、素子分離絶縁層121および導電性材料を含む層113上に絶縁層およびレジストマスク123を形成し、当該絶縁層を選択的にエッチングしてマスク124を形成する。また、導電性材料を含む層113を選択的にエッチングして、ゲート電極125を形成する(図3(C)参照)。上記絶縁層は、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム等の無機絶縁材料を含む材料を用いて形成することができ、窒化酸化シリコンまたは窒化シリコンを用いて形成することが好ましい。なお、上記エッチングの際に、絶縁層117の一部が併せて除去される場合がある。

30

【0065】

次に、上述のエッチングにより形成されたゲート電極125やレジストマスク123、マスク124などをマスクとして用い、領域127にリン(P)やヒ素(As)などの不純物元素を照射して、基板101中に、チャンネル形成領域132および不純物元素が添加された不純物領域130を形成する(図1、図3(C)参照)。当該工程の後には、レジストマスク123は除去する。なお、ここではn型トランジスタを形成するためにリンやヒ素を添加しているが、p型トランジスタを形成する場合には、硼素(B)やアルミニウム(Al)などの不純物元素を添加すればよい。添加する不純物の濃度は適宜設定することができるが、半導体素子が高度に微細化される場合には、その濃度を高くすることが望ましい。なお、不純物元素の添加後には、加熱処理を行い、不純物元素の活性化や不純物元素の添加時に生じる欠陥の改善等を図るのが望ましい。

40

【0066】

なお、ゲート電極125のチャンネル長方向の側面にサイドウォール絶縁層を形成して、不純物元素が異なる濃度で添加された不純物領域を形成しても良い。

【0067】

50

また、ゲート電極 1 2 5、不純物領域 1 3 0 等を覆うように金属層を形成し、熱処理によって当該金属層と半導体材料とを反応させて、金属化合物領域を形成しても良い。当該金属層は、真空蒸着法やスパッタリング法、スピンコート法などの各種成膜方法を用いて形成することができる。金属層は、基板 1 0 1 を構成する半導体材料と反応して低抵抗な金属化合物となる金属材料を用いて形成することが望ましい。このような金属材料としては、例えば、チタン、タンタル、タングステン、ニッケル、コバルト、白金等がある。なお、このような金属化合物領域を形成する場合には、ゲート絶縁層 1 1 1 の一部をあらかじめ除去しておく必要がある。

【 0 0 6 8 】

上記熱処理としては、例えば、フラッシュランプの照射による熱処理を用いることができる。もちろん、その他の熱処理方法を用いても良いが、金属化合物の形成に係る化学反応の制御性を向上させるためには、ごく短時間の熱処理を実現できる方法を用いることが望ましい。なお、上記の金属化合物領域は、金属材料と半導体材料との反応により形成されるものであり、十分に導電性が高められた領域である。当該金属化合物領域を形成することで、電気抵抗を十分に低減し、素子特性を向上させることができる。なお、金属化合物領域を形成した後は、金属層は除去する。

【 0 0 6 9 】

以上により、半導体材料を含む基板 1 0 1 を用いたトランジスタ 1 6 0 が形成される（図 3（C）参照）。

【 0 0 7 0 】

次に、上述の工程により形成された各構成を覆うように、端部がマスク 1 2 4 と重畳するレジストマスク 1 2 6 を形成する。そして、当該レジストマスク 1 2 6 およびマスク 1 2 4 を用いて、ゲート絶縁層 1 1 1、絶縁層 1 1 7、および素子分離絶縁層 1 2 1 をエッチングし、その一部を選択的に除去する（図 4（A）参照）。この際、マスク 1 2 4 に用いられる材料によっては、マスク 1 2 4 の一部が選択的に除去されることもある（図 4（A）参照）。

【 0 0 7 1 】

そして、上述のマスク 1 2 4 やレジストマスク 1 2 6 などをマスクとして用い、基板 1 0 1 の露出した領域に、上記不純物領域 1 3 0 に添加されたものと同様の不純物元素を高濃度に添加して、不純物領域 1 2 8 を形成する（図 1、図 4（A）参照）。不純物領域 1 2 8 は、不純物元素が高濃度に添加された領域であるから、配線として用いることも可能である。なお、当該工程の後には、マスク 1 2 4 およびレジストマスク 1 2 6 は除去する。

【 0 0 7 2 】

次に、上述の工程により形成された各構成を覆うように、絶縁層 1 2 9 を形成する（図 4（B）参照）。絶縁層 1 2 9 は、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム等の無機絶縁材料を含む材料を用いて形成することができる。特に、絶縁層 1 2 9 に誘電率の低い（low-k）材料を用いることで、各種電極や配線の重なりに起因する容量を十分に低減することが可能になるため好ましい。なお、絶縁層 1 2 9 には、これらの材料を用いた多孔質の絶縁層を適用しても良い。多孔質の絶縁層では、密度の高い絶縁層と比較して誘電率が低下するため、電極や配線に起因する容量をさらに低減することが可能である。また、絶縁層 1 2 9 は、ポリイミド、アクリル等の有機絶縁材料を用いて形成することも可能である。絶縁層 1 2 9 は、単層構造としても良いし 2 層以上の積層構造としても良く、例えば、下層から順番に、酸化窒化シリコン層、窒化酸化シリコン層、酸化シリコン層となるような 3 層構造にすることもできる。

【 0 0 7 3 】

その後、トランジスタ 1 6 2 および容量素子 1 6 4 の形成前の処理として、絶縁層 1 2 9 に CMP 処理を施して、ゲート電極 1 2 5 の上面を露出させた絶縁層 1 3 1 を形成する（図 4（C）参照）。ゲート電極 1 2 5 の上面を露出させる処理としては、CMP 処理の他にエッチング処理などを適用することも可能である。なお、トランジスタ 1 6 2 の特性を向上させるために、絶縁層 1 3 1 の表面は可能な限り平坦にしておくことが望ましく、こ

10

20

30

40

50

の点においてはCMP処理が好適である。CMP処理を用いる場合には、例えば、絶縁層131の表面を、二乗平均平方根(RMS)粗さを1nm以下とすることができる。

【0074】

なお、上記の各工程の前後には、さらに電極や配線、半導体層、絶縁層などを形成する工程を含んでいても良い。例えば、配線の構造として、絶縁層および導電層の積層構造である多層配線構造を採用して、高度に集積化した半導体装置を実現することも可能である。

【0075】

次に、絶縁層131、ゲート電極125などの上に酸化物半導体層133を形成する(図5(A)参照)。酸化物半導体層133は、後に、トランジスタ162の構成要素である酸化物半導体層141に加工される。なお、絶縁層131の上には、下地として機能する絶縁層を設けても良い。当該絶縁層は、PVD法やCVD法などを用いて形成することができる。この場合には、下地として機能する絶縁層に開口部を形成して、ゲート電極125の上面を露出させておくことが望ましい。

【0076】

酸化物半導体層133に用いる材料としては、例えば、インジウムを含有する酸化物半導体材料や、インジウムおよびガリウムを含有する酸化物半導体材料などがある。また、酸化物半導体層133に用いる材料としては、四元系金属酸化物であるIn-Sn-Ga-Zn-O系の材料や、三元系金属酸化物であるIn-Ga-Zn-O系の材料、In-Sn-Zn-O系の材料、In-Al-Zn-O系の材料、Sn-Ga-Zn-O系の材料、Al-Ga-Zn-O系の材料、Sn-Al-Zn-O系の材料や、二元系金属酸化物であるIn-Zn-O系の材料、Sn-Zn-O系の材料、Al-Zn-O系の材料、Zn-Mg-O系の材料、Sn-Mg-O系の材料、In-Mg-O系の材料、In-Ga-O系の材料や、単元系金属の酸化物であるIn-O系の材料、Sn-O系の材料、Zn-O系の材料などがある。また、上記の材料にSiO₂を含ませてもよい。ここで、例えば、In-Ga-Zn-O系の材料とは、インジウム(In)、ガリウム(Ga)、亜鉛(Zn)を有する酸化物膜、という意味であり、その組成比は特に問わない。また、InとGaとZn以外の元素を含んでいてもよい。

【0077】

中でも、In-Ga-Zn-O系の酸化物半導体材料は、無電界時の抵抗が十分に高くオフ電流を十分に小さくすることが可能であり、また、電界効果移動度も高いため、半導体装置に用いる半導体材料としては好適である。

【0078】

In-Ga-Zn-O系の酸化物半導体材料の代表例としては、InGaO₃(ZnO)_m(m>0)で表記されるものがある。また、Gaに代えてMの表記を用い、InMO₃(ZnO)_m(m>0)のように表記される酸化物半導体材料がある。ここで、Mは、ガリウム(Ga)、アルミニウム(Al)、鉄(Fe)、ニッケル(Ni)、マンガン(Mn)、コバルト(Co)などから選ばれた一の金属元素または複数の金属元素を示す。例えば、Mとしては、Ga、GaおよびAl、GaおよびFe、GaおよびNi、GaおよびMn、GaおよびCoなどを適用することができる。なお、上述の組成は結晶構造から導き出されるものであり、あくまでも一例に過ぎないことを付記する。

【0079】

酸化物半導体層133をスパッタ法で作製するためのターゲットとしては、In:Ga:Zn=1:x:y(xは0以上、yは0.5以上5以下)の組成比で表されるものを用いるのが好適である。例えば、In:Ga:Zn=1:1:1[atom比](x=1、y=1)、(すなわち、In₂O₃:Ga₂O₃:ZnO=1:1:2[mol数比])の組成比を有するターゲットなどを用いることができる。また、In:Ga:Zn=1:1:0.5[atom比](x=1、y=0.5)、(すなわち、In₂O₃:Ga₂O₃:ZnO=1:1:1[mol数比])の組成比を有するターゲットや、In:Ga:Zn=1:1:2[atom比](x=1、y=2)、(すなわち、In₂O₃:Ga₂O₃:ZnO=1:1:4[mol数比])の組成比を有するターゲットや、In:Ga:

10

20

30

40

50

$Zn = 1 : 0 : 1$ [atom比] ($x = 0$ 、 $y = 1$)、(すなわち、 $In_2O_3 : Ga_2O_3 : ZnO = 1 : 0 : 2$ [mol数比])の組成比を有するターゲットを用いることもできる。

【0080】

また、酸化物半導体として $In - Zn - O$ 系の材料を用いる場合、用いるターゲットの組成比は、原子数比で、 $In : Zn = 50 : 1 \sim 1 : 2$ (モル数比に換算すると $In_2O_3 : ZnO = 25 : 1 \sim 1 : 4$)、好ましくは $In : Zn = 20 : 1 \sim 1 : 1$ (モル数比に換算すると $In_2O_3 : ZnO = 10 : 1 \sim 1 : 2$)、さらに好ましくは $In : Zn = 15 : 1 \sim 1 : 5$ (モル数比に換算すると $In_2O_3 : ZnO = 15 : 2 \sim 3 : 4$) とする。例えば、 $In - Zn - O$ 系酸化物半導体の形成に用いるターゲットは、原子数比が $In : Zn : O = X : Y : Z$ のとき、 $Z > 1.5X + Y$ とする。

10

【0081】

本実施の形態では、非晶質構造の酸化物半導体層 133 を、 $In - Ga - Zn - O$ 系の金属酸化物ターゲットを用いるスパッタ法により形成することとする。また、その膜厚は、1 nm 以上 50 nm 以下、好ましくは 2 nm 以上 20 nm 以下、より好ましくは 3 nm 以上 15 nm 以下とする。

【0082】

金属酸化物ターゲット中の金属酸化物の相対密度は 80 % 以上、好ましくは 95 % 以上、さらに好ましくは 99.9 % 以上である。相対密度の高い金属酸化物ターゲットを用いることにより、緻密な構造の酸化物半導体層を形成することが可能である。

20

【0083】

酸化物半導体層 133 の形成雰囲気は、希ガス (代表的にはアルゴン) 雰囲気、酸素雰囲気、または、希ガス (代表的にはアルゴン) と酸素との混合雰囲気とするのが好適である。具体的には、例えば、水素、水、水酸基、水素化物などの不純物が、濃度 1 ppm 以下 (望ましくは濃度 10 ppb 以下) にまで除去された高純度ガス雰囲気を用いるのが好適である。

【0084】

酸化物半導体層 133 の形成の際には、例えば、減圧状態に保たれた処理室内に被処理物を保持し、被処理物の温度が 100 以上 550 未満、好ましくは 200 以上 400 以下となるように被処理物を熱する。または、酸化物半導体層 133 の形成の際の被処理物の温度は、室温 (25 ± 10) としてもよい。そして、処理室内の水分を除去しつつ、水素や水などが除去されたスパッタガスを導入し、上記ターゲットを用いて酸化物半導体層 133 を形成する。被処理物を熱しながら酸化物半導体層 133 を形成することにより、酸化物半導体層 133 に含まれる不純物を低減することができる。また、スパッタによる損傷を軽減することができる。処理室内の水分を除去するためには、吸着型の真空ポンプを用いることが好ましい。例えば、クライオポンプ、イオンポンプ、チタンサブリメーションポンプなどを用いることができる。また、ターボポンプにコールドトラップを加えたものを用いてもよい。クライオポンプなどを用いて排気することで、処理室から水素や水などを除去することができるため、酸化物半導体層中の不純物濃度を低減できる。

30

40

【0085】

酸化物半導体層 133 の形成条件としては、例えば、被処理物とターゲットの間との距離が 170 mm、圧力が 0.4 Pa、直流 (DC) 電力が 0.5 kW、雰囲気が酸素 (酸素 100 %) 雰囲気、またはアルゴン (アルゴン 100 %) 雰囲気、または酸素とアルゴンの混合雰囲気、といった条件を適用することができる。なお、パルス直流 (DC) 電源を用いると、ごみ (成膜時に形成される粉状の物質など) を低減でき、膜厚分布も均一となるため好ましい。酸化物半導体層 133 の適切な厚さは、適用する酸化物半導体材料や、半導体装置の用途などにより異なるから、その厚さは、用いる材料や用途などに応じて選択すればよい。なお、上記のように絶縁層 131 を形成することにより、酸化物半導体層 133 のチャネル形成領域に相当する部分の形成表面を十分に平坦化することができるの

50

で、厚みの小さい酸化物半導体層であっても、好適に形成することが可能である。また、酸化物半導体層 1 3 3 のチャネル形成領域に相当する部分を平坦にすることができるため、平坦でない場合と比較して、リーク電流を低減することができる。

【 0 0 8 6 】

なお、酸化物半導体層 1 3 3 をスパッタ法により形成する前には、アルゴンガスを導入してプラズマを発生させる逆スパッタを行い、形成表面（例えば絶縁層 1 3 1 の表面）の附着物を除去しても良い。ここで、逆スパッタとは、通常のスパッタにおいては、スパッタターゲットにイオンを衝突させるところを、逆に、処理表面にイオンを衝突させることによってその表面を改質する方法のことをいう。処理表面にイオンを衝突させる方法としては、アルゴン雰囲気下で処理表面側に高周波電圧を印加して、被処理物付近にプラズマを生成する方法などがある。なお、アルゴン雰囲気に代えて窒素、ヘリウム、酸素などによる雰囲気を適用してもよい。

10

【 0 0 8 7 】

酸化物半導体層 1 3 3 の形成後には、酸化物半導体層 1 3 3 に対して熱処理（第 1 の熱処理）を行うことが望ましい。この第 1 の熱処理によって酸化物半導体層 1 3 3 中の、過剰な水素（水や水酸基を含む）を除去し、酸化物半導体層 1 3 3 の構造を整え、エネルギーギャップ中の欠陥準位を低減することができる。第 1 の熱処理の温度は、例えば、3 0 0 以上 5 5 0 未満、好ましくは 4 0 0 以上 5 0 0 以下とする。

【 0 0 8 8 】

熱処理は、例えば、抵抗発熱体などを用いた電気炉に被処理物を導入し、窒素雰囲気下、4 5 0 、1 時間の条件で行うことができる。この間、酸化物半導体層は大気に触れさせず、水や水素の混入が生じないようにする。

20

【 0 0 8 9 】

熱処理装置は電気炉に限られず、加熱されたガスなどの媒体からの熱伝導、または熱輻射によって、被処理物を加熱する装置を用いても良い。例えば、L R T A (L a m p R a p i d T h e r m a l A n n e a l) 装置、G R T A (G a s R a p i d T h e r m a l A n n e a l) 装置等の R T A (R a p i d T h e r m a l A n n e a l) 装置を用いることができる。L R T A 装置は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどのランプから発する光（電磁波）の輻射により、被処理物を加熱する装置である。G R T A 装置は、高温のガスをを用いて熱処理を行う装置である。ガスとしては、アルゴンなどの希ガス、または窒素のような、熱処理によって被処理物と反応しない不活性気体が用いられる。

30

【 0 0 9 0 】

例えば、第 1 の熱処理として、熱せられた不活性ガス雰囲気中に被処理物を投入し、数分間熱した後、当該不活性ガス雰囲気から被処理物を取り出す G R T A 処理を行ってもよい。G R T A 処理を用いると短時間での高温熱処理が可能となる。また、被処理物の耐熱温度を超える温度条件であっても適用が可能となる。なお、処理中に、不活性ガスを、酸素を含むガスに切り替えても良い。酸素を含む雰囲気において第 1 の熱処理を行うことで、酸素欠損に起因するエネルギーギャップ中の欠陥準位を低減することができるためである。

40

【 0 0 9 1 】

なお、不活性ガス雰囲気としては、窒素、または希ガス（ヘリウム、ネオン、アルゴン等）を主成分とする雰囲気であって、水、水素などが含まれない雰囲気を適用するのが望ましい。例えば、熱処理装置に導入する窒素や、ヘリウム、ネオン、アルゴン等の希ガスの純度を、6 N (9 9 . 9 9 9 9 %) 以上、好ましくは 7 N (9 9 . 9 9 9 9 9 %) 以上（すなわち、不純物濃度が 1 p p m 以下、好ましくは 0 . 1 p p m 以下）とする。

【 0 0 9 2 】

ところで、上述の熱処理（第 1 の熱処理）には水素や水などを除去する効果があるから、当該熱処理を、脱水化処理や、脱水素化処理などと呼ぶこともできる。当該脱水化処理や

50

、脱水素化処理は、後に形成される酸化物半導体層 1 3 5 の形成後や酸化物半導体層 1 4 1 の形成後、ゲート絶縁層 1 4 7 の形成後、ゲート電極 1 4 9 の形成後、などのタイミングにおいて行うことも可能である。また、このような脱水化処理、脱水素化処理は、一回に限らず複数回行って良い。

【 0 0 9 3 】

次に、酸化物半導体層 1 3 3 を選択的にエッチングして酸化物半導体層 1 3 5 を形成する（図 5（B）参照）。このエッチングにより、酸化物半導体層 1 4 1 のチャネル長方向の長さが決定される。酸化物半導体層 1 3 3 のエッチングは、素子の微細化という観点からはドライエッチングを用いるのが好適であるが、ウェットエッチングを用いても良い。エッチングガスやエッチング液については被エッチング材料に応じて適宜選択することができる。

10

【 0 0 9 4 】

そして、ゲート電極 1 2 5、絶縁層 1 3 1 および酸化物半導体層 1 3 5 を覆うように導電層を成膜し、当該導電層を選択的にエッチングして、導電層 1 3 7 および導電層 1 3 9 を形成する（図 5（B）参照）。導電層 1 3 7 および導電層 1 3 9 は、後にソース電極 1 4 3 およびドレイン電極 1 4 5 に加工される。なお、導電層の形成前に、導電層のエッチング工程における酸化物半導体層 1 3 5 の損傷を防ぐための保護絶縁層を酸化物半導体層 1 3 5 上に形成しても良い。

【 0 0 9 5 】

当該導電層は、スパッタ法をはじめとする P V D 法や、プラズマ C V D 法などの C V D 法を用いて形成することができる。また、導電層の材料としては、アルミニウム、クロム、銅、タンタル、チタン、モリブデン、タングステンから選ばれた元素や、上述した元素を成分とする合金等を用いることができる。マンガン、マグネシウム、ジルコニウム、ベリリウム、ネオジム、スカンジウムのいずれか、またはこれらを複数組み合わせた材料を用いてもよい。

20

【 0 0 9 6 】

当該導電層は、単層構造であっても良いし、2 層以上の積層構造としてもよい。例えば、チタン膜や窒化チタン膜の単層構造、シリコンを含むアルミニウム膜の単層構造、アルミニウム膜上にチタン膜が積層された 2 層構造、窒化チタン膜上にチタン膜が積層された 2 層構造、チタン膜とアルミニウム膜とチタン膜とが積層された 3 層構造などが挙げられる。なお、導電層を、チタン膜や窒化チタン膜の単層構造とする場合には、テーパ形状を有するソース電極 1 4 3、ドレイン電極 1 4 5 への加工が容易であるというメリットがある。

30

【 0 0 9 7 】

また、当該導電層は、導電性を有する金属酸化物を用いて形成しても良い。導電性を有する金属酸化物としては酸化インジウム（ In_2O_3 ）、酸化スズ（ SnO_2 ）、酸化亜鉛（ ZnO ）、酸化インジウム酸化スズ合金（ $\text{In}_2\text{O}_3 - \text{SnO}_2$ 、ITO と略記する場合がある）、酸化インジウム酸化亜鉛合金（ $\text{In}_2\text{O}_3 - \text{ZnO}$ ）、これらの金属酸化物材料にシリコン若しくは酸化シリコンを含有させたもの、などを用いることができる。

【 0 0 9 8 】

なお、当該導電層のエッチングは、ドライエッチング、ウェットエッチングのいずれを用いて行っても良いが、微細化のためには、制御性の良いドライエッチングを用いるのが好適である。また、形成されるソース電極 1 4 3、およびドレイン電極 1 4 5 がテーパ形状となるように行っても良い。テーパ角は、例えば、 30° 以上 60° 以下とすることができる。

40

【 0 0 9 9 】

トランジスタ 1 6 2 のチャネル長（ L ）は、導電層 1 3 7 と導電層 1 3 9（ソース電極 1 4 3 とドレイン電極 1 4 5）の下端部の間隔によって決定される。なお、チャネル長（ L ）が 25 nm 未満のトランジスタを形成する場合に用いるマスク形成の露光を行う際には、数 nm ～ 数 10 nm と波長の短い超紫外線（Extreme Ultraviolet）を用いることができる。

50

）を用いるのが望ましい。超紫外線による露光は、解像度が高く焦点深度も大きい。従って、後に形成されるトランジスタのチャネル長（ L ）を、十分に小さくすることが可能であり、これにより、回路の動作速度を高めることが可能である。

【0100】

次に、酸化物半導体層135、導電層137および導電層139を選択的にエッチングして酸化物半導体層141、ソース電極142（後の工程でソース電極143に加工される。）、およびドレイン電極145を形成する（図5（C）参照）。当該エッチングによって、酸化物半導体層141の側面の一部と、ソース電極142の側面の一部（またはドレイン電極145の側面の一部）と、は、平面方向から見て概略一致することになる。また、上述の概略一致する側面（例えば、酸化物半導体層141の側面）は、チャネル長方向に平行な側面である。ここで、「平面方向から見て、側面の一部が一致」とは、基板101の表面に垂直な方向から見て、対象物の側面が、一部の領域において重畳することを意味する。また、「概略一致」は、厳密な一致を要しない意味で用いる。例えば、「概略一致」の表現は、上述のような、複数の層を同一のマスクを用いてエッチングして得られた形状における一致の程度を包含する。また、「チャネル長方向」とは、ソース電極142から、ドレイン電極145へと向かう方向、または、その反対の方向であって、ソース電極142と、ドレイン電極145との間隔が最小となる経路を通るものをいう。

10

【0101】

上述のように、酸化物半導体層135、導電層137および導電層139を一度にエッチングすることで、各構成要素を個別にエッチングして形成する場合に生じうる、マスクの位置合わせに起因する形状ばらつきを無くすることができる。これにより、マスクの位置合わせに余裕を持たせる必要がなくなるため、十分に集積度を高めることができる。

20

【0102】

なお、酸化物半導体層135、導電層137および導電層139のエッチングは、素子の微細化という観点からはドライエッチングを用いるのが好適であるが、ウェットエッチングを用いても良い。エッチングガスやエッチング液については被エッチング材料に応じて適宜選択することができる。また、酸化物半導体層135、導電層137および導電層139には、同じ工程（例えば、同じエッチングガスを用いたドライエッチング工程など）で加工可能な材料を用いるのが好ましい。

【0103】

次に、酸化物半導体層141を覆うようにゲート絶縁層146（後の工程でゲート絶縁層147に加工される。）を形成する（図6（A）参照）。ゲート絶縁層146は、CVD法やスパッタ法等を用いて形成することができる。また、ゲート絶縁層146は、酸化シリコン、窒化シリコン、酸化窒化シリコン、窒化酸化シリコン、酸化アルミニウム、酸化タンタル、酸化ハフニウム、酸化イットリウム、酸化ガリウム、ハフニウムシリケート（ HfSi_xO_y （ $x > 0$ 、 $y > 0$ ））、ハフニウムアルミネート（ HfAl_xO_y （ $x > 0$ 、 $y > 0$ ））、窒素が添加されたハフニウムシリケート、窒素が添加されたハフニウムアルミネート、などを含むように形成するのが好適である。ゲート絶縁層146は、単層構造としても良いし、積層構造としても良い。また、その厚さは特に限定されないが、半導体装置を微細化する場合には、トランジスタの動作を確保するために薄くするのが望ましい。なお、ゲート絶縁層146はトランジスタ162のゲート絶縁層として機能するだけでなく、容量素子164の誘電体としても機能する。

30

40

【0104】

なお、ゲート絶縁層を薄くすると、トンネル効果などに起因するゲートリークが問題となる。ゲートリークの問題を解消するには、ゲート絶縁層146に、酸化ハフニウム、酸化タンタル、酸化イットリウム、ハフニウムシリケート、窒素が添加されたハフニウムシリケート、窒素が添加されたハフニウムアルミネートなどの高誘電率（ high-k ）材料を用いると良い。 high-k 材料をゲート絶縁層146に用いることで、電気的特性を確保しつつ、ゲートリークを抑制するために膜厚を大きくすることが可能になる。例えば、酸化ハフニウムは比誘電率が15程度であり、酸化シリコンの比誘電率の3～4と比較

50

して非常に大きな値を有しているため、電気的特性を確保しつつ、ゲート絶縁層を十分に厚くすることが可能である。なお、high-k材料を含む膜と、酸化シリコン、窒化シリコン、酸化窒化シリコン、窒化酸化シリコン、酸化アルミニウムなどのいずれかを含む膜との積層構造としてもよい。

【0105】

ゲート絶縁層146の形成後には、不活性ガス雰囲気下、または酸素雰囲気下で第2の熱処理を行うのが望ましい。熱処理の温度は、200 以上450 以下、望ましくは250 以上350 以下である。例えば、窒素雰囲気下で250 、1時間の熱処理を行えばよい。第2の熱処理を行うことによって、トランジスタの電気的特性のばらつきを軽減することができる。また、ゲート絶縁層146が酸素を含む場合、酸化物半導体層141に酸素を供給し、酸化物半導体層141の酸素欠損を補填する。

10

【0106】

なお、本実施の形態では、ゲート絶縁層146の形成後に第2の熱処理を行っているが、第2の熱処理のタイミングはこれに限定されない。例えば、ゲート電極の形成後に第2の熱処理を行っても良い。

【0107】

上述のように、第1の熱処理と第2の熱処理を適用し、酸化物半導体層141中の不純物を低減し、酸素欠損を補填することで、酸化物半導体層141を、その主成分以外の不純物が極力含まれないように高純度化することができる。

【0108】

なお、第2の熱処理に代えて、または、第2の熱処理と共に、酸素プラズマ処理を適用しても良い。酸素プラズマ処理によっても、酸化物半導体層141に酸素を供給し、酸化物半導体層141の酸素欠損を補填することができる。

20

【0109】

次に、ゲート絶縁層146上にゲート電極149および電極151を形成する(図6(B)参照)。なお、ゲート電極149または電極151のチャネル長方向の側面にサイドウォール絶縁層を形成してもよい。このようにサイドウォール絶縁層を形成することにより、例えば、容量素子164の上部電極となる電極151の側面を保護し、容量素子164の上部電極と下部電極との間のリーク電流を抑えることができる。

【0110】

ゲート電極149および電極151は、ゲート絶縁層146上に導電層を形成した後に、当該導電層を選択的にエッチングすることによって形成することができる。ゲート電極149および電極151となる導電層は、スパッタ法をはじめとするPVD法や、プラズマCVD法などのCVD法を用いて形成することができる。詳細は、ソース電極143またはドレイン電極145などの場合と同様であり、これらの記載を参酌できる。

30

【0111】

次に、上述の工程により形成された各構成を覆うように、端部が電極151と重畳するレジストマスク152を形成する。そして、当該レジストマスク152および電極151を用いて、ゲート絶縁層146、およびソース電極142(ドレイン電極145の場合もある)をエッチングし、その一部を選択的に除去し、ゲート絶縁層147およびソース電極143を形成する(図6(C)参照)。当該エッチングによって、ゲート絶縁層147の側面の一部と、ソース電極143の側面の一部(またはドレイン電極145の側面の一部)と、は、平面方向から見て概略一致することになる。さらに、ゲート絶縁層147の側面の一部と、ソース電極143の側面の一部(またはドレイン電極145の側面の一部)と、電極151の側面の一部とが、平面方向から見て概略一致することが好ましい。また、上述の概略一致する側面(例えば、ゲート絶縁層146の側面)は、チャネル長方向に垂直な側面である。ここで、「平面方向から見て、側面の一部が一致」とは、基板101の表面に垂直な方向から見て、対象物の側面が、一部の領域において重畳することを意味する。また、「概略一致」は、厳密な一致を要しない意味で用いる。例えば、「概略一致」の表現は、上述のような、複数の層を同一のマスクを用いてエッチングして得られた形

40

50

状における一致の程度を包含する。また、「チャネル長方向」とは、ソース電極 143 から、ドレイン電極 145 へと向かう方向、または、その反対の方向であって、ソース電極 143 と、ドレイン電極 145 との間隔が最小となる経路を通るものをいう。

【0112】

上述のエッチング工程によって、トランジスタ 162 のソース電極 143（またはドレイン電極 145）の分断を、最小の加工寸法で行うことができるため、半導体装置の集積度を十分に高めることができる。

【0113】

なお、ゲート絶縁層 147 およびソース電極 143（またはドレイン電極 145）のエッチングは、素子の微細化という観点からはドライエッチングを用いるのが好適であるが、ウェットエッチングを用いても良い。エッチングガスやエッチング液については被エッチング材料に応じて適宜選択することができる。また、ゲート絶縁層 147 およびソース電極 143（またはドレイン電極 145）には、当該エッチング工程で条件変更により連続的に加工可能な材料を用いるのが好ましく、例えばドライエッチング工程においてガスの切り替えといった条件変更により連続的に加工可能な材料を用いるのが好ましい。特に好ましくは、ゲート絶縁層 147 およびソース電極 143（またはドレイン電極 145）には、同じ工程（例えば、同じエッチングガスを用いたドライエッチング工程など）で加工可能な材料を用いる。

【0114】

以上により、酸化半導体層 141 を用いたトランジスタ 162 と、ソース電極 143、電極 151 およびゲート絶縁層 147 からなる容量素子 164 とが完成する（図 1、図 7 参照）。なお、上記トランジスタ 162 は、i 型（真性半導体）または i 型に限りなく近い酸化半導体層 141 を有するため、極めて優れた特性を示す。

【0115】

なお、上述の工程で作製されたトランジスタ 162 は、オフ電流が十分に低減されているという特徴を有する。

【0116】

上述の工程の後には、ゲート絶縁層 147、ゲート電極 149 および電極 151 を覆うように絶縁層を形成しても良い。当該絶縁層は、PVD 法や CVD 法などを用いて形成することができる。また、当該絶縁層は、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ハフニウム、酸化アルミニウム等の無機絶縁材料を含む材料を用いて、単層または積層の態様で形成することができる。

【0117】

また、当該絶縁層には、誘電率の低い材料や、誘電率の低い構造（多孔質の構造など）を用いることが望ましい。絶縁層の誘電率を低くすることにより、配線や電極などの間に生じる容量を低減し、動作の高速化を図ることができるためである。

【0118】

また、当該絶縁層は、その表面が平坦になるように形成することが望ましい。表面が平坦になるように絶縁層を形成することで、半導体装置を微細化した場合などにおいても、当該絶縁層上に、電極や配線などを好適に形成することができるためである。なお、当該絶縁層の平坦化は、CMP（化学的機械的研磨）などの方法を用いて行うことができる。

【0119】

また、上述の工程の後には、各種配線や電極などを形成しても良い。配線や電極は、いわゆるダマシン法、デュアルダマシン法などの方法を用いて形成することができる。

【0120】

以上により、図 1 に示すような構成の半導体装置を作製することができる。

【0121】

本実施の形態において示すように、トランジスタの構成要素の側面（の一部）を一致させる態様を採用することで、高度に集積化された半導体装置を実現することができる。特に、トランジスタを三次元的に集積化した構造においては、当該三次元的構成の採用による

10

20

30

40

50

高集積化と相まって、より顕著な効果が得られる。

【0122】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせる用いることができる。

【0123】

(実施の形態2)

本実施の形態では、開示する発明の一態様に係る半導体装置の応用例について、図8乃至図12を参照して説明する。ここでは、記憶装置の一例について説明する。なお、回路図においては、酸化物半導体を用いたトランジスタであることを示すために、OSの符号を併せて付す場合がある。

10

【0124】

基本回路

はじめに、基本的な回路構成およびその動作について、図8を参照して説明する。図8(A-1)に示す半導体装置において、第1の配線(1st Line)とトランジスタ160のソース電極(またはドレイン電極)とは、電気的に接続され、第2の配線(2nd Line)とトランジスタ160のドレイン電極(またはソース電極)とは、電気的に接続されている。また、第3の配線(3rd Line)とトランジスタ162のソース電極(またはドレイン電極)とは、電気的に接続され、第4の配線(4th Line)と、トランジスタ162のゲート電極とは、電気的に接続されている。そして、トランジスタ160のゲート電極と、トランジスタ162のドレイン電極(またはソース電極)は、容量素子164の電極の一方と電気的に接続され、第5の配線(5th Line)と、容量素子164の電極の他方は電気的に接続されている。

20

【0125】

ここで、トランジスタ162には、先の実施の形態で示した酸化物半導体を用いたトランジスタ162を適用することができる。酸化物半導体を用いたトランジスタは、オフ電流が極めて小さいという特徴を有している。このため、トランジスタ162をオフ状態とすることで、トランジスタ160のゲート電極の電位を極めて長時間にわたって保持することが可能である。そして、容量素子164を有することにより、トランジスタ160のゲート電極に与えられた電荷の保持が容易になり、また、保持された情報の読み出しが容易になる。

30

【0126】

なお、トランジスタ160については特に限定されないが、先の実施の形態で示したトランジスタ160を適用することが好適である。また、情報の読み出し速度を向上させるという観点からは、例えば、単結晶シリコンを用いたトランジスタなど、スイッチング速度の高いトランジスタを適用するのが好適である。

【0127】

また、図8(B)に示すように、容量素子164を設けない構成とすることも可能である。

【0128】

図8(A-1)に示す半導体装置では、トランジスタ160のゲート電極の電位が保持可能という特徴を生かすことで、次のように、情報の書き込み、保持、読み出しが可能である。

40

【0129】

はじめに、情報の書き込みおよび保持について説明する。まず、第4の配線の電位を、トランジスタ162がオン状態となる電位にして、トランジスタ162をオン状態とする。これにより、第3の配線の電位が、トランジスタ160のゲート電極、および容量素子164に与えられる。すなわち、トランジスタ160のゲート電極には、所定の電荷が与えられる(書き込み)。ここでは、異なる二つの電位を与える電荷(以下、低電位を与える電荷を電荷 Q_L 、高電位を与える電荷を電荷 Q_H という)のいずれかが与えられるものとする。なお、異なる三つまたはそれ以上の電位を与える電荷を適用して、記憶容量を向上

50

させても良い。その後、第4の配線の電位を、トランジスタ162がオフ状態となる電位にして、トランジスタ162をオフ状態とすることにより、トランジスタ160のゲート電極に与えられた電荷が保持される（保持）。

【0130】

トランジスタ162のオフ電流は極めて小さいから、トランジスタ160のゲート電極の電荷は長時間にわたって保持される。

【0131】

次に、情報の読み出しについて説明する。第1の配線に所定の電位（定電位）を与えた状態で、第5の配線に適切な電位（読み出し電位）を与えると、トランジスタ160のゲート電極に保持された電荷量に応じて、第2の配線は異なる電位をとる。一般に、トランジスタ160をnチャネル型とすると、トランジスタ160のゲート電極に Q_H が与えられている場合の見かけのしきい値 V_{th_H} は、トランジスタ160のゲート電極に Q_L が与えられている場合の見かけのしきい値 V_{th_L} より低くなるためである。ここで、見かけのしきい値とは、トランジスタ160を「オン状態」とするために必要な第5の配線の電位をいうものとする。したがって、第5の配線の電位を V_{th_H} と V_{th_L} の中間の電位 V_0 とすることにより、トランジスタ160のゲート電極に与えられた電荷を判別できる。例えば、書き込みにおいて Q_H が与えられた場合には、第5の配線の電位が $V_0 (> V_{th_H})$ となれば、トランジスタ160は「オン状態」となる。 Q_L が与えられた場合には、第5の配線の電位が $V_0 (< V_{th_L})$ となっても、トランジスタ160は「オフ状態」のままである。このため、第2の配線の電位を見ることで、保持されている情報を読み出すことができる。

【0132】

なお、メモリセルをアレイ状に配置して用いる場合には、所望のメモリセルの情報のみを読み出せることが必要になる。このように、所定のメモリセルの情報を読み出し、それ以外のメモリセルの情報を読み出さない場合には、読み出しの対象ではないメモリセルの第5の配線に対して、ゲート電極の状態にかかわらずトランジスタ160が「オフ状態」となるような電位、つまり、 V_{th_H} より小さい電位を与えればよい。または、ゲート電極の状態にかかわらずトランジスタ160が「オン状態」となるような電位、つまり、 V_{th_L} より大きい電位を第5の配線に与えればよい。

【0133】

次に、情報の書き換えについて説明する。情報の書き換えは、上記情報の書き込みおよび保持と同様に行われる。つまり、第4の配線の電位を、トランジスタ162がオン状態となる電位にして、トランジスタ162をオン状態とする。これにより、第3の配線の電位（新たな情報に係る電位）が、トランジスタ160のゲート電極および容量素子164に与えられる。その後、第4の配線の電位を、トランジスタ162がオフ状態となる電位にして、トランジスタ162をオフ状態とすることにより、トランジスタ160のゲート電極は、新たな情報に係る電荷が与えられた状態となる。

【0134】

このように、開示する発明に係る半導体装置は、再度の情報の書き込みによって直接的に情報を書き換えることが可能である。このためフラッシュメモリなどにおいて必要とされる高電圧を用いてのフローティングゲートからの電荷の引き抜きが不要であり、消去動作に起因する動作速度の低下を抑制することができる。つまり、半導体装置の高速動作が実現される。

【0135】

なお、トランジスタ162のドレイン電極（またはソース電極）は、トランジスタ160のゲート電極と電気的に接続されることにより、不揮発性メモリ素子として用いられるフローティングゲート型トランジスタのフローティングゲートと同等の作用を奏する。以下において、トランジスタ162のドレイン電極（またはソース電極）とトランジスタ160のゲート電極が電気的に接続される部位をノードFGと呼ぶ場合がある。トランジスタ162がオフの場合、当該ノードFGは絶縁体中に埋設されたと見ることができ、ノード

F Gには電荷が保持される。酸化物半導体を用いたトランジスタ162のオフ電流は、シリコン半導体で形成されるトランジスタの10万分の1以下であるため、トランジスタ162のリークによる、ノードF Gに蓄積された電荷の消失を無視することが可能である。つまり、酸化物半導体を用いたトランジスタ162により、電力の供給が無くても情報の保持が可能な不揮発性の記憶装置を実現することが可能である。

【0136】

例えば、トランジスタ162の室温(25)でのオフ電流が10 z A (1 z A (zeptoアンペア)は 1×10^{-21} A)以下であり、容量素子164の容量値が10 f F程度である場合には、少なくとも10⁴秒以上のデータ保持が可能である。なお、当該保持時間が、トランジスタ特性や容量値によって変動することはいうまでもない。

10

【0137】

また、開示する発明の半導体装置においては、従来のフローティングゲート型トランジスタにおいて指摘されているゲート絶縁膜(トンネル絶縁膜)の劣化という問題が存在しない。つまり、従来問題とされていた、電子をフローティングゲートに注入する際のゲート絶縁膜の劣化という問題を解消することができる。これは、原理的な書き込み回数の制限が存在しないことを意味するものである。また、従来のフローティングゲート型トランジスタにおいて書き込みや消去の際に必要であった高電圧も不要である。

【0138】

図8(A-1)に示す半導体装置は、当該半導体装置を構成するトランジスタなどの要素が抵抗および容量を含むものとして、図8(A-2)のように考えることが可能である。つまり、図8(A-2)では、トランジスタ160および容量素子164が、それぞれ、抵抗および容量を含んで構成されると考えていることになる。R1およびC1は、それぞれ、容量素子164の抵抗値および容量値であり、抵抗値R1は、容量素子164を構成する絶縁層による抵抗値に相当する。また、R2およびC2は、それぞれ、トランジスタ160の抵抗値および容量値であり、抵抗値R2はトランジスタ160がオン状態の時のゲート絶縁層による抵抗値に相当し、容量値C2はいわゆるゲート容量(ゲート電極と、ソース電極またはドレイン電極との間に形成される容量、及び、ゲート電極とチャンネル形成領域との間に形成される容量)の容量値に相当する。

20

【0139】

トランジスタ162がオフ状態にある場合のソース電極とドレイン電極の間の抵抗値(実効抵抗とも呼ぶ)をR_{OS}とすると、トランジスタ162のゲートリーク電流が十分に小さい条件において、R1およびR2が、 $R1 \ll R_{OS}$ 、 $R2 \ll R_{OS}$ を満たす場合には、電荷の保持期間(情報の保持期間ということもできる)は、主としてトランジスタ162のオフ電流によって決定されることになる。

30

【0140】

逆に、当該条件を満たさない場合には、トランジスタ162のオフ電流が十分に小さくとも、保持期間を十分に確保することが困難になる。トランジスタ162のオフ電流以外のリーク電流(例えば、トランジスタ160におけるソース電極とゲート電極の間において生じるリーク電流等)が大きいためである。このことから、本実施の形態において開示する半導体装置は、 $R1 \ll R_{OS}$ 、および $R2 \ll R_{OS}$ の関係を満たすものであることが望ましいといえる。

40

【0141】

一方で、C1とC2は、 $C1 \ll C2$ の関係を満たすことが望ましい。C1を大きくすることで、第5の配線によってノードF Gの電位を制御する際に、第5の配線の電位を効率よくノードF Gに与えることができるようになり、第5の配線に与える電位間(例えば、読み出しの電位と、非読み出しの電位)の電位差を低く抑えることができるためである。

【0142】

このように、上述の関係を満たすことで、より好適な半導体装置を実現することが可能である。なお、R1およびR2は、トランジスタ160のゲート絶縁層や容量素子164の絶縁層によって制御される。C1およびC2についても同様である。よって、ゲート絶縁

50

層の材料や厚さなどを適宜設定し、上述の関係を満たすようにすることが望ましい。

【0143】

本実施の形態で示す半導体装置においては、ノードFGが、フラッシュメモリ等のフローティングゲート型トランジスタのフローティングゲートと同等の作用をするが、本実施の形態のノードFGは、フラッシュメモリ等のフローティングゲートと本質的に異なる特徴を有している。

【0144】

フラッシュメモリでは、コントロールゲートに印加される電位が高いため、その電位が、隣接するセルのフローティングゲートに影響を与えないように、セルとセルとの間隔をある程度保つ必要が生じる。このことは、半導体装置の高集積化を阻害する要因の一つである。そして、当該要因は、高電界をかけてトンネル電流を発生させるというフラッシュメモリの根本的な原理に起因するものである。

10

【0145】

一方、本実施の形態に係る半導体装置は、酸化物半導体を用いたトランジスタのスイッチングによって動作し、上述のようなトンネル電流による電荷注入の原理を用いない。すなわち、フラッシュメモリのような、電荷を注入するための高電界が不要である。これにより、隣接セルに対する、コントロールゲートによる高電界の影響を考慮する必要がないため、高集積化が容易になる。

【0146】

また、高電界が不要であり、大型の周辺回路（昇圧回路など）が不要である点も、フラッシュメモリに対するアドバンテージである。例えば、本実施の形態に係るメモリセルに印加される電圧（メモリセルの各端子に同時に印加される電位の最大のものとの最小のものとの差）の最大値は、2段階（1ビット）の情報を書き込む場合、一つのメモリセルにおいて、5V以下、好ましくは3V以下とすることができる。

20

【0147】

さらに、容量素子164を構成する絶縁層の比誘電率 r_1 と、トランジスタ160を構成する絶縁層の比誘電率 r_2 とを異ならせる場合には、容量素子164を構成する絶縁層の面積 S_1 と、トランジスタ160においてゲート容量を構成する絶縁層の面積 S_2 とが、 $2 \cdot S_2 \leq S_1$ （望ましくは $S_2 \leq S_1$ ）を満たしつつ、 $C_1 \leq C_2$ を実現することが容易である。すなわち、容量素子164を構成する絶縁層の面積を小さくしつつ、 $C_1 \leq C_2$ を実現することが容易である。具体的には、例えば、容量素子164を構成する絶縁層においては、酸化ハフニウムなどの $high-k$ 材料でなる膜、または酸化ハフニウムなどの $high-k$ 材料でなる膜と酸化物半導体でなる膜との積層構造を採用して r_1 を10以上、好ましくは15以上とし、ゲート容量を構成する絶縁層においては、酸化シリコンを採用して、 $r_2 = 3 \sim 4$ とすることができる。

30

【0148】

このような構成を併せて用いることで、開示する発明に係る半導体装置の、より一層の高集積化が可能である。

【0149】

なお、半導体装置の記憶容量を大きくするためには、高集積化以外に、多値化の手法を採ることもできる。例えば、メモリセルの一に3段階以上の情報を書き込む構成とすることで、2段階（1ビット）の情報を書き込む場合と比較して記憶容量を増大させることができる。例えば、上述のような、低電位を与える電荷 Q_L 、高電位を与える電荷 Q_H に加え、他の電位を与える電荷 Q をトランジスタ160のゲート電極に与えることで、多値化を実現することができる。

40

【0150】

応用例

次に、図8に示す回路を応用した、より具体的な回路構成および動作について、図9乃至図12を参照して説明する。

【0151】

50

図 9 に $(m \times n)$ ビットの記憶容量を有する半導体装置の回路図の一例を示す。

【 0 1 5 2 】

本発明の一態様に係る半導体装置は、 m 本 (m は 2 以上の整数) の信号線 S と、 m 本のワード線 WL と、 n 本 (n は 2 以上の整数) のビット線 BL と、 k 本 (k は n 未満の自然数) のソース線 SL と、メモリセル 1100 が縦 m 個 (行) \times 横 n 個 (列) のマトリクス状に配置されたメモリセルアレイと、第 1 の駆動回路 1111、第 2 の駆動回路 1112、第 3 の駆動回路 1113、第 4 の駆動回路 1114 といった周辺回路によって構成されている。ここで、メモリセル 1100 としては、図 8 (A - 1) に示される構成が適用される。メモリセル 1100 は各配線に並列に接続されている。

【 0 1 5 3 】

各メモリセル 1100 は、第 1 のトランジスタ、第 2 のトランジスタ、容量素子をそれぞれ有している。各メモリセル 1100 において、第 1 のトランジスタのゲート電極と、第 2 のトランジスタのソース電極またはドレイン電極の一方と、容量素子の電極の一方とは、電氣的に接続され、ソース線 SL と、第 1 のトランジスタのソース電極 (ソース領域) とは、電氣的に接続されている。さらに、ビット線 BL と、第 2 のトランジスタのソース電極またはドレイン電極の他方と、第 1 のトランジスタのドレイン電極とは電氣的に接続され、ワード線 WL と、容量素子の電極の他方と、は電氣的に接続され、信号線 S と、第 2 のトランジスタのゲート電極とは電氣的に接続されている。つまり、ソース線 SL が、図 8 (A - 1) に示される構成における第 1 の配線 (1st Line) に、ビット線 BL が第 2 の配線 (2nd Line) 及び第 3 の配線 (3rd Line) に、信号線 S が第 4 の配線 (4th Line) に、ワード線 WL が第 5 の配線 (5th Line) に相当する。

【 0 1 5 4 】

また、図 9 に示すメモリセルアレイにおいて、ビット線 BL 、ソース線 SL 、ワード線 WL 、及び信号線 S はマトリクスを構成する。ビット線 BL の一には、同じ列に配置された m 個のメモリセル 1100 が接続されている。また、ワード線 WL の一、及び、信号線の一には、それぞれ同じ行に配置された n 個のメモリセル 1100 が接続されている。また、ソース線 SL の本数は、ビット線 BL の本数よりも少ないため、ソース線 SL の一は、少なくとも異なるビット線 BL に接続されたメモリセル 1100 を含む複数のメモリセルと接続する必要がある。すなわち、ソース線 SL の一には、 j 個 (j は $(m+1)$ 以上 ($m \times n$) 以下の整数) のメモリセル 1100 が接続されている。なお、ソース線 SL の一に接続された複数のメモリセル 1100 が有する第 1 のトランジスタのソース領域は共通している。なお、ソース線 SL は、複数のビット線 BL に対して一本の割合で配置されている (すなわち、 (n/k) が整数である) のが好ましく、この場合、各ソース線 SL に接続されるメモリセル 1100 の数が等しいとすれば、ソース線 SL の一には、 $(m \times n / k)$ 個のメモリセル 1100 が接続される。

【 0 1 5 5 】

図 9 に示すメモリセルアレイのように、メモリセル 1100 の一と他のメモリセル 1100 とを接続するソース線 SL の一を、少なくとも異なるビット線 BL に接続されたメモリセルを含む複数のメモリセル 1100 と接続する構成として、ソース線 SL の本数をビット線 BL の本数より少なくすることで、ソース線の本数を十分に少なくすることができるため、半導体装置の集積度を向上させることができる。

【 0 1 5 6 】

ビット線 BL は、第 1 の駆動回路 1111 と電氣的に接続されており、ソース線 SL は、第 2 の駆動回路 1112 と電氣的に接続されており、信号線 S は第 3 の駆動回路 1113 と電氣的に接続されており、ワード線 WL は、第 4 の駆動回路 1114 と電氣的に接続されている。なお、ここでは、第 1 の駆動回路 1111、第 2 の駆動回路 1112、第 3 の駆動回路 1113、第 4 の駆動回路 1114 は、それぞれ独立に設けているが、開示する発明はこれに限定されない。いずれか一、または複数の機能を有する駆動回路を用いても良い。

【 0 1 5 7 】

次に、書き込み動作および読み出し動作について説明する。図 1 0 は、図 9 に示す半導体装置の書き込み動作および読み出し動作のタイミングチャートの一例である。

【 0 1 5 8 】

なお、ここでは、簡単のため、2 行 × 2 列のメモリセルアレイで構成される半導体装置の動作について説明するが、開示する発明はこれに限定されない。

【 0 1 5 9 】

第 1 行目のメモリセル 1 1 0 0 (1 , 1)、およびメモリセル 1 1 0 0 (1 , 2) への書き込みを行う場合と、第 1 行目のメモリセル 1 1 0 0 (1 , 1)、およびメモリセル 1 1 0 0 (1 , 2) からの読み出しを行う場合について説明する。なお、以下では、メモリセル (1 , 1) へ書き込むデータを " 1 " とし、メモリセル (1 , 2) へ書き込むデータを " 0 " とする場合について説明する。

10

【 0 1 6 0 】

はじめに、書き込みについて説明する。まず、第 1 行目の信号線 S (1) に電位 V 1 を与え、1 行目の第 2 のトランジスタをオン状態とする。また、第 2 行目の信号線 S (2) に電位 0 V を与え、2 行目の第 2 のトランジスタをオフ状態とする。

【 0 1 6 1 】

また、第 1 列目のビット線 B L (1) に電位 V 2 を与え、2 列目のビット線 B L (2) には電位 0 V を与える。

20

【 0 1 6 2 】

その結果、メモリセル (1 , 1) のノード F G には電位 V 2 が、メモリセル (1 , 2) のノード F G には電位 0 V が与えられる。ここでは、電位 V 2 は第 1 のトランジスタのしきい値より高い電位とする。そして、第 1 行目の信号線 S (1) の電位を 0 V として、1 行目の第 2 のトランジスタをオフ状態とすることで、書き込みを終了する。なお、電位 V 2 は、電位 V 1 と同程度または電位 V 1 以下とするのが好ましい。

【 0 1 6 3 】

なお、書き込み動作の間、第 1 行目のワード線 W L (1) 及び第 2 行目のワード線 W L (2) は電位 0 V としておく。また、書き込み終了時には、第 1 列目のビット線 B L (1) の電位を変化させる前に第 1 行目の信号線 S (1) を電位 0 V とする。書き込み後において、メモリセルのしきい値は、データ " 0 " の場合には V w 0、データ " 1 " の場合には V w 1 となる。ここで、メモリセルのしきい値とは、第 1 のトランジスタのソース電極とドレイン電極の間の抵抗状態が変化する、ワード線 W L に接続される端子の電圧をいうものとする。なお、ここでは、V w 0 > 0 > V w 1 とする。

30

【 0 1 6 4 】

次に、読み出しについて説明する。ここで、ビット線 B L には、図 1 1 に示す読み出し回路が電氣的に接続されているとする。

【 0 1 6 5 】

まず、第 1 行目のワード線 W L (1) に電位 0 V を与え、第 2 行目のワード線 W L (2) には電位 V L を与える。電位 V L はしきい値 V w 1 より低い電位とする。W L (1) を電位 0 V とすると、第 1 行目において、データ " 0 " が保持されているメモリセルの第 1 のトランジスタはオフ状態、データ " 1 " が保持されているメモリセルの第 1 のトランジスタはオン状態となる。ワード線 W L (2) を電位 V L とすると、第 2 行目において、データ " 0 "、" 1 " のいずれが保持されているメモリセルであっても、第 1 のトランジスタはオフ状態となる。

40

【 0 1 6 6 】

その結果、ビット線 B L (1) - ソース線 S L 間は、メモリセル (1 , 1) の第 1 のトランジスタがオン状態であるため低抵抗状態となり、ビット線 B L (2) - ソース線 S L 間は、メモリセル (1 , 2) の第 1 のトランジスタがオフ状態であるため、高抵抗状態となる。ビット線 B L (1)、ビット線 B L (2) に接続される読み出し回路は、ビット線の抵抗状態の違いから、データを読み出すことができる。

50

【0167】

なお、読み出し動作の間、信号線 $S(1)$ には電位 $0V$ を、信号線 $S(2)$ には電位 V_L を与え、第2のトランジスタを全てオフ状態としておく。第1行目のノード FG の電位は $0V$ または V_2 であるから、信号線 $S(1)$ を電位 $0V$ とすることで第2のトランジスタを全てオフ状態とすることができる。一方、2行目のノード FG の電位は、ワード線 $WL(2)$ に電位 V_L が与えられると、書き込み直後の電位より低い電位となってしまう。これにより、第2のトランジスタがオン状態となることを防止するために、信号線 $S(2)$ をワード線 $WL(2)$ と同じ低電位（電位 V_L ）とする。つまり、読み出しを行わない行では、信号線 S とワード線 WL とを同じ低電位（電位 V_L ）とする。以上により、第2のトランジスタを全てオフ状態とすることができる。

10

【0168】

読み出し回路として、図11に示す回路を用いる場合の出力電位について説明する。図11に示す読み出し回路では、ビット線 BL は、リードイネーブル信号（ RE 信号）によって制御されるスイッチを介して、クロックドインバータ、および、電位 V_1 を与えられた配線にダイオード接続されたトランジスタに接続される。また、ソース線 SL には定電位（例えば $0V$ ）を与えておく。ビット線 $BL(1)$ - ソース線 SL 間は低抵抗であるため、クロックドインバータには低電位が入力され、出力 $D(1)$ は $High$ となる。ビット線 $BL(2)$ - ソース線 SL 間は高抵抗であるため、クロックドインバータには高電位が入力され、出力 $D(2)$ は Low となる。

【0169】

動作電位は、例えば、 $V_1 = 2V$ 、 $V_2 = 1.5V$ 、 $V_H = 2V$ 、 $V_L = -2V$ とすることができる。

20

【0170】

次に、上述の書き込み動作とは異なる書き込み動作について説明する。書き込むデータは上述の書き込み動作と同じとする。図12は、当該書き込み動作および読み出し動作のタイミングチャートの一例である。

【0171】

図10に示すタイミングチャートを用いた書き込み（1行目の書き込み）では、書き込み時のワード線 $WL(2)$ の電位を電位 $0V$ としているため、例えばメモリセル（2, 1）またはメモリセル（2, 2）に書き込まれているデータがデータ "1" である場合には、ビット線 $BL(1)$ とビット線 $BL(2)$ 間に定常電流が流れることになる。第1行目の書き込み時には、第2行目のメモリセルが有する第1のトランジスタがオン状態となり、ビット線 $BL(1)$ とビット線 $BL(2)$ が、ソース線を介して低抵抗で接続されるためである。図12に示す書き込み動作は、このような定常電流の発生を防止する方法である。

30

【0172】

まず、第1行目の信号線 $S(1)$ に電位 V_1 を与え、1行目の第2のトランジスタをオン状態とする。また、第2行目の信号線 $S(2)$ に電位 $0V$ を与え、2行目の第2のトランジスタをオフ状態とする。

【0173】

また、第1列目のビット線 $BL(1)$ に電位 V_2 を与え、2列目のビット線 $BL(2)$ には電位 $0V$ を与える。

40

【0174】

その結果、メモリセル（1, 1）のノード FG には電位 V_2 が、メモリセル（1, 2）のノード FG には電位 $0V$ が与えられる。ここでは、電位 V_2 は第1のトランジスタのしきい値より高い電位とする。そして、第1行目の信号線 $S(1)$ の電位を $0V$ として、1行目の第2のトランジスタをオフ状態とすることで、書き込みを終了する。

【0175】

なお、書き込み動作の間、第1行目のワード線 $WL(1)$ の電位は電位 $0V$ に、第2行目のワード線 $WL(2)$ の電位は電位 V_L としておく。第2行目のワード線 $WL(2)$ を電

50

位 V_L とすることで、第 2 行目において、データ "0"、"1" のいずれが保持されているメモリセルであっても、第 1 のトランジスタはオフ状態となる。また、書き込み動作の間、ソース線 S_L には電位 V_2 を与える。書き込みデータが全て "0" の場合には、ソース線には電位 $0V$ を与えても構わない。

【0176】

また、書き込み終了時には、第 1 列目のビット線 $B_L(1)$ の電位を変化させる前に第 1 行目の信号線 $S(1)$ を電位 $0V$ とする。書き込み後において、メモリセルのしきい値は、データ "0" の場合には V_{w0} 、データ "1" の場合には V_{w1} となる。ここでは、 $V_{w0} > 0 > V_{w1}$ とする。

【0177】

当該書き込み動作において、書き込みを行わない行（この場合には第 2 行目）のメモリセルの第 1 のトランジスタはオフ状態であるから、ビット線とソース線の間の定常電流が問題になるのは、書き込みを行う行のメモリセルのみである。書き込みを行う行のメモリセルにデータ "0" を書き込む場合には、該メモリセルが有する第 1 のトランジスタはオフ状態となるため、定常電流の問題は生じない。一方で、書き込みを行う行のメモリセルにデータ "1" を書き込む場合には、該メモリセルが有する第 1 のトランジスタはオン状態となるため、ソース線 S_L とビット線 B_L （この場合にはビット線 $B_L(1)$ ）との間に電位差が存在する場合には、定常電流が発生する。そこで、ソース線 S_L の電位を、ビット線 $B_L(1)$ の電位 V_2 と同じとすることで、ビット線とソース線の間の定常電流を防止できる。

【0178】

以上のように、当該書き込み動作によって、書き込み時の定常電流の発生を防止できることがわかる。つまり、当該書き込み動作では、書き込み動作時の消費電力を十分に抑制することができる。

【0179】

なお、読み出し動作については、上述の読み出し動作と同様である。

【0180】

本実施の形態に示す半導体装置では、酸化物半導体を用いたトランジスタはオフ電流が極めて小さいため、これを用いることにより極めて長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作が不要となるか、または、リフレッシュ動作の頻度を極めて低くすることが可能となるため、消費電力を十分に低減することができる。また、電力の供給がない場合（ただし、電位は固定されていることが望ましい）であっても、長期にわたって記憶内容を保持することが可能である。

【0181】

また、本実施の形態に示す半導体装置では、情報の書き込みに高い電圧を必要とせず、素子の劣化の問題もない。例えば、従来の不揮発性メモリのように、フローティングゲートへの電子の注入や、フローティングゲートからの電子の引き抜きを行う必要がないため、ゲート絶縁層の劣化といった問題が全く生じない。すなわち、開示する発明に係る半導体装置では、従来の不揮発性メモリで問題となっている書き換え可能回数に制限はなく、信頼性が飛躍的に向上する。さらに、トランジスタのオン状態、オフ状態によって、情報の書き込みが行われるため、高速な動作も容易に実現しうる。

【0182】

また、酸化物半導体以外の材料を用いたトランジスタは、十分な高速動作が可能であるため、これを、酸化物半導体を用いたトランジスタと組み合わせるにより、半導体装置の動作（例えば、情報の読み出し動作）の高速性を十分に確保することができる。また、酸化物半導体以外の材料を用いたトランジスタにより、高速動作が要求される各種回路（論理回路、駆動回路など）を好適に実現することが可能である。

【0183】

このように、酸化物半導体以外の材料を用いたトランジスタ（より広義には、十分な高速動作が可能なトランジスタ）と、酸化物半導体を用いたトランジスタ（より広義には、十

10

20

30

40

50

分にオフ電流が小さいトランジスタ)とを一体に備えることで、これまでにない特徴を有する半導体装置を実現することができる。

【0184】

本実施の形態に示す半導体装置では、トランジスタの構成要素の側面(の一部)を一致させる態様を採用することで、高度に集積化された半導体装置を実現することができる。特に、トランジスタを三次元的に集積化した構造においては、当該三次元的構成の採用による高集積化と相まって、より顕著な効果が得られる。これにより、高度に集積化された半導体装置を実現し、メモリセルの占有面積を低減することができるので、単位面積あたりの記憶容量を増加させることができる。

【0185】

なお、開示する発明に係る半導体装置の回路構成は、図9に示されるものに限定されない。例えば、メモリセル1100を構成するトランジスタ162が並列に接続されることなく、配線に対して直列に接続されるような構成の回路としても良いし、メモリセル1100を構成するトランジスタ160が並列に接続されることなく、配線に対して直列に接続されるような構成の回路としても良い。

【0186】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせる用いることができる。

【0187】

(実施の形態3)

本実施の形態では、上述の実施の形態で説明した半導体装置を電子機器に適用する場合について、図13を用いて説明する。本実施の形態では、コンピュータ、携帯電話機(携帯電話、携帯電話装置ともいう)、携帯情報端末(携帯型ゲーム機、音響再生装置なども含む)、デジタルカメラ、デジタルビデオカメラ、電子ペーパー、テレビジョン装置(テレビ、またはテレビジョン受信機ともいう)などの電子機器に、上述の半導体装置を適用する場合について説明する。

【0188】

図13(A)は、ノート型のパーソナルコンピュータであり、筐体701、筐体702、表示部703、キーボード704などによって構成されている。筐体701と筐体702の少なくとも一には、先の実施の形態に示す半導体装置が設けられている。そのため、該半導体装置の高集積化を実現することが可能であり、また、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減されたノート型のパーソナルコンピュータが実現される。

【0189】

図13(B)は、携帯情報端末(PDA)であり、本体711には、表示部713と、外部インターフェイス715と、操作ボタン714等が設けられている。また、携帯情報端末を操作するスタイラス712などを備えている。本体711内には、先の実施の形態に示す半導体装置が設けられている。そのため、該半導体装置の高集積化を実現することが可能であり、また、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減された携帯情報端末が実現される。

【0190】

図13(C)は、電子ペーパーを実装した電子書籍720であり、筐体721と筐体723の2つの筐体で構成されている。筐体721および筐体723には、それぞれ表示部725および表示部727が設けられている。筐体721と筐体723は、軸部737により接続されており、該軸部737を軸として開閉動作を行うことができる。また、筐体721は、電源731、操作キー733、スピーカー735などを備えている。筐体721、筐体723の少なくとも一には、先の実施の形態に示す半導体装置が設けられている。そのため、該半導体装置の高集積化を実現することが可能であり、また、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減された電子書籍が実現される。

10

20

30

40

50

【 0 1 9 1 】

図 1 3 (D) は、携帯電話機であり、筐体 7 4 0 と筐体 7 4 1 の 2 つの筐体で構成されている。さらに、筐体 7 4 0 と筐体 7 4 1 は、スライドし、図 1 3 (D) のように展開している状態から重なり合った状態とすることができ、携帯に適した小型化が可能である。また、筐体 7 4 1 は、表示パネル 7 4 2、スピーカー 7 4 3、マイクロフォン 7 4 4、操作キー 7 4 5、ポインティングデバイス 7 4 6、カメラ用レンズ 7 4 7、外部接続端子 7 4 8などを備えている。また、筐体 7 4 0 は、携帯電話機の充電を行う太陽電池セル 7 4 9、外部メモリスロット 7 5 0などを備えている。また、アンテナは、筐体 7 4 1 に内蔵されている。筐体 7 4 0 と筐体 7 4 1 の少なくとも一には、先の実施の形態に示す半導体装置が設けられている。そのため、該半導体装置の高集積化を実現することが可能であり、また、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減された携帯電話機が実現される。

10

【 0 1 9 2 】

図 1 3 (E) は、デジタルカメラであり、本体 7 6 1、表示部 7 6 7、接眼部 7 6 3、操作スイッチ 7 6 4、表示部 7 6 5、バッテリー 7 6 6 などによって構成されている。本体 7 6 1 内には、先の実施の形態に示す半導体装置が設けられている。そのため、該半導体装置の高集積化を実現することが可能であり、また、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減されたデジタルカメラが実現される。

20

【 0 1 9 3 】

図 1 3 (F) は、テレビジョン装置 7 7 0 であり、筐体 7 7 1、表示部 7 7 3、スタンド 7 7 5 などで構成されている。テレビジョン装置 7 7 0 の操作は、筐体 7 7 1 が備えるスイッチや、リモコン操作機 7 8 0 により行うことができる。筐体 7 7 1 およびリモコン操作機 7 8 0 には、先の実施の形態に示す半導体装置が搭載されている。そのため、該半導体装置の高集積化を実現することが可能であり、また、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減されたテレビジョン装置が実現される。

【 0 1 9 4 】

以上のように、本実施の形態に示す電子機器には、先の実施の形態に係る半導体装置が搭載されている。このため、該半導体装置の高集積化を実現することが可能であり、また、消費電力を低減した電子機器が実現される。

30

【 符号の説明 】

【 0 1 9 5 】

- 1 0 1 基板
- 1 0 3 絶縁層
- 1 0 5 導電性材料を含む層
- 1 0 7 絶縁層
- 1 0 9 レジストマスク
- 1 1 1 ゲート絶縁層
- 1 1 3 導電性材料を含む層
- 1 1 5 絶縁層
- 1 1 7 絶縁層
- 1 1 9 絶縁層
- 1 2 1 素子分離絶縁層
- 1 2 3 レジストマスク
- 1 2 4 マスク
- 1 2 5 ゲート電極
- 1 2 6 レジストマスク
- 1 2 7 領域
- 1 2 8 不純物領域

40

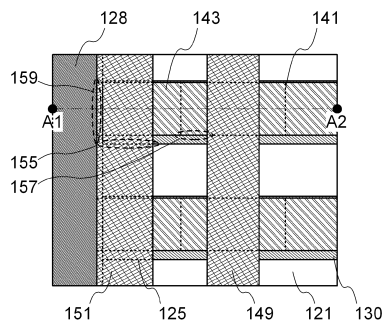
50

1 2 9	絶縁層	
1 3 0	不純物領域	
1 3 1	絶縁層	
1 3 2	チャネル形成領域	
1 3 3	酸化物半導体層	
1 3 5	酸化物半導体層	
1 3 7	導電層	
1 3 9	導電層	
1 4 1	酸化物半導体層	
1 4 2	ソース電極	10
1 4 3	ソース電極	
1 4 5	ドレイン電極	
1 4 6	ゲート絶縁層	
1 4 7	ゲート絶縁層	
1 4 9	ゲート電極	
1 5 1	電極	
1 5 2	レジストマスク	
1 5 5	領域	
1 5 7	領域	
1 5 9	領域	20
1 6 0	トランジスタ	
1 6 2	トランジスタ	
1 6 4	容量素子	
7 0 1	筐体	
7 0 2	筐体	
7 0 3	表示部	
7 0 4	キーボード	
7 1 1	本体	
7 1 2	スタイラス	
7 1 3	表示部	30
7 1 4	操作ボタン	
7 1 5	外部インターフェイス	
7 2 0	電子書籍	
7 2 1	筐体	
7 2 3	筐体	
7 2 5	表示部	
7 2 7	表示部	
7 3 1	電源	
7 3 3	操作キー	
7 3 5	スピーカー	40
7 3 7	軸部	
7 4 0	筐体	
7 4 1	筐体	
7 4 2	表示パネル	
7 4 3	スピーカー	
7 4 4	マイクロフォン	
7 4 5	操作キー	
7 4 6	ポインティングデバイス	
7 4 7	カメラ用レンズ	
7 4 8	外部接続端子	50

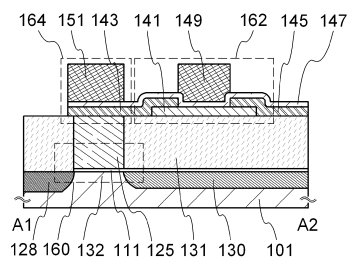
7 4 9	太陽電池セル
7 5 0	外部メモリスロット
7 6 1	本体
7 6 3	接眼部
7 6 4	操作スイッチ
7 6 5	表示部
7 6 6	バッテリー
7 6 7	表示部
7 7 0	テレビジョン装置
7 7 1	筐体
7 7 3	表示部
7 7 5	スタンド
7 8 0	リモコン操作機
1 1 0 0	メモリセル
1 1 1 1	駆動回路
1 1 1 2	駆動回路
1 1 1 3	駆動回路
1 1 1 4	駆動回路

【図 1】

(A)

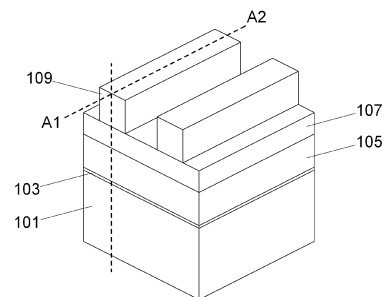


(B)

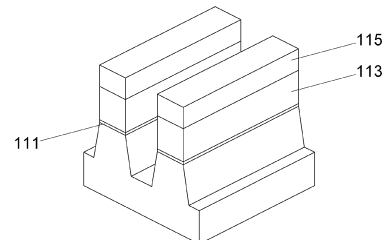


【図 2】

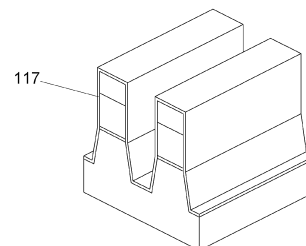
(A)



(B)

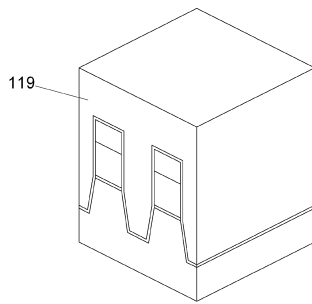


(C)

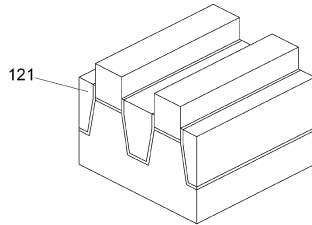


【図 3】

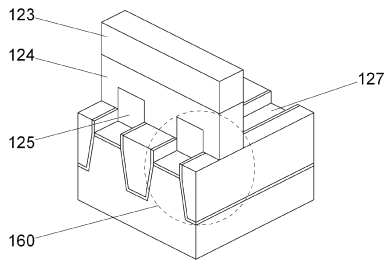
(A)



(B)

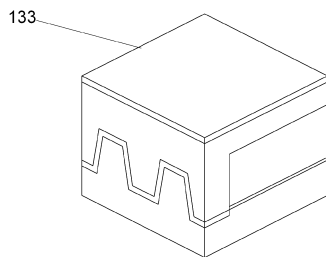


(C)

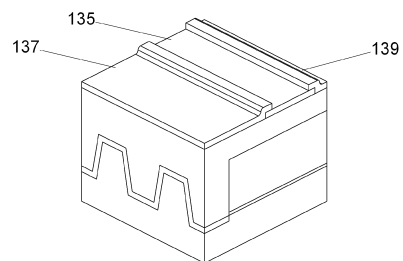


【図 5】

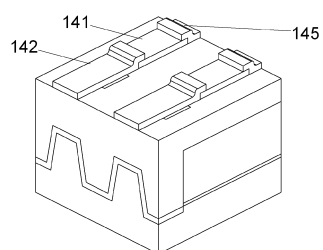
(A)



(B)

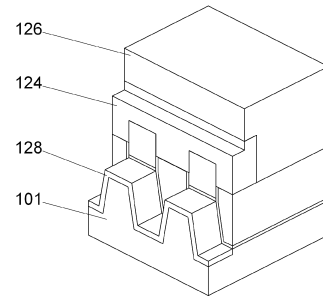


(C)

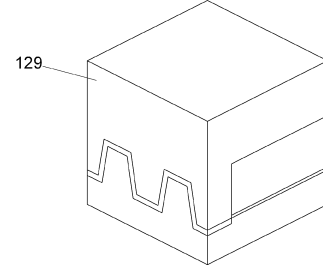


【図 4】

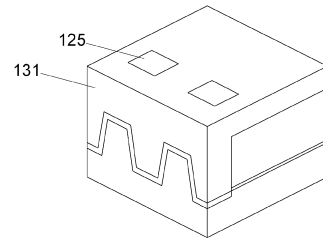
(A)



(B)

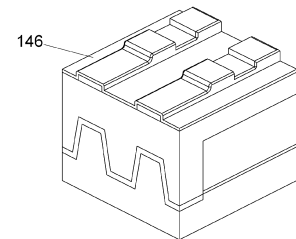


(C)

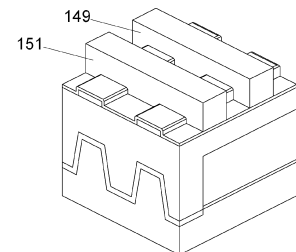


【図 6】

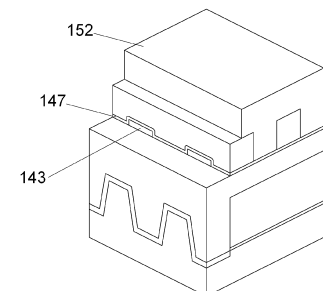
(A)



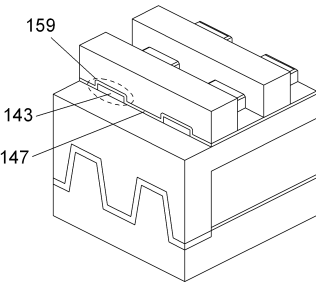
(B)



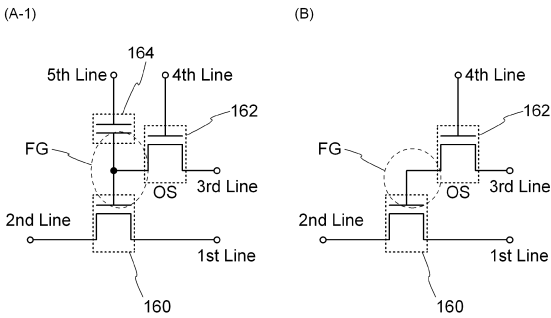
(C)



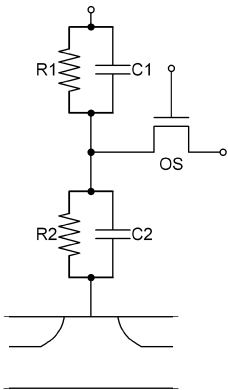
【図 7】



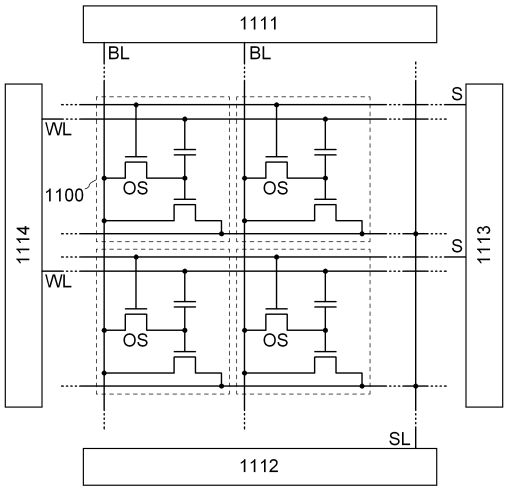
【図 8】



(A-2)



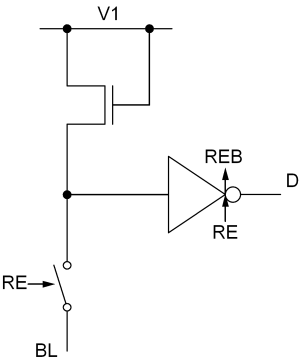
【図 9】



【図 10】

		1行目書込み 1行1列目 '1' 1行2列目 '0'	1行目読出し 1行1列目 '1' 1行2列目 '0'
SL	V1 V2 OV		
BL(1)	V1 V2 OV		
BL(2)	V1 V2 OV		
S(1)	V1 OV VL		
S(2)	V1 OV VL		
WL(1)	WH OV VL		
WL(2)	WH OV VL		
D(1)	V1 OV	high impedance	
D(2)	V1 OV	high impedance	

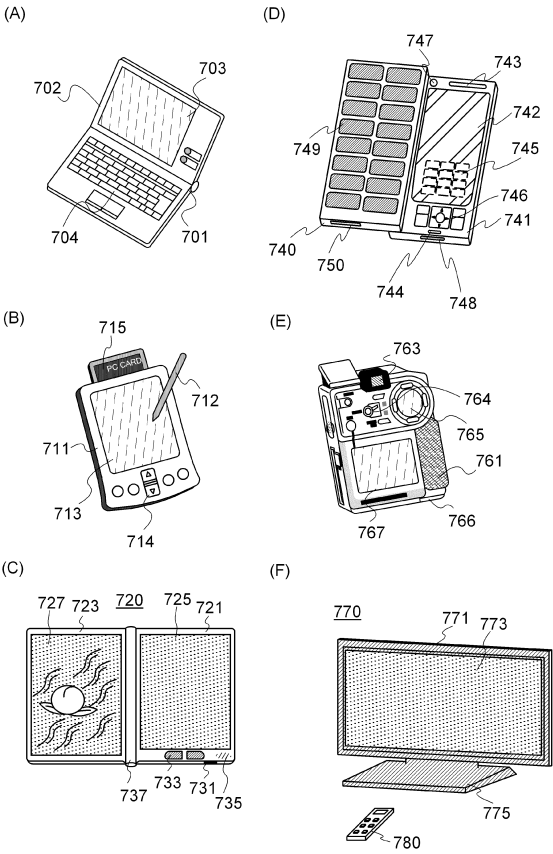
【図 11】



【図 1 2】

		1行目書込み 1行1列目"1" 1行2列目"0"	1行目読出し 1行1列目"1" 1行2列目"0"
SL	V1 V2 OV		
BL(1)	V1 V2 OV		
BL(2)	V1 V2 OV		
S(1)	V1 OV VL		
S(2)	V1 OV VL		
WL(1)	VH OV VL		
WL(2)	VH OV VL		
D(1)	V1 OV	high impedance	
D(2)	V1 OV	high impedance	

【図 1 3】



 フロントページの続き

(51)Int.Cl.

F I

H 0 1 L	27/108	(2006.01)	H 0 1 L	27/10	4 3 4
H 0 1 L	21/8247	(2006.01)	H 0 1 L	29/78	3 7 1
H 0 1 L	27/115	(2006.01)	H 0 1 L	27/10	4 8 1
H 0 1 L	21/336	(2006.01)	G 1 1 C	11/34	3 5 2 B
H 0 1 L	29/788	(2006.01)	H 0 1 L	29/78	6 2 7 C
H 0 1 L	29/792	(2006.01)			
H 0 1 L	27/10	(2006.01)			
G 1 1 C	11/405	(2006.01)			

(58)調査した分野(Int.Cl., D B名)

H 0 1 L	2 9 / 7 8 6
G 1 1 C	1 1 / 4 0 5
H 0 1 L	2 1 / 3 3 6
H 0 1 L	2 1 / 8 2 3 4
H 0 1 L	2 1 / 8 2 4 2
H 0 1 L	2 1 / 8 2 4 7
H 0 1 L	2 7 / 0 8
H 0 1 L	2 7 / 0 8 8
H 0 1 L	2 7 / 1 0
H 0 1 L	2 7 / 1 0 8
H 0 1 L	2 7 / 1 1 5
H 0 1 L	2 9 / 7 8 8
H 0 1 L	2 9 / 7 9 2