

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第4区分

【発行日】平成25年3月28日(2013.3.28)

【公開番号】特開2012-221522(P2012-221522A)

【公開日】平成24年11月12日(2012.11.12)

【年通号数】公開・登録公報2012-047

【出願番号】特願2011-84762(P2011-84762)

【国際特許分類】

G 11 C 16/02 (2006.01)

G 11 C 16/04 (2006.01)

G 11 C 16/06 (2006.01)

【F I】

G 11 C 17/00 6 1 3

G 11 C 17/00 6 2 2 E

G 11 C 17/00 6 3 3 B

G 11 C 17/00 6 3 5

G 11 C 17/00 6 4 1

【手続補正書】

【提出日】平成25年2月12日(2013.2.12)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

複数のメモリセルが直列接続されたメモリストリング、前記メモリストリングの一端に接続される第1の選択トランジスタ、前記メモリストリングの他端に接続される第2の選択トランジスタ、前記第1の選択トランジスタを介して前記メモリストリングに接続されるビット線、前記第2の選択トランジスタを介して前記メモリストリングに接続されるソース線、及び前記メモリセルの制御ゲート電極に接続されたワード線を備えたメモリセルアレイと、

データ読み出しのため前記メモリストリング中の選択メモリセルの前記制御ゲート電極に読み出し電圧を印加するとともに、前記メモリストリング中の非選択メモリセルの前記制御ゲート電極に前記非選択メモリセルの閾値電圧に拘わらず導通する読み出しバス電圧を印加して、前記選択メモリセルが導通するか否かを判定する読み出し動作を実行する制御回路とを備え、

前記制御回路は、

前記選択メモリセルの前記制御ゲート電極とソースとの間の電圧を第1の値に設定して前記選択メモリセルに設定された閾値電圧を読み出す第1の読み出し動作と、

前記選択メモリセルの前記制御ゲート電極とソースとの間の電圧を前記第1の値より小さい第2の値に設定して前記選択メモリセルに設定された閾値電圧を読み出す第2の読み出し動作とを実行可能に構成され、

前記制御回路は、前記第2の読み出し動作を実行する場合、前記選択メモリセルの前記制御ゲート電極の電圧を0又は正の値に保ちながら前記制御ゲート電極とソースとの間の電圧を前記第2の値に設定する

ことを特徴とする不揮発性半導体記憶装置。

【請求項2】

前記制御回路は、前記第2の読み出し動作を実行する場合、前記ソース線に印加されるソース線電圧を上昇させて前記制御ゲート電極とソースとの間の電圧を前記第2の値に設定する

ことを特徴とする請求項1記載の不揮発性半導体記憶装置。

【請求項3】

前記制御回路は、前記第2の読み出し動作を実行する場合、前記ソース線に印加される電圧を複数通りに変更可能に構成された

ことを特徴とする請求項1又は2記載の不揮発性半導体記憶装置。

【請求項4】

前記制御回路は、前記第2の読み出し動作を実行する場合、前記読み出しバス電圧の値を、前記選択メモリセルに印加する電圧に応じて変化させる

ことを特徴とする請求項1乃至3のいずれか記載の不揮発性半導体記憶装置。

【請求項5】

前記制御回路は、前記第2の読み出し動作を実行する場合、前記読み出しバス電圧の値を前記第1の読み出し動作の際の値よりも小さくする

ことを特徴とする請求項1乃至3のいずれか記載の不揮発性半導体記憶装置。

【請求項6】

複数のメモリセルが直列接続されたメモリストリング、前記メモリストリングの一端に接続される第1の選択トランジスタ、前記メモリストリングの他端に接続される第2の選択トランジスタ、前記第1の選択トランジスタを介して前記メモリストリングに接続されるビット線、前記第2の選択トランジスタを介して前記メモリストリングに接続されるソース線、及び前記メモリセルの制御ゲート電極に接続されたワード線を備えたメモリセルアレイと、

データ読み出しのため前記メモリストリング中の選択メモリセルの前記制御ゲート電極に読み出し電圧を印加するとともに、前記メモリストリング中の非選択メモリセルの前記制御ゲート電極に前記非選択メモリセルの閾値電圧に拘わらず導通する第1の読み出しバス電圧を印加して、前記選択メモリセルが導通するか否かを判定する読み出し動作を実行する制御回路とを備え、

前記制御回路は、前記メモリセルが所定の劣化状態よりも劣化していると判断された場合、前記第1の読み出しバス電圧の値よりも小さい第2の読み出しバス電圧を前記非選択メモリセルに印加して読み出し動作を実行可能に構成されている

ことを特徴とする不揮発性半導体記憶装置。