



ÚŘAD PRO VYNALEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

223335
(11) (B1)

(51) Int. Cl.³
G 11 C 7/00

(22) Přihlášeno 25 03 82
(21) [PV 2064-82]

(40) Zveřejněno 31 12 82

(45) Vydáno 15 03 86

(75)
Autor vynálezu

ŠKRDŁANT BOHDAN ing., PRAHA, NOVÁK JIŘÍ, ŠESTAJOVICE,
DLOUHÝ PETR, PRAHA

(54) Zapojení pro zápis jednobitové informace do vícebitové paměti RAM a její čtení jako vícebitové

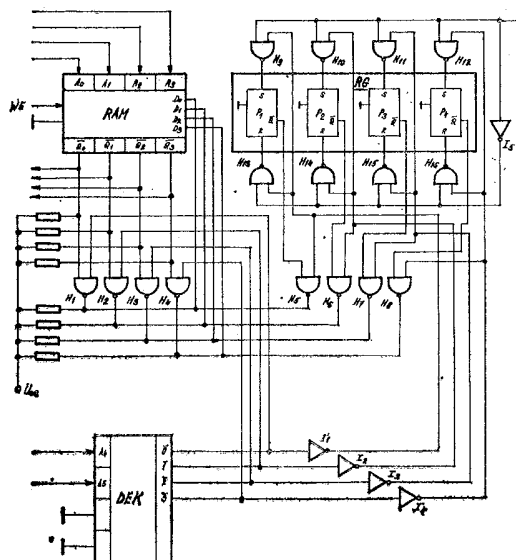
1

Vynález spadá do oboru záznamu a uchování informací a řeší problém záznamu jednobitové informace do vícebitových pamětí RAM.

Podstatou vynálezu je zapojení hradel na výstupy paměti a hradel na výstupy pomocného registru, na který se přivádí jednobitová informace. Odpovídající si výstupy hradel paměti i hradel pomocného registru v zapojení s otevřeným kolektorem jsou vzájemně propojeny a připojeny na datové vstupy pamětí.

Zapojení výstupních hradel (H1 až H4) paměti a posuvný registr (RG) s výstupními hradly (H5 až H8) nejlépe charakterizují vynález.

2



Vynález se týká zapojení pro zápis jedno-bitové informace do vícebitové paměti RAM a její čtení jako vícebitové.

Jsou známa zapojení pro zápis vícebitových datových údajů do paměti RAM, zadávaných klávesnicí do vstupní části mikroprogramovatelného automatu řídicího například činnost automatiky vysílačů hromadného dálkového ovládání elektrizačních soustav. Například paměť RAM typu [MH] 7489 umožňuje běžným způsobem zápis čtyřbitových datových údajů, které jsou do ní zapisovány paralelně. V případě potřeby zápisu jednobitových dat by bylo možno do 16 řádků této paměti zapsat pouze 16 jednobitových údajů. Nevýhodou těchto zapojení je, že při zápisu většího počtu jednobitových informací vzrůstá počet takových pamětí včetně řídicích obvodů potřebných k jejich adresování. Obsah paměti je neúplně využit, u uvedené paměti typu 7489 pouze z jedné čtvrtiny této paměti nesou žádnou informaci.

Vpředu uvedené nevýhody odstraňuje zapojení podle vynálezu, jehož podstata spočívá v tom, že na negované výstupy adresového dekodéru sloupců paměti jsou zapojeny paralelně jednak vstupy výstupních hradel paměti s otevřenými kolektory, jejichž druhé vstupy jsou připojeny k výstupům paměti a na jejichž negované výstupy spojené s odpovídajícími negovanými výstupy výstupních hradel pomocného registru s otevřenými kolektory jsou zapojeny datové vstupy paměti, jednak přes invertory vstupy výstupních hradel pomocného registru s otevřenými kolektory, připojených druhými vstupy k negovaným výstupům pomocného registru a vstupy vstupních hradel, jejichž výstupy jsou spojeny s nastavovacími vstupy pomocného registru a vstupy invertních vstupních hradel pomocného registru, jejichž výstupy jsou spojeny s nulovacími vstupy pomocného registru, přičemž druhé vstupy vstupních hradel jsou spojeny se zdrojem jednobitových dat a druhé vstupy invertních vstupních hradel pomocného registru jsou s tímž zdrojem jednobitových dat spojeny přes invertor vstupních dat.

Zapojení podle vynálezu je dále příkladem pro paměť RAM typu [MH] 7489 znázorněno na připojeném výkresu.

Adresování šestnácti řádků paměti RAM je provedeno čtyřbitovou adresou na adresní vstupy A0 až A3. Adresování jednotlivých čtyř bitů v řádce má přesnou polohu danou dvoubitovou adresou A4 a A5 adresového dekodéru DEK. Na invertní výstupy 0 až 3 adresového dekodéru DEK jsou zapojeny paralelně vstupy výstupních hradel H1 až H4 paměti RAM s otevřenými kolektory a přes

invertory I1 až I4 vstupy výstupních hradel H5 až H8 pomocného registru RG s otevřenými kolektory. Na druhé vstupy výstupních hradel H1 až H4 paměti RAM, respektive výstupních hradel H5 až H8 pomocného registru RG jsou zapojeny invertní výstupy 00 až 03 paměti RAM, respektive invertní výstupy pomocného registru RG. Vzhledem k použití výstupních hradel H1 až H8 s otevřenými kolektory, napájenými ze zdroje Ucc, je v zapojení použito invertních výstupů. Výstupy výstupních hradel H1 až H4 paměti RAM jsou spojeny s odpovídajícími výstupy výstupních hradel H5 až H8 pomocného registru RG a jsou na ně připojeny datové vstupy D0 až D3 paměti RAM. Pomocný registr RG sestává ze čtyř bistabilních klopných obvodů P1 až P4, na jejichž nastavovací vstupy S jsou zapojeny výstupy vstupních hradel H9 až H12 a na nulovací vstupy R výstupy invertních vstupních hradel H13 až H16. Na vstupy vstupních hradel H9 až H12 pomocného registru RG je zapojen zdroj jednobitových dat, jejichž inverze je přes invertor I5 vstupních dat přivedena na vstupy invertních vstupních hradel H13 až H16. Druhé vstupy vstupních i invertních vstupních hradel H9 až H16 jsou připojeny na odpovídající výstupy 0 až 3 dekodéru DEK přes invertory I1 až I4.

Ze zapojení je zřejmé, že při zápisu jednobitové informace například do řádku 0 je proveden její zápis do klopného obvodu P1 pomocného registru RG, současně je činnost z adresového výstupu dekodéru DEK otevřeno výstupní hradlo H5, přičemž hradla H6 až H8 zůstávají uzavřena. Datovým vstupem D0 se uskuteční zápis v prvním sloupci adresovaném z výstupu 0 dekodéru DEK a adresovým vstupem A0 do adresované řádky 0. Současně se otevrou výstupní hradla H2 až H4 paměti, čím se účinkem zbývajících datových vstupů D1 až D3 paměti RAM přepíše obsah zbývajících míst ve sloupcích D1 až D3 téhož řádku 0. Po ustálení informace na datových vstupech D0 až D3 se zapisovacím impulsem na vstupu WE provede zápis.

Při zápisu jednobitové informace je tedy neustále přepisován jednobitový údaj ze vstupního registru RG a obsah zbývajících bitů z paměti RAM. Čtení výstupu paměti RAM je z výstupních svorek Q0 až Q3, jako čtyřbitové datové slovo v invertním tvaru. Tím, že paměť RAM je svými výstupy připojena na své datové vstupy a zároveň na pomocný registr RG, do něhož je zapsána nová jednobitová informace, je jí umožněno neustálé přepisování vlastního obsahu.

PŘEDMĚT VYNÁLEZU

Zapojení pro zápis jednobitové informace do vícebitové paměti RAM a její čtení jako vícebitové, opatřené adresovým dekodérem, vyznačené tím, že na negované výstupy (0 až 3) adresového dekodéru (DEK) sloupců paměti (RAM) jsou zapojeny paralelně jednak vstupy výstupních hradel (H1 až H4) paměti (RAM) s otevřenými kolektory, jejichž druhé vstupy jsou připojeny k výstupům ($\overline{Q0}$ až $\overline{Q3}$) paměti (RAM), a na jejichž negované výstupy spojené s odpovídajícími negovanými výstupy výstupních hradel (H5 až H8) pomocného registru (RG) s otevřenými kolektory jsou zapojeny datové vstupy (D0 až D3) paměti (RAM), jednak přes invertory (I1 až I4) vstupy výstupních hradel (H5 až H8) pomocného registru (RG)

s otevřenými kolektory, připojených druhými vstupy k negovaným výstupům ($\overline{Q}$) pomocného registru (RG), a vstupy vstupních hradel (H9 až H12), jejichž výstupy jsou spojeny s nastavovacími vstupy (S) pomocného registru (RG) a vstupy inverzních vstupních hradel (H13 až H16) pomocného registru (RG), jejichž výstupy jsou spojeny s nulovacími vstupy (R) pomocného registru (RG), přičemž druhé vstupy vstupních hradel (H9 až H12) jsou spojeny se zdrojem jednobitových dat a druhé vstupy inverzních vstupních hradel (H13 až H16) pomocného registru (RG) jsou s tímž zdrojem jednobitových dat spojeny přes invertor (I5) vstupních dat.

1 list výkresů

