

(21)申請案號：101119982

(22)申請日：中華民國 101 (2012) 年 06 月 04 日

(51)Int. Cl. : *H01L21/3065(2006.01)**H01L21/304 (2006.01)*

(30)優先權：2011/06/15 美國

13/161,026

(71)申請人：應用材料股份有限公司 (美國) APPLIED MATERIALS, INC. (US)

美國

(72)發明人：雷偉生 LEI, WEI-SHENG (CN)；辛沙拉傑特 SINGH, SARAVJEET (US)；亞拉曼奇里麥德哈瓦饒 YALAMANCHILI, MADHAVA RAO (US)；伊頓貝德 EATON, BRAD (US)；庫默亞傑 KUMAR, AJAY (US)

(74)代理人：蔡坤財；李世章

申請實體審查：無 申請專利範圍項數：20 項 圖式數：9 共 45 頁

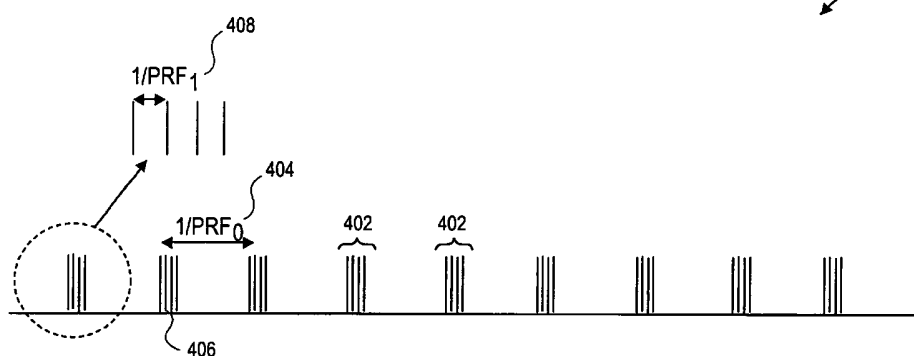
(54)名稱

使用具有多重脈衝的脈衝列雷射與電漿蝕刻之晶圓切割

WAFER DICING USING PULSE TRAIN LASER WITH MULTIPLE-PULSE BURSTS AND PLASMA ETCH

(57)摘要

本文描述切割半導體晶圓之方法，每個晶圓具有複數個積體電路。一種方法包括以下步驟：於半導體晶圓上方形成光罩。該光罩係由覆蓋並保護該等積體電路之層所組成。以使用多重脈衝的脈衝列雷射雕繪製程圖案化該光罩，以提供具有間隔的圖案化光罩。該圖案化暴露出在積體電路之間的半導體晶圓之區域。之後經由圖案化光罩中的間隔蝕刻半導體晶圓，以切割該等積體電路。



400：圖

402：脈衝

404：第一脈衝重複頻率

406：脈衝

408：第二脈衝重複頻率

(21)申請案號：101119982

(22)申請日：中華民國 101 (2012) 年 06 月 04 日

(51)Int. Cl. : **H01L21/3065(2006.01)**

H01L21/304 (2006.01)

(30)優先權：2011/06/15 美國

13/161,026

(71)申請人：應用材料股份有限公司 (美國) APPLIED MATERIALS, INC. (US)

美國

(72)發明人：雷偉生 LEI, WEI-SHENG (CN)；辛沙拉傑特 SINGH, SARAVJEET (US)；亞拉曼奇里麥德哈瓦饒 YALAMANCHILI, MADHAVA RAO (US)；伊頓貝德 EATON, BRAD (US)；庫默亞傑 KUMAR, AJAY (US)

(74)代理人：蔡坤財；李世章

申請實體審查：無 申請專利範圍項數：20 項 圖式數：9 共 45 頁

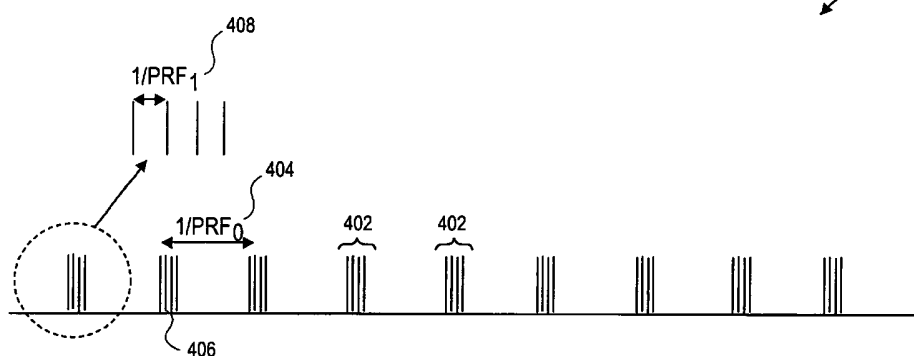
(54)名稱

使用具有多重脈衝的脈衝列雷射與電漿蝕刻之晶圓切割

WAFER DICING USING PULSE TRAIN LASER WITH MULTIPLE-PULSE BURSTS AND PLASMA ETCH

(57)摘要

本文描述切割半導體晶圓之方法，每個晶圓具有複數個積體電路。一種方法包括以下步驟：於半導體晶圓上方形成光罩。該光罩係由覆蓋並保護該等積體電路之層所組成。以使用多重脈衝的脈衝列雷射雕繪製程圖案化該光罩，以提供具有間隔的圖案化光罩。該圖案化暴露出在積體電路之間的半導體晶圓之區域。之後經由圖案化光罩中的間隔蝕刻半導體晶圓，以切割該等積體電路。



400：圖

402：脈衝

404：第一脈衝重複頻率

406：脈衝

408：第二脈衝重複頻率

六、發明說明：

【發明所屬之技術領域】

本發明之實施例屬於半導體處理之領域，尤其是屬於切割半導體晶圓之方法，其中每個晶圓上具有複數個積體電路。

【先前技術】

在半導體晶圓處理中，係將積體電路形成於晶圓（亦可指稱為基板）上，晶圓係由矽或其他半導體材料所組成。一般來說，係利用各種材料層（可為半導體的、導體的或絕緣的）形成該等積體電路。使用各種習知的製程來摻雜、沉積及蝕刻該等材料，以形成積體電路。每個晶圓經處理而形成許多含有積體電路之個別區域，該等含有積體電路之個別區域習知為晶粒。

在積體電路形成製程之後，「切割」晶圓以彼此分離出個別的晶粒，而用於封裝或使用於較大電路內的未封裝形式中。用於晶圓切割之二種主要技術為雕繪與鋸切。使用雕繪係將尖端為鑽石的雕繪器沿著預先形成的雕繪線移動經過整個晶圓表面，該等雕繪線沿著晶粒之間的時間隔延伸，該等間隔一般係指稱為「街道」。鑽石雕繪器沿著該等街道在晶圓表面形成淺刮痕。在施加壓力時，例如以滾軸施加壓力，晶圓會立即沿著雕繪線分離。晶圓中的分裂會沿著晶圓基板的晶格結構行進。雕繪可用

於厚度約 10 密爾（千分之一吋）或更薄的晶圓。對於較厚的晶圓，目前鋸切是較佳的切割方法。

使用鋸切時，尖端為鑽石且每分鐘以高轉數旋轉的鋸子接觸晶圓表面並延著街道鋸切晶圓。晶圓係安裝於支撐構件上，支撐構件例如延伸穿過膜框的黏膜，並且將鋸子重複地施用於垂直與水平街道。不管是雕繪或是鋸切，都有的一個問題是會沿著晶粒的斷邊形成缺口和鑿孔。另外，裂縫會形成並從晶粒邊緣延伸進入基板，而使得積體電路無法運作。當使用雕繪時缺口與裂縫尤其是個問題，因為只能雕繪方形或長方形晶粒在結晶結構 $\langle 110 \rangle$ 方向上的一邊。因此，分割晶粒的另一邊時會產生鋸齒狀的分割線。由於缺口與裂縫，在晶圓上的晶粒之間需要有額外的間隔，以防止積體電路損壞，例如將缺口與裂縫維持在距離實際的積體電路一段距離。需要間隔的結果是，無法在標準尺寸的晶圓上形成盡可能多的晶粒，因而浪費了可在其他方面用於電路的晶圓面積。使用鋸切使半導體晶圓面積的浪費更為嚴重。鋸子的刀刃約有 15 微米厚，就其本身而言，為確保鋸子在刻痕周圍造成的破裂及其他損傷不會傷害到積體電路，時常必須將每個晶粒的電路分隔三至五百微米。此外，在切割之後需要大量清洗每個晶粒，以移除微粒及其他從鋸切製程產生的污染物。

電漿切割已被使用，但也一樣有所限制。例如，一個阻礙電漿切割實施的限制可能是成本。圖案化光阻的標

準微影操作可能導致實施成本過高。另一個可能阻礙電漿切割實施的限制在於在沿著街道切割而電漿處理經常碰見的金屬（如銅）時而會造成生產問題或產量限制。

【發明內容】

本發明之實施例包括切割半導體晶圓之方法，其中每個晶圓上具有複數個積體電路。

在實施例中，切割具有複數個積體電路的半導體晶圓之方法包括以下步驟：於半導體晶圓上方形成光罩。該光罩係由覆蓋並保護該積體電路之層所組成。然後以使用多重脈衝的脈衝列雷射雕繪製程圖案化該光罩，以提供具有間隔的圖案化光罩、在積體電路之間的半導體晶圓之暴露區域。之後經由圖案化光罩中的間隔而蝕刻半導體晶圓，以切割該等積體電路。

在另一實施例中，一種切割半導體晶圓之系統包括工廠介面。雷射雕繪設備與該工廠介面連接並包括設以傳送具有多重脈衝的脈衝列之雷射。電漿蝕刻腔室亦與該工廠介面連接。

在另一實施例中，一種切割具有複數個積體電路的半導體晶圓之方法包括以下步驟：於矽基板上方形形成聚合物層。該聚合物層覆蓋並保護位於矽基板上之積體電路。該積體電路係由位於低介電常數材料層與銅層上方之二氧化矽層所組成。以使用多重脈衝的脈衝列雷射雕

繪製程圖案化聚合物層、二氧化矽層、低介電常數材料層與銅層，以暴露出在積體電路之間的矽基板區域。之後經由間隔蝕刻矽基板，以切割該等積體電路。

【實施方式】

描述切割半導體晶圓之方法，其中每個晶圓上具有複數個積體電路。在以下說明中提出了許多特定細節，如具有脈衝列多重脈衝之基於飛秒（femtosecond）的雷射雕繪與電漿蝕刻條件及材料方法，以提供對於本發明實施例完整的瞭解。對於熟悉該項技藝之人士來說，可不以該等特定細節來實施本發明實施例將是顯而易見的。在其他的例子中，習知的態樣如積體電路製造並未詳細描述，以免非必要地混淆了本發明之實施例。此外，應瞭解圖中所示的各種實施例係為說明性之表示，且非必然依比例繪製。

可以實施牽涉初始雷射雕繪及後續電漿蝕刻之混合晶圓或基板切割製程用於晶粒切割。可以使用雷射雕繪製程來乾淨地移除光罩層、有機及無機介電層及裝置層。然後可以在暴露或部分蝕刻晶圓或基板時立即終止雷射蝕刻製程。之後可以使用切割製程的電漿蝕刻部分來蝕刻穿透晶圓或基板之塊體，如穿透單晶矽之塊體，以產出品粒或晶片切割。

在組合雷射雕繪與電漿蝕刻切割製程之雷射雕繪部分

期間，會需要雷射以特定的順序來乾淨地移除光罩層、有機及無機介電層及裝置層。之後，經由下方的矽層或基板之任何剩餘部分應用電漿蝕刻製程以實現晶片切割。即使是在製程的第一部分中使用基於飛秒的雷射之案例中，可能仍存在關鍵的製程挑戰，例如（但不限於）避免微裂縫、不同層間之剝離、無機介電層的缺口、對於精確的切口寬度控制之潛在需求或對於精確的剝蝕深度控制之潛在需求。

對於雷射剝蝕，可將具有已知脈衝重複率的一系列單一脈衝應用於進行切割的晶圓或基板，通常將每個脈衝時間平均地分隔（例如脈衝到脈衝之時間分隔等於脈衝重複頻率的倒數）。依據本發明的實施例，將一系列依時間成形的飛秒多重脈衝取代一系列單一脈衝，而應用於雷射雕繪製程。可使用應用一系列依時間成形的多重脈衝來更佳地控制離子化製程並產出較低的剝蝕臨界值。在一個實施例中，使用一系列多重脈衝來更精確地控制剝蝕寬度（如切口寬度）與深度。

因此，在本發明的一個態樣，可以使用利用多重脈衝的脈衝列雷射雕繪製程與電漿蝕刻製程之組合來將半導體晶圓切割成切割的積體電路。第 1 圖為依據本發明之實施例表示在切割半導體晶圓的方法中的操作之流程圖 100，該半導體晶圓包括複數個積體電路。第 2A-2C 圖圖示依據本發明之實施例在執行切割半導體晶圓的方法期間包括複數個積體電路的半導體晶圓對應流程圖 100 的

操作之截面視圖。

參照流程圖 100 的操作 102 及對應的第 2A 圖，於半導體晶圓或基板 204 上方形成光罩 202。光罩 202 係由覆蓋並保護積體電路 206 之層所組成，積體電路 206 形成於半導體晶圓 204 的表面上。光罩 202 也覆蓋形成於每個積體電路 206 之間的中間街道 207。

依據本發明的實施例，形成光罩 202 之步驟包括以下步驟：形成層例如（但非侷限於）光阻層或 I-line 圖案化層。舉例來說，聚合物層（如光阻層）可由適用於微影製程的材料所組成。在一個實施例中，光阻層是由正光阻材料所組成，正光阻材料例如（但非侷限於）248 奈米（nm）光阻、193 奈米光阻、157 奈米光阻、極紫外光（EUV）光阻或具有重氮萘醌增感劑之酚醛樹脂基材。在另一實施例中，光阻層是由負光阻材料所組成，負光阻材料例如（但非侷限於）順-聚異戊二烯及聚乙醇肉桂酸酯（Poly-vinyl-cinnamate）。

在實施例中，半導體晶圓或基板 204 是由適合承受製造製程且其上可適當配置半導體處理層的材料所組成。舉例來說，在一個實施例中，半導體晶圓或基板 204 是由基於第 IV 族的材料所組成，基於第 IV 族的材料例如（但非侷限於）結晶矽、鍺或矽/鍺。在特定實施例中，提供半導體晶圓 204 之步驟包括提供單晶矽基板。在特定實施例中，單晶矽基板摻雜有雜質原子。在另一實施例中，半導體晶圓或基板 204 是由 III-V 族材料所組成，

例如用於製造發光二極體(LEDs)之 III-V 族材料基板。

在實施例中，半導體晶圓或基板 204 已於該半導體晶圓或基板 204 上或該半導體晶圓或基板 204 中配置有半導體元件陣列作為積體電路 206 之部分。該等半導體元件之實例包括但不限於製造於矽基板中並為介電層所圍繞之記憶體裝置或互補式金屬氧化半導體(CMOS)電晶體。可於該等裝置或電晶體上方及在周圍的介電層中形成複數個金屬內連線，且該等金屬內連線可用於電連接該等裝置或電晶體，以形成積體電路 206。組成街道 207 的材料可以與該等用於形成積體電路 206 的材料類似或相同。舉例來說，街道 207 可由介電材料、半導體材料及金屬化之層所組成。在一個實施例中，一或多個街道 207 包括類似於積體電路 206 的真實裝置之測試裝置。

參照流程圖 100 之操作 104 及對應的第 2B 圖，以使用多重脈衝的脈衝列雷射雕繪製程圖案化光罩 202，以提供具有間隔 210 的圖案化光罩 208、在積體電路 206 之間的半導體晶圓或基板 204 之暴露區域。就其本身而言，雷射雕繪製程係用以移除原始形成於積體電路 206 之間的街道 207 之材料。依據本發明的實施例，以使用多重脈衝的脈衝列雷射雕繪製程圖案化光罩 202 之步驟包括以下步驟：在積體電路 206 之間形成部分進入半導體晶圓 204 的區域之溝道 212，如第 2B 圖中所圖示。

參照流程圖 100 的操作 104，可以使用一系列雷射脈衝。例如，第 3 圖說明依據本發明之實施例一系列單一脈衝的

時間圖 300。參照第 3 圖，依時間沿著水平軸圖示一系列基於脈衝重複頻率 (PRF_0) 304 之單一脈衝 302。單一脈衝 302 之間的間隔為 PRF_0 的倒數，如第 3 圖中所圖示。亦即通常將每個脈衝 302 時間平均地分隔（例如脈衝到脈衝之時間分隔等於脈衝重複頻率的倒數）。可將該列單一脈衝 302 應用於進行切割的晶圓或基板。

視被剝蝕的層之複雜度而定，一系列單一脈衝可能無法提供對於剝蝕效能最適化的能量。然而，在單一脈衝期間傳送較大的強度可能會導致缺陷形成。替代地，可以將一系列多重脈衝用於剝蝕。例如，第 4 圖圖示依據本發明之實施例一系列多重脈衝之時間圖 400。

參照第 4 圖，依時間沿著水平軸圖示一系列基於第一脈衝重複頻率 (PRF_0) 404 之多重脈衝 402。多重脈衝 402 之間的間隔（例如單一脈衝 406 的群組中心之間）為 PRF_0 的倒數，如第 4 圖中所圖示。亦即通常將每個多重脈衝 402 時間平均地分隔（例如多重脈衝群到多重脈衝群之時間分隔等於第一脈衝重複頻率的倒數）。亦依時間沿著水平軸圖示基於第二脈衝重複頻率 (PRF_1) 408、在多重脈衝 402 內之每個單一脈衝 406。單一脈衝 406 之間的間隔為 PRF_1 的倒數，如第 4 圖中所圖示。亦即通常將每個單一脈衝 406 時間平均地分隔。可將該列多重脈衝 402 應用於進行切割的晶圓或基板。

可於已知的多重脈衝 402 中使用任何適當數量的單一脈衝 406。在實施例中，用於已知的多重脈衝 402 之單

一脈衝 406 的數量約在 2-5 的範圍中。在實施例中，第一脈衝重複頻率 (PRF_0) 404 大約在 200 kHz 至 10 MHz 的範圍中，雖然較佳地大約在 500 kHz 至 5 MHz 的範圍中。在一個該實施例中，第二脈衝重複頻率 (PRF_1) 408 約為第一脈衝重複頻率 (PRF_0) 404 的 10-20 倍（例如單一脈衝 406 之間的時間比較緊湊，約為多重脈衝 402 的中心之間的時間之十分之一至二十分之一）。在另一該實施例中，在已知的多重脈衝 402 中之單一脈衝 406 之間的時間係基於約在幾十飛秒至幾百飛秒範圍中的時間間隔，如大約在 50-500 飛秒範圍中。在特定實施例中，多重脈衝 402 係以固定的叢發重複率執行。

再次參照第 3 圖與第 4 圖，可以將圖 300 的脈衝列視為一系列依時間成形的、在每個叢發中僅有一個脈衝的飛秒脈衝。相比之下，圖 400 的脈衝列為一系列依時間成形的、在每個叢發中有多於一個脈衝的飛秒多重脈衝。在實施例中，藉由使用該與單一脈衝相對的多重脈衝，使得由切割晶圓或基板所消耗的光子能量較少，而轉變成較少的熱損傷。較少的熱損傷可以產生微裂縫、不同層間的剝離或無機介電層的缺口之最少化。依據本發明的實施例，將一系列依時間成形的飛秒多重脈衝取代一系列單一脈衝而應用於雷射雕繪製程。該方法可以量子化傳送至晶圓或基板或是晶圓或基板上的薄膜、用於雕繪之雷射強度。

在實施例中，可以使用形式為具有第一與第二脈衝重

複率的脈衝列之鎖模雷射來傳送脈衝 402 的個別脈衝 406。可以選擇某些脈衝用於從該脈衝列傳送，例如只傳送某些脈衝並阻擋所有其他的脈衝。可以用脈衝檢出器執行選擇的傳送，該脈衝檢出器本質上為電控的光開關。在實施例中，脈衝檢出器係基於電光調變器或聲光調變器，且與適當的電子驅動器結合。

在電光裝置的案例中，脈衝檢出器可由波克斯盒 (Pockels cell) 與偏振光學元件 (如薄膜偏光板) 一起組成。可以使用波克斯盒來操作偏振狀態，然後偏光板可以視偏光板之偏振來傳送或阻擋脈衝。在聲光脈衝檢出器的案例中，可以將短 RF 脈衝施加於聲光調變器，以便使想要的脈衝轉向至稍微修飾過的方向。之後可使轉向的脈衝通過縫隙，而阻擋其他的脈衝。在任一個案例中，可以藉由脈衝列中脈衝的時間距離 (如藉由脈衝源的脈衝重複率) 而非脈衝持續期間來決定調變器需要的速度。

脈衝檢出器的電子驅動器可以滿足額外的功能，例如，在一個實施例中，電子驅動器使用來自快速光二極體的訊號、感測原始的脈衝列，以將開關與輸入脈衝同步。然後觸發訊號可以在任何時間來到，而電子元件將會在適合的時間對開關動作，以傳送下一個抵達的輸入脈衝。為了在超短脈衝獲得高脈衝能量，可以降低脈衝重複率。可以藉由在種子雷射與放大器之間放置脈衝檢出器來進行脈衝重複率之降低，放大器設以僅對想要的

脈衝動作。被阻擋的脈衝不一定會構成強的能量損失，因為種子雷射的平均功率與放大器的平均輸出功率相比可能是小的，而且剩餘的平均功率對於飽和放大器是足夠的。

即使在脈衝列中使用了多重脈衝，可以利用使用基於飛秒的雷射（例如與基於皮秒（picosecond）的雷射或基於奈秒（nanosecond）的雷射相比）來進一步最適化進行切割製程的複合堆疊層之剝蝕效能。因此，在實施例中，以雷射雕繪製程圖案化光罩 202 之步驟包括以下步驟：使用具有脈衝寬度在飛秒範圍中的雷射。具體地，可以使用具有波長在可見光譜加紫外光（UV）與紅外光（IR）範圍（合為寬帶光譜）中的雷射，以提供基於飛秒的雷射，即具有脈衝寬度在飛秒（ 10^{-15} 秒）等級的雷射。在一個實施例中，剝蝕並非或本質上非為波長相關的，因而適用於複合膜，如光罩 202、街道 207 及可能的一部分半導體晶圓或基板 204 之膜。

第 5 圖圖示依據本發明之實施例使用在飛秒範圍中的雷射脈衝對比較長脈衝寬度的雷射脈衝之效果。參照第 5 圖，對比較長的脈衝寬度（例如以皮秒處理通孔 500B 之損傷 502B 與以奈秒處理通孔 500A 之明顯損傷 502A），藉由使用在飛秒範圍中的雷射脈衝寬度可以緩和或消除熱損傷的問題（例如以飛秒處理通孔 500C 之極微至無損傷 502C）。在形成通孔 500C 期間損傷的消除或緩和可能是由於缺乏低能量的再耦合（如基於皮秒的雷射

剝蝕中所見)或熱平衡(如基於奈秒的雷射剝蝕中所見),如第5圖中所圖示。

雷射參數選擇,如脈衝寬度,對於展開成功的雷射雕繪與切割製程可能是關鍵的,成功的雷射雕繪與切割製程可最小化缺口、微裂縫及剝離,以達成清潔的雷射雕繪切割。雷射雕繪切割愈清潔,則為最終晶粒切割所可能執行的蝕刻製程將愈平順。在半導體元件晶圓中,其上通常配置有許多不同材料類型(如導體、絕緣體、半導體)與厚度的功能性層,該等材料可包括但不限於有機材料如聚合物、金屬或無機介電質如二氧化矽與氮化矽。

位於晶圓或基板上的個別積體電路之間的街道可包括與積體電路本身類似的或相同的層。舉例來說,第6圖圖示依據本發明的實施例,可用於半導體晶圓或基板的街道區域之堆疊材料截面視圖。

參照第6圖,街道區域600包括具有所圖示相對厚度之矽基板頂部602、第一二氧化矽層604、第一蝕刻終止層606、第一低介電常數介電層608(如對於二氧化矽而言具有低於4.0的介電常數)、第二蝕刻終止層610、第二低介電常數介電層612、第三蝕刻終止層614、未摻雜之矽玻璃(USG)層616、第二二氧化矽層618及光阻層620。銅金屬化622位於第一和第三蝕刻終止層606和614之間而且穿過第二蝕刻終止層610。在特定實施例中,第一、第二及第三蝕刻終止層606、610及614是由

氮化矽所組成，而低介電常數介電層 608 和 612 是由摻雜碳的氧化矽材料所組成。

在習知的雷射照射（如基於奈秒或基於皮秒的雷射照射）之下，街道 600 的材料在光吸收與剝蝕機制方面會表現地相當不同。舉例來說，介電層如二氧化矽在正常條件下對於所有市購可得的雷射波長基本上是透明的。相反的，金屬、有機物（如低介電常數材料）及矽可以很容易地與光子耦合，尤其是在回應基於奈秒或基於皮秒的雷射照射時。在實施例中，藉由在剝蝕低介電常數材料層和銅層之前剝蝕二氧化矽層，而以基於飛秒的雷射雕繪製程使用多重脈衝的雷射列來圖案化二氧化矽層、低介電常數材料層及銅層。

依據本發明的實施例，適當的基於飛秒的雷射製程之特徵在於通常會在各種材料中造成非線性相互作用之高峰值強度（照射）。在一個該實施例中，飛秒雷射源具有大約在十飛秒至五百飛秒範圍中的脈衝寬度，雖然較佳是在一百飛秒至四百飛秒的範圍中。在一個實施例中，飛秒雷射源具有大約在 1570 奈米至 200 奈米範圍中的波長，雖然較佳是在 540 奈米至 250 奈米的範圍中。在一個實施例中，雷射與對應的光學系統提供於工作表面大約在 3 微米至 15 微米範圍中的焦點，雖然較佳是大約在 5 微米至 10 微米的範圍中。

於工作表面之空間光束輪廓可為單一模式（高斯的）或具有頂帽形狀的輪廓。在實施例中，雷射源於工作表

面傳送之脈衝能量大約在 0.5 uJ 至 100 uJ 的範圍中，雖然較佳為大約在 1 uJ 至 5 uJ 的範圍中。在實施例中，雷射雕繪製程沿著工件表面以大約在 300 毫米/秒至 5 米/秒範圍中的速度執行，雖然較佳為大約在 500 毫米/秒至 2 米/秒的範圍中。

雕繪製程可僅為單一回合運作或是多回合執行，但在實施例中，較佳為 1-2 回合。在一個實施例中，工件中的雕繪深度大約是在 5 微米至 50 微米深的範圍中，較佳為大約在 10 微米至 20 微米深的範圍中。在實施例中，產生的雷射光束切口寬度大約是在 2 微米至 15 微米的範圍中，雖然在矽晶圓雕繪/切割中，於裝置/矽介面量測較佳是大約在 6 微米至 10 微米的範圍中。

雷射參數之選擇可帶有益處及優點，該等益處及優點如提供足夠高的雷射強度以達成無機介電質（如二氧化矽）之離子化，及在直接剝蝕無機介電質之前最小化下層損傷造成的剝離與缺口。同樣的，可以選擇對於工業應用可提供有意圖的製程產量之參數，且可精確地控制剝蝕寬度（如切口寬度）與深度。如上所述，與基於皮秒和基於奈秒的雷射剝蝕製程相比，基於飛秒的雷射係遠較為適合提供該等優點。

然而，即使是在基於飛秒的雷射剝蝕範圍中，某些波長亦可提供較其他波長更好的效能。舉例來說，在一個實施例中，具有接近或在紫外線範圍中的波長之基於飛秒的雷射製程較具有接近或在紅外線範圍中的波長之基

於飛秒的雷射製程提供更清潔的剝蝕製程。在特定的該實施例中，適用於半導體晶圓或基板雕繪之基於飛秒的雷射製程係基於具有約小於或等於 540 奈米的波長之雷射。在特定的該實施例中，使用約小於或等於四百飛秒的雷射脈衝，且該雷射具有約小於或等於 540 奈米之波長。然而，在另一替代實施例中係使用雙雷射波長（如紅外線雷射和紫外線雷射之組合）。

參照流程圖 100 之操作 106 及對應的第 2C 圖，經由圖案化光罩 208 中的間隔 210 蝕刻半導體晶圓 204，以切割積體電路 206。依據本發明的實施例，蝕刻半導體晶圓 204 之步驟包括以下步驟：藉由蝕刻初始以使用具多重脈衝的脈衝列之雷射雕繪製程形成的溝道 212，以於最終蝕刻穿透整個半導體晶圓 204，如第 2C 圖中所圖示。

在實施例中，蝕刻半導體晶圓 204 之步驟包括以下步驟：使用電漿蝕刻製程。在一個實施例中，使用矽穿孔型蝕刻製程。舉例來說，在特定實施例中，半導體晶圓 204 的材料之蝕刻速度大於每分鐘 25 微米。可將超高密度電漿源用於晶粒切割製程之電漿蝕刻部分。適合執行該電漿蝕刻製程的處理腔室之實例為可向美國加州森尼維耳市的應用材料公司（Applied Materials of Sunnyvale, CA, USA）取得之 Applied Centura® Silvia™ 蝕刻系統。該 Applied Centura® Silvia™ 蝕刻系統結合了電容性與感應的無線射頻（RF）耦合，該結合可比僅有電容性耦合可能提供的提供遠較為獨立的離子密度與離子能量控

制，甚至還有磁性增強所提供的改良。該種結合致使離子密度有效地自離子能量退耦，因而不需高的、潛在危險的 DC 偏壓等級而可達成相當高密度的電漿，甚至是在非常低的壓力下。該種結合產生異常寬的製程空間。然而，可以使用任一可蝕刻矽的電漿蝕刻腔室。在例示性實施例中，使用深矽蝕刻以大於習知矽蝕刻速度約 40% 的蝕刻速度來蝕刻單晶矽基板或晶圓 204，同時維持本質上清晰的輪廓控制與實際上無扇形邊的側壁。在特定實施例中，使用矽穿孔型蝕刻製程。該蝕刻製程係基於反應性氣體產生的電漿，該反應性氣體通常是氟基氣體，如 SF_6 、 C_4F_8 、 CHF_3 、 XeF_2 或任何其他可以相當快的蝕刻速度蝕刻矽之反應性氣體。在實施例中，在切割製程之後移除光罩層 208，如第 2C 圖中所圖示。

因此，再次參照流程圖 100 及第 2A-2C 圖，可藉由使用具多重脈衝的脈衝列雷射雕繪製程之初始剝蝕，經由光罩層、經由晶圓街道（包括金屬化）及部分進入矽基板剝蝕而進行晶圓切割。之後可藉由後續的穿矽深電漿蝕刻完成晶粒切割。依據本發明的實施例，以下結合第 7A-7D 圖描述用於切割的材料堆疊之特定實例。

參照第 7A 圖，用於混合雷射剝蝕與電漿蝕刻切割之材料堆疊包括光罩層 702、裝置層 704 及基板 706。光罩層、裝置層及基板位於晶片貼膜 708 上方，晶片貼膜 708 貼附於背帶 710。在實施例中，光罩層 702 為光阻層，如上述關於光罩 202 之光阻層。裝置層 704 包括位於一或

多層金屬層（如銅層）和一或多層低介電常數介電層（如摻雜碳的氧化物層）上方之無機介電層（如二氧化矽）。裝置層 704 也可包括安置於積體電路之間的街道，該等街道包括與積體電路相同或類似的層。基板 706 為大塊單晶矽基板。

在實施例中，在貼附大塊單晶矽基板 706 於晶片貼膜 708 之前，從背側薄化大塊單晶矽基板 706。該薄化可藉由背側研磨製程來執行。在一個實施例中，將大塊單晶矽基板 706 薄化至大約在 50-100 微米範圍中的厚度。重要的是注意到，在實施例中，該薄化係於雷射剝蝕與電漿蝕刻切割製程之前執行。在實施例中，光阻層 702 之厚度大約為 5 微米，而裝置層 704 之厚度大約在 2-3 微米範圍中。在實施例中，晶片貼膜 708（或任何可將薄化的或薄的晶圓或基板黏合於背帶 710 之適當取代物）之厚度大約為 20 微米。

參照第 7B 圖，以使用多重脈衝的脈衝列雷射雕繪製程 712 圖案化光罩 702、裝置層 704 及一部分的基板 706，以於基板 706 中形成溝道 714。參照第 7C 圖，使用穿矽深電漿蝕刻製程 716 來將溝道 714 向下延伸至晶片貼膜 708，而暴露出晶片貼膜 708 的頂部，並切割矽基板 706。在穿矽深電漿蝕刻製程 716 期間，裝置層 704 係由光阻層 702 保護。

參照第 7D 圖，切割製程可進一步包括圖案化晶片貼膜 708，而暴露出背帶 710 的頂部，並切割晶片貼膜 708。

在實施例中，藉由雷射製程或蝕刻製程切割晶片貼膜。進一步的實施例可包括後續從背帶 710 移除切割部分的基板 706（如作為個別的積體電路）。在一個實施例中，將切割的晶片貼膜 708 保留在切割部分的基板 706 之背側上。其他的實施例可包括從裝置層 704 移除光罩光阻層 702。在替代的實施例中，在基板 706 比大約 50 微米更薄的案例中，使用雷射剝蝕製程 712 來完全切割基板 706 而不需使用額外的電漿製程。

在實施例中，在切割晶片貼膜 708 之後，從裝置層 704 移除光罩光阻層 702。在實施例中，將切割的積體電路從背帶 710 移除用於封裝。在一個該實施例中，將圖案化的晶片貼膜 708 保留於每個積體電路的背側並包含於最終的封裝中。然而，在另一實施例中，在切割製程期間或之後移除圖案化的晶片貼膜 708。

可配置單一製程工具來執行具有多重脈衝剝蝕的雷射列與電漿蝕刻切割製程之混合中之許多或全部的操作。舉例來說，第 8 圖為依據本發明的實施例圖示用於雷射與電漿切割晶圓或基板的工具佈局之方塊圖。

參照第 8 圖，製程工具 800 包括工廠介面 802（FI），工廠介面 802 具有複數個與工廠介面 802 連接之承載室 804。群集工具 806 與工廠介面 802 連接。群集工具 806 包括一或多個電漿蝕刻腔室，如電漿蝕刻腔室 808。雷射雕繪設備 810 也與工廠介面 802 連接。在一個實施例中，製程工具 800 的整體佔地面積可為約 3500 毫米（3.5

公尺) 乘約 3800 毫米 (3.8 公尺), 如第 8 圖中所圖示。

在實施例中, 雷射雕繪設備 810 容置設以傳送具有多重脈衝的脈衝列之雷射。該雷射適用於執行混合雷射與蝕刻切割製程之雷射剝蝕部分, 如上述之雷射剝蝕製程。在一個實施例中, 雷射雕繪設備 810 亦包括可移動的台階, 配置可移動的台階以相對於雷射移動晶圓或基板 (或晶圓或基板上之承載器)。在特定實施例中, 雷射也是可移動的。在一個實施例中, 雷射雕繪設備 810 的整體佔地面積可為約 2240 毫米乘約 1270 毫米, 如第 8 圖中所圖示。

在實施例中, 配置一或多個電漿蝕刻腔室 808 用於經由圖案化光罩中之間隔蝕刻晶圓或基板, 以切割複數個積體電路。在一個該實施例中, 配置該一或多個電漿蝕刻腔室 808 以執行深矽蝕刻製程。在特定實施例中, 該一或多個電漿蝕刻腔室 808 為可向美國加州森尼維耳市的應用材料公司 (Applied Materials of Sunnyvale, CA, USA) 取得之 Applied Centura® Silvia™ 蝕刻系統。可將蝕刻腔室具體設計為用於深矽蝕刻, 使用該深矽蝕刻來產生切割的積體電路, 該積體電路係容置於單晶矽基板或晶圓上或中。在實施例中, 電漿蝕刻腔室 808 包括高密度電漿源, 以有助於高矽蝕刻速度。在實施例中, 製程工具 800 的群集工具 806 部分中包括多於一個蝕刻腔室, 以使切割製程能有高的製造產量。

工廠介面 802 可以是適當的常壓接口, 以連繫外面具

有雷射雕繪設備 810 的製造設施與群集工具 806。工廠介面 802 可包括有手臂或葉片的自動控制裝置，用於將晶圓（或晶圓上之承載器）從儲存單元（如前開放劃一箱）傳送至群集工具 806 或雷射雕繪設備 810 中之任一者或二者。

群集工具 806 可包括其他在切割方法中適合執行功能之腔室。舉例來說，在一個實施例中，在額外的蝕刻腔室處包括沉積室 812。可配置該沉積室 812 用於在雷射雕繪晶圓或基板之前將光罩沉積於晶圓或基板之裝置層上或上方。在一個該實施例中，沉積室 812 適用於沉積光阻層。在另一實施例中，在額外的蝕刻腔室處包括濕/乾工站 814。該濕/乾工站可適用於清洗殘餘物與碎片，或在基板或晶圓的雷射雕繪與電漿蝕刻切割製程之後用於移除光罩。在實施例中，也包括量測站作為製程工具 800 之組件。

本發明之實施例可作為電腦程式產品或軟體提供，該電腦程式產品或軟體可包括內部已儲存指令之機器可讀媒體，可使用該等指令以程式化電腦系統（或其他電子裝置），以執行依據本發明實施例之製程。在一個實施例中，電腦系統與結合第 8 圖說明的製程工具 800 連接。機器可讀媒體包括任一以機器（如電腦）可讀形式儲存或傳送資訊之機制。舉例來說，機器可讀的（如電腦可讀的）媒體包括機器（如電腦）可讀的儲存媒體（如唯獨記憶體（「ROM」）、隨機存取記憶體（「RAM」）、磁碟

儲存媒體、光學儲存媒體、快閃記憶體裝置等)、機器(如電腦)可讀的傳送媒介(電的、光的、聲音的或其他形式的傳播訊號(如紅外線訊號、數位訊號等))等。

第 9 圖圖示在電腦系統 900 例示形式中的機器之圖示，於該電腦系統 900 中，可執行一組指令，該組指令用以致使該機器執行任一或多個本文中所描述的方法論。在替代的實施例中，可於區域網路(LAN)、企業內部網路、商際網路或網際網路中將該機器與其他機器連接(如網路化)。該機器可以從屬或主機器的效能於主從式網路環境中操作，或是在同級間(或分散式)網路環境中作為個別機器。該機器可以是個人電腦(PC)、平板電腦、機上盒(STB)、個人數位助理(PDA)、行動電話、網路用具、伺服器、網路路由器、開關或橋接器或任何可執行一組指令(連續的或以其他方式)的機器，其中該等指令指定由該機器執行的動作。進一步地，雖然只說明單一機器，也應將術語「機器」看作包括任何機器(如電腦)的集合，該等機器的集合個別地或聯合地執行一組(或多組)指令，以執行任一或多個本文中所描述之方法論。

例示性的電腦系統 900 包括經由匯流排 930 互相通訊之處理器 902、主記憶體 904(如唯讀記憶體(ROM)、快閃記憶體、動態隨機存取記憶體(DRAM)如同步動態隨機存取記憶體(SDRAM)或 Rambus 動態隨機存取記憶體(RDRAM)等)、靜態記憶體 906(如快閃記憶體、

靜態隨機存取記憶體 (SRAM) 等) 及輔助記憶體 918 (如資料儲存裝置)。

處理器 902 表示一或多個通用處理裝置，如微處理器、中央處理單元或類似者。更特別的是，處理器 902 可為複雜指令集計算 (CISC) 微處理器、精簡指令集計算 (RISC) 微處理器、極長指令字 (VLIW) 微處理器、實施其他指令集之處理器或實施多個指令集的組合之處理器。處理器 902 也可以是一或多個特殊目的處理裝置，如應用特定的積體電路 (ASIC)、場效可程式閘陣列 (FPGA)、數位訊號處理器 (DSP)、網路處理器或類似者。配置處理器 902 以執行處理邏輯 926，用以執行本文中所述之操作。

電腦系統 900 可進一步包括網路介面裝置 908。電腦系統 900 也可包括影像顯示單元 910 (如液晶顯示器 (LCD)、發光二極體顯示器 (LED) 或陰極射線管 (CRT))、字母數字輸入裝置 912 (如鍵盤)、游標控制裝置 914 (如滑鼠) 及訊號產生裝置 916 (如揚聲器)。

輔助記憶體 918 可包括機器可存取儲存媒體 (或更具體地為電腦可讀儲存媒體) 931，於機器可存取儲存媒體 931 上儲存有一或多組指令 (如軟體 922)，該等指令體現本文中所述之一或多個方法論或功能。在電腦系統 900 執行軟體 922 期間，軟體 922 也可全部或至少部分存在於主記憶體 904 和/或處理器 902 內，主記憶體 904 和處理器 902 也構成機器可讀儲存媒體。可經由網路介面裝

置 908 進一步通過網路 920 傳送或接收軟體 922。

雖然顯示於例示性實施例之機器可存取儲存媒體 931 為單一媒體，但應將術語「機器可讀儲存媒體」看作為包括單一媒體或多個媒體（如集中或分散式的資料庫和/或相關的緩存與伺服器），該等媒體儲存該一或多組指令。也應將術語「機器可讀儲存媒體」看作為包括任何可儲存或編碼指令集之媒體，其中該指令集係由該機器執行或使該機器執行本發明的任一或多個方法論。因此，應將術語「機器可讀儲存媒體」看作為包括但不限於固態記憶體及光學與磁性媒體。

依據本發明的實施例，機器可存取的儲存媒體上儲存有指令，該等指令致使資料處理系統執行切割具有複數個積體電路的半導體晶圓之方法。該方法包括以下步驟：於半導體晶圓上方形成光罩，該光罩由覆蓋並保護積體電路之層所組成。然後以使用多重脈衝的脈衝列雷射雕繪製程圖案化該光罩，以提供具有間隔之圖案化光罩，暴露出積體電路之間的半導體晶圓區域。之後經由圖案化光罩中的間隔蝕刻該半導體晶圓，以切割積體電路。

因此，已揭示切割半導體晶圓之方法，其中每個晶圓具有複數個積體電路。依據本發明的實施例，一種切割具有複數個積體電路的半導體晶圓之方法包括以下步驟：於半導體晶圓上方形成光罩，該光罩由覆蓋及保護該等積體電路之層所組成。該方法亦包括以下步驟：以

使用多重脈衝的脈衝列雷射雕繪製程圖案化該光罩，以提供具有間隔之圖案化光罩、介於積體電路間的半導體晶圓暴露區域。該方法亦包括以下步驟：經由圖案化光罩中的間隔蝕刻該半導體晶圓，以切割積體電路。在一個實施例中，以使用多重脈衝的脈衝列雷射雕繪製程圖案化該光罩之步驟包括以下步驟：使用每個叢發具有 2-5 個脈衝之叢發。在一個實施例中，以使用多重脈衝的脈衝列雷射雕繪製程圖案化該光罩之步驟包括以下步驟：使用基於飛秒的雷射。

【圖式簡單說明】

第 1 圖為依據本發明的實施例，表示在切割半導體晶圓的方法中的操作之流程圖，其中半導體晶圓包括複數個積體電路。

第 2A 圖圖示依據本發明的實施例，包括複數個積體電路的半導體晶圓在執行切割半導體晶圓的方法期間相對於第 1 圖的流程圖的操作 102 之截面視圖。

第 2B 圖圖示依據本發明的實施例，包括複數個積體電路的半導體晶圓在執行切割半導體晶圓的方法期間相對於第 1 圖的流程圖的操作 104 之截面視圖。

第 2C 圖圖示依據本發明的實施例，包括複數個積體電路的半導體晶圓在執行切割半導體晶圓的方法期間相對於第 1 圖的流程圖的操作 106 之截面視圖。

第 3 圖圖示依據本發明的實施例一列單一脈衝之時間圖。

第 4 圖圖示依據本發明的實施例一列多重脈衝之時間圖。

第 5 圖圖示依據本發明的實施例使用在飛秒範圍中的雷射脈衝對比較長脈衝時間的雷射脈衝之效果。

第 6 圖圖示依據本發明的實施例，可用於半導體晶圓或基板的街道區域的堆疊材料之截面視圖。

第 7A-7D 圖圖示依據本發明的實施例，在切割半導體晶圓的方法中各種操作之截面視圖。

第 8 圖圖示依據本發明的實施例，用於雷射與電漿切割晶圓或基板的工具佈局之方塊圖。

第 9 圖圖示依據本發明的實施例，例示性電腦系統之方塊圖。

【主要元件符號說明】

100	流程圖	102	操作
104	操作	106	操作
202	光罩	204	晶圓或基板
206	積體電路	207	街道
208	圖案化光罩	210	間隔
212	溝道	300	圖
302	脈衝	304	脈衝重複頻率

400	圖	402	多重脈衝
404	第一脈衝重複頻率	406	單一脈衝
408	第二脈衝重複頻率	500A	通孔
500B	損傷	500C	通孔
502A	損傷	502B	通孔
502C	損傷	600	街道
602	矽基板頂部	604	第一二氧化矽層
606	第一蝕刻終止層	608	第一低介電常數介電層
610	第二蝕刻終止層	612	第二低介電常數介電層
614	第三蝕刻終止層	616	未摻雜之矽玻璃層
618	第二二氧化矽層	620	光阻層
622	銅金屬化	702	光罩層
704	裝置層	706	基板
708	晶片貼膜	710	背帶
712	雷射雕繪製程	714	溝道
716	穿矽深電漿蝕刻製程	800	製程工具
802	工廠介面	804	承載室
806	群集工具	808	電漿蝕刻腔室
810	雷射雕繪設備	812	沉積室
814	濕/乾工站	900	電腦系統
902	處理器	904	主記憶體
906	靜態記憶體	908	網路介面裝置
910	影像顯示單元	912	字母數字輸入裝置
914	游標控制裝置	916	訊號產生裝置

918 輔助記憶體

922 軟體

930 匯流排

920 網路

926 處理邏輯

931 機器可存取儲存媒體

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫；惟已有申請案號者請填寫)

※ 申請案號：101119982

※ 申請日期：2012 年 6 月 4 日

※IPC 分類：

H01L 21/3065 (2006.01)

一、發明名稱：(中文/英文)

H01L 21/306 (2006.01)

使用具有多重脈衝的脈衝列雷射與電漿蝕刻之晶圓切割

Wafer Dicing using Pulse Train Laser with Multiple-Pulse Bursts and Plasma Etch

二、中文發明摘要：

本文描述切割半導體晶圓之方法，每個晶圓具有複數個積體電路。一種方法包括以下步驟：於半導體晶圓上方形成光罩。該光罩係由覆蓋並保護該等積體電路之層所組成。以使用多重脈衝的脈衝列雷射雕繪製程圖案化該光罩，以提供具有間隔的圖案化光罩。該圖案化暴露出在積體電路之間的半導體晶圓之區域。之後經由圖案化光罩中的間隔蝕刻半導體晶圓，以切割該等積體電路。

三、英文發明摘要：

Methods of dicing semiconductor wafers, each wafer having a plurality of integrated circuits, are described. A method includes forming a mask above the semiconductor wafer. The mask is composed of a layer covering and protecting the integrated circuits. The mask is patterned with a pulse train laser scribing process using multiple-pulse bursts to provide a patterned mask with gaps. The patterning exposes regions of the semiconductor wafer between the integrated circuits. The semiconductor wafer is then etched through the gaps in the patterned mask to singulate the integrated circuits.

七、申請專利範圍：

1. 一種切割包含複數個積體電路的一半導體晶圓之方法，該方法包含以下步驟：

於該半導體晶圓上方形成一光罩，該光罩包含一覆蓋並保護該等積體電路之層；

以一使用多重脈衝的脈衝列雷射雕繪製程圖案化該光罩，以提供一具有間隔的圖案化光罩、於該等積體電路之間的該半導體晶圓之暴露區域；及

經由該圖案化光罩中之該等間隔蝕刻該半導體晶圓，以切割該等積體電路。

2. 如請求項 1 所述之方法，其中以該使用多重脈衝的脈衝列雷射雕繪製程圖案化該光罩之步驟包含使用每個叢發具有 2-5 個脈衝之叢發。

3. 如請求項 1 所述之方法，其中以該使用多重脈衝的脈衝列雷射雕繪製程圖案化該光罩之步驟包含使用一大約在 300 kHz 至 10 MHz 範圍中之叢發頻率，及一大約為該叢發頻率的 10-20 倍之脈衝頻率。

4. 如請求項 3 所述之方法，其中該脈衝頻率提供一大約在 50-500 飛秒 (femtosecond) 範圍中之脈衝時間間隔。

5. 如請求項 1 所述之方法，其中以該使用多重脈衝的脈衝列雷射雕繪製程圖案化該光罩之步驟包含使用一基於飛秒的雷射。

6. 如請求項 5 所述之方法，其中使用該基於飛秒的雷射之步驟包含使用一具有大約小於或等於 540 奈米的一波長之雷射。

7. 如請求項 1 所述之方法，其中以該使用多重脈衝的脈衝列雷射雕繪製程圖案化該光罩之步驟包含於該等積體電路之間、該半導體晶圓之該等區域中形成溝道，而蝕刻該半導體晶圓之步驟包含蝕刻以該基於飛秒的雷射雕繪製程所形成之該等溝道。

8. 一種切割包含複數個積體電路的一半導體晶圓之系統，該系統包含：

一工廠介面；

一與該工廠介面連接之雷射雕繪設備，而且該雷射雕繪設備包含一設以傳送具有多重脈衝的一脈衝列之雷射；

及

一與該工廠介面連接之電漿蝕刻腔室。

9. 如請求項 8 所述之系統，其中該設以傳送一具有多重脈衝的脈衝列之雷射為一鎖模雷射。

10. 如請求項 9 所述之系統，其中該鎖模雷射與一脈衝檢出器連接，該脈衝檢出器係基於一選自由一電光調變器及一聲光調變器所組成的群組之調變器。

11. 如請求項 8 所述之系統，其中該設以傳送一具有多重脈衝的脈衝列之雷射為一基於飛秒的雷射。

12. 如請求項 11 所述之系統，其中該基於飛秒的雷射具有一大約小於或等於 540 奈米之波長。

13. 如請求項 8 所述之系統，其中該雷射雕繪設備設以執行一半導體晶圓的積體電路之間的街道之雷射剝蝕，且其中該電漿蝕刻腔室設以蝕刻該半導體晶圓，以於該雷射剝蝕之後切割該等積體電路。

14. 如請求項 8 所述之系統，其中該電漿蝕刻腔室設以產生一高密度電漿。

15. 一種切割包含複數個積體電路的一半導體晶圓之方法，該方法包含以下步驟：

於一矽基板上方形成一聚合物層，該聚合物層覆蓋並保護位於該矽基板上之積體電路，該等積體電路包含一位於一低介電常數材料層與一銅層上方之二氧化矽層；

以一使用多重脈衝的脈衝列雷射雕繪製程圖案化該聚合物層、該二氧化矽層、該低介電常數材料層與該銅層，以暴露出於該等積體電路之間的該矽基板之區域；及經由間隔蝕刻該矽基板，以切割該等積體電路。

16. 如請求項 15 所述之方法，其中以該使用多重脈衝的脈衝列雷射雕繪製程圖案化該二氧化矽層、該低介電常數材料層與該銅層之步驟包含於剝蝕該低介電常數材料層與該銅層之前剝蝕該二氧化矽層。

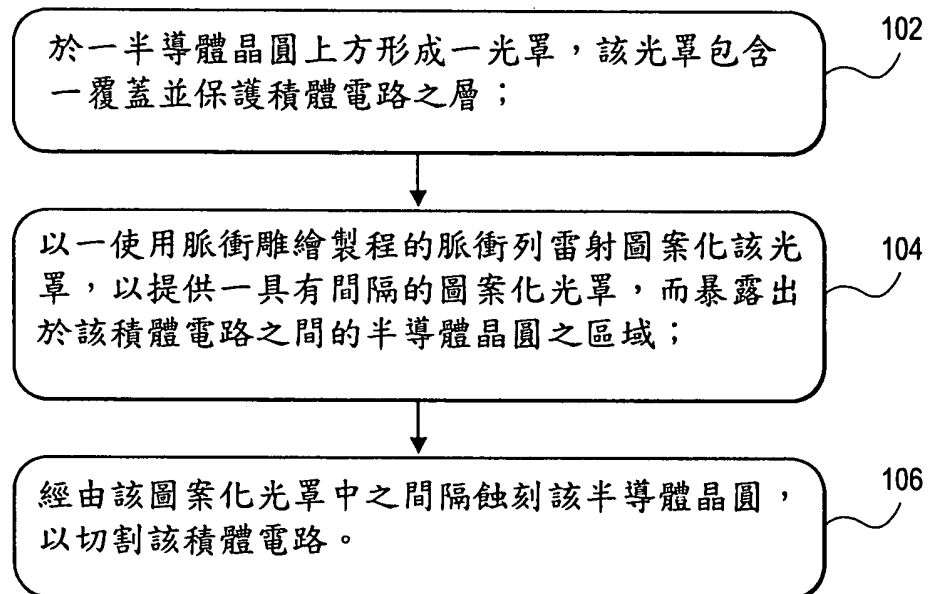
17. 如請求項 15 所述之方法，其中以該使用多重脈衝的脈衝列雷射雕繪製程進行之圖案化之步驟進一步包含於該等積體電路之間、該矽基板之該等區域中形成溝道，而蝕刻該矽基板之步驟包含蝕刻以該使用多重脈衝的脈衝列雷射雕繪製程所形成之該等溝道。

18. 如請求項 15 所述之方法，其中以該使用多重脈衝的脈衝列雷射雕繪製程進行之圖案化之步驟包含使用每個叢發具有 2-5 個脈衝之叢發。

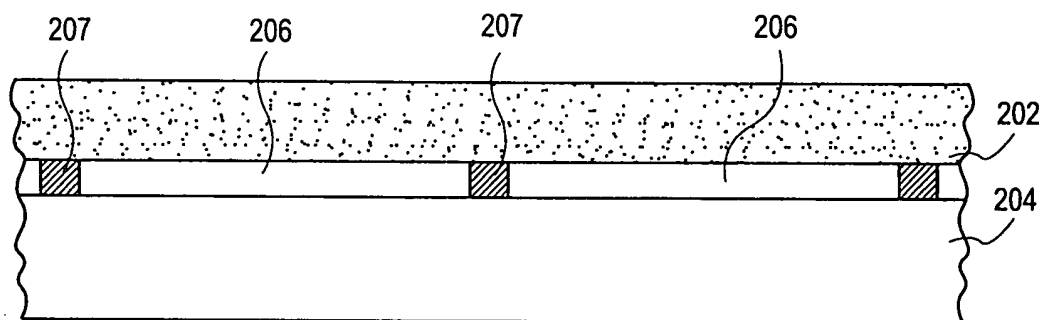
19. 如請求項 15 所述之方法，其中以該使用多重脈衝的脈衝列雷射雕繪製程進行之圖案化之步驟包含使用一大約在 300 kHz 至 10 MHz 範圍中之叢發頻率，及一大約為該叢發頻率的 10-20 倍之脈衝頻率。

20. 如請求項 19 所述之方法，其中該脈衝頻率提供一大約在 50-500 飛秒範圍中之脈衝時間間隔。

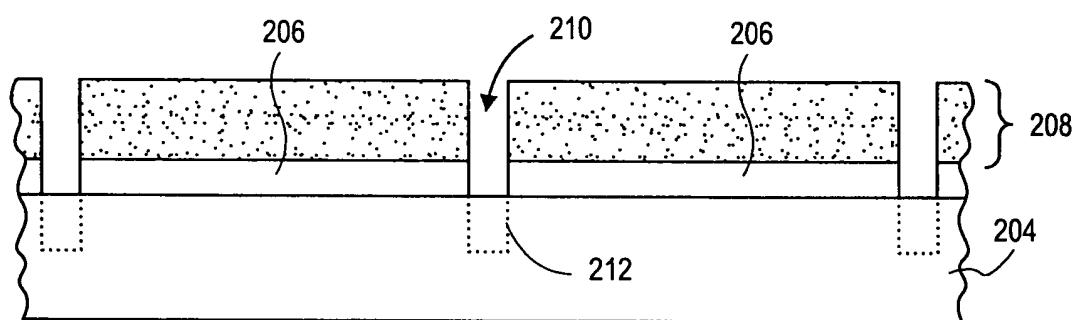
流程圖100



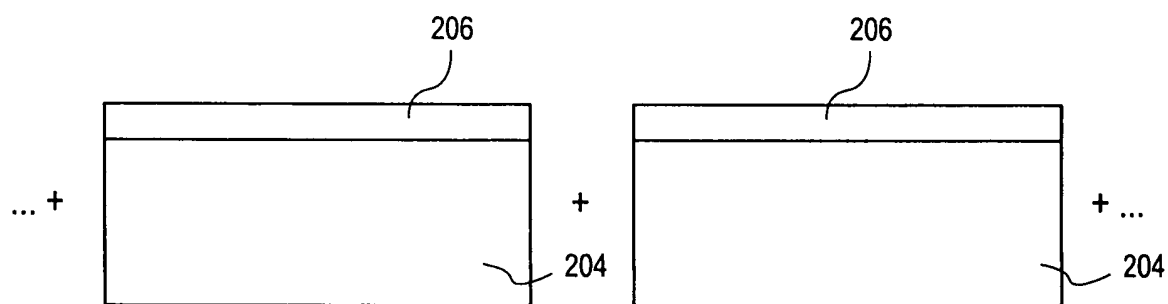
第1圖



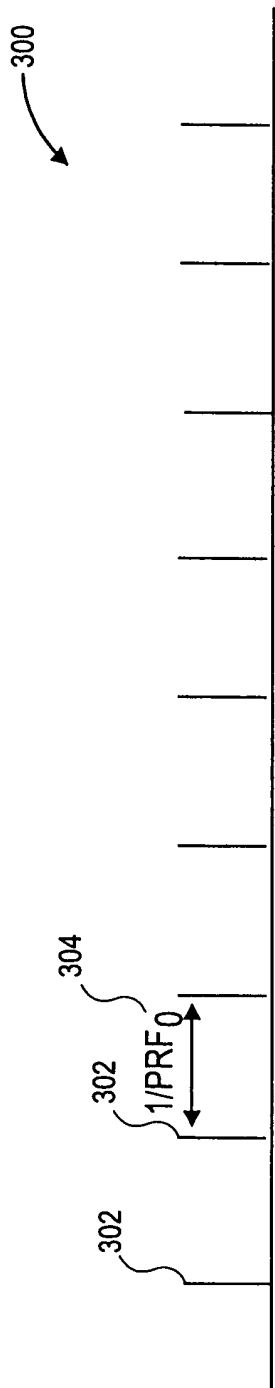
第2A圖



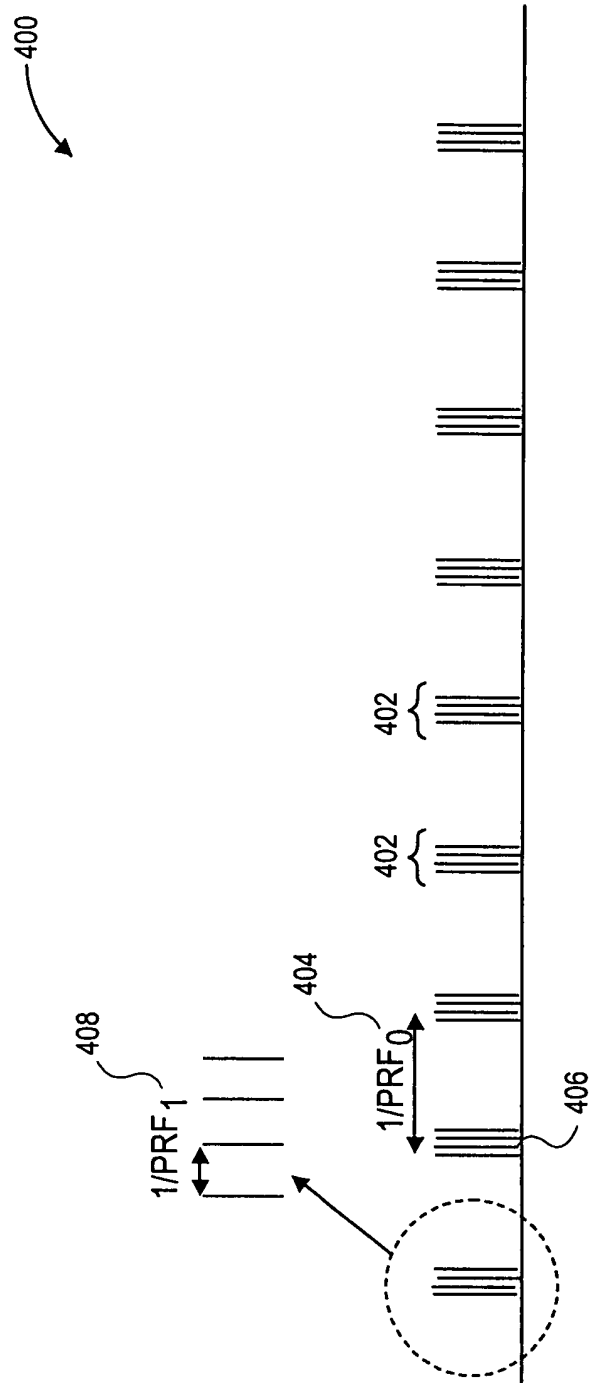
第2B圖



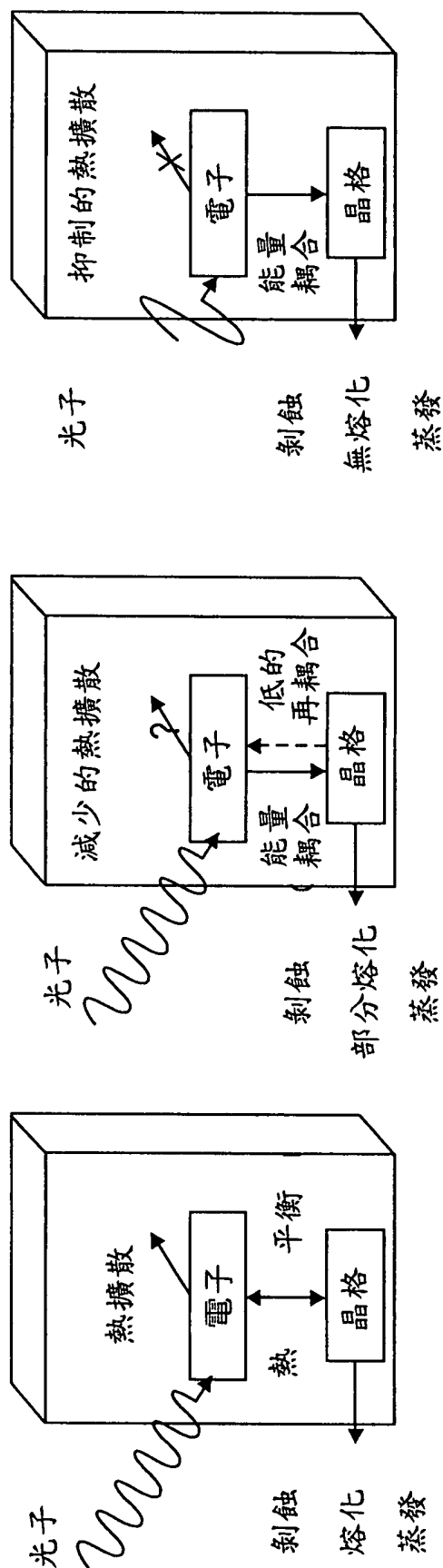
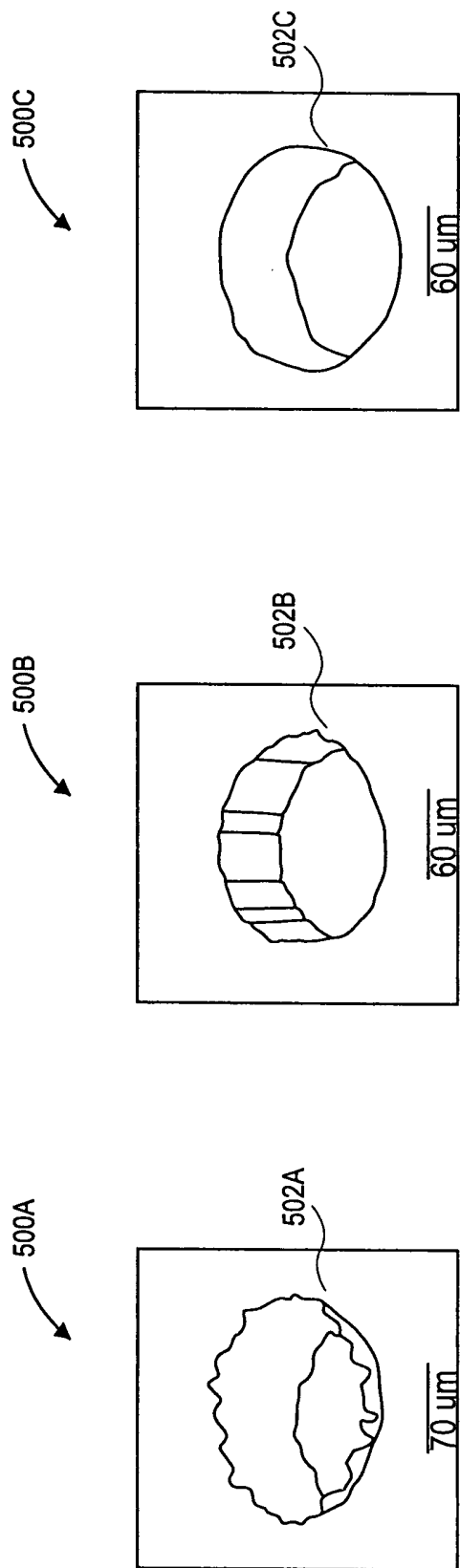
第2C圖



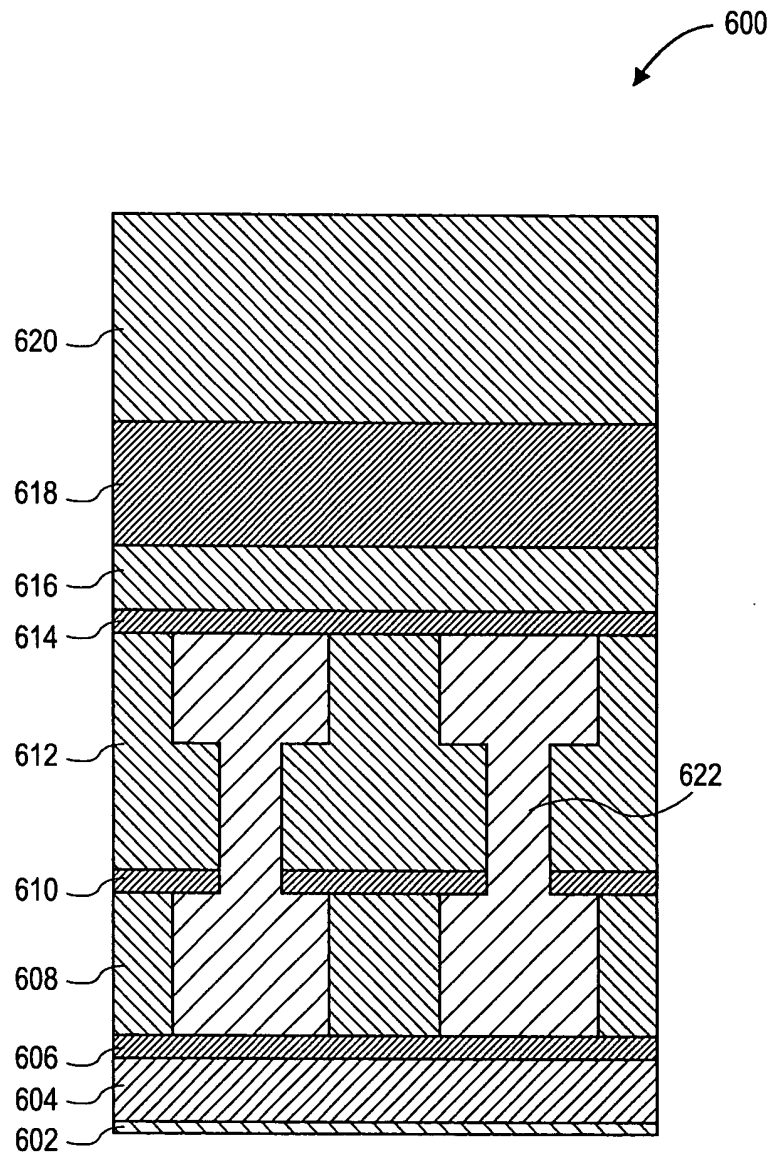
第3圖



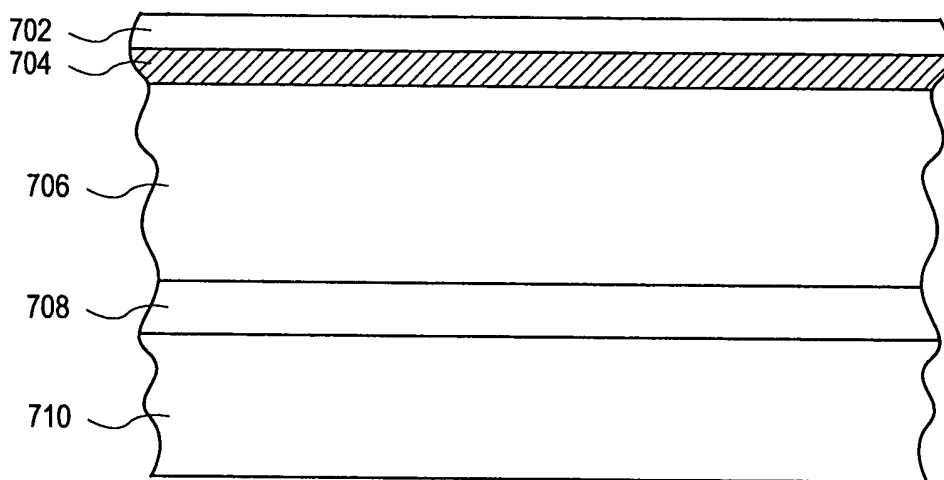
第4圖



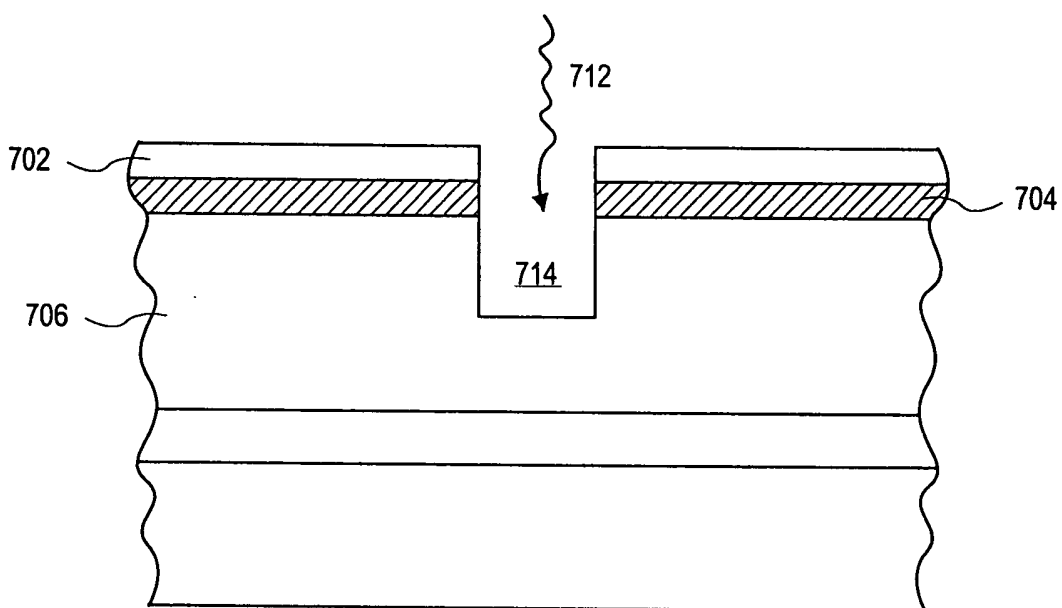
第5圖



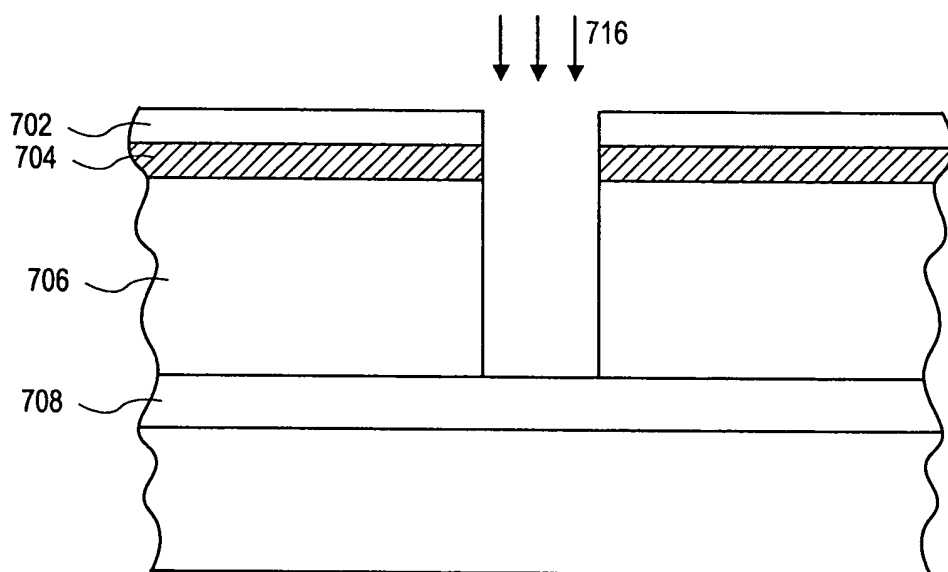
第6圖



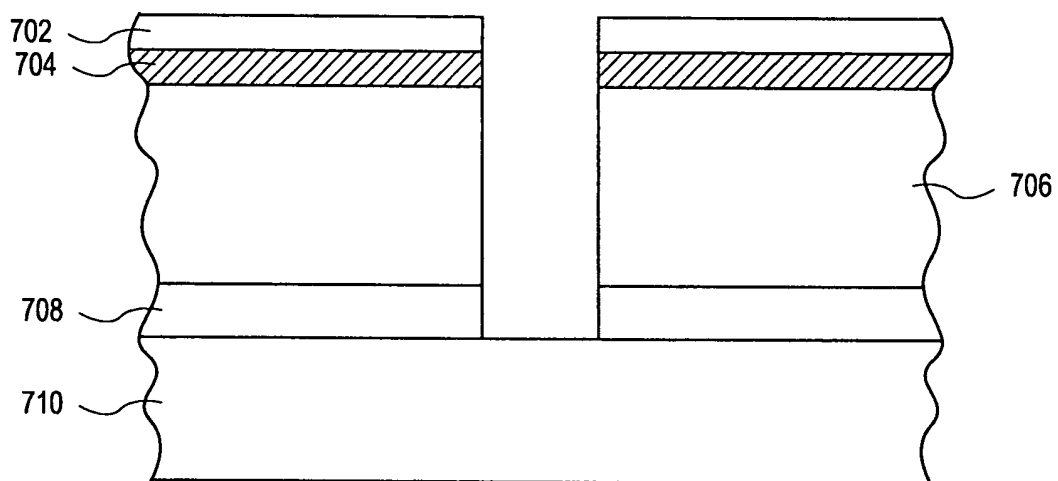
第7A圖



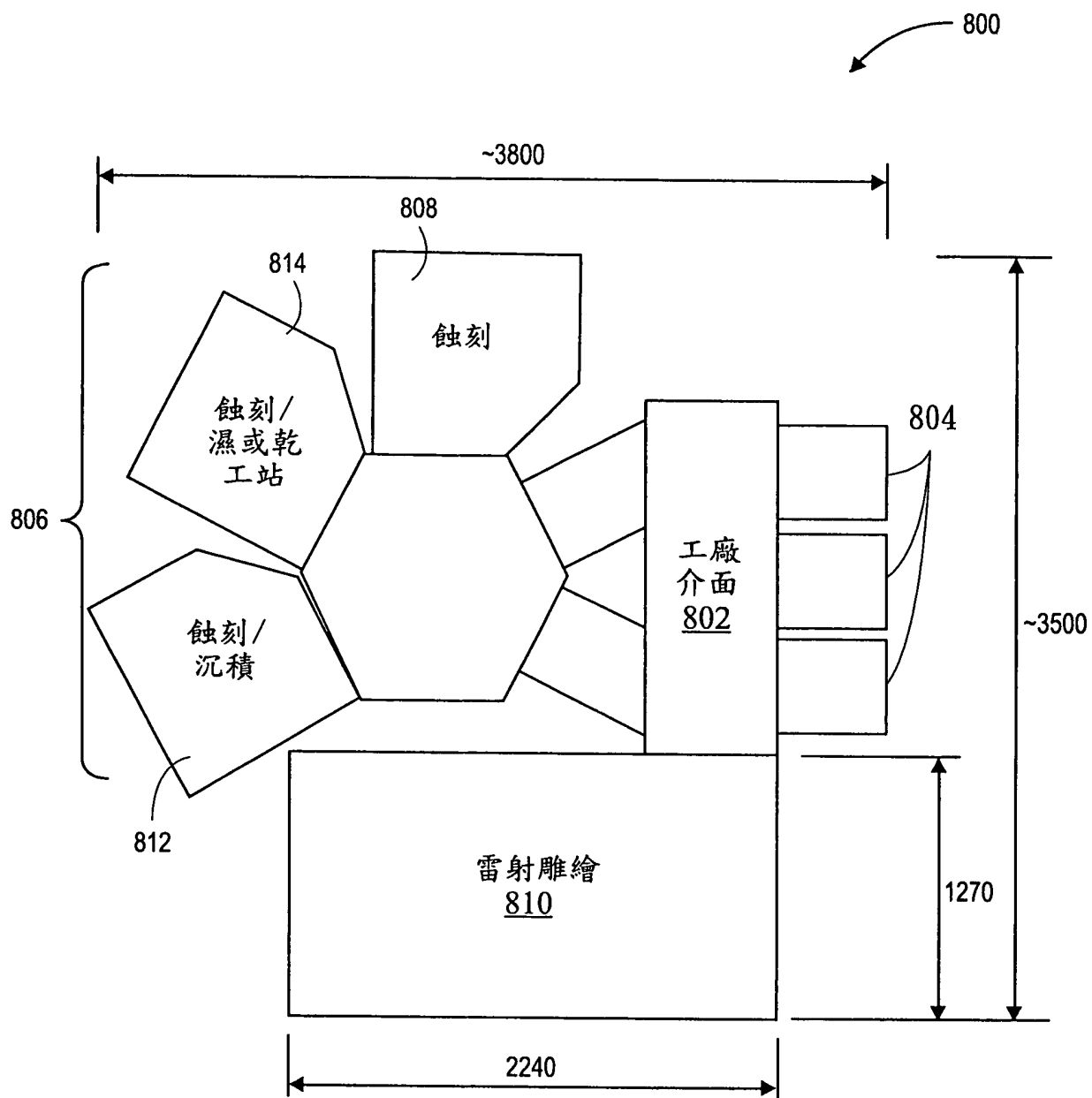
第7B圖



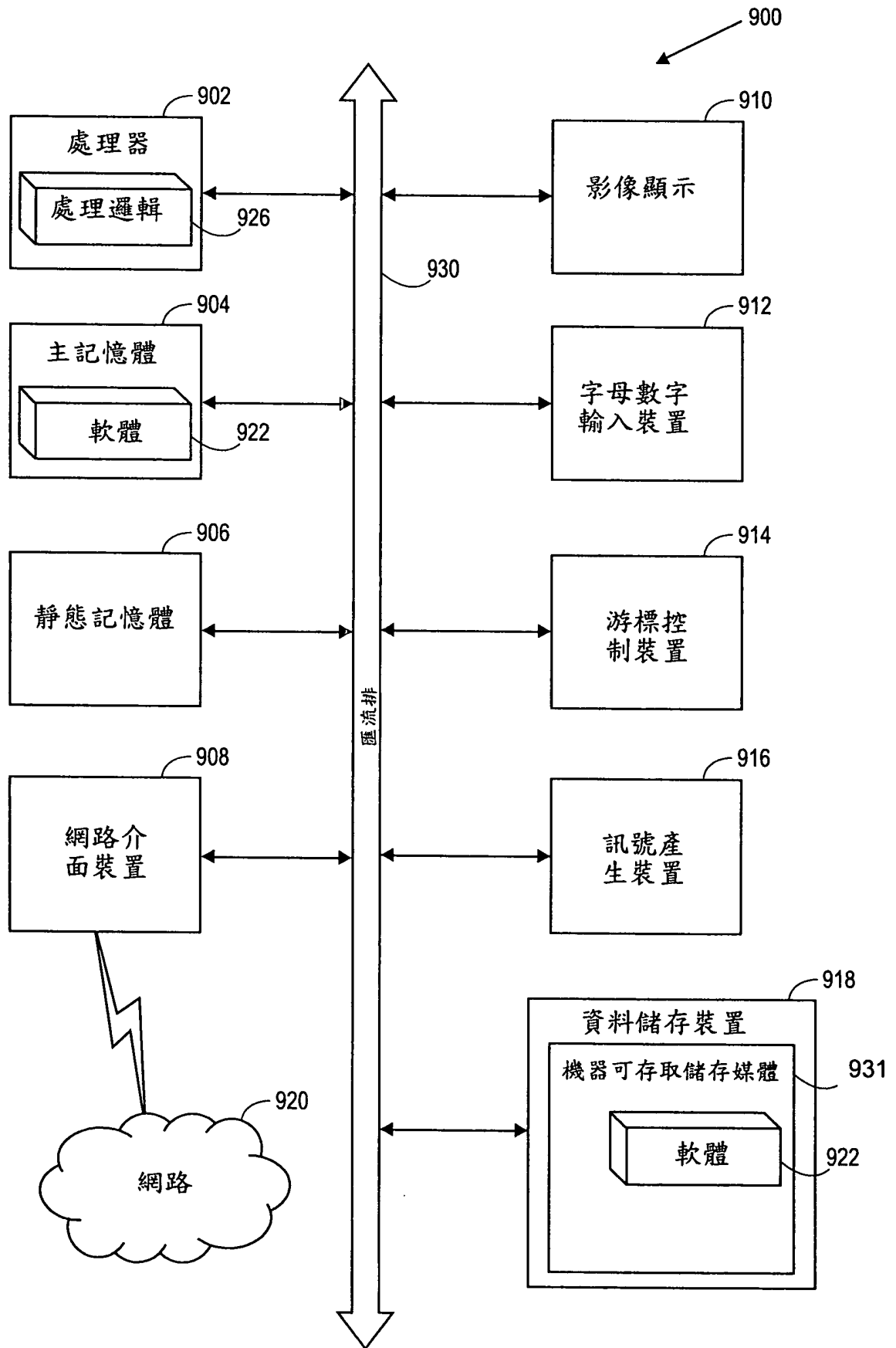
第7C圖



第7D圖



第8圖



第9圖

四、指定代表圖：

(一)本案指定代表圖為：第（ 4 ）圖。

(二)本代表圖之元件符號簡單說明：

400	圖	402	脈衝
404	第一脈衝重複頻率	406	脈衝
408	第二脈衝重複頻率		

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無