(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第3957817号

(P3957817)

(45)発行日　平成19年8月15日(2007.8.15)　(24)登録日　平成19年5月18日(2007.5.18)

(51)Int.Cl.		F I		
H01L 43/08	(2006.01)	H01L	43/08	Z
H01L 21/8246	(2006.01)	H01L	27/10	447
H01L 27/105	(2006.01)	G11C	11/15	
G11C 11/15	(2006.01)			

請求項の数 5　(全 14 頁)

(21)出願番号　特願平9-155224
(22)出願日　平成9年6月12日(1997.6.12)
(65)公開番号　特開平11-3584
(43)公開日　平成11年1月6日(1999.1.6)
審査請求日　平成14年12月18日(2002.12.18)

(73)特許権者　000001007
キヤノン株式会社
東京都大田区下丸子３丁目３０番２号
(74)代理人　100123788
弁理士　宮崎　昭夫
(74)代理人　100127454
弁理士　緒方　雅昭
(74)代理人　100088328
弁理士　金田　暢之
(74)代理人　100106297
弁理士　伊藤　克博
(74)代理人　100106138
弁理士　石橋　政幸

最終頁に続く

(54)【発明の名称】磁性薄膜メモリ及びその記録再生方法

(57)【特許請求の範囲】

【請求項１】

基板上に、主に膜面内の一方向に磁化配向しており低い保磁力を有する第１磁性層と、主に膜面内の一方向に磁化配向しており前記第１磁性層よりも高い保磁力を有する第２磁性層が非磁性層を介して積層され、前記第１磁性層の磁化と第２磁性層の磁化が平行の時は低い抵抗値を示し、反平行の時は前記平行状態よりも高い抵抗値を示す磁気抵抗素子を複数有する磁性薄膜メモリであって、

前記磁気抵抗素子は、外部磁界が０の時に前記第１磁性層の磁化と第２磁性層の磁化が反平行状態を示し、前記第１磁性層が非磁性層の端面に接するように湾曲して前記第２磁性層の端面と接する、あるいは前記第２磁性層が非磁性層の端面に接するように湾曲して第１磁性層の端面と接することにより閉磁路構成をなし、

前記の複数の磁気抵抗素子が直列に配列され、隣り合う磁気抵抗素子間が、第１磁性層が湾曲している場合は第１磁性層の湾曲部で接続され、第２磁性層が湾曲している場合は第２磁性層の湾曲部で接続され、更にこの磁性層からなる各接続領域上に、第１磁性層および第２磁性層よりも抵抗率が低い良導体を有し、

前記の各磁気抵抗素子の上部に絶縁層を介してワード線が設けられていることを特徴とする磁性薄膜メモリ。

【請求項２】

前記磁気抵抗素子がマトリックス状に配列され、縦または横方向に並ぶ該磁気抵抗素子を直列に接続するセンス線と、該センス線と交差する方向に並ぶ前記磁気抵抗素子列に電

気的に絶縁された形で近接して設けられるワード線とを備えた請求項１記載の磁性薄膜メモリ。

【請求項３】

前記磁気抵抗素子がダイオード又はトランジスタからなる半導体素子と接続されたハイブリッド構造を有する請求項１又は２記載の磁性薄膜メモリ。

【請求項４】

請求項１～３のいずれかに記載の磁性薄膜メモリの記録方法であって、ワード線に電流を流し、該電流により生じる磁界により第２磁性層の磁化方向を定め、該ワード線の電流を流す方向を変えることにより「０」と「１」の状態を記録することを特徴とする磁性薄膜メモリの記録方法。

【請求項５】

請求項１～３のいずれかに記載の磁性薄膜メモリの再生方法であって、再生時のワード電流により生じる磁界により、前記磁気抵抗素子の第１磁性層のみの磁化方向が反転することにより生じる抵抗変化を利用することを特徴とする磁性薄膜メモリの再生方法。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】

本発明は、磁化の向きによって情報を記録し、磁化抵抗効果によって再生する磁気抵抗素子（磁性薄膜メモリ素子）、並びにそれを用いた磁性薄膜メモリ及びその記録再生方法に関するものである。

【０００２】

【従来の技術】

磁性薄膜メモリは、半導体メモリと同じく稼動部のない固体メモリであるが、電源が断たれても情報を失わない、繰り返し書換回数が無限回である、放射線が入射すると記録内容が消失する危険性がない等、半導体メモリと比較して有利な点がある。特に近年、巨大磁気抵抗（ＧＭＲ）効果を利用した薄膜磁気メモリは、従来提案されている異方性磁気抵抗効果を用いた磁性薄膜メモリと比較して大きな出力が得られるため注目されている。

【０００３】

例えば、日本応用磁気学会紙Ｖｏｌ．２０，ｐ２２（１９９６）には、図１４に示すような硬質磁性膜１０１／非磁性膜１０２／軟磁性膜１０３なる構成要素を非磁性膜を介して複数回積層してメモリー素子とした固体メモリーが提案されている。このメモリー素子には、金属導体と接合されたセンス線１０４、及び絶縁膜１０５によってこのセンス線と絶縁されたワード線１０６が、各々設けられており、このワード線電流およびセンス線電流によって発生する磁界によって情報の書き込みを行う。

【０００４】

具体的には、図１５に示すように、ワード線１０６に電流Ｉを流し、電流の向きＩＤによって異なる方向の磁界を発生させて硬質軟磁性膜１０１の磁化反転を行い、メモリー状態「０」又は「１」の記録を行う。例えば図１５（ａ）に示すように正の電流を流して右向きの磁界を発生させて硬質磁性膜に「１」の記録を行い、図１５（ｂ）に示すように負の電流を流して左向きの磁界を発生させて硬質磁性膜に「０」の記録を行う。

【０００５】

情報の読み出しは図１６に示すようにワード線に記録電流より小さい電流Ｉを流して軟磁性膜の磁化反転のみを起こし、その際の抵抗変化を測定する。巨大磁気抵抗効果を利用すれば軟磁性膜と硬質磁性膜の磁化が平行の場合と反平行の場合で抵抗値が異なるので、その時生ずる抵抗変化により「１」又は「０」のメモリー状態を判別することができる。図１６（ａ）に示すような正から負のパルスを印加すると、軟磁性膜は右向きから左向きになり、メモリー状態「１」に対しては、図１６（ｂ）のように小さい抵抗値を示す状態から図１６（ｃ）のように大きい抵抗値を示す状態に変化し、メモリー状態「０」に対しては、図１６（ｄ）のように大きい抵抗値を示す状態から図１６（ｅ）のように小さい抵抗値を示す状態に変化する。このようにして抵抗の変化を読みとれば、記録後の軟磁性膜の

磁化状態に関わらず硬質磁性膜に記録した情報の読み出しが可能であり、非破壊読み出しが可能である。

【０００６】

【発明が解決しようとする課題】

しかし、上記構成の磁性薄膜メモリは、ビットセルの面積を小さくするに伴って、磁性層内部で生じる反磁界（自己減磁界）が無視できなくなり、記録保持する磁性層の磁化方向が一方向に定まらず不安定となってしまう。そのため、上記構成の磁性薄膜メモリは、ビットセルを微細化するにしたがい情報の保存が困難となり、高集積化が不可能であるといった欠点を有していた。

【０００７】

従来の２層の磁性層からなるメモリでは、各磁性層の磁化の向きは平行、反平行のどちらの状態も存在し、特に非磁性層の厚さが４０ｎｍを超える場合には一様でなく定まらない。また、非磁性層を４０ｎｍ以下に薄くした場合では、非磁性層の厚さによっては磁化が反平行状態または平行状態の一方を取り得る場合があるが、非磁性層の厚さを薄くするにしたがって２層の磁化が平行、反平行を繰り返すようになる。このため、磁化が反平行となる非磁性層の膜厚のマージンが狭いといった問題がある。すなわち、反平行の磁化状態を、１つのメモリ上にある数多くのメモリ素子で安定的に実現することは困難であった。

【０００８】

また、２層の磁性層の磁化が保存状態で平行であると、メモリ素子外部へ、無視できない大きさの磁界が漏れ、隣接するセルに誤記録・誤再生する場合がある。このため、従来のものは記録・再生が不安定であった。

【０００９】

そこで本発明は、これらの点に鑑み、ビットセルを微細化する際に問題となる磁性薄膜の反磁界をなくし、高集積化を可能にした磁性薄膜メモリ素子およびメモリの提供を目的とする。さらに、保存時においては磁化安定性が高く情報の保存性に優れ、記録時においては弱い磁界でも磁化反転し消費電力の小さい磁性薄膜メモリ素子およびメモリの提供を目的とする。

【００１０】

また、安定して記録再生でき、再生時間が短く、ノイズの少ない記録再生方法の提供を目的とする。

【００１１】

また、非磁性層の製造マージンが広く、簡単なプロセスで作製できる上記メモリ素子の製造方法を提供することを目的とする。

【００１２】

【課題を解決するための手段】

本発明者は、上記の目的を達成するために種々の検討を重ねた結果、本発明を完成した。

【００１３】

本発明は、基板上に、主に膜面内の一方向に磁化配向しており低い保磁力を有する第１磁性層と、主に膜面内の一方向に磁化配向しており前記第１磁性層よりも高い保磁力を有する第２磁性層が非磁性層を介して積層され、前記第１磁性層の磁化と第２磁性層の磁化が平行の時は低い抵抗値を示し、反平行の時は前記平行状態よりも高い抵抗値を示す磁気抵抗素子を複数有する磁性薄膜メモリであって、前記磁気抵抗素子は、外部磁界が０の時に前記第１磁性層の磁化と第２磁性層の磁化が反平行状態を示し、前記第１磁性層が非磁性層の端面に接するように湾曲して前記第２磁性層の端面と接する、あるいは前記第２磁性層が非磁性層の端面に接するように湾曲して第１磁性層の端面と接することにより閉磁路構成をなし、前記の複数の磁気抵抗素子が直列に配列され、隣り合う磁気抵抗素子間が、第１磁性層が湾曲している場合は第１磁性層の湾曲部で接続され、第２磁性層が湾曲している場合は第２磁性層の湾曲部で接続され、更にこの磁性層からなる各接続領域上に、第１磁性層および第２磁性層よりも抵抗率が低い良導体を有し、前記の各磁気抵抗素子の上部に絶縁層を介してワード線が設けられていることを特徴とする磁性薄膜メモリに関す

る。
【００１４】
また本発明は、第２磁性層および非磁性層を成膜した後に第１磁性層を非磁性層および第２磁性層の端面に接するように湾曲して形成する、あるいは、第１磁性層および非磁性層を成膜した後に第２磁性層を非磁性層および第１磁性層の端面に接するように湾曲して前記磁気抵抗素子を形成することを特徴とする上記の磁性薄膜メモリの製造方法に関する。
【００１５】
また本発明は、前記磁気抵抗素子がマトリックス状に配列され、縦または横方向に並ぶ該磁気抵抗素子を直列に接続するセンス線と、該センス線と交差する方向に並ぶ前記磁気抵抗素子列に電気的に絶縁された形で近接して設けられるワード線とを備えた上記の磁性薄膜メモリに関する。
【００１７】
また本発明は、前記磁気抵抗素子がダイオード又はトランジスタからなる半導体素子と接続されたハイブリッド構造を有する上記の磁性薄膜メモリに関する。
【００１８】
また本発明は、上記の磁性薄膜メモリの記録方法であって、ワード線に電流を流し、該電流により生じる磁界により第２磁性層の磁化方向を定め、該ワード線の電流を流す方向を変えることにより「０」と「１」の状態を記録することを特徴とする磁性薄膜メモリの記録方法に関する。
【００１９】
また本発明は、上記の磁性薄膜メモリの再生方法であって、再生時のワード電流により生じる磁界により、前記磁気抵抗素子の第１磁性層のみの磁化方向が反転することにより生じる抵抗変化を利用することを特徴とする磁性薄膜メモリの再生方法に関する。
【００２０】
本発明の磁性薄膜メモリは、保存時には記録に関わる磁成膜が閉磁路となっているため、反磁界による悪影響を無くすことが可能であり、安定に磁化情報を保存できる。このため１ビットのセル幅を小さくすることができ、集積度が高い磁性薄膜メモリを実現することができる。また、隣接セルに磁界が漏れ出さないため、より安定に情報の記録再生を行うことが可能となる。また、再生を１パルスで行うことができるためアクセス時間を短縮することができる。また、非磁性層の製造マージンを広げることが可能である。再生時の抵抗ばらつきを抑えることができＳ／Ｎを向上させることができる。
【００２１】
本発明は、前述の問題点に鑑み、保存時においては閉磁路構造で磁化安定性が高く、記録時においては閉磁路構造が解消することで、弱い磁界でも磁化反転するように設計がなされている。
【００２２】
本発明の磁性薄膜メモリは、保存時には記録に関わる磁性膜が閉磁路となっているため、反磁界による悪影響を無くすことが可能であり、安定に磁化情報を保存できる。一方、記録時においては、閉磁路が切断されて容易に磁化反転するようになっている。このため、本発明によれば、消費電力が少なく、集積度が高く、保存安定性が良好な磁性薄膜メモリを実現することができる。
【００２３】
【発明の実施の形態】
以下、本発明の実施の形態を図面を用いてさらに説明するが、本発明はこれらに限定するものではない。
【００２４】
磁性薄膜メモリ素子の構成例
図１及び図２は、本発明の磁性薄膜メモリ素子の一例を示す断面図である。図１において、１は第１磁性層、２は第２磁性層、３は非磁性層を示す。また矢印は各磁性層における

主な磁化方向を示している。なお、１を第２磁性層、２を第１磁性層としてもよい。

【００２５】

図１に示すように、本発明の磁気抵抗素子は、基板上に、主に膜面内の一方向に磁化配向しており低い保磁力を有する第１磁性層１と、主に膜面内の一方向に磁化配向しており高い保磁力を有する第２磁性層２が、非磁性層３を介して積層され、第１磁性層の磁化と第２磁性層の磁化が平行の時は低い抵抗値を示し、反平行の時は高い抵抗値を示す磁気抵抗素子であって、外部磁界が０の時に、第１磁性層の磁化と第２磁性層の磁化は反平行状態を示し、第１磁性層が非磁性層の端面に接するように湾曲して第２磁性層の端面と接している、或いは第２磁性層が非磁性層の端面に接するように湾曲して第１磁性層の端面と接していることで閉磁路構成となっている。

【００２６】

図１では、第１磁性層１は、非磁性層３及び第２磁性層２の側面に接するように配置されているが、図２に示すように、第１磁性層１を非磁性層３の側面に接して第２磁性層に対しては上面に接する形でもよい。

【００２７】

図３には、図１及び図２のそれぞれの層の磁化の向きを簡略化して示した。図３に示すように、第１磁性層と第２磁性層は非磁性層を囲んで閉磁路を構成する。詳細には、第１磁性層または第２磁性層の磁化は緩やかに曲がって環状のループを形成しており、安定なエネルギー状態が実現されている。従来知られている閉磁路を構成しない磁性２層膜構造では、磁荷の密度が高い端面でスピンが曲がってしまい、磁化が安定に保持されないが、本発明の磁性薄膜メモリ素子においては安定に磁化情報を保存することができる。

【００２８】

磁性薄膜メモリ素子の作製例

次に、本発明の磁性薄膜メモリ素子を作製するプロセスについて図４、５、６及び７を用いて説明する。

【００２９】

本発明の磁性薄膜メモリ素子では、簡略化された構造で磁化が安定な閉磁路構成とることができるため、製造プロセスも簡単である。例えば、図４に示すように、第２磁性層２及び非磁性層３を成膜しエッチングした後に第１磁性層を成膜すれば、図１に示す１ビットのメモリセルを作製することができる。また、図５に示すように、第２磁性層２及び非磁性層３を成膜した後に非磁性層のみをエッチングして第１磁性層１を成膜すれば、図２に示す１ビットのメモリセルを作製することができる。

【００３０】

図６は、８ビットのメモリセルを直列に接続した場合について示した図である。図６（ａ）に示すように第２磁性層２を成膜した後、図６（ｂ）のように非磁性層３を成膜する。次に、図６（ｃ）に示すようにエッチング処理によって８個に分割した後、第１磁性層１を図６（ｄ）に示すように成膜して本発明の磁性薄膜メモリを作製することができる。

【００３１】

図７は、８ビットのメモリセルを直列に接続した別の例の場合について示した図である。この場合においては、第２磁性層を成膜するまでは前述と同じであるが、その後、図７（ｃ）に示すようにエッチング処理によって非磁性層３のみをエッチングによって８個に分割し、次いで第１磁性層１を図７（ｄ）に示すように成膜して本発明の磁性薄膜メモリを作製する。

【００３２】

本発明の磁性薄膜メモリ素子と半導体とのハイブリッド構造

図８に、本発明の磁性薄膜メモリ素子と半導体とのハイブリッド構造を示す。図８（ａ-1）及び（ａ-2）には直列に接続した複数個の本発明のメモリ素子を一単位とした構造を並列に配列して、各構造のクロストーク解消のためにダイオードを設けたメモリセルの配列構造の一単位の回路図とデバイス構造の断面図を、図８（ｂ-1）及び（ｂ-2）にはトランジスタと本発明のメモリ素子を接続したアクティブマトリックス構造の一単位の回路図と

デバイス構造の断面図を、図８（ｃ-1）及び（ｃ-2）には並列にメモリセルを配列した構造であって、クロストーク解消のためにダイオードと本発明のメモリ素子を接続した構造の一単位の回路図とデバイス構造の断面図を示す。図８に示すように、本発明のメモリ素子がダイオードやトランジスタからなる半導体素子と接続されたハイブリッド構造を形成すると、製造プロセスはやや複雑になるが、メモリ素子を後述の単純マトリックスで配列した場合に発生する浮遊容量等のインピーダンス成分を排除することができ、より安定な動作を行うことができる。

【００３３】

メモリセルのマトリックス型配列構造

次に、本発明の磁性薄膜メモリ素子を多数配列してマトリックス型の固体メモリを作製する場合のメモリセルの配列構造の一例を説明する。図９、図１０及び図１１は、図１又は図２に示す本発明の磁性薄膜メモリ素子をそれぞれ直列に配列した構造例を立体的に示したものである。

【００３４】

同図に示すように、メモリ素子１０は直列に配列され、各メモリ素子の上部にはワード線５が設けられている。また、メモリセルの下部には別のワード線６が設けられている。

【００３５】

図９、図１０及び図１１の直列構造の場合において、図中では省略しているが各ワード線とメモリセル間には絶縁層が充填されており、ワード線とメモリセル間が電気的に導通するのを防いでいる。また、図９、図１０及び図１１の直列構造の場合には、センス線７とワード線５で記録を行う場合には、ワード線６は設けなくともよい。

【００３６】

直列の配列構造の場合、図１０のようにメモリセル間を第１又は第２磁性層の湾曲部分で接続してもよいが、図９のようにメモリセル間を良導体８で接続したり、あるいは図１１のように第１磁性層の上部に良導体８を設けてメモリセル間の抵抗を低減してもよい。良導体は、Ａｌ等が挙げられ、少なくとも第１磁性層および第２磁性層よりも抵抗率の低い材料を主成分とするものが望ましい。再生時にはセンス線に電流を流すため第１磁性層または第２磁性層の湾曲部分を電流が通過する。その際にこの湾曲部分の磁化状態が再生信号に影響を与えると好ましくないので、これを避けるために湾曲部分のセンス線方向の長さは５００Ａ以上とするのが望ましい。なお図９において、センス線は、メモリ素子および良導体などが直列に並んだものの全体をいう。

【００３７】

図１２は、メモリセルを並列に配列した構造例であり、この場合、ワード線５は、センス線と各セルを並列に接続する形で配列されている。

【００３８】

図１３は、本発明の磁性薄膜メモリの一例を上面から見た図である。メモリ素子からなるメモリセル１３１は　一部のみ図示し他の大部分は省略している。メモリセル１は直列に並んでセンス線７を構成している。図１３では横方向にセンス線を配置したが、縦方向にセンス線を配置してもよい。ワード線５は、同図には示していない絶縁層を介してメモリ素子の直上に置かれ、センス線７と直交して配置されている。センス線７の下部には、図示していないがワード線５と直交するワード線６が設けられている場合がある。ワード線は主に記録をするために、センス線は主に再生信号を取り出すために設けられたものである。各ワード線と各センス線の両端132、133、134には、これらを選択駆動するためのデコーダー、ドライバ等の半導体素子が設けられている。またセンス線の端部には再生信号を増幅するセンスアンプが組み込まれている。

【００３９】

本発明の磁性薄膜メモリ素子の基板は、Ｓｉを主成分とする基板であることが望ましい。これは上述の半導体素子を本発明のメモリ素子と同一の基板上に作製することが可能となるためである。

【００４０】

本発明に用いられるワード線はどれも導電率が第１及び２磁性層よりも大きな良導体からなる。ワード線の例としては、アルミニウム、銅、タングステン、もしくはこれらの混合物、或いはこれらとシリコン等との混合物などが挙げられる。

【００４１】

本発明の磁性薄膜メモリ素子を用いた記録方法

次に本発明の磁性薄膜メモリ素子を用いた記録方法の例を示す。本発明のメモリ素子には、ワード線およびセンス線７２本の電極線が設けられており、この各線に電流を流せばアンペールの法則にしたがって磁界が発生する。これら２本の電極線は直交しているため発生する磁界も直交しており、メモリセルの磁性層にかかる磁界はこれらの直交する磁界のベクトル和となる。この状態でワード線電流により第２磁性層が反転できる程度の大きさの磁界を印加すれば第２磁性層の磁化は所望の方向に配向して記録が行われる。したがって、マトリックス上の多数のセルから特定のセルのみの記録を行うことが可能である。

【００４２】

なお、磁化反転の可否は、磁性層のアステロイド曲線で示される。第２磁性層は、安定に磁化状態を保存することが望ましいので、高い保磁力を有することが必要である。しかし、同時にワード線がエレクトロマイグレーションによって断線するのを防ぐため、および消費電力を抑えるためには、小さい電流によって発生する弱い磁界で第２磁性層の磁化を反転できることが望ましく、このためには、第２磁性層は低い保磁力を有することが必要である。この両方の要請を満たすように第２磁性層の保磁力は決定される。具体的には第２磁性層の保磁力は５～５０　Ｏｅが望ましい。さらに好ましくは１０～３０　Ｏｅである。

【００４３】

上述ようにワード線５およびセンス線７で本発明の基本的な記録および後述する再生を行うことができるので、図９から図１１に示したワード線６は必ずしも設ける必要はないが、より大きな磁界を発生させるためにワード線５と直交するワード線６を用いて記録および後述する再生を行ってもよい。また、メモリ素子の上にあるワード線５を省いてメモリ素子の下にあるワード線６をセンス線７と直交する方向に配置してもよい。但し、半導体素子とメモリ素子を同一基板上に作り込む場合、ワード線はメモリ素子を成膜後に作成する方が製造が容易になる。このため、基板／第１磁性層／非磁性層／第２磁性層／絶縁層／ワード線の順序で構成するのが好ましい。

【００４４】

また、保磁力を制御するなどの目的で基板とメモリ素子との間に、バッファー層を設けてもよい。これは、主に絶縁体からなるバッファー層を設けることにより、異なるメモリセル間の保磁力のばらつきを抑えることができたり、保磁力の絶対値を制御することが容易になるからである。このようなバッファー層としては、例えばＳｉＮからなる絶縁材料が挙げられる。

【００４５】

本発明の磁性薄膜メモリ素子を用いた再生方法

次に、本発明の磁性薄膜メモリ素子を用いた再生方法の一例を説明する。本発明の磁性薄膜メモリは、スピン依存散乱による巨大磁気抵抗（ＧＭＲ）効果を示し、その抵抗値は、第１磁性層と第２磁性層の磁化が平行の時は低く、反平行の時は高くなる。再生の際には、メモリ素子の上部または下部にあるワード線に記録時よりも弱い電流を流して小さい磁界を発生させる。この磁界は、再生の際に保存した磁化情報が消えないようにするため、第１磁性層のみが反転し第２磁性層は反転しない大きさとする。第１磁性層の保磁力は第２磁性層の保磁力よりも小さいことが必要である。十分な発生磁界のマージンを確保するためには、第１磁性層の保磁力は第２磁性層の保磁力の半分以下であることが望ましく、さらに望ましくは３分の１以下である。また、ワード線から発生する磁界が、第１磁性層の反転磁界よりも大きく、第２磁性層の反転磁界よりも小さくなるように電流値を設定する。

【００４６】

なお、上述では１セルのみの再生について記したが、現実にはマトリックス上に多数のセルが配置されており、特定のセルの磁化情報のみを再生する必要がある。このためには記録と同じように、対象となるセルに接続されているセンス線に電流を流すと同時にセンス線と直交するワード線にも電流を流して磁界を発生させて、対象セルの第１磁性層のみが磁界のアステロイド曲線の外側の磁界がかかるようすることで達成される。または直交する２本のワード線を用いて特定のセルの第１磁性層のみを反転させる。前記抵抗変化は、縦または横方向に並ぶメモリ素子を直列に接続するセンス線の両端で測定される。具体的には、図１３に示す134又は133の部分に抵抗変化を検出するための半導体素子が配置されており、一本のセンス線に並んだセルを順次再生することが可能である。

【００４７】

本発明の磁性薄膜メモリ素子の第１の例

本発明の磁性薄膜メモリ素子の第１の例は、スピン依存散乱により磁気抵抗効果が生じることを特徴とする。このスピン依存散乱による磁気抵抗効果は、例えば図１又は図２に示すように第１磁性層／非磁性層／第２磁性層の構造において、非磁性層に良導体からなる金属層を用いることによって発生させることができる。このスピン依存散乱により磁気抵抗効果は、伝導電子の散乱がスピンによって大きく異なることに由来している。すなわち、磁化と同じ向きのスピンを持つ伝導電子はあまり散乱されないため抵抗が小さくなるが、磁化と反対向きのスピンを持つ伝導電子は散乱によって抵抗が大きくなる。そのため、第１磁性層と第２磁性層の磁化が反対向きである場合は、同じ向きである場合の抵抗値よりも大きくなる。

【００４８】

再生電流は、膜面に平行または垂直に流す２つの方式のどちらでもよい。再生時に電流を膜面に対して垂直に流すＣＰＰ（Current Perpendicular to the film Plane）－ＭＲ（Magneto-Resistance）効果を用いることもできる。このＣＰＰ－ＭＲは膜面に平行に電流を流すＣＩＰ（Current Inplane to the film Plane）－ＭＲ効果よりも伝導電子が界面を横切る確率が増えるため、大きな抵抗変化率が得られ、信号検出感度を高くすることができる。

【００４９】

この場合の第１磁性層と第２磁性層と非磁性層の特徴を示す。第１磁性層は、第２磁性層と環状ループを形成するとともに、第２磁性層に保存された磁化情報を巨大磁気抵抗効果を利用して読み出すために設けられたものである。第１磁性層はＮｉ、Ｆｅ、Ｃｏを主成分として用いられるか、Ｃｏ、Ｆｅを主成分とするアモルファス合金として用いられることが望ましい。例えばＮｉＦｅ、ＮｉＦｅＣｏ、ＦｅＣｏ、ＣｏＦｅＢなどの磁性膜からなる。ＮｉＦｅの元素組成は、Ni_xFe_{100-x}とした場合、ｘは３５～８６が望ましい。また、ＮｉＦｅＣｏの元素組成は、$Ni_x(Fe_{100-y}Co_y)_{100-x}$とした場合、×は１０～７０、ｙは３０～９０が望ましく、さらにｙは６０～８５が望ましい。また、$Co_{84}Fe_9B_7$、$Co_{72}Fe_8B_{20}$等の組成を持つＣｏＦｅＢ等のアモルファス磁性体を用いてもよい。

【００５０】

第２磁性層は、主に磁化情報を保存する目的で設けられたもので、「０」、「１」の情報に応じて磁化の向きが決定される。第２磁性層は、第１磁性層と同じく巨大磁気抵抗効果が効率的に発生すること、及び安定に磁化状態を保存できることが必要である。第２磁性層は、Ｆｅ、Ｃｏを主成分とする磁性層からなっており、例えばＦｅ、ＦｅＣｏ、Ｃｏ等の磁性膜からなる。また、Ｐｔ等の元素を加えてもよい。ＣｏにＦｅを添加すると保磁力は小さくなり、Ｐｔを添加すると保磁力は大きくなるので、第２磁性層を例えば$Co_{100-x-y}Fe_xPt_y$として元素組成ｘ及びｙを調節して保磁力を制御すればよい。同様に第１磁性層の保磁力もＦｅ、Ｃｏの組成比およびＰｔ等の元素の量で調節することができる。

【００５１】

第１磁性層の膜厚は、散乱型の巨大磁気抵抗効果が効率よく発生するように設定することが必要である。ＣＰＰ－ＭＲでは、スピンの向きを保存して動ける距離、すなわち、スピ

ン拡散長が重要因子となる。具体的には、第１磁性層の膜厚が電子の平均自由行程より大幅に大きくなると、フォノン散乱を受けてその効果が薄れるため、少なくとも２００Ａ以下であることが望ましい。さらに好ましくは１５０Ａ以下がよい。しかし、薄すぎるとセルの抵抗値が小さくなり再生信号出力が減少してしまい、また磁化を保持できなくなるので、２０Ａ以上が望ましく、さらには８０Ａ以上が望ましい。

【００５２】

第２磁性層の膜厚も第１磁性層の場合と同様に、散乱型の巨大磁気抵抗効果が効率よく発生するように設定されるため、少なくとも２００Ａ以下であることが望ましい。さらに好ましくは１５０Ａ以下がよい。しかし、あまり薄すぎるとメモリ保持性能が劣化したり、セルの抵抗値が小さくなり再生信号出力が減少したり、また磁化を保持できなくなるので２０Ａ以上が望ましく、さらには８０Ａ以上が望ましい。

【００５３】

非磁性層は良導体からなり、好ましくはＣｕを主成分とするものが用いられる。これは、磁性層とフェルミエネルギー準位が近く、密着性もよいため、磁化方向が変わるときに界面で抵抗が生じ易く、大きな磁気抵抗比を得るのに好都合であるからである。また、非磁性層の膜厚は５～６０Ａであることが望ましい。

【００５４】

第１磁性層と非磁性層の間もしくは第２磁性層と非磁性層の間、または第１磁性層と非磁性層の間および第２磁性層と前記非磁性層の間にＣｏを主成分とする磁性層が設けられると、磁気抵抗比が高くなるため、より高いＳ／Ｎ比が得られるため望ましい。この場合のＣｏを主成分とする層の厚みは２０Ａ以下が好ましい。またＳ／Ｎを向上させるために、第１磁性層／非磁性層／第２磁性層／非磁性層を１つのユニットとして、このユニットを積層してもよい。積層する組数は多い程ＭＲ比が大きくなり好ましいが、あまり多くするとＭＲ磁性層が厚くなり電流を多く必要とする。このため、積層の回数は４０組以下が好ましく、３～２０組がより好ましい。

【００５５】

本発明の磁性薄膜メモリ素子の第２の例

本発明の磁性薄膜メモリ素子の第２の例は、スピン依存トンネリングにより磁気抵抗効果が生じることを特徴とする。このスピントンネリングによる磁気抵抗効果は、例えば図１又は図２に示すように第１磁性層／非磁性層／第２磁性層の構造において、非磁性層に薄い絶縁層を用いることによって発生させることができる。そして、再生時に電流を膜面に対して垂直に流した際に第１磁性層から第２磁性層へ電子のトンネル現象が起きるようにする。

【００５６】

本発明のスピン依存トンネリングタイプの磁性薄膜メモリ素子は、強磁性体金属において伝導電子がスピン偏極を起こしているため、フェルミ面における上向きスピンと下向きスピンの電子状態が異なっており、このような強磁性体金属を用いて、強磁性体と絶縁体と強磁性体からなる強磁性トンネル接合を作ると、伝導電子はそのスピンを保ったままトンネルするため、両磁性層の磁化状態によってトンネル確率が変化し、それがトンネル抵抗の変化となって現れる。これにより、第１磁性層と第２磁性層の磁化が平行の場合は抵抗が小さく第１磁性層と第２磁性層の磁化が反平行の場合は抵抗が大きくなる。上向きスピンと下向きスピンの状態密度の差が大きい方がこの抵抗値は大きくなりより大きな再生信号が得られるので、第１磁性層と第２磁性層はスピン分極率の高い磁性材料を用いることが望ましい。具体的には第１磁性層と第２磁性層は、フェルミ面における上下スピンの偏極量が大きいＦｅを選定し、Ｃｏを第２成分として選定してなる。具体的にはＦｅ、Ｃｏ、Ｎｉを主成分とした材料から選択して用いることが望ましい。好ましくは、Ｆｅ、Ｃｏ、ＦｅＣｏ、ＮｉＦｅ、ＮｉＦｅＣｏ等がよい。ＮｉＦｅの元素組成は、Ni_xFe_{100-x}とした場合、ｘは０～８２が望ましい。より具体的には、Ｆｅ、Ｃｏ、$Ni_{72}Fe_{28}$、$Ni_{51}Fe_{49}$、$Ni_{42}Fe_{58}$、$Ni_{25}Fe_{75}$、Ni_9Fe_{91}等が挙げられる。

【００５７】

第１磁性層は、第２磁性層と環状ループを形成するとともに、第２磁性層に保存された磁化情報をスピントンネルによる巨大磁気抵抗効果を利用して読み出すために設けられたものである。第１磁性層は第２磁性層よりも低い保磁力を有し、再生時には第１磁性層のみが反転するようにする。また、第２磁性層と環状ループを形成しやすいようにする。このため上述の組成のうちＮｉを含む軟磁性材料が望ましく、具体的にはＮｉＦｅ、ＮｉＦｅＣｏを主成分として用いることが望ましい。ＮｉＦｅの元素組成は、Ni_xFe_{100-x}とした場合、ｘは３０～８２が望ましい。またＮｉＦｅＣｏの元素組成は、$Ni_x(Fe_{100-y}Co_y)_{100-x}$とした場合、×は３０～８２、ｙは０～９０が望ましい。第１磁性層の膜厚は、薄すぎるとセルの抵抗値が小さくなって再生信号出力が減少してしまうので２０Ａ以上が望ましく、さらには８０Ａ以上が望ましい。また厚すぎるとセルの抵抗値が大きくなりすぎる等の問題があるので、５０００Ａ以下が望ましく、より望ましくは１０００Ａ以下がよい。

【００５８】

第２磁性層は、主に磁化情報を保存する目的で設けられたもので、「０」、「１」の情報に応じて磁化の向きが決まる。第２磁性層は、第１磁性層と同じく巨大磁気抵抗効果が効率的に発生すること、及び安定に磁化状態を保存できることが必要である。第２磁性層は第１磁性層よりも高い保持磁力を有する。このため第２磁性層は上述の組成のうち、Ｆｅ、Ｃｏを主成分として用いることが望ましい。例えばＦｅ、ＦｅＣｏ、Ｃｏ等の磁性膜からなる。また第２磁性層に保磁力の制御や耐食性の向上などの目的でＰｔ等の元素を加えてもよい。ＣｏにＦｅを添加すると保磁力は小さくなり、Ｐｔを添加すると保磁力は大きくなるので、第２磁性層を例えば$Co_{100-x-y}Fe_xPt_y$として元素組成ｘ及びｙを調節して保磁力を制御すればよい。また成膜時の基板温度高くすることによっても保磁力を高めることができるので別の保磁力の制御方法として成膜時の基板温度を調節することもよい。この方法と前述した強磁性薄膜の組成を調節する方法とを組合せてもよい。また、第１磁性層の保磁力の調節も上述と同様に、膜組成と成膜時の基板温度で調節することができる。

【００５９】

第２磁性層の膜厚は、あまり薄すぎるとメモリ保持性能が劣化したり、セルの抵抗値が小さくなり再生信号出力が減少したり、また磁化を保持できなくなるので２０Ａ以上が望ましく、さらには８０Ａ以上が望ましい。また厚すぎるとセルの抵抗値が大きくなりすぎたり、またワード電極からの距離が離れて磁化反転が起きにくくなるなどの問題があるので、５０００Ａ以下が望ましく、より望ましくは１０００Ａ以下がよい。

【００６０】

非磁性層は、スピンを保持してトンネルするために非磁性でなければならない。一部を絶縁層にしてその厚みを極小にすることにより、磁気抵抗効果をさらに高めることができる。非磁性金属膜を酸化させた酸化層にする例としては、Ａｌ膜の一部を空気中で酸化させてAl_2O_3層を形成する例が挙げられる。非磁性層は絶縁体からなり、好ましくは、AlO_x－AlN_x、SiO_x、SiN_x、NiO_xを主成分として用いられてなる。このうちAl_2O_3層が絶縁性が高く緻密であるため好ましい。また、前記非磁性層は数１０Ａ程度の均一な層であって、その膜厚は４～２５Ａであることが望ましい。より望ましくは～１８Ａである。

【００６１】

【発明の効果】

以上の説明から明らかなように本発明によれば、磁化情報の保存性に優れ、高集積度と高い信頼性を有し、消費電力の小さい磁性薄膜メモリ素子およびメモリを提供できる。

【００６２】

また、安定して記録・再生ができ、再生時間が短く、ノイズの少ない記録再生方法を提供できる。

【００６３】

本発明の磁性薄膜メモリ素子およびメモリは、構成が簡単であるため、製造プロセスが簡

単になり、容易に、低コストで製造できる。

【図面の簡単な説明】

【図１】本発明の磁性薄膜メモリ素子の構造断面図である。

【図２】本発明の磁性薄膜メモリ素子の構造断面図である。

【図３】本発明の磁性薄膜メモリ素子の磁化配向の例を模式的に示す説明図である。

【図４】本発明の１ビットの磁性薄膜メモリ素子の作製プロセスの一例を示す説明図である。

【図５】本発明の１ビットの磁性薄膜メモリ素子の作製プロセスの一例を示す説明図である。

【図６】本発明の８ビットの磁性薄膜メモリ素子の作製プロセスの一例を示す説明図である。

【図７】本発明の８ビットの磁性薄膜メモリ素子の作製プロセスの一例を示す説明図である。

【図８】本発明の磁性薄膜メモリ素子の配列構造を示す説明図である。

【図９】本発明の磁性薄膜メモリ素子の配列構造を示す説明図である。

【図１０】本発明の磁性薄膜メモリ素子の配列構造を示す説明図である。

【図１１】本発明の磁性薄膜メモリ素子の配列構造を示す説明図である。

【図１２】本発明の磁性薄膜メモリ素子の配列構造を示す説明図である。

【図１３】本発明の磁性薄膜メモリの平面図である。

【図１４】巨大磁気抵抗効果を用いた従来の磁性薄膜メモリの断面図である。

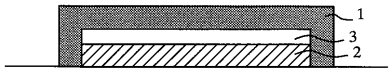
【図１５】巨大磁気抵抗効果を用いた従来の磁性薄膜メモリの記録動作を示す説明図である。

【図１６】巨大磁気抵抗効果を用いた従来の磁性薄膜メモリの再生動作を示す説明図である。

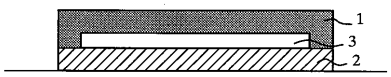
【符号の説明】

１　第１磁性層
２　第２磁性層
３　非磁性層
５、６　ワード線
７　センス線
８　良導体
１０　メモリ素子
８１　メモリ素子
８２　ワード線
８３　コントロールゲート
８４　トランジスタ
８５　ダイオード
８６　Ｐ基板
１３１　メモリセル
１０１　硬質磁性膜
１０２　軟磁性膜
１０３　非磁性膜
１０４　センス線
１０５　絶縁膜
１０６　ワード線
ＩＤ　電流の向き

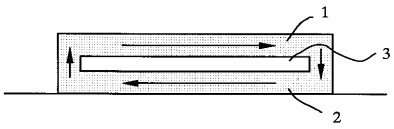
【図１】



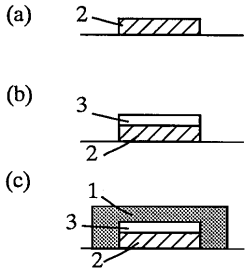
【図２】



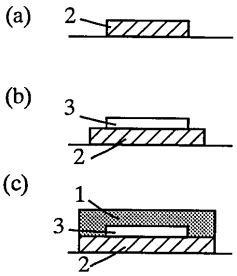
【図３】



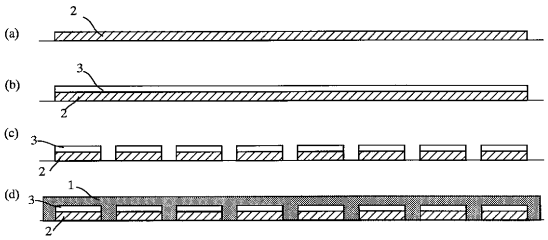
【図４】



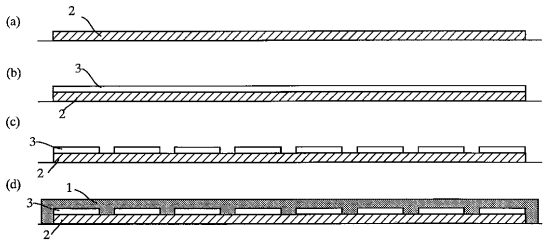
【図５】



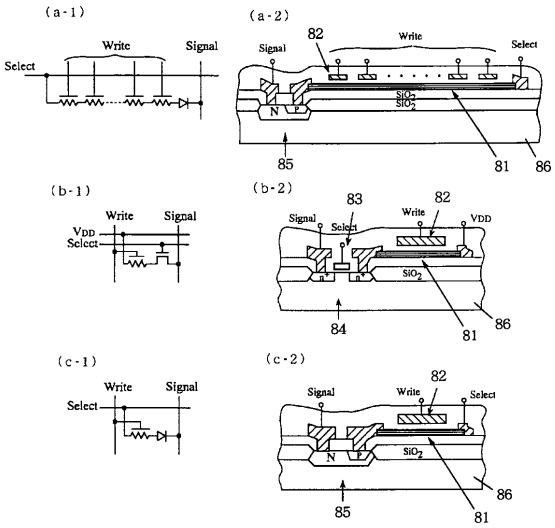
【図６】



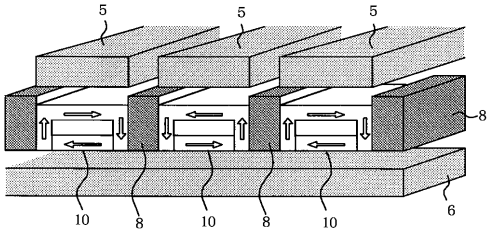
【図７】



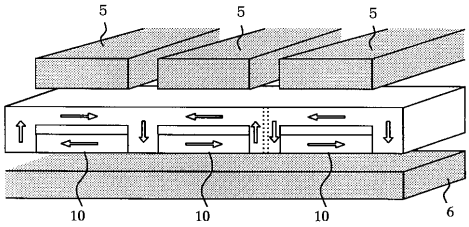
【図８】



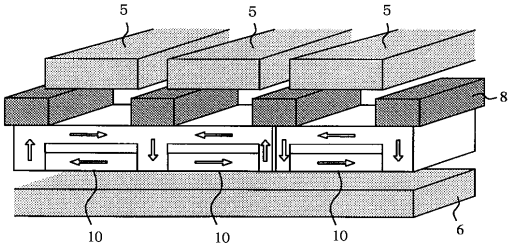
【図９】



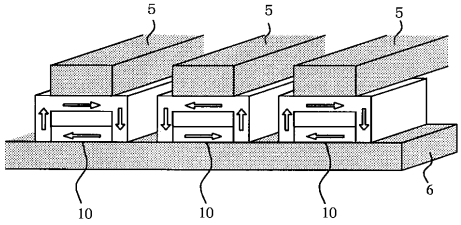
【図１０】



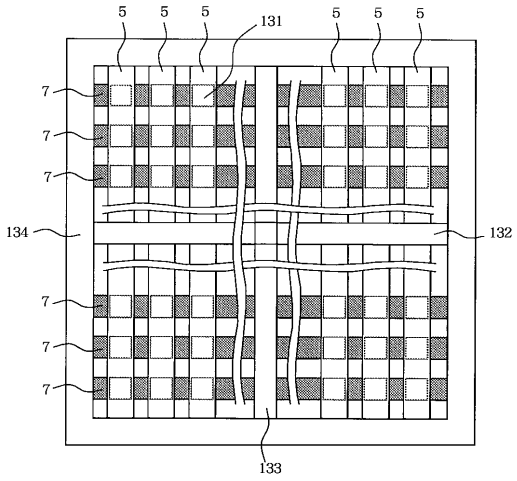
【図１１】



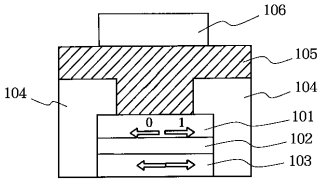
【図１２】



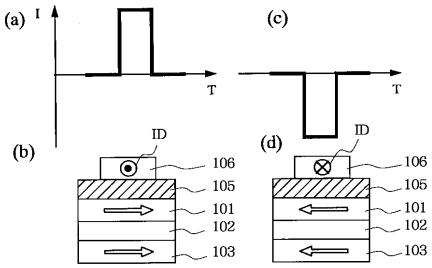
【図１３】



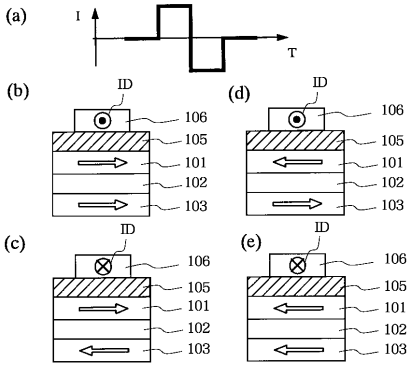
【図１４】



【図１５】



【図１６】



フロントページの続き

(72)発明者　西村　直樹
東京都大田区下丸子３丁目３０番２号　キヤノン株式会社内

審査官　川村　裕二

(56)参考文献　特開平０６－２１５３３５（ＪＰ，Ａ）
特開平０６－０８４３４７（ＪＰ，Ａ）
太田恵造，磁気工学の基礎Ｉ－磁気の物理－，共立出版株式会社，１９７３年　６月　１日，初版，ｐ．４２
榊間博、入江庸介、川分康博，ＧＭＲを用いた固体メモリー，日本応用磁気学会誌，日本応用磁気学会，１９９６年　２月　１日，Ｖｏｌ.20、Ｎｏ.1，ｐ．２２－２６

(58)調査した分野(Int.Cl.，ＤＢ名)
H01L 43/08
G11C 11/15
H01L 27/105
G01R 5/39
G11B 33/39
H01F 10/08