

公告本

I246732

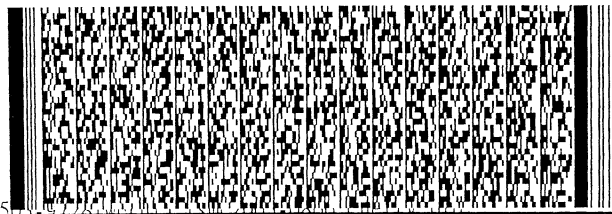
93.6.1

申請日期：	IPC分類
申請案號： 93115621	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	連接墊結構
	英文	BONDING PAD STRUCTURE
二、 發明人 (共3人)	姓名 (中文)	1. 洪盟琪 2. 侯上勇 3. 鄭心圃
	姓名 (英文)	1. Meng-Chi Hung 2. Shang-Yung Hou 3. Shin-Puu Jeng
	國籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW 3. 中華民國 TW
	住居所 (中文)	1. 雲林縣斗六市民生路45號 2. 新竹市東區光復路一段531巷72-8號4樓之2 3. 新竹市東區湖濱一路36巷10之1號
	住居所 (英文)	1. 2. 3.
三、 申請人 (共1人)	名稱或姓名 (中文)	1. 台灣積體電路製造股份有限公司
	名稱或姓名 (英文)	1. Taiwan Semiconductor Manufacturing Co., Ltd.
	國籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中文)	1. 新竹科學工業園區新竹市力行六路八號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英文)	1. No. 8, Li-Hsin Rd. 6, Science-Based Industrial Park Hsin-Chu, Taiwan 300-77, R.O.C.
	代表人 (中文)	1. 張忠謀
	代表人 (英文)	1. Chung-Mou Chang



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

美國 US

2003/10/29

10/696,186

有

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得，不須寄存。

五、發明說明 (1)

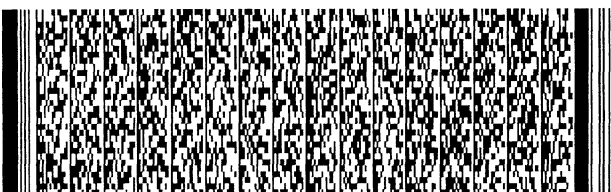
發明所屬之技術領域

本發明有關於一種積體電路技術，特別有關一種連接墊結構。

先前技術

連接墊(bonding pad)係為一製作有積體電路(IC)之半導體晶片與一封裝元件之間的橋接介面。在現今之高線路密度IC設計中，為了要縮小連接墊的間距與尺寸，必需大幅增加接腳(pin)與連接墊的數量，但是在接合過程中所產生的高機械應力卻容易使小尺寸的連接墊產生缺陷。

傳統接合技術係利用打線接合(wire bonding)、捲帶自動接合(tape automated bonding, TAB)或覆晶(flip chip)等方式，將各個連接墊連接至封裝元件之載置IC表面上的一個或多個接觸墊上。但是，利用探針方式對IC晶片電性測試時，探針(probe pin)容易損害連接墊的軟性表面。而且，傳統技術將鋁銅合金(AlCu)連接墊下方之銅(Cu)層暴露於空氣中，有可能使銅層遭受侵蝕而產生孔洞，則孔洞會間接侵蝕連接墊而降低打線接合的可靠度。近來技術係將實心塊狀的銅層作為一頂部金屬層以連接至上方一鋁墊，但是仍發現有孔洞缺陷、打線接合容忍度過小、打線球接點舉離、介電層破裂等缺點，因此目前已針對頂部銅層提出數種改良型式，如下列所述。甚且，為了解決上述問題，目前已將連接墊區分為一連接區域以及一檢測區域，其中檢測區域可允許相當程度的損害，因此探

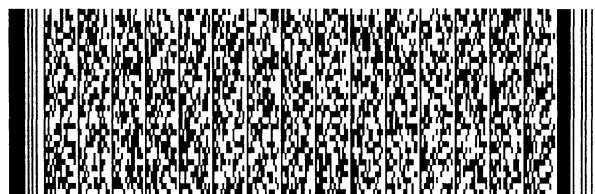
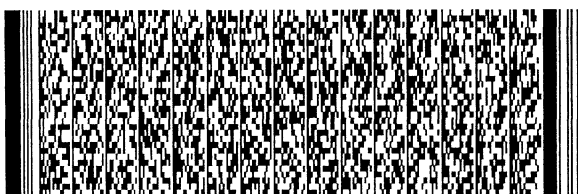


五、發明說明 (2)

針僅直接接觸檢測區域。

美國專利第6,552,438號揭示一種連接墊，複數個獨立的金屬插塞係形成於一層間介電層之陣列接觸洞中，且每個金屬插塞之底部係連接至一下鋁(Al)層，每個金屬插塞之頂部係連接至一上鋁墊。此外，一保護層係覆蓋上鋁墊，且暴露上鋁墊之一用以進行打線接合之預定連接區域。習知另一種連接墊係將一頂部金屬層填滿一層間介電層之格子狀溝槽，以構成多個介電層島狀結構。此外，一保護層係覆蓋頂部金屬層，且暴露頂部金屬層之一預定連接區域，則一鋁墊可製作於頂部金屬層之預定連接區域上，後續進行打線接合製程便可將一金屬線球接合至鋁墊上。

上述的兩種連接墊具有以下缺點。在晶圓分類、打線接合或探針測試的過程中，施加的外力或伴隨產生的高機械應力會使探針測試區域附近的層間介電層發生破痕缺陷，且此裂痕會朝向介電層的內部延伸而環繞頂部金屬層，進而導致侵蝕與層離的問題。如此一來，鋁墊容易自頂部金屬層剝離，則打線無法接觸到脫落的連接墊，會有打線接合之可靠度不佳的疑慮。而且，礙於接觸墊易受機械應力之影響而誘發缺陷，接觸墊之間距與尺寸均無法再進一步縮小，如此會限制下個世代技術之晶片尺寸縮小設計。此外，在獨立金屬插塞或介電層島狀結構之高密度配置的情況下，打線接合的過程中也會發生找不到連接墊的問題。



五、發明說明 (3)

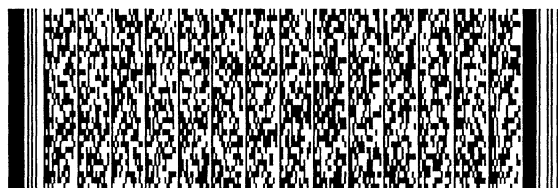
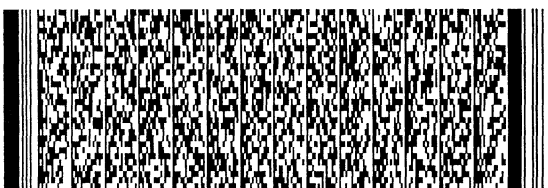
美國專利第6,566,752號揭示另一種連接墊，一頂部金屬環係形成於一層間介電層之環型溝槽內，一保護層係形成於層間介電層上且包含有多個孔洞以暴露頂部金屬環，以及一鋁墊係形成於保護層上且可經由多個孔洞而與頂部金屬環形成電性連接效果。不過，孔洞的尺寸與數量設計會限制金屬環之寬度，所以在微影製程中易發生對不準(misalignment)的問題，進而影響於有效區域內製作連接墊的位置準確度。

發明內容

有鑑於此，本發明的主要目的就在於提供一連接墊結構之頂部金屬層，可使檢測區域內之金屬墊下方成為一無金屬區域或一少量金屬區域。

為達成上述目的，本發明提供一種連接墊結構。一基底包含有一連接區域以及一檢測區域，一第一介電層係形成於該基底上，且包含有一環狀溝槽以及一相對應形成一介電層島狀結構。一第一導電層係形成於該第一介電層之該環狀溝槽中。一保護層，形成於該第一介電層上且包含有一開口，其中該開口之位置係相對應於該連接區域以及該檢測區域，且該開口暴露該介電層島狀結構以一部份之該第一導電層。一第二導電層係覆蓋該保護層之開口，且電連接至該第一導電層。

本發明的另一目的就在於提供一連接墊結構之保護層的開口設計，可以保護檢測區域內之金屬墊下方的頂部金



五、發明說明 (4)

屬層。

為達成上述目的，本發明提供一種連接墊結構。一基底包含有一連接區域以及一檢測區域。一第一介電層係形成於該基底上，且包含有一溝槽。一第一導電層係形成於該第一介電層之該溝槽中。一保護層係形成於該第一介電層上且包含有一開口，其中該開口之位置係相對應於該連接區域，且該開口係覆蓋該檢測區域內之該第一導電層。一第二導電層係形成於該連接區域以及該檢測區域上，其中該第二導電層係覆蓋該保護層之開口以電連接至該第一導電層。

實施方式

本發明提供一種連接墊結構之頂部金屬層，可使檢測區域內之金屬墊下方成為一無金屬區域或一少量金屬區域。本發明更提供一種連接墊結構之保護層的開口設計，可以保護檢測區域內之金屬墊下方的頂部金屬層。本發明可有效防止頂部金屬層因探針測試而產生的侵蝕問題，也可提高打線接合忍受度、消除內層介電層之裂痕疑慮，還可防止金屬墊自頂部金屬層剝落的問題，更可改善連接墊尋找功能(連接墊確認功能)，以及可符合連接墊之縮小間距的需求。本發明之連接墊結構可允許製作於周邊電路區域、有效區域、切割道或其組合區域上。

第1圖顯示一包含本發明連接墊結構之晶片的上視圖。一半導體晶圓包含有複數個實質隔絕之晶片，複數條



五、發明說明 (5)

沿一第一方向延伸之第一切割道12與複數條沿一第二方向延伸之第二切割道14可係錯配置以定義一晶片之主要區域10。一晶片之主要區域10上製作有電路，且包含有一有效區域16以及一周邊區域18。複數個連接墊結構20可允許製作於周邊區域18、有效區域16、第一切割道12、第二切割道14或其組合區域上。複數個連接墊結構20可排列成為一直線或錯開排列，則其下方製作之電路單元係稱為一連接墊下方電路(circuit under pad, CUP)結構。

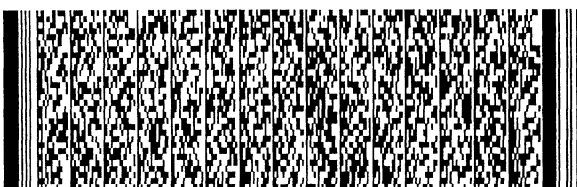
以下詳細描述連接墊結構20之頂部金屬層與保護層開口的設計，可於使檢測區域內之金屬墊下方成為一無金屬區域或一少量金屬區域。為了讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉較佳實施例，並配合所附圖示，作詳細說明如下：

第一實施例

本發明第一實施例提供連接墊結構20之頂部金屬層的設計，可於使檢測區域內之金屬墊下方成為一無金屬區域或一少量金屬區域。

第2A圖顯示本發明第一實施例之連接墊結構的剖面示意圖。第2B圖顯示第2A圖所示之導電環的上視圖。

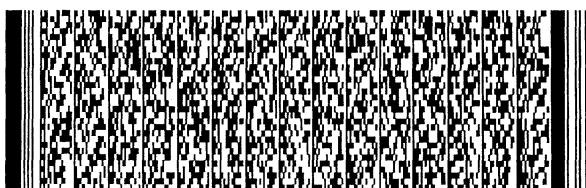
一半導體基底22內包含有部份完成之積體電路，且定義有一連接區域I以及一檢測區域II，連接區域I係用以接合一線球或一凸塊，檢測區域II係用以進行探針測試或其他工具測試。一第一介電層24係用作為基底22之頂部介電層(最高階段介電材質)，其包含有一環狀溝槽25以及一相



五、發明說明 (6)

對應形成的介電層島狀結構24a。一第一導電層26係用作為基底22之頂部金屬層(最上層內連線)，其乃填滿環狀溝槽25以成為一導電環26，則可環繞介電層島狀結構24a。一保護層30係形成於第一介電層24上且包含有一開口31，開口31之位置係涵蓋連接區域I以及檢測區域II，且開口31可暴露介電層島狀結構24a以及導電環26之一充分區域。一第二導電層32係形成於連接區域I以及檢測區域II之第一介電層24與保護層30上，第二導電層32係用作為一導電墊32，且不需經由任何的接觸洞便可直接連接至下方的導電環26。一連接單元34可為一線球或一凸塊，係接合於連接區域I內之導電墊32上。另外，一阻障層28係形成於導電墊32與導電環26之接面處，可以提高導電墊32與導電環26的接合性。

第一介電層24之材質可為電漿氧化物、高密度電漿(HDP)氧化物、具有高度抗機械應力性質之介電材質、低介電常數材質、氟矽玻璃(FSG)或矽基介電材質。導電環26之材質可為銅、鋁、鋁銅合金、銅鎳合金或其他含銅合金。導電環26之寬度約為 $1\sim 50\ \mu\text{m}$ ，厚度約為 $0.5\sim 2\ \mu\text{m}$ 。位於檢測區域II內之導電環26的面積比例 R_1 符合下列公式： $R_1 = A_r / A_s$ ，且 $0 \leq R_1 \leq 30\%$ ，其中 A_r 代表檢測區域II內之導電環26的面積， A_s 代表檢測區域II的面積。阻障層28之材質可為鈦(Ti)、氮化鈦(TiN)、鎢(W)、氮化鎢(WN)、鉭(Ta)、氮化鉭(TaN)或其組合。導電墊32之材質可為



五、發明說明 (7)

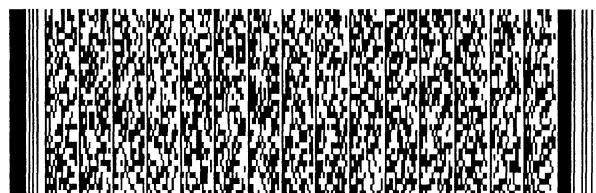
鋁、鋁銅合金或其他含鋁合金。接合單元34可為一打線接合技術所使用之金球或一覆晶技術所使用之凸塊。

依據頂部金屬層的設計規則，導電環26係佔據檢測區域I之一個小區域，且此小區域為一無金屬區域或一少量金屬區域，如此可以解決習知連接墊所產生的問題，並可達成以下優點。第一，該無金屬區域或少量金屬區域可有效減少裂痕自第一介電層24延伸至導電環26的可能性，進而防止侵蝕與層離的問題。第二，該無金屬區域或少量金屬區域可防止導電墊32自導電環26或第一介電層24上剝離，故能消除連接墊脫落的現象，並確保接合製程的可靠度。第三，由於導電環26不易因高機械應力之影響而產生缺陷，因此連接墊結構20之間距與尺寸可更進一步縮小，以符合下一代技術之縮小晶片尺寸的需求。第四，因為介電層導狀結構24a具有平坦表面且被導電環26所圍繞，故可大幅提升打線接合機台之搜尋連接墊的功能與精確度。第五，導電環26係直接與導電墊32接觸而毋需仰賴接觸洞或接觸插塞，故可解決導電環26之寬度限制與微影製程之對不準問題，且導電環26與導電墊32之圖案設計可更為多樣化。

以下詳細說明導電環26與導電墊32之圖案設計的變化。

第一例

符合前述之頂部金屬層的設計條件下，形成於導電環26下方之內連線圖案可設計為環狀、格子狀、島狀或實心



五、發明說明 (8)

塊狀。

第3A圖顯示導電環26下方之另一導電環的剖面示意圖。相似於第2A圖所示的元件，於此省略敘述。一第二介電層36係形成於第一介電層24的下方，一第三導電層38係製作成為一環狀輪廓且嵌埋於第二介電層36內，以及一導電插塞40係形成於第二介電層中36且可提供第三導電層38與導電環26之電性接效果。

第3B圖顯示導電環26下方之一格子狀導電層的剖面示意圖。相似於第3A圖所示的元件，於此省略敘述。不同之處在於，第三導電層38係製作成為一格子狀導電層，則格子狀導電層內的第二介電層36可相對應地成為矩陣排列的介電層島狀結構36a，亦即第三導電層38可使介電層島狀結構36a之間互相隔離。或者是，第三導電層38係製作成為矩陣排列的獨立插塞，則第二介電層36可使獨立插塞之間互相隔離。

第3C圖顯示導電環26下方之一實心塊狀導電層的剖面示意圖。相似於第3A圖所示的元件，於此省略敘述。不同之處在於，第三導電層38係製作成為實心塊狀。

第二例

符合前述之頂部金屬層的設計條件下，導電環26、導電墊32或其組合之圖案輪廓可設計成為各種幾何圖形。

第4A~4F圖顯示導電環26之輪廓設計的上視圖。導電環26的輪廓可為一四方環，則相對應形成之介電層島狀結構24a成為一四方實心體。如第4A圖所示，導電環26的輪



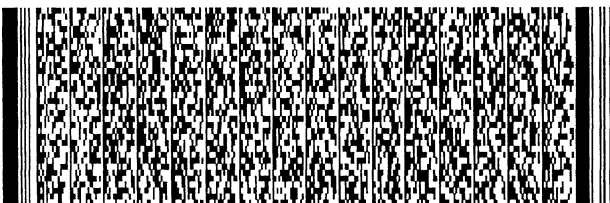
五、發明說明 (9)

廓為一正方環，則相對應形成之介電層島狀結構24a成為一正方實心體。如第4B圖所示，導電環26的輪廓為一長方環，則相對應形成之介電層島狀結構24a成為一長方實心體。導電環26的輪廓可為一圓環，則相對應形成之介電層島狀結構24a成為一圓形實心體。如第4C圖所示，導電環26的輪廓為一正圓形環，則相對應形成之介電層島狀結構24a成為一正圓形實心體。如第4D圖所示，導電環26的輪廓為一橢圓形環，則相對應形成之介電層島狀結構24a成為一橢圓形實心體。導電環26的輪廓可為一多邊形環，則相對應形成之介電層島狀結構24a成為一多邊形實心體。如第4E圖所示，導電環26的輪廓為一六邊形環，則相對應形成之介電層島狀結構24a成為一六邊形實心體。如第4F圖所示，導電環26的輪廓為一八邊形環，則相對應形成之介電層島狀結構24a成為一八邊形實心體。

第5A~5F圖顯示導電墊32之輪廓設計的上視圖。導電墊32可製作成各種幾何圖案之實心體，但必須能確保導電墊32與導電環26之間的電連接可靠度。第5A圖所示之導電墊32係為一正方形實心體，第5B圖所示之導電墊32係為一長方形實心體，第5C圖所示之導電墊32係為一正圓形實心體，第5D圖所示之導電墊32係為一橢圓形實心體，第5E圖所示之導電墊32係為一六邊形實心體，第5F圖所示之導電墊32係為一八邊形實心體。

第三例

符合前述之頂部金屬層的設計條件下，當導電環26或



五、發明說明 (10)

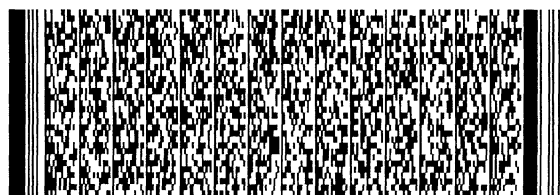
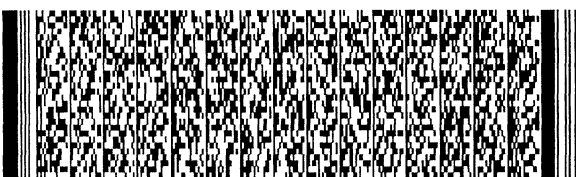
導電墊32的輪廓製作為四邊形圖案，則該四邊形圖案包含有至少一轉角切口(corner cut)區域，用以防止剝離問題。

第6A圖顯示導電環26之轉角切口區域的上視圖。相似於第2B圖所示的元件，於此省略敘述。四邊形環狀之導電環26的四個轉角處製作有四個轉角切口區域42，轉角切口區域42內禁止製作第一導電層26但可允許製作第一介電層24。較佳者為，轉角切口區域42為一直角三角形，其斜邊41的長度約為 $0.5 \sim 5 \mu\text{m}$ ，其斜邊41與X軸的夾角 θ_1 為 $10^\circ \sim 80^\circ$ 。而且，一面積比例 R_2 符合下列公式： $R_2 = A_{t1} / A_{c1}$ ，且 $0 < R_2 < 80\%$ ，其中 A_{t1} 代表轉角切口區域42的面積， A_{c1} 代表導電環26的轉角區域面積。轉角區域面積 A_{c1} 符合下列公式： $A_{c1} = W_1 \times W_2$ ，其中 W_1 代表導電環26之沿X軸方向的寬度， W_2 代表導電環26之沿Y軸方向的寬度。較佳者為， W_1 為 $1 \sim 10 \mu\text{m}$ ， W_2 為 $1 \sim 10 \mu\text{m}$ 。

第6B圖顯示導電墊32之轉角切口區域的上視圖。四邊形實心體之導電墊32的四個轉角處製作有四個轉角切口區域44，轉角切口區域44內禁止製作第二導電層32但可允許製作保護層30。較佳者為，轉角切口區域44為一直角三角形，其斜邊43的長度約為 $0.5 \sim 10 \mu\text{m}$ ，其斜邊43與X軸的夾角 θ_2 為 $10^\circ \sim 80^\circ$ 。

第四例

為了要清楚區別出檢測區域II與連接區域I，可於導電環26、導電墊32或其組合上提供一標記凹痕(marking

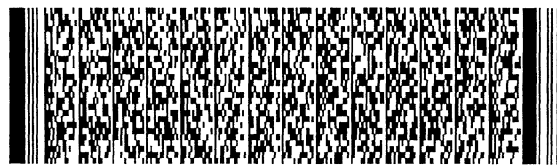
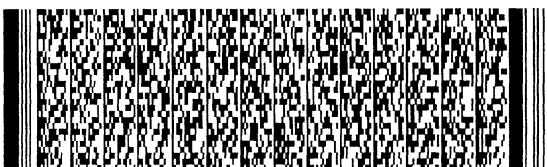


五、發明說明 (11)

notch)。

第7A圖顯示導電環26之標記凹痕的上視圖。相似於第2B圖所示的元件，於此省略敘述。導電環26包含有兩個標記凹痕46，則兩個標記凹痕46所環繞之第一介電層24係相對應成為兩個介電層標記24b。兩個標記凹痕46的位置係約略對齊成一直線以區隔檢測區域II與連接區域I。每個標記凹痕46均包含有一底部46I以及兩個側壁46II、46III，一距離 L_1 係代表側壁46III至導電環26邊緣之間沿第一方向的距離，係用以定義連接區域I的範圍。一第一長度 S_1 代表介電層標記24b之平行於底部46I的長度，一第二長度 S_2 代表介電層標記24b之平行於側壁46II、46III的長度。較佳者為， L_1 約為40~60 μm ， S_1 約為1~3 μm ， S_2 約為0.5~2 μm 。

第7B圖顯示導電墊32之標記凹痕的上視圖。相似於第2B圖所示的元件，於此省略敘述。導電墊32包含有兩個標記凹痕48，則兩個標記凹痕48所環繞之保護層30係相對應成為兩個保護層標記30b。兩個標記凹痕48的位置係約略對齊成一直線以區隔檢測區域II與連接區域I。每個標記凹痕48均包含有一底部48I以及兩個側壁48II、48III，一距離 L_2 係代表側壁48III至導電墊32邊緣之間沿第一方向的距離，係用以定義連接區域I的範圍。一第一長度 S_1 代表保護層標記30b之平行於底部48I的長度，一第二長度 S_2 代表保護層標記30b之平行於側壁48II、48III的長度。較佳者為， L_2 約為40~60 μm ， S_1 約為1~3 μm ， S_2 約為0.5~2 μm 。



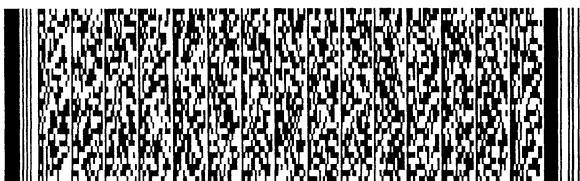
五、發明說明 (12)

除此之外，標記凹痕的設計可與第6A~6B圖所述之轉角切口區域設計結合。第8A圖顯示導電環26之標記凹痕46與轉角切口區域42之上視圖。第8B圖顯示導電墊32之標記凹痕48與轉角切口區域44之上視圖。相似於第6~7圖所示之元件特徵，於此省略敘述。

第五例

符合前述之頂部金屬層的設計條件下，可於導電環26之延伸部份製作一CUP結構，其可縮短部份導線而降低其電感與電阻，進而降低電路之耦合電容。

第9A圖顯示連接墊結構20附近之一CUP結構50的剖面示意圖，第9B圖顯示導電環26與CUP結構50的上視圖。相似於第6~7圖所示之元件特徵，於此省略敘述。導電環26包含有一延伸部份26a，係自導電環26之一邊端延伸至連接區域I與檢測區域II以外的區域III。一CUP結構50係形成於延伸部份26a的附近。一阻擋層52係形成於第一介電層24的下方，且其內部製作有一電路圖案54。第一介電層24中製作有複數個接觸洞57，且複數個接觸洞57內製作有複數個導電插塞56，則延伸部份26a可經由接觸洞57以及導電插塞56而電連接至電路圖案54。而且，電路圖案54也可經由內連線的設計而電連接至一最下層導電層58。較佳者為，應用於訊號電路圖案時，接觸洞57的數量較少；而應用於電源電路圖案時，接觸洞57的數量較多。此外，結合上述之導電環26與CUP結構50的條件下，阻擋層52之製作可為選擇性的，且導電環26下方之導電層圖案可作各種



五、發明說明 (13)

變化。

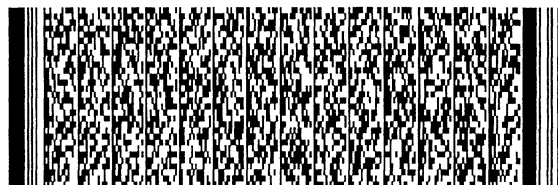
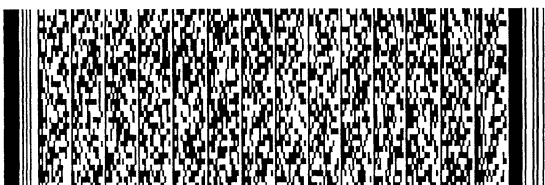
第10A圖顯示未製作阻擋層52之CUP結構50的剖面示意圖。相似於第9A圖所示之元件特徵，於此省略敘述。不同之處在於省略阻擋層52之製作，因此CUP結構50係形成於第一介電層24之中。

第10B圖顯示於兩層導電環下方製作CUP結構50的剖面示意圖。相似於第9A圖所示之元件特徵，於此省略敘述。不同之處在於第二介電層36係形成於第一介電層24與阻擋層52之間，且第三導電層38係製作成另一導電環且嵌埋於第二介電層36內，則第三導電層38可經由接觸插塞40而電連接至上方的導電環26。而且，第三導電層38包含有一延伸部份38a，係自環邊端延伸且可經由接觸洞57與導電插塞56而電連接至下方的CUP結構50。

第二實施例

本發明第二實施例提供連接墊結構20之保護層30的開口設計，可以保護檢測區域II內之頂部金屬層。

第11A圖顯示本發明第二實施例之連接墊結構20的剖面示意圖。第11B圖顯示第11A圖所示之導電環26與保護層30的上視圖。一半導體基底22內包含有部份完成之積體電路，且定義有一連接區域I以及一檢測區域II，連接區域I係用以接合一線球或一凸塊，檢測區域II係用以進行探針測試或其他工具測試。一第一介電層24係用作為基底22之最上層介電層，其包含有一環狀溝槽25以及一相對應形成的介電層島狀結構24a。一第一導電層26係用作為基底22

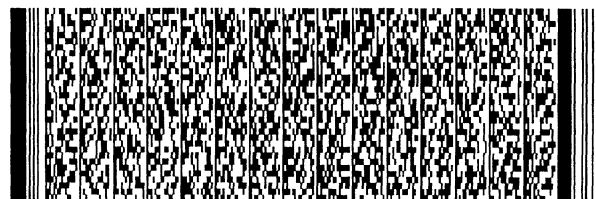
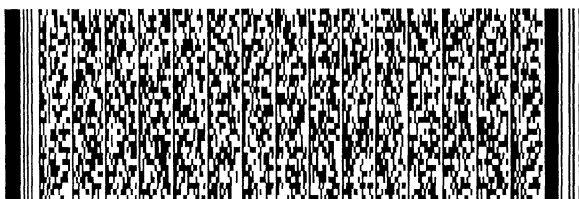


五、發明說明 (14)

之頂部金屬層(最上層內連線)，其乃填滿環狀溝槽25以成為一導電環26，則可圍繞介電層島狀結構24a。一保護層30係形成於第一介電層24上且包含有一開口31，開口31之位置與尺寸係對應於連接區域I，因此保護層30可覆蓋檢測區域II內的導電環26。一第二導電層32係形成於連接區域I以及檢測區域II之第一介電層24與保護層30上，第二導電層32係用作為一導電墊32，且不需經由任何的接觸洞便可直接連接至導電環26。一連接單元34可為一線球或一凸塊，係結合於連接區域I內之導電墊32上。另外，一阻障層28係形成於導電墊32與導電環26之接面處，可以提高導電墊32與導電環26的接合性。

第一介電層24之材質可為電漿氧化物、高密度電漿(HDP)氧化物、具有高度抗機械應力性質之介電材質、低介電常數材質、氟矽玻璃(FSG)或矽基介電材質。導電環26之材質可為銅、鋁、鋁銅合金、銅鎳合金或其他含銅合金。導電環26之寬度約為 $1\sim 50\ \mu\text{m}$ ，厚度約為 $0.5\sim 2\ \mu\text{m}$ 。阻障層28之材質可為鈦(Ti)、氮化鈦(TiN)、鎢(W)、氮化鎢(WN)、鉭(Ta)、氮化鉭(TaN)或其組合。導電墊32之材質可為鋁、鋁銅合金或其他含鋁合金。接合單元34可為一打線接合技術所使用之金球或一覆晶技術所使用之凸塊。

由上述可知，保護層30係覆蓋檢測區域II內的導電環26，故可防止高機械應力對檢測區域II內之導電環26的傷害。鄰近於連接區域I與檢測區域II之界線處的保護層30亦可用作為一標記條紋，其功能與第7A~7B圖所示之標記



五、發明說明 (15)

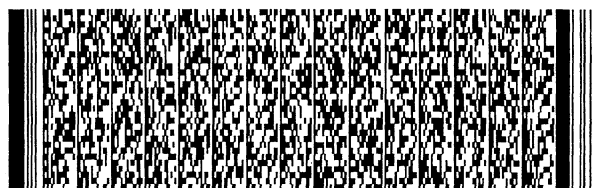
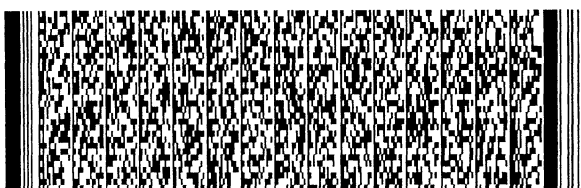
凹痕相同。形成於導電環26下方之其他內連線圖案可設計為環狀、格子狀、島狀或實心塊狀，如同第3A~3C圖所示。

依據保護層30之開口31的設計規則，可達成以下優點。第一，保護層30係覆蓋檢測區域II內的導電環26，故可有效減少裂痕自第一介電層24延伸至導電環26的可能性，進而防止侵蝕與層離的問題。第二，保護層30之開口31設計可防止導電墊32自導電環26或第一介電層24上剝離，故能消除連接墊脫落的現象，並確保接合製程的可靠度。第三，由於導電環26不易因高機械應力之影響而產生缺陷，因此連接墊結構20之間距與尺寸可更進一步縮小，以符合下一代技術之縮小晶片尺寸的需求。第四，因為介電層導狀結構24a具有平坦表面且被導電環26所圍繞，故可大幅提升打線接合機台之搜尋連接墊的功能與精確度。第五，導電環26係直接與導電墊32接觸而毋需仰賴接觸洞或接觸插塞，故可解決導電環26之寬度限制與微影製程之對不準問題，且導電環26與導電墊32之圖案設計可更為多樣化。

以下詳細說明導電環26與導電墊32之圖案設計的變化。

第一例

符合前述之保護層30之開口31的設計條件下，第一導電層26的圖案可設計為一格子狀導電層或複數個獨立插塞。



五、發明說明 (16)

第12A圖顯示將第一導電層26製作成為之一格子狀的剖面示意圖，第12B圖顯示第12A圖所示之第一導電層26的上視圖。相似於第11A~11B圖所示的元件，於此省略敘述。不同之處在於，第一介電層24包含有一格子狀溝槽以及複數個相對應形成之介電層島狀結構24a，則將第一導電層26填滿格子狀溝槽則可成為一格子狀導電層，亦即第一導電層26可使介電層島狀結構24a之間互相隔離。

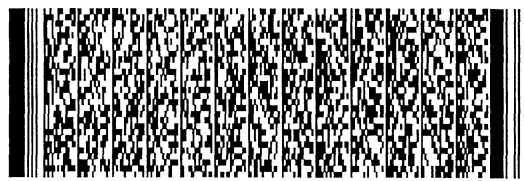
第13A圖顯示將第一導電層26製作成為獨立插塞的剖面示意圖，第13B圖顯示第13A圖所示之第一導電層26的上視圖。相似於第11A~11B圖所示的元件，於此省略敘述。不同之處在於，第一介電層24包含有一複數個接觸洞，則將第一導電層26填滿複數個接觸洞則可成為複數個獨立插塞。此外，可於第一導電層26之下方製作一第三導電層38，則該複數個獨立插塞可以藉由第三導電層38而達成彼此電連接的效果。

位於第一導電層26下方之其他內連線的圖案可設計為環狀、格子狀、島狀或實心塊狀，如同第3A~3C圖所示。

第二例

符合前述之保護層30之開口31的設計條件下，第一導電層26的圖案可設計為一實心塊狀導電層。

第14A圖顯示將第一導電層26製作成為之一實心體的剖面示意圖，第14B圖顯示第14A圖所示之第一導電層26的上視圖。相似於第11A~11B圖所示的元件，於此省略敘述。不同之處在於，第一介電層24包含有一大尺寸溝槽，



五、發明說明 (17)

則將第一導電層26填滿該大尺寸溝槽則可成為一實心塊狀導電層。此外，位於第一導電層26下方之其他內連線的圖案可設計為環狀、格子狀、島狀或實心塊狀，如同第3A~3C圖所示。

第三例

符合前述之保護層30之開口31的設計條件下，第一導電層26、導電墊32或其組合之圖案輪廓可設計成為各種幾何圖形，包含有：四方形、圓形以及多邊形，如同第4A~4F、5A~5F圖所示。

第四例

符合前述之保護層30之開口31的設計條件下，第一導電層26或導電墊32的輪廓製作為四邊形圖案，則該四邊形圖案包含有至少一轉角切口(corner cut)區域，如同第6A~6B圖所示。

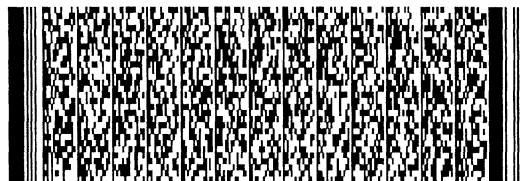
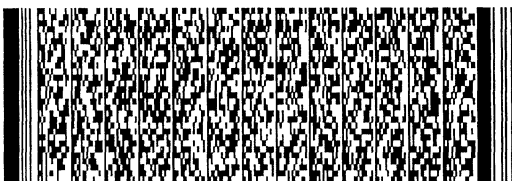
第五例

符合前述之保護層30之開口31的設計條件下，為了要清楚區別出檢測區域II與連接區域I，可於第一導電層26、導電墊32或其組合上提供一標記凹痕(marking notch)，如同第7A~7B、8A~8B圖所示。

第六例

符合前述之保護層30之開口31的設計條件下，可於第一導電層26之延伸部份26a的下方製作一CUP結構50，如同第9A~9B、10A~10B圖所示。

雖然本發明已以較佳實施例揭露如上，然其並非用以



五、發明說明 (18)

限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

第1圖顯示一包含有本發明之連接墊結構之晶片的上視圖。

第2A圖顯示本發明第一實施例之連接墊結構的剖面示意圖。

第2B圖顯示第2A圖所示之導電環的上視圖。

第3A圖顯示導電環下方之另一導電環的剖面示意圖。

第3B圖顯示導電環下方之一格子狀導電層的剖面示意圖。

第3C圖顯示導電環下方之一實心塊狀導電層的剖面示意圖。

第4A~4F圖顯示導電環之輪廓設計的上視圖。

第5A~5F圖顯示導電墊之輪廓設計的上視圖。

第6A圖顯示導電環之轉角切口區域的上視圖。

第6B圖顯示導電墊之轉角切口區域的上視圖。

第7A圖顯示導電環之標記凹痕的上視圖。

第7B圖顯示導電墊之標記凹痕的上視圖。

第8A圖顯示導電環之標記凹痕與轉角切口區域之上視圖。

第8B圖顯示導電墊之標記凹痕與轉角切口區域之上視圖。

第9A圖顯示連接墊結構附近之一CUP結構的剖面示意圖。

第9B圖顯示導電環與CUP結構的上視圖。

第10A圖顯示未製作阻擋層之CUP結構的剖面示意圖。



圖式簡單說明

第10B圖顯示於兩層導電環下方製作CUP結構的剖面示意圖。

第11A圖顯示本發明第二實施例之連接墊結構的剖面示意圖。

第11B圖顯示第11A圖所示之導電環與保護層的上視圖。

第12A圖顯示將第一導電層製作成為之一格子狀的剖面示意圖。

第12B圖顯示第12A圖所示之第一導電層的上視圖。

第13A圖顯示將第一導電層製作成為獨立插塞的剖面示意圖。

第13B圖顯示第13A圖所示之第一導電層的上視圖。

第14A圖顯示將第一導電層製作成為之一實心體的剖面示意圖。

第14B圖顯示第14A圖所示之第一導電層的上視圖。

符號說明

晶片之主要區域~10；

第二切割道~14；

周邊區域~18；

半導體基底~22；

檢測區域~II；

介電層島狀結構~24a；

溝槽~25；

第一切割道~12；

有效區域~16；

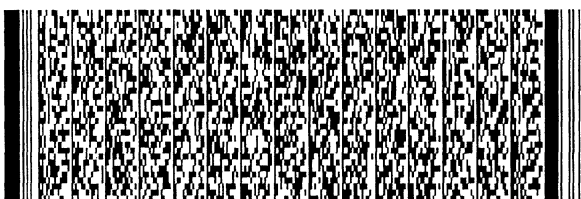
連接墊結構~20；

連接區域~I；

第一介電層~24；

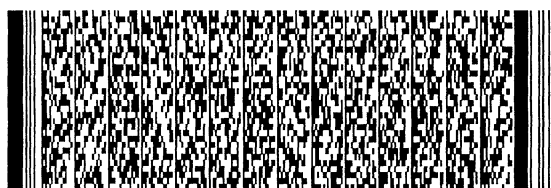
介電層標記~24b；

第一導電層~26；



圖式簡單說明

導電環~26；	延伸部份~26a；
阻障層~28；	保護層~30；
保護層標記~30b；	開口~31；
第二導電層~32；	導電墊~32；
連接單元~34；	第二介電層~36；
介電層島狀結構~36a；	第三導電層~38；
延伸部份~38a；	導電插塞~40；
轉角切口區域~42、44；	斜邊~41、43；
標記凹痕~46；	底部~46I；
側壁~46II、46III；	標記凹痕~48；
底部~48I；	
側壁~48II、48III；	CUP結構~50；
阻擋層~52；	電路圖案~54；
導電插塞~56；	接觸洞~57；
最下層導電層~58。	



四、中文發明摘要 (發明名稱：連接墊結構)

一基底包含有一連接區域以及一檢測區域。一第一介電層係形成於該基底上，且包含有一環狀溝槽以及一相對應形成一介電層島狀結構。一第一導電層係形成於該第一介電層之該環狀溝槽中。一保護層形成於該第一介電層上且包含有一開口，其中該開口之位置係相對應於該連接區域以及該檢測區域，且該開口暴露該介電層島狀結構以一部份之該第一導電層。一第二導電層係覆蓋該保護層之開口，且電連接至該第一導電層。

伍、(一)、本案代表圖為：第2A圖

(二)、本案代表圖之元件代表符號簡單說明：

連接墊結構~20；

半導體基底~22；

連接區域~I；

檢測區域~II；

第一介電層~24；

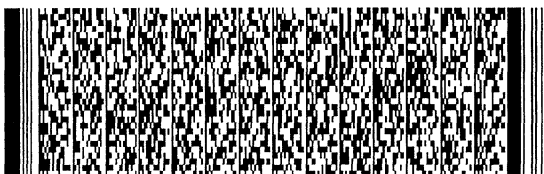
介電層島狀結構~24a；

溝槽~25；

第一導電層~26；

六、英文發明摘要 (發明名稱：BONDING PAD STRUCTURE)

A substrate has a bonding region and a sensing region. A first dielectric layer is formed overlying the substrate and has a dielectric island surrounded by a ring-shaped trench. A first conductive layer is formed in the ring-shaped trench of the first dielectric layer. A passivation layer is formed overlying the first dielectric layer and has an opening, in which the



四、中文發明摘要 (發明名稱：連接墊結構)

阻障層~28；

開口~31；

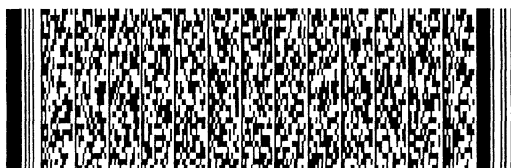
連接單元~34。

保護層~30；

第二導電層~32；

六、英文發明摘要 (發明名稱：BONDING PAD STRUCTURE)

opening corresponds to the bonding region and the sensing region and exposes the dielectric island and a part of the first conductive layer. A second conductive layer covers the opening of the passivation layer and is electrically connected to the first conductive layer.



六、申請專利範圍

1. 一種連接墊結構，包含有：

一基底，其包含有一連接區域以及一檢測區域；

一第一介電層，係形成於該基底上，且包含有一環狀溝槽以及一相對應形成一介電層島狀結構；

一第一導電層，係形成於該第一介電層之該環狀溝槽中；

一保護層，係形成於該第一介電層上且包含有一開口，其中該開口之位置係相對應於該連接區域以及該檢測區域，且該開口暴露該介電層島狀結構以一部份之該第一導電層；以及

一第二導電層，係覆蓋該保護層之開口，且電連接至該第一導電層。

2. 如申請專利範圍第1項所述之連接墊結構，其中該基底更包含有：

一第一切割道，係沿第一方向延伸；以及

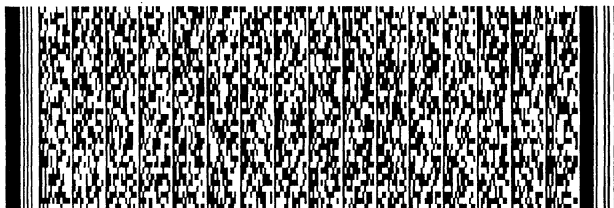
一第二切割道，係沿一第二方向延伸，且該第二切割道與該第一切割道交錯配置以定義一晶片之主要區域；

其中，該晶片之主要區域包含有一有效區域以及一周邊區域；

其中，該連接墊結構係形成於該有效區域、該周邊區域、該第一切割道、該第二切割道或其組合區域上。

3. 如申請專利範圍第1項所述之連接墊結構，其中該連接墊結構係呈直線排列或錯開排列。

4. 如申請專利範圍第1項所述之連接墊結構，其中該



六、申請專利範圍

第一導電層之寬度為 $1\sim 50\ \mu\text{m}$ 。

5. 如申請專利範圍第1項所述之連接墊結構，其中該第一導電層之厚度為 $0.5\sim 2\ \mu\text{m}$ 。

6. 如申請專利範圍第1項所述之連接墊結構，其中位於該檢測區域內之該第一導電層的面積比例 R_1 符合下列公式： $R_1 = A_r / A_s$ ，且 $0 \leq R_1 \leq 30\%$ ，其中 A_r 代表該檢測區域內之該第一導電層的面積， A_s 代表該檢測區域的面積。

7. 如申請專利範圍第1項所述之連接墊結構，更包含有：

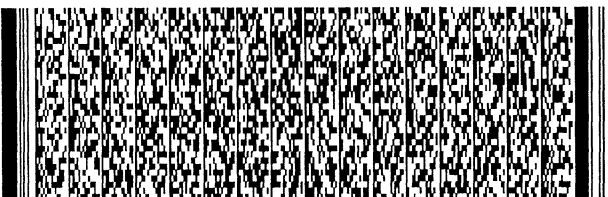
一第二介電層，係形成於該第一介電層之下方；
一第三導電層，係形成於該第二介電層內；以及
至少一導電插塞，係形成於該第二介電層內，且該導電插塞可使該第三導電層電連接至該第一導電層。

8. 如申請專利範圍第7項所述之連接墊結構，其中該第三導電層的輪廓係為環狀、格子狀、陣列之島狀或實心塊狀。

9. 如申請專利範圍第1項所述之連接墊結構，其中該第一介電層之溝槽的輪廓係為四方形環狀、圓形環狀、六邊形環狀、八邊形環狀或其他多邊形環狀。

10. 如申請專利範圍第1項所述之連接墊結構，其中該第一導電層的輪廓係為四方形環狀、圓形環狀、六邊形環狀、八邊形環狀或其他多邊形環狀。

11. 如申請專利範圍第1項所述之連接墊結構，其中該



六、申請專利範圍

第二導電層的輪廓係為四方形實心體、圓形實心體、六邊形實心體、八邊形實心體或其他多邊形實心體。

12. 如申請專利範圍第1項所述之連接墊結構，更包含有至少一轉角切口區域，係形成於該第一導電層之至少一個轉角區域的附近，其中該轉角切口區域禁止該第一導電層之製作，且該轉角切口區域允許該第一介電層之製作。

13. 如申請專利範圍第12項所述之連接墊結構，其中該轉角切口區域為一直角三角形，該直角三角形之斜邊的長度約為 $0.5 \sim 5 \mu\text{m}$ ，該斜邊與X軸的夾角 θ_1 為 $10^\circ \sim 80^\circ$ 。

14. 如申請專利範圍第13項所述之連接墊結構，其中該轉角切口區域之一面積比例 R_2 符合下列公式： $R_2 = A_{t1} / A_{c1}$ ，且 $0 < R_2 < 80\%$ ；

其中， A_{t1} 代表該轉角切口區域的面積；

其中， A_{c1} 代表該第一導電層的轉角區域面積；

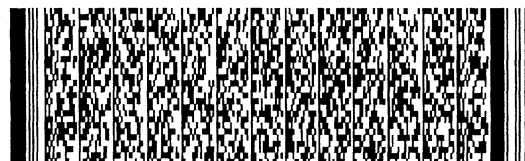
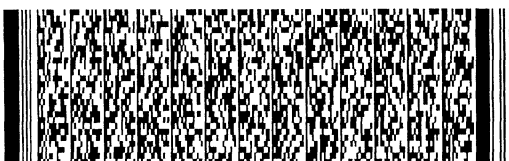
其中，該轉角區域面積 A_{c1} 符合下列公式： $A_{c1} = W_1 \times W_2$ ；

其中， W_1 代表該第一導電層之沿該第一方向的寬度；
以及

其中， W_2 代表該第一導電層之沿該第二方向的寬度。

15. 如申請專利範圍第1項所述之連接墊結構，更包含有至少一轉角切口區域，係形成於該第二導電層之至少一個轉角區域的附近，其中該轉角切口區域禁止該第二導電層之製作，且該轉角切口區域允許該保護層之製作。

16. 如申請專利範圍第15項所述之連接墊結構，其中



六、申請專利範圍

該轉角切口區域為一直角三角形，該直角三角形之斜邊的長度約為 $0.5 \sim 5 \mu\text{m}$ ，該斜邊與X軸的夾角 θ_2 為 $10^\circ \sim 80^\circ$ 。

17. 如申請專利範圍第1項所述之連接墊結構，其中該第一導電層更包含有至少一標記凹痕，係用來區別該檢測區域與該連接區域。

18. 如申請專利範圍第17項所述之連接墊結構，其中該第一導電層之該標記凹痕包含有一底部以及兩側壁，且該第一導電層之該標記凹痕所環繞之該第一介電層係成為一介電層標記。

19. 如申請專利範圍第18項所述之連接墊結構，其中該介電層標記包含有：

一第一長度，係平行該第一導電層之該標記凹痕之底部，約為 $1 \sim 3 \mu\text{m}$ ；以及

一第二長度，係平行該第一導電層之該標記凹痕之側壁，約為 $0.5 \sim 2 \mu\text{m}$ 。

20. 如申請專利範圍第1項所述之連接墊結構，其中該第二導電層更包含有至少一標記凹痕，係用來區別該檢測區域與該連接區域。

21. 如申請專利範圍第20項所述之連接墊結構，其中該第二導電層之該標記凹痕包含有一底部以及兩側壁，且該第二導電層之該標記凹痕所環繞之該保護層係成為一保護層標記。

22. 如申請專利範圍第21項所述之連接墊結構，其中該保護層標記包含有：



六、申請專利範圍

一 第一長度，係平行該第二導電層之該標記凹痕之底部，約為 $1\sim 3\ \mu\text{m}$ ；以及

一 第二長度，係平行該第二導電層之該標記凹痕之側壁，約為 $0.5\sim 2\ \mu\text{m}$ 。

23. 如申請專利範圍第1項所述之連接墊結構，更包含有：

一 第一導電層之延伸部份，係自該第一導電層之一邊端延伸至該連接區域與該檢測區域以外的區域；以及

一 連接墊下方電路(circuit under pad, CUP)結構，係形成於該第一導電層之延伸部份的下方。

24. 如申請專利範圍第23項所述之連接墊結構，其中該CUP結構包含有：

一 電路圖案，係形成於該第一導電層之延伸部份的下方；以及

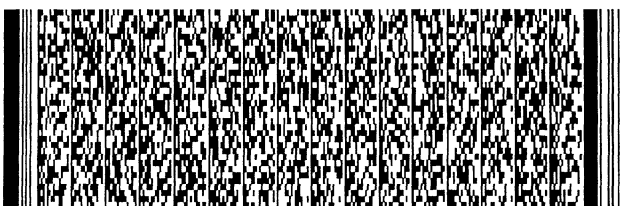
複數個導電插塞，係將該電路圖案電連接至該第一導電層之延伸部份。

25. 如申請專利範圍第24項所述之連接墊結構，其中該CUP結構更包含有：

一 阻擋層，係形成於該第一介電層之下方，其中該電路圖案係形成於該阻擋層內；以及

複數個接觸洞，係形成於該第一介電層中，且位於該第一導電層之延伸部份的下方，其中該複數個導電插塞係分別形成於該複數個接觸洞內。

26. 如申請專利範圍第24項所述之連接墊結構，其中



六、申請專利範圍

該CUP結構更包含有：

複數個接觸洞，係形成於該第一介電層中，且位於該第一導電層之延伸部份的下方；

其中，該複數個導電插塞係分別形成於該複數個接觸洞內；以及

其中，該電路圖案係形成於該第一介電層中，且位於該複數個導電插塞的下方。

27. 如申請專利範圍第23項所述之連接墊結構，其中該CUP結構包含有：

一第二介電層，係形成於該第一介電層之下方；

一第三導電層，係形成於該第二介電層中，且電連接至該第一導電層；

一第三導電層之延伸部份，係自該第三導電層之一邊端延伸至該連接區域與該檢測區域以外的區域；

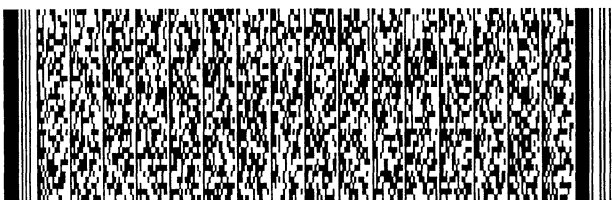
一阻擋層，係形成於該第二介電層之下方；

一電路圖案，係形成於該阻擋層內；以及

複數個導電插塞，係將該電路圖案電連接至該第三導電層之延伸部份。

28. 如申請專利範圍第27項所述之連接墊結構，其中該第三導電層的輪廓係為環狀、格子狀、陣列島狀或實心塊狀。

29. 如申請專利範圍第1項所述之連接墊結構，更包含有一連接單元，係形成於該連接區域內之該第二導電層上。



六、申請專利範圍

30. 如申請專利範圍第29項所述之連接墊結構，其中該連接單元係為一導電球或一導電凸塊。

31. 如申請專利範圍第1項所述之連接墊結構，更包含有一阻障層，係形成於該第一導電層與該第二導電層之接面處。

32. 如申請專利範圍第31項所述之連接墊結構，其中該阻障層之材質可為鈦(Ti)、氮化鈦(TiN)、鎢(W)、氮化鎢(WN)、鉭(Ta)、氮化鉭(TaN)或其組合。

33. 如申請專利範圍第1項所述之連接墊結構，其中該第一導電層之材質可為銅、鋁、鋁銅合金、銅鎂合金或其他含銅合金。

34. 如申請專利範圍第1項所述之連接墊結構，其中該第二導電層之材質可為鋁、鋁銅合金或其他含鋁合金。

35. 如申請專利範圍第1項所述之連接墊結構，其中該第一介電層之材質可為電漿氧化物、高密度電漿(HDP)氧化物、具有高度抗機械應力性質之介電材質、低介電常數材質、氟矽玻璃(FSG)或矽基介電材質。

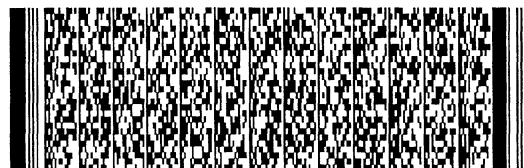
36. 一種連接墊結構，包含有：

一基底，其包含有一連接區域以及一檢測區域；

一第一介電層，係形成於該基底上，且包含有一溝槽；

一第一導電層，係形成於該第一介電層之該溝槽中；

一保護層，係形成於該第一介電層上且包含有一開口，其中該開口之位置係相對應於該連接區域，且該開口



六、申請專利範圍

係覆蓋該檢測區域內之該第一導電層；以及

一第二導電層，係形成於該連接區域以及該檢測區域上，其中該第二導電層係覆蓋該保護層之開口以電連接至該第一導電層。

37. 如申請專利範圍第36項所述之連接墊結構，其中該基底更包含有：

一第一切割道，係沿第一方向延伸；以及

一第二切割道，係沿一第二方向延伸，且該第二切割道與該第一切割道交錯配置以定義一晶片之主要區域；

其中，該晶片之主要區域包含有一有效區域以及一周邊區域；

其中，該連接墊結構係形成於該有效區域、該周邊區域、該第一切割道、該第二切割道或其組合區域上。

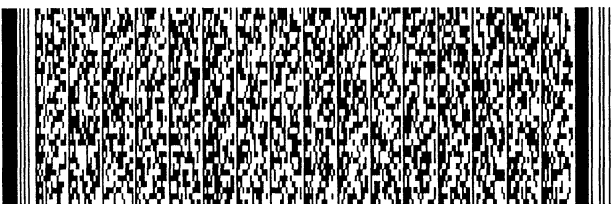
38. 如申請專利範圍第37項所述之連接墊結構，其中該連接墊結構係呈直線排列或錯開排列。

39. 如申請專利範圍第36項所述之連接墊結構，其中該第一導電層之寬度為 $1\sim 50\ \mu\text{m}$ 。

40. 如申請專利範圍第36項所述之連接墊結構，其中該第一導電層之厚度為 $0.5\sim 2\ \mu\text{m}$ 。

41. 如申請專利範圍第36項所述之連接墊結構，其中該第一導電層的輪廓係為環狀、格子狀、陣列之島狀或實心塊狀。

42. 如申請專利範圍第36項所述之連接墊結構，其中該第一介電層之溝槽的輪廓係為環狀、格子狀、陣列之島



六、申請專利範圍

狀或實心塊狀。

43. 如申請專利範圍第36項所述之連接墊結構，更包含有：

一第二介電層，係形成於該第一介電層之下方；

一第三導電層，係形成於該第二介電層內；以及

至少一導電插塞，係形成於該第二介電層內，且該導電插塞可使該第三導電層電連接至該第一導電層。

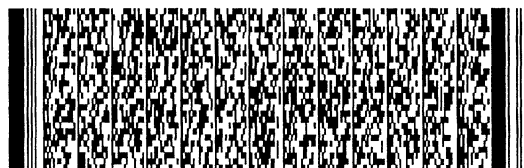
44. 如申請專利範圍第43項所述之連接墊結構，其中該第三導電層的輪廓係為環狀、格子狀、陣列之島狀或實心塊狀。

45. 如申請專利範圍第36項所述之連接墊結構，其中該第二導電層的輪廓係為四方形實心體、圓形實心體、六邊形實心體、八邊形實心體或其他多邊形實心體。

46. 如申請專利範圍第36項所述之連接墊結構，更包含有至少一轉角切口區域，係形成於該第一導電層之至少一個轉角區域的附近，其中該轉角切口區域禁止該第一導電層之製作，且該轉角切口區域允許該第一介電層之製作。

47. 如申請專利範圍第46項所述之連接墊結構，其中該轉角切口區域為一直角三角形，該直角三角形之斜邊的長度約為 $0.5 \sim 5 \mu\text{m}$ ，該斜邊與X軸的夾角 θ_1 為 $10^\circ \sim 80^\circ$ 。

48. 如申請專利範圍第46項所述之連接墊結構，其中該轉角切口區域之一面積比例 R_2 符合下列公式： $R_2 = A_{t1} / A_{c1}$ ，且 $0 < R_2 < 80\%$ ；



六、申請專利範圍

其中， A_{t1} 代表該轉角切口區域的面積；

其中， A_{c1} 代表該第一導電層的轉角區域面積；

其中，該轉角區域面積 A_{c1} 符合下列公式： $A_{c1} = W_1 \times W_2$ ；

其中， W_1 代表該第一導電層之沿該第一方向的寬度；
以及

其中， W_2 代表該第一導電層之沿該第二方向的寬度。

49. 如申請專利範圍第36項所述之連接墊結構，更包含有至少一轉角切口區域，係形成於該第二導電層之至少一個轉角區域的附近，其中該轉角切口區域禁止該第二導電層之製作，且該轉角切口區域允許該保護層之製作。

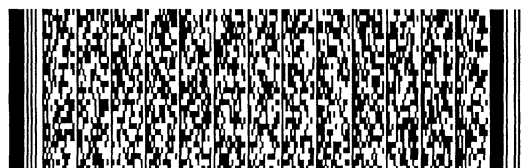
50. 如申請專利範圍第49項所述之連接墊結構，其中該轉角切口區域為一直角三角形，該直角三角形之斜邊的長度約為 $0.5 \sim 5 \mu m$ ，該斜邊與X軸的夾角 θ_2 為 $10^\circ \sim 80^\circ$ 。

51. 如申請專利範圍第36項所述之連接墊結構，其中該第一導電層更包含有至少一標記凹痕，係用來區別該檢測區域與該連接區域。

52. 如申請專利範圍第51項所述之連接墊結構，其中該第一導電層之該標記凹痕包含有一底部以及兩側壁，且該第一導電層之該標記凹痕所環繞之該第一介電層係成為一介電層標記。

53. 如申請專利範圍第52項所述之連接墊結構，其中該介電層標記包含有：

一第一長度，係平行該第一導電層之該標記凹痕之底



六、申請專利範圍

部，約為 $1\sim 3\ \mu\text{m}$ ；以及

一第二長度，係平行該第一導電層之該標記凹痕之側壁，約為 $0.5\sim 2\ \mu\text{m}$ 。

54. 如申請專利範圍第36項所述之連接墊結構，其中該第二導電層更包含有至少一標記凹痕，係用來區別該檢測區域與該連接區域。

55. 如申請專利範圍第54項所述之連接墊結構，其中該第二導電層之該標記凹痕包含有一底部以及兩側壁，且該第二導電層之該標記凹痕所環繞之該保護層係成為一保護層標記。

56. 如申請專利範圍第55項所述之連接墊結構，其中該保護層標記包含有：

一第一長度，係平行該第二導電層之該標記凹痕之底部，約為 $1\sim 3\ \mu\text{m}$ ；以及

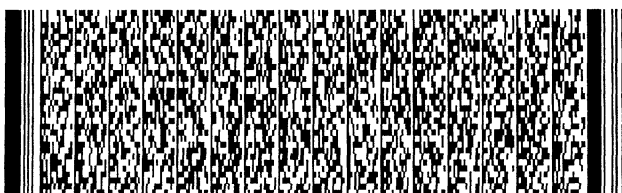
一第二長度，係平行該第二導電層之該標記凹痕之側壁，約為 $0.5\sim 2\ \mu\text{m}$ 。

57. 如申請專利範圍第36項所述之連接墊結構，更包含有：

一第一導電層之延伸部份，係自該第一導電層之一邊端延伸至該連接區域與該檢測區域以外的區域；以及

一連接墊下方電路(circuit under pad, CUP)結構，係形成於該第一導電層之延伸部份的下方。

58. 如申請專利範圍第57項所述之連接墊結構，其中該CUP結構包含有：



六、申請專利範圍

一 電路圖案，係形成於該第一導電層之延伸部份的下方；以及

複數個導電插塞，係將該電路圖案電連接至該第一導電層之延伸部份。

59. 如申請專利範圍第58項所述之連接墊結構，其中該CUP結構更包含有：

一 阻擋層，係形成於該第一介電層之下方，其中該電路圖案係形成於該阻擋層內；以及

複數個接觸洞，係形成於該第一介電層中，且位於該第一導電層之延伸部份的下方，其中該複數個導電插塞係分別形成於該複數個接觸洞內。

60. 如申請專利範圍第58項所述之連接墊結構，其中該CUP結構更包含有：

複數個接觸洞，係形成於該第一介電層中，且位於該第一導電層之延伸部份的下方；

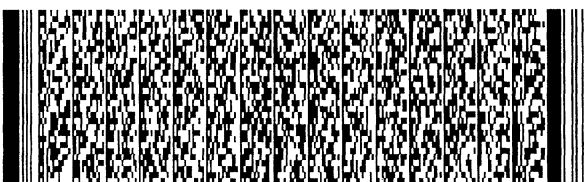
其中，該複數個導電插塞係分別形成於該複數個接觸洞內；以及

其中，該電路圖案係形成於該第一介電層中，且位於該複數個導電插塞的下方。

61. 如申請專利範圍第57項所述之連接墊結構，其中該CUP結構包含有：

一 第二介電層，係形成於該第一介電層之下方；

一 第三導電層，係形成於該第二介電層中，且電連接至該第一導電層；



六、申請專利範圍

一 第三導電層之延伸部份，係自該第三導電層之一邊端延伸至該連接區域與該檢測區域以外的區域；

一 阻擋層，係形成於該第二介電層之下方；

一 電路圖案，係形成於該阻擋層內；以及

複數個導電插塞，係將該電路圖案電連接至該第三導電層之延伸部份。

62. 如申請專利範圍第61項所述之連接墊結構，其中該第三導電層的輪廓係為環狀、格子狀、陣列島狀或實心塊狀。

63. 如申請專利範圍第36項所述之連接墊結構，更包含有一連接單元，係形成於該連接區域內之該第二導電層上。

64. 如申請專利範圍第36項所述之連接墊結構，其中該連接單元係為一導電球或一導電凸塊。

65. 如申請專利範圍第36項所述之連接墊結構，更包含有一阻障層，係形成於該第一導電層與該第二導電層之接面處。

66. 如申請專利範圍第65項所述之連接墊結構，其中該阻障層之材質可為鈦(Ti)、氮化鈦(TiN)、鎢(W)、氮化鎢(WN)、鉭(Ta)、氮化鉭(TaN)或其組合。

67. 如申請專利範圍第36項所述之連接墊結構，其中該第一導電層之材質可為銅、鋁、鋁銅合金、銅鎂合金或其他含銅合金。

68. 如申請專利範圍第36項所述之連接墊結構，其中

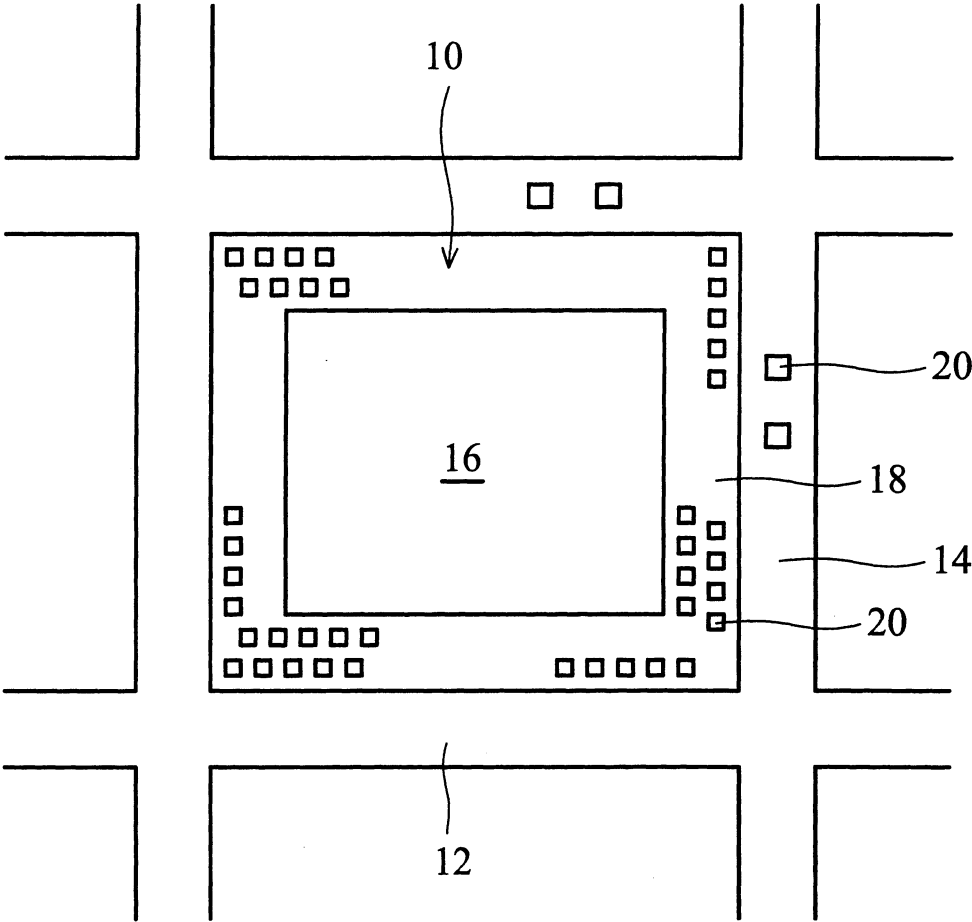


六、申請專利範圍

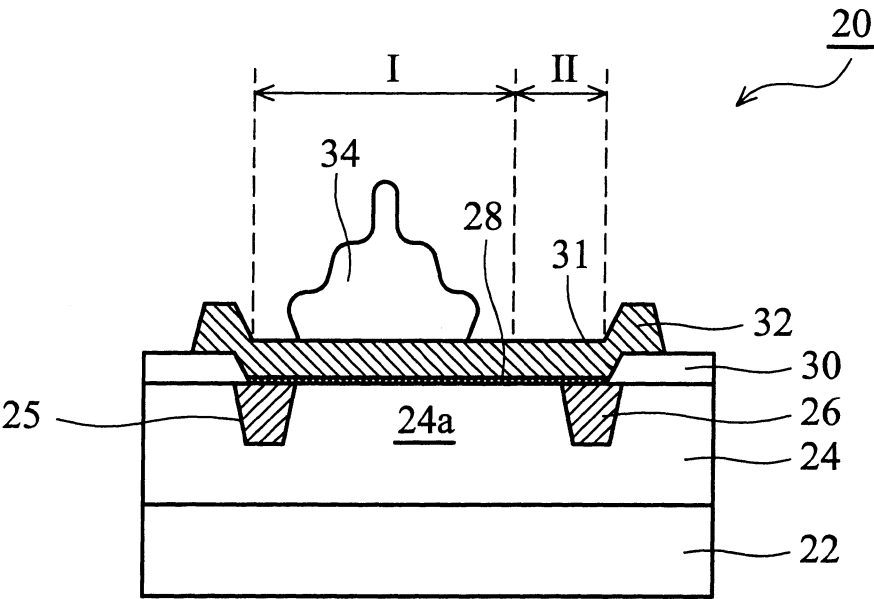
該第二導電層之材質可為鋁、鋁銅合金或其他含鋁合金。

69. 如申請專利範圍第36項所述之連接墊結構，其中該第一介電層之材質可為電漿氧化物、高密度電漿(HDP)氧化物、具有高度抗機械應力性質之介電材質、低介電常數材質、氟矽玻璃(FSG)或矽基介電材質。

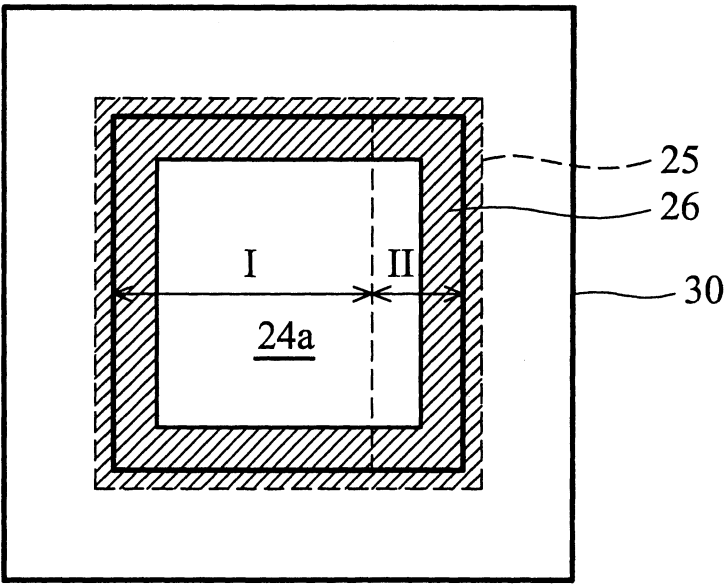




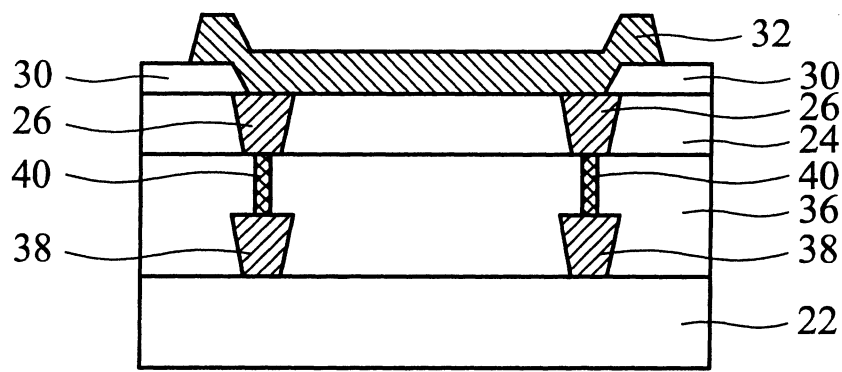
第 1 圖



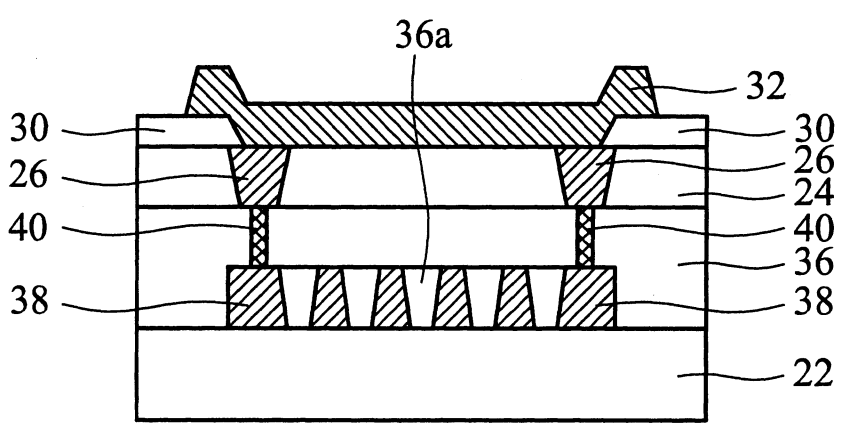
第 2A 圖



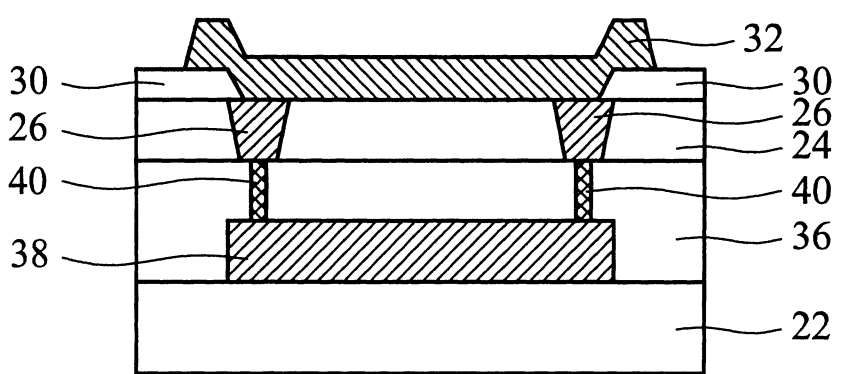
第 2B 圖



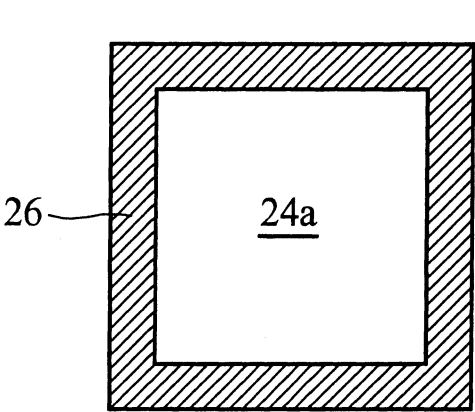
第 3A 圖



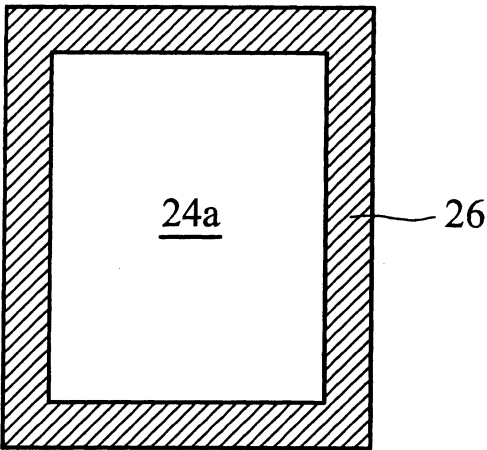
第 3B 圖



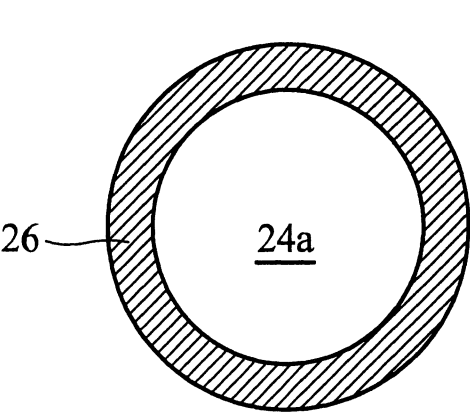
第 3C 圖



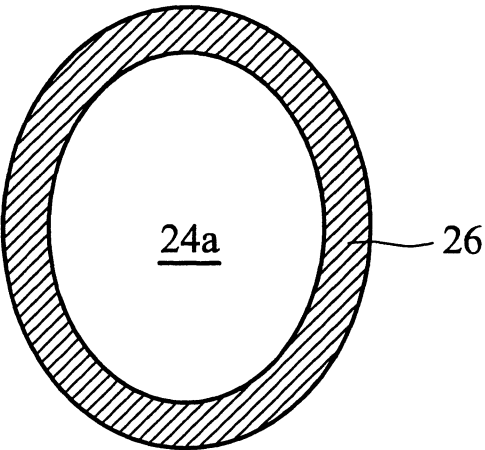
第 4A 圖



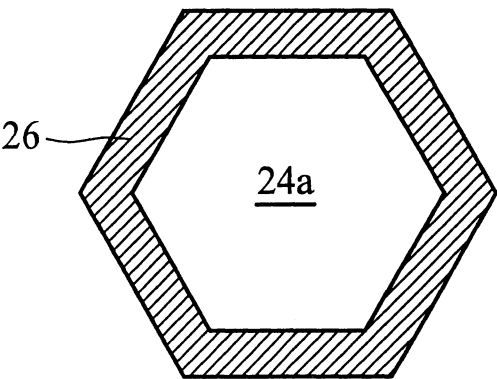
第 4B 圖



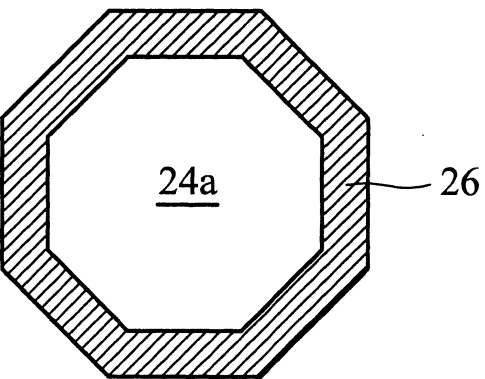
第 4C 圖



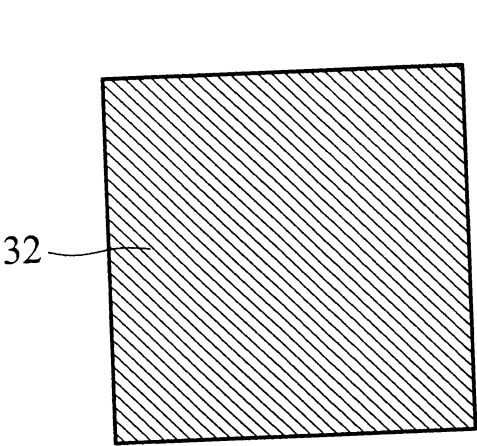
第 4D 圖



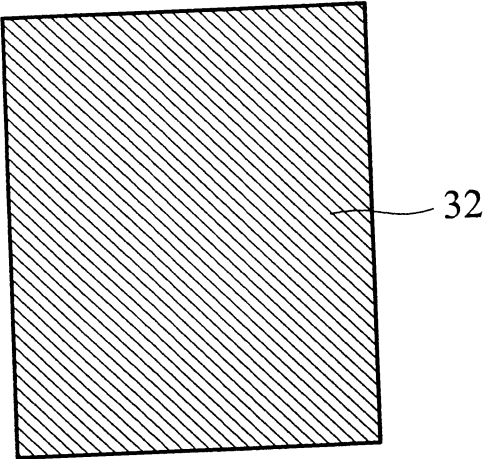
第 4E 圖



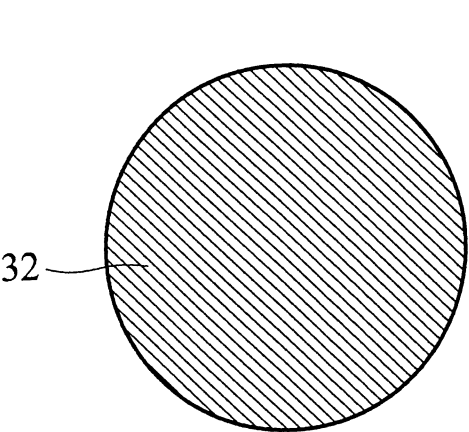
第 4F 圖



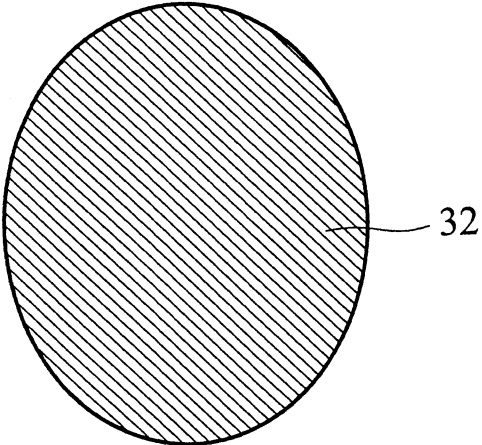
第 5A 圖



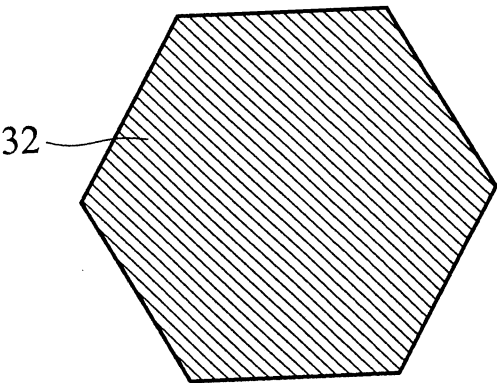
第 5B 圖



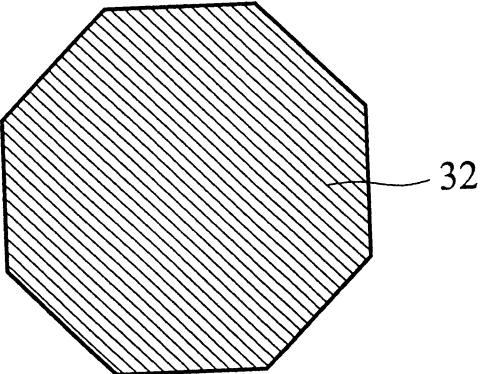
第 5C 圖



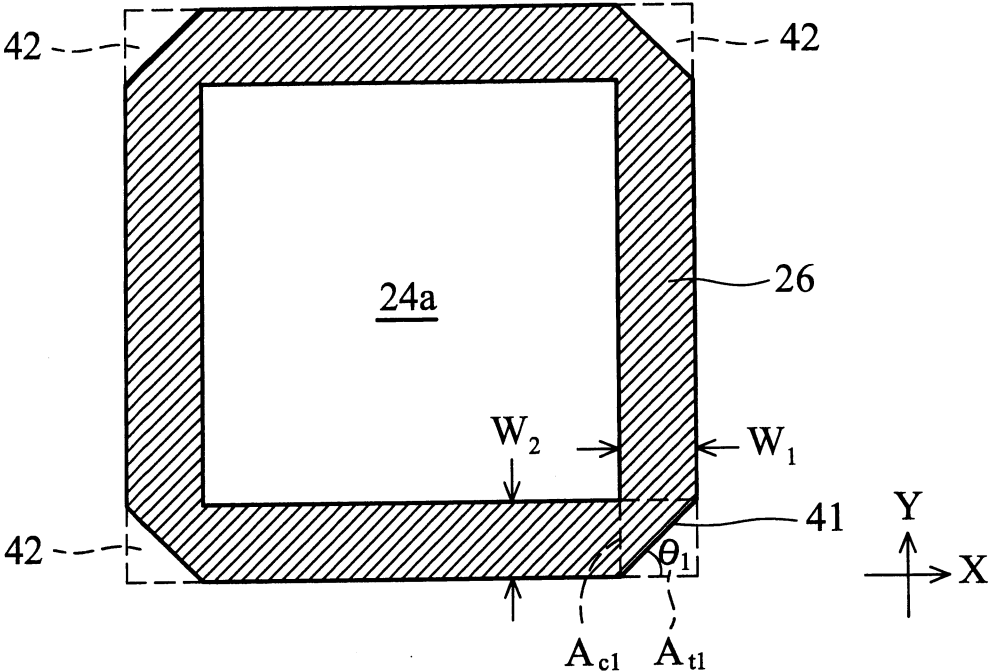
第 5D 圖



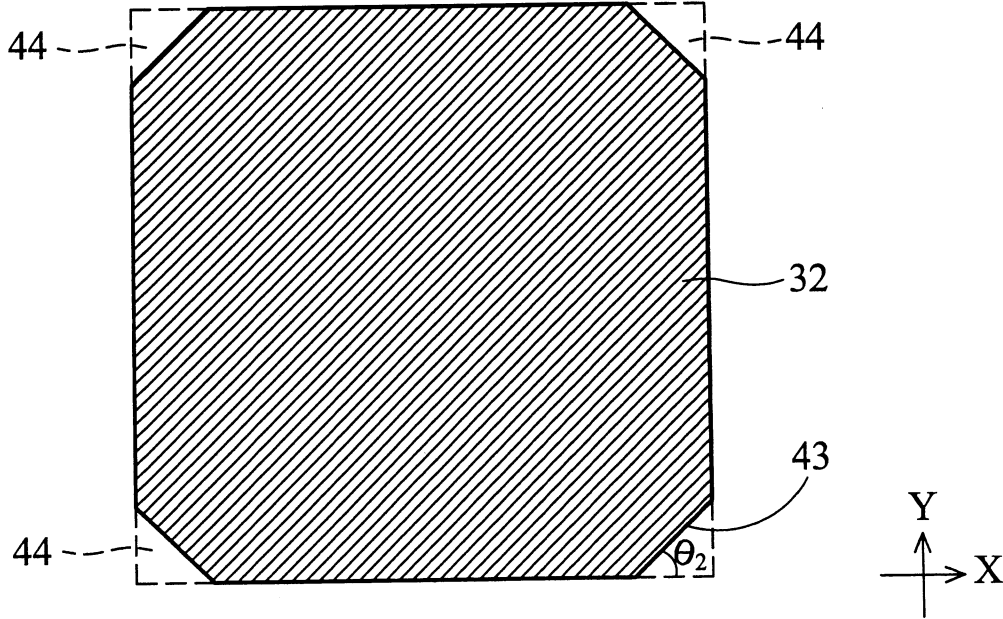
第 5E 圖



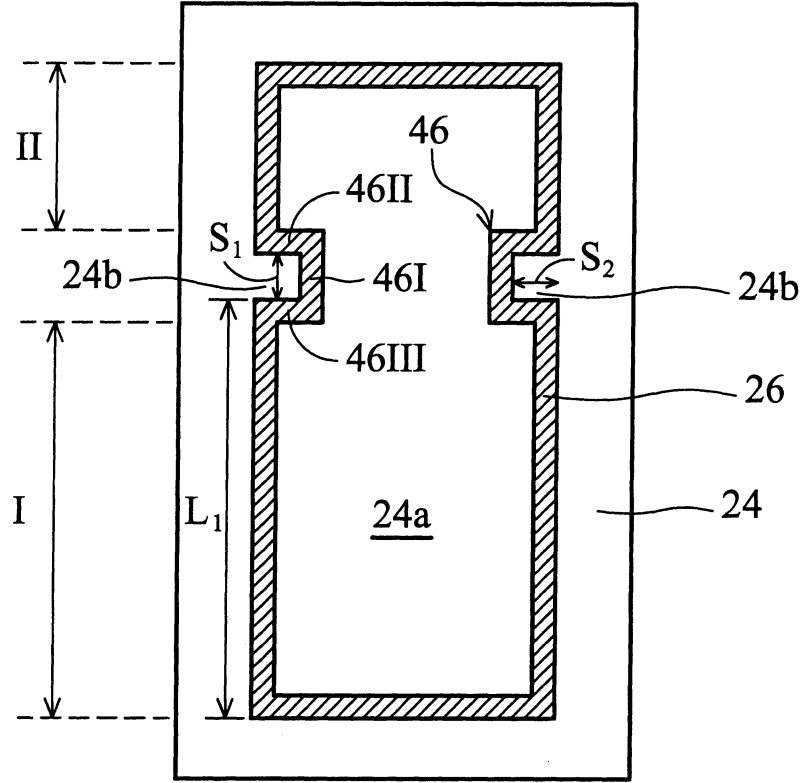
第 5F 圖



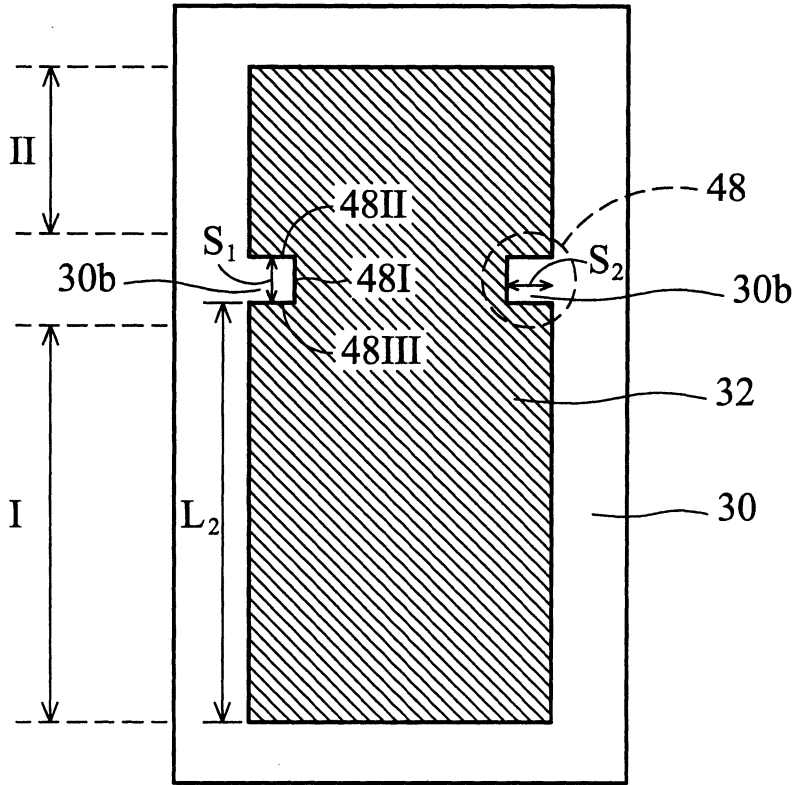
第 6A 圖



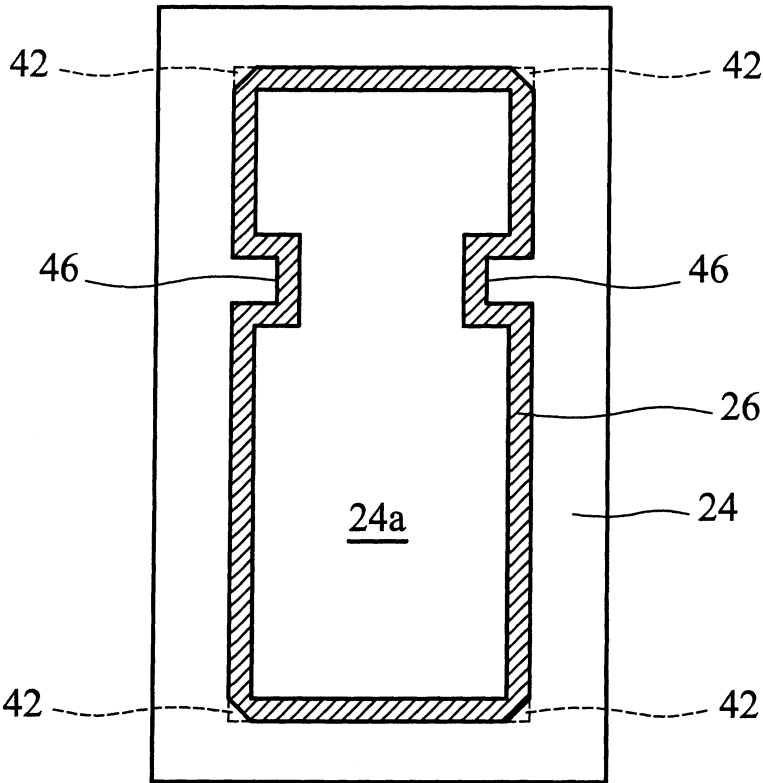
第 6B 圖



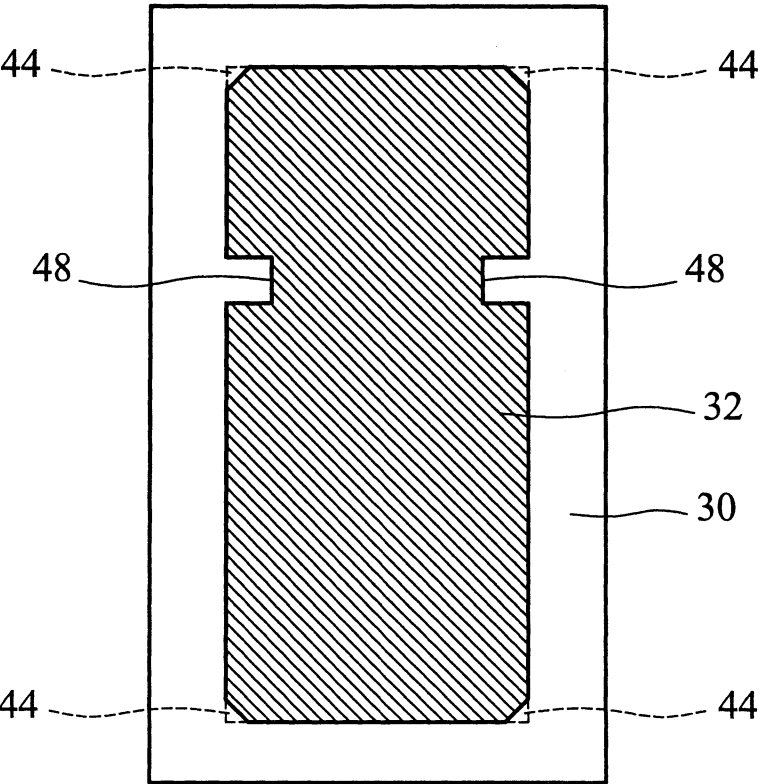
第 7A 圖



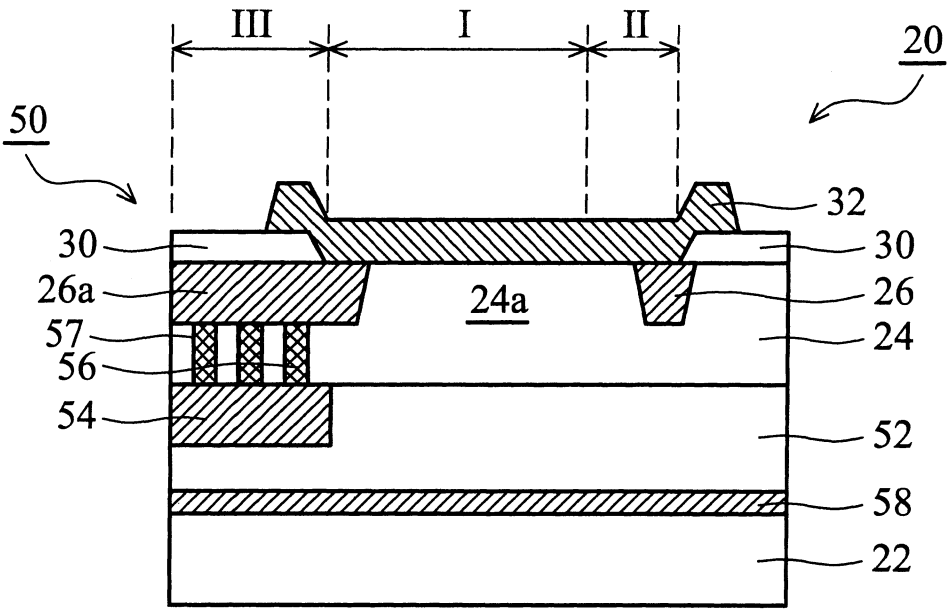
第 7B 圖



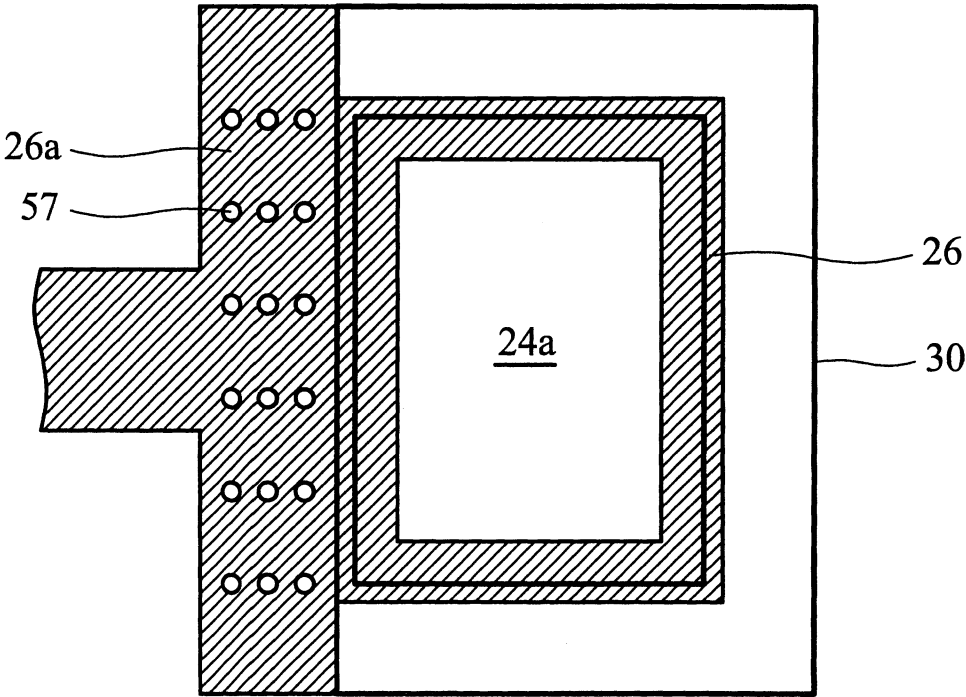
第 8A 圖



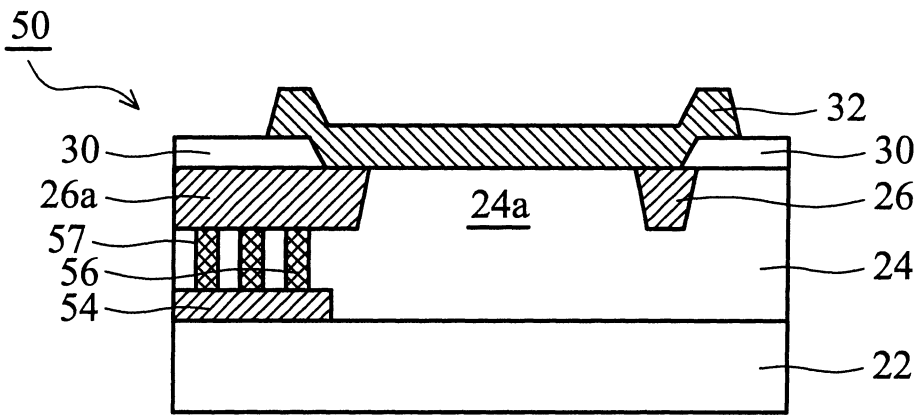
第 8B 圖



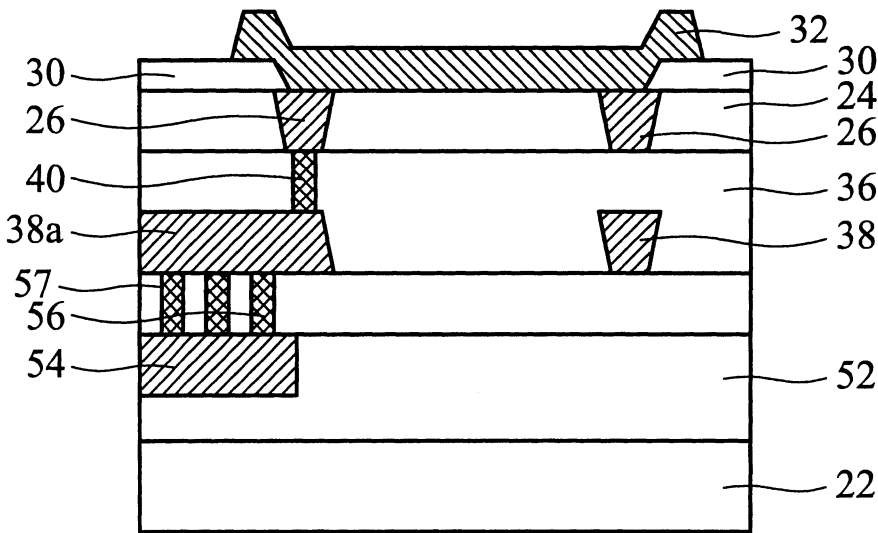
第 9A 圖



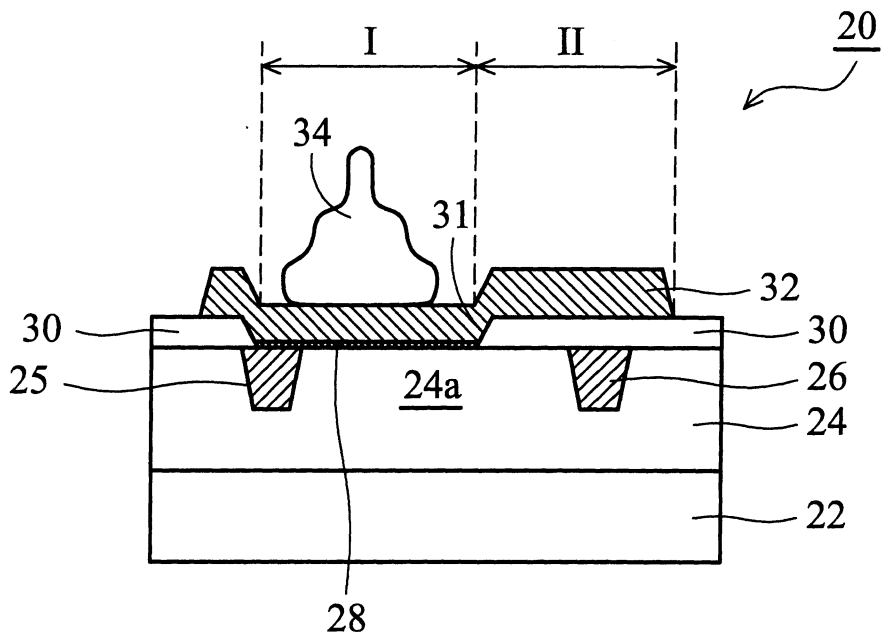
第 9B 圖



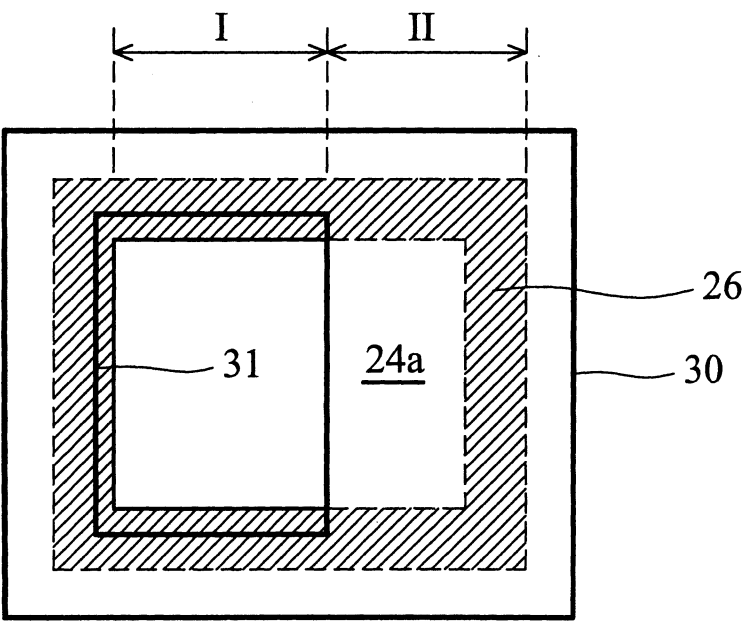
第10A圖



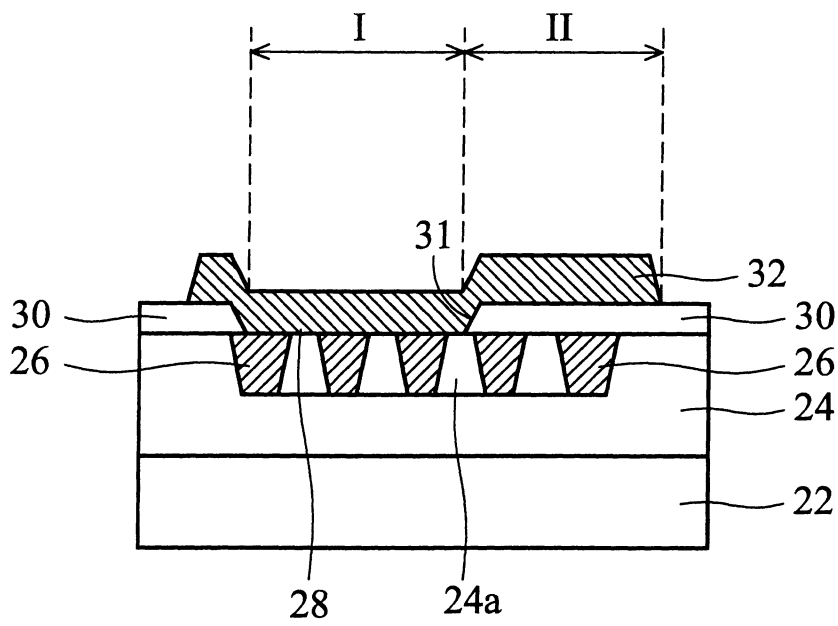
第10B圖



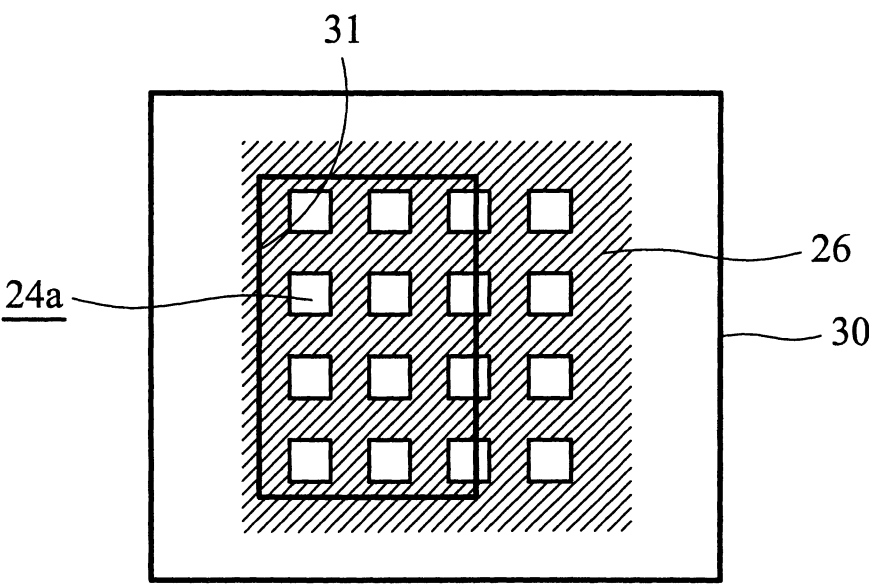
第11A圖



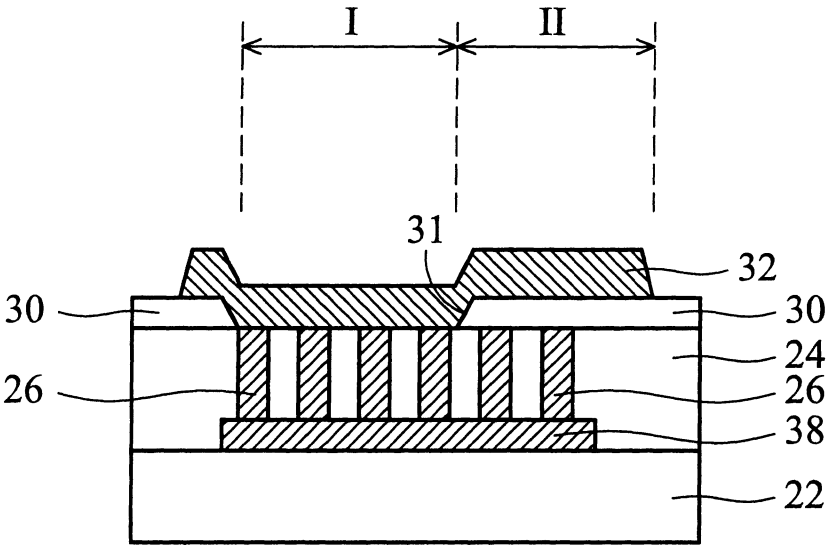
第11B圖



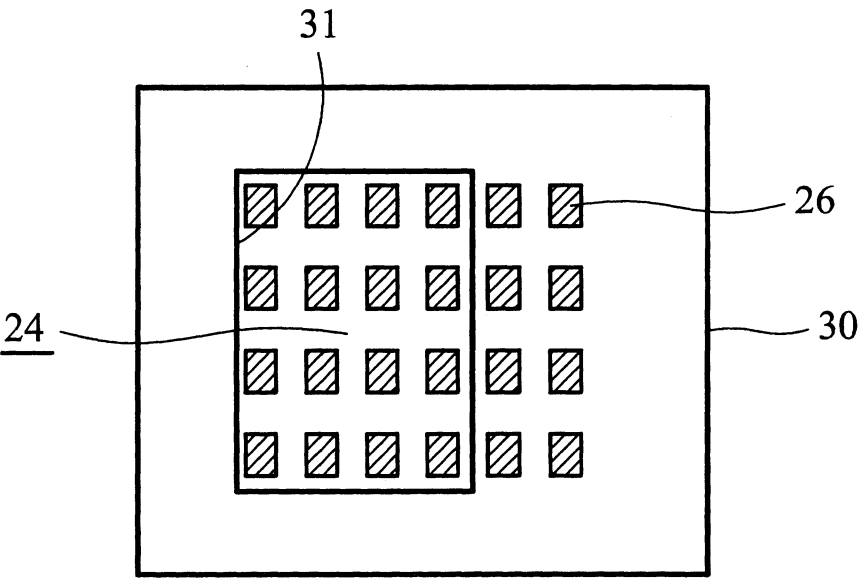
第12A圖



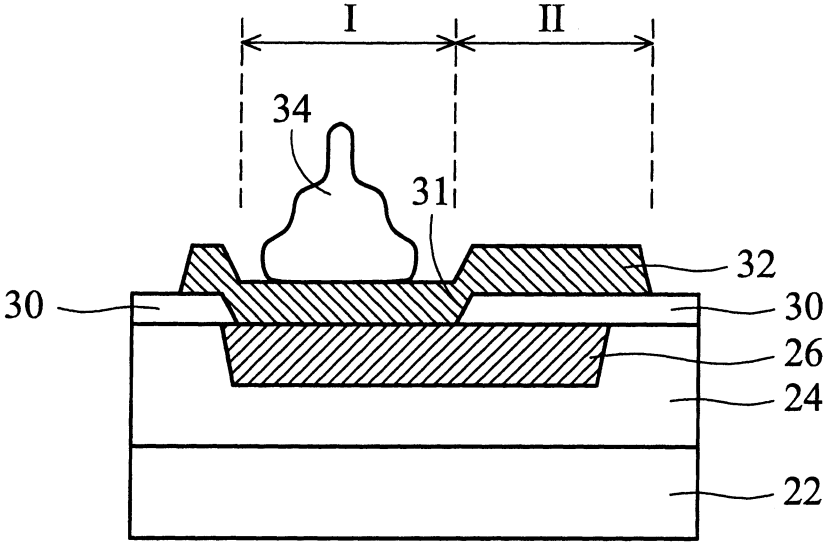
第12B圖



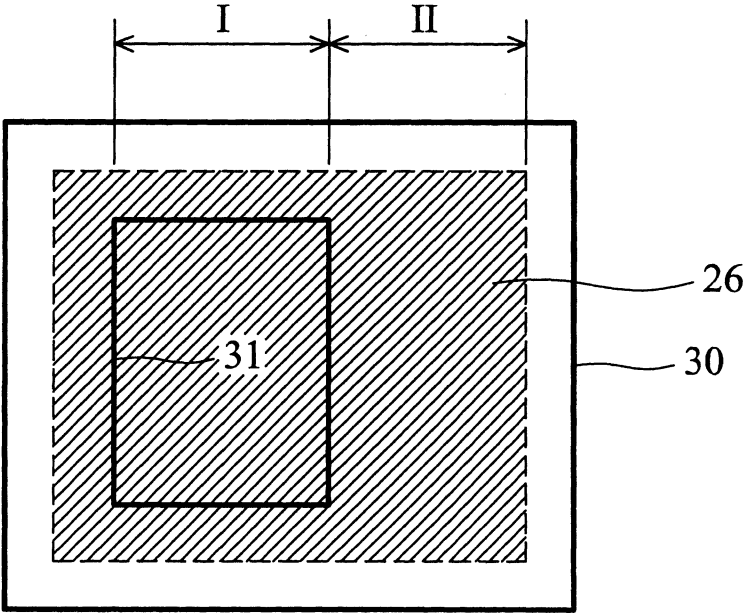
第13A圖



第13B圖



第14A圖



第14B圖

四、中文發明摘要 (發明名稱：連接墊結構)

一基底包含有一連接區域以及一檢測區域。一第一介電層係形成於該基底上，且包含有一環狀溝槽以及一相對應形成一介電層島狀結構。一第一導電層係形成於該第一介電層之該環狀溝槽中。一保護層形成於該第一介電層上且包含有一開口，其中該開口之位置係相對應於該連接區域以及該檢測區域，且該開口暴露該介電層島狀結構以一部份之該第一導電層。一第二導電層係覆蓋該保護層之開口，且電連接至該第一導電層。

伍、(一)、本案代表圖為：第2A圖

(二)、本案代表圖之元件代表符號簡單說明：

連接墊結構~20；

半導體基底~22；

連接區域~I；

檢測區域~II；

第一介電層~24；

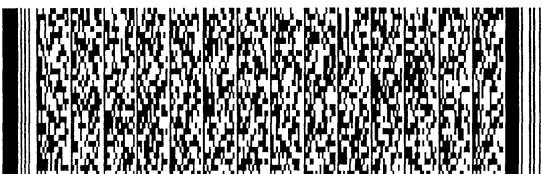
介電層島狀結構~24a；

溝槽~25；

第一導電層~26；

六、英文發明摘要 (發明名稱：BONDING PAD STRUCTURE)

A substrate has a bonding region and a sensing region. A first dielectric layer is formed overlying the substrate and has a dielectric island surrounded by a ring-shaped trench. A first conductive layer is formed in the ring-shaped trench of the first dielectric layer. A passivation layer is formed overlying the first dielectric layer and has an opening, in which the



四、中文發明摘要 (發明名稱：連接墊結構)

阻障層~28；

開口~31；

連接單元~34。

保護層~30；

第二導電層~32；

六、英文發明摘要 (發明名稱：BONDING PAD STRUCTURE)

opening corresponds to the bonding region and the sensing region and exposes the dielectric island and a part of the first conductive layer. A second conductive layer covers the opening of the passivation layer and is electrically connected to the first conductive layer.

