



(12) 发明专利申请

(10) 申请公布号 CN 102569086 A

(43) 申请公布日 2012. 07. 11

(21) 申请号 201010612577. X

(22) 申请日 2010. 12. 29

(71) 申请人 中国科学院微电子研究所

地址 100029 北京市朝阳区北土城西路 3 号

(72) 发明人 尹海州 钟汇才 朱慧珑 骆志炯

(74) 专利代理机构 北京集佳知识产权代理有限公司 11227

代理人 骆苏华

(51) Int. Cl.

H01L 21/336(2006. 01)

H01L 21/8238(2006. 01)

H01L 21/762(2006. 01)

H01L 29/78(2006. 01)

H01L 29/04(2006. 01)

H01L 29/06(2006. 01)

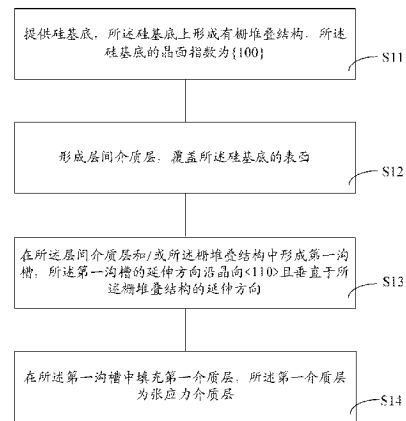
权利要求书 2 页 说明书 6 页 附图 6 页

(54) 发明名称

半导体器件及其形成方法

(57) 摘要

一种半导体器件及其形成方法,所述半导体器件的形成方法包括:提供硅基底,所述硅基底上形成有栅堆叠结构,所述硅基底的晶面指数为{100};形成层间介质层,覆盖所述硅基底的表面;在所述层间介质层和/或栅堆叠结构中形成第一沟槽,所述第一沟槽的延伸方向沿晶向<110>且垂直于所述栅堆叠结构的延伸方向;在所述第一沟槽中填充第一介质层,所述第一介质层为张应力介质层。本发明以较简单的工艺在沟道宽度方向引入张应力,提高了器件的响应速度,改善了器件性能。



1. 一种半导体器件的形成方法,其特征在于,包括:
提供硅基底,所述硅基底上形成有栅堆叠结构,所述硅基底的晶面指数为 {100};
形成层间介质层,覆盖所述硅基底的表面;
在所述层间介质层和 / 或所述栅堆叠结构中形成第一沟槽,所述第一沟槽的延伸方向沿晶向 $\langle 110 \rangle$ 且垂直于所述栅堆叠结构的延伸方向;
在所述第一沟槽中填充第一介质层,所述第一介质层为张应力介质层。
2. 根据权利要求 1 所述的半导体器件的形成方法,其特征在于,所述第一介质层为张应力的氮化硅层、氧化硅层、氮氧化硅层或三者的任意组合。
3. 根据权利要求 1 所述的半导体器件的形成方法,其特征在于,所述第一介质层的张应力为至少 1GPa。
4. 根据权利要求 1 所述的半导体器件的形成方法,其特征在于,所述栅堆叠结构包括栅电极或伪栅电极。
5. 根据权利要求 4 所述的半导体器件的形成方法,其特征在于,所述栅堆叠结构为伪栅电极时,所述方法还包括:在填充所述第一介质层后,执行退火操作,以在所述硅基底中记忆由所述第一介质层提供的应力。
6. 根据权利要求 1 所述的半导体器件的形成方法,其特征在于,所述硅基底中还形成有第二隔离区和第三隔离区,所述第二隔离区的延伸方向与所述第一沟槽的延伸方向平行,所述第三隔离区的延伸方向与所述第二隔离区的延伸方向垂直,包含所述栅堆叠结构的所述 MOS 晶体管形成于所述第二隔离区和所述第三隔离区包围的硅基底上,所述第二隔离区包括第二介质层,所述第三隔离区包括第三介质层,所述第一沟槽形成于所述第二隔离区上方,所述第一沟槽的底部暴露出所述第二介质层。
7. 根据权利要求 6 所述的半导体器件的形成方法,其特征在于,所述第二介质层为张应力介质层。
8. 根据权利要求 7 所述的半导体器件的形成方法,其特征在于,所述第二介质层为张应力的氮化硅层、氧化硅层、氮氧化硅层或三者的任意组合。
9. 根据权利要求 7 所述的半导体器件的形成方法,其特征在于,所述第二介质层的张应力为至少 1GPa。
10. 根据权利要求 6 所述的半导体器件的形成方法,其特征在于,所述第三介质层为低应力介质层。
11. 根据权利要求 10 所述的半导体器件的形成方法,其特征在于,所述第三介质层为低应力的氮化硅层、氧化硅层、氮氧化硅层或三者的任意组合。
12. 根据权利要求 10 所述的半导体器件的形成方法,其特征在于,所述第三介质层的应力不超过 180MPa。
13. 根据权利要求 6 所述的半导体器件的形成方法,其特征在于,在形成第一沟槽后,所述第一沟槽的侧壁底部暴露所述第二介质层。
14. 一种半导体器件,其特征在于,包括:
硅基底,所述硅基底的晶面指数为 {100};
栅堆叠结构,所述栅堆叠结构形成于所述硅基底上;
层间介质层,覆盖所述硅基底的表面;

第一隔离区,位于所述层间介质层和/或所述栅堆叠结构中,所述第一隔离区的延伸方向沿晶向<110>且垂直于所述栅堆叠结构的延伸方向,所述第一隔离区包括第一介质层,所述第一介质层为张应力介质层。

15. 根据权利要求14所述的半导体器件,其特征在于,所述第一介质层为张应力的氮化硅层、氧化硅层、氮氧化硅层或三者的任意组合。

16. 根据权利要求14所述的半导体器件,其特征在于,所述第一介质层的张应力为至少1GPa。

17. 根据权利要求14所述的半导体器件,其特征在于,所述硅基底中还形成有第二隔离区和第三隔离区,所述第二隔离区的延伸方向与所述第一隔离区的延伸方向平行,所述第三隔离区的延伸方向与所述第二隔离区的延伸方向垂直,包含所述栅堆叠结构的所述MOS晶体管形成于所述第二隔离区和第三隔离区包围的硅基底上,所述第二隔离区包括第二介质层,所述第三隔离区包括第三介质层,所述第一隔离区位于所述第二隔离区上方,所述第一隔离区的底部暴露出所述第二介质层。

18. 根据权利要求17所述的半导体器件,其特征在于,所述第二介质层为张应力介质层。

19. 根据权利要求18所述的半导体器件,其特征在于,所述第二介质层为张应力的氮化硅层、氧化硅层、氮氧化硅层或三者的任意组合。

20. 根据权利要求18所述的半导体器件,其特征在于,所述第二介质层的张应力为至少1GPa。

21. 根据权利要求17所述的半导体器件,其特征在于,所述第三介质层为低应力介质层。

22. 根据权利要求21所述的半导体器件,其特征在于,所述第三介质层为低应力的氮化硅层、氧化硅层、氮氧化硅层或三者的任意组合。

23. 根据权利要求21所述的半导体器件,其特征在于,所述第三介质层的应力不超过180MPa。

24. 根据权利要求17所述的半导体器件,其特征在于,所述第一隔离区向下延伸至所述第二介质层的表面部分中。

半导体器件及其形成方法

技术领域

[0001] 本发明涉及半导体技术领域,特别涉及一种半导体器件及其形成方法。

背景技术

[0002] 在互补金属氧化物半导体 (CMOS, Complementary Metal-oxide semiconductor) 的制备过程中,随着器件的特征尺寸 (CD, Critical Dimension) 的不断减小,为了提高载流子迁移率和改善器件性能,往往在沟道中引入应力。

[0003] Scott E. Thompson 等在 Uniaxial-Process-Induced Strained-Si: Extending the CMOS Roadmap” (IEEE Transactions on Electron Devices, Vol 53, No. 5, 2006 年 2 月) 中给出下表:

[0004] 单位: $10^{-12} \text{cm}^2/\text{dyn}$

(001) 硅片	<100>		<110>	
极性	$\pi_{ }$	π_{\perp}	$\pi_{ }$	π_{\perp}
	π_{11}	π_{12}	$(\pi_{11} + \pi_{12} + \pi_{44})/2$	$(\pi_{11} + \pi_{12} - \pi_{44})/2$
n - MOSFET	-42.6 / -102	-20.7 / 53.4	-35.5 / -31.6	-14.5 / -17.6
p - MOSFET	9.1 / 6.6	-6.2 / -1.1	71.7 / 71.8	-33.8 / -86.3

[0005] 上表给出了晶面指数为 (001) 的硅片上的 MOS 场效应晶体管 (MOSFET, 简称 MOS 晶体管) 和体硅 (bulk Si) 的压电系数 (piezoresistance coefficients) 的对比,而压电系数目前在本领域被广泛的用于预测和衡量电子和空穴的迁移率。其中, $\pi_{||}$ 和 π_{\perp} 分别为沟道长度 (longitudinal) 和沟道宽度 (transverse) 方向的压电系数,对于晶面指数为 (001) 的硅片, $\pi_{||}$ 和 π_{\perp} 可以分别表示为三个基本立方压电系数 π_{11} 、 π_{12} 和 π_{44} 的函数。压电系数对载流子迁移率的影响可以表示为: $\Delta \mu / \mu \approx |\pi_{||} \sigma_{||} + \pi_{\perp} \sigma_{\perp}|$, 其中, $\Delta \mu / \mu$ 为迁移率改变的百分比, $\sigma_{||}$ 和 σ_{\perp} 分别为沟道长度和沟道宽度方向的应力大小。结合上表可见,沿沟道宽度方向的张应力对 PMOS 晶体管和 NMOS 晶体管的载流子迁移率都有增强。

[0006] 而现有技术中常用的引入应力的方法主要是在沟道长度方向引入应力,如双应力衬垫 (DSL, Dual Stress Liner) 技术、应力记忆技术 (SMT, Stress Memorization Technology) 等。

[0007] 以双应力衬垫技术为例,在 NMOS 晶体管上覆盖张应力 (tensile stress) 衬垫层,在 PMOS 晶体管上覆盖压应力 (compressive stress) 衬垫层,以分别提高 NMOS 晶体管和 PMOS 晶体管中载流子的迁移率。因此,在制造过程中,双应力衬垫技术通常情况下需要对不同类型的晶体管形成具有对应应力的衬垫层,工艺较为复杂。而应力记忆技术需要首先在器件上形成应力层并通过退火等工艺将应力转移至器件沟道,工艺同样较为复杂。

[0008] 因此,需要一种新的半导体器件,来解决传统的半导体器件的上述问题,从而对

MOS 晶体管更充分的施加应力,提高其性能。

发明内容

[0010] 本发明解决的问题是传统的半导体器件对 MOS 晶体管施加应力的工艺较为复杂的问题。

[0011] 为解决上述问题,本发明提供了一种半导体器件的形成方法,包括:

[0012] 提供硅基底,所述硅基底上形成有栅堆叠结构,所述硅基底的晶面指数为 {100};

[0013] 形成层间介质层,覆盖所述硅基底的表面;

[0014] 在所述层间介质层和 / 或所述栅堆叠结构中形成第一沟槽,所述第一沟槽的延伸方向沿晶向 $\langle 110 \rangle$ 且垂直于所述栅堆叠结构的延伸方向;

[0015] 在所述第一沟槽中填充第一介质层,所述第一介质层为张应力介质层。

[0016] 本发明还提供了一种半导体器件,包括:

[0017] 硅基底,所述硅基底的晶面指数为 {100};

[0018] 栅堆叠结构,所述栅堆叠结构形成于所述硅基底上;

[0019] 层间介质层,覆盖所述硅基底的表面;

[0020] 第一隔离区,位于所述层间介质层和 / 或所述栅堆叠结构中,所述第一隔离区的延伸方向沿晶向 $\langle 110 \rangle$ 且垂直于所述栅堆叠结构的延伸方向,所述第一隔离区包括第一介质层,所述第一介质层为张应力介质层。

[0021] 与现有技术相比,本发明的技术方案有如下优点:

[0022] 通过形成第一沟槽,并在其中填充张应力介质层,从而利用张应力介质层在 MOS 晶体管的长度方向为 $\langle 110 \rangle$ 向的沟道的宽度方向提供张应力,有利于提高 MOS 晶体管的响应速度,改善器件性能,而且本技术方案既可以适用于 PMOS 晶体管,又可以适用于 NMOS 晶体管,能够提高整个 CMOS 工艺电路的性能。

[0023] 进一步的,在 45nm 工艺节点及其以下的半导体制造工艺中,为了简化栅极光刻,所有的栅极的延伸方向都是一致的,即 MOS 晶体管都具有一致的沟道长度和沟道宽度的方向,因此本技术方案可以广泛应用于 45nm 工艺节点及其以下的半导体制造工艺中,工业应用性强。

附图说明

[0024] 图 1 是本发明半导体器件的形成方法的实施例的流程示意图;

[0025] 图 2a 至图 6c 是本发明半导体器件的形成方法实施例的各中间结构的俯视图和对应的剖面图。

具体实施方式

[0026] 现有技术中通常通过双应力衬垫技术、应力记忆技术等,在 MOS 晶体管的沟道中引入应力。

[0027] 本发明提供的技术方案在层间介质层和 / 或栅堆叠结构中形成第一沟槽,并在其中填充张应力介质层,从而利用张应力介质层在 MOS 晶体管的长度方向为 $\langle 110 \rangle$ 向的沟道的宽度方向提供张应力,有利于提高 MOS 晶体管的响应速度,改善器件性能,而且本技术方

案既可以适用于 PMOS 晶体管,又可以适用于 NMOS 晶体管,能够提高整个 CMOS 工艺电路的性能。

[0028] 进一步的,在 45nm 工艺节点及其以下的半导体制造工艺中,为了简化栅极光刻,所有的栅极的延伸方向都是一致的,即 MOS 晶体管都具有一致的沟道长度和沟道宽度的方向,因此本技术方案可以广泛应用于 45nm 工艺节点及其以下的半导体制造工艺中,工业可应用性强。

[0029] 为使本发明的上述目的、特征和优点能够更为明显易懂,下面结合附图对本发明的具体实施方式做详细的说明。

[0030] 在以下描述中阐述了具体细节以便于充分理解本发明。但是本发明能够以多种不同于在此描述的其它方式来实施,本领域技术人员可以在不违背本发明内涵的情况下做类似推广。因此本发明不受下面公开的具体实施方式的限制。

[0031] 如图 1 所示,本实施例的半导体器件的形成方法包括:

[0032] 步骤 S11,提供硅基底,所述硅基底上形成有栅堆叠结构,所述硅基底的晶面指数为 {100};

[0033] 步骤 S12,形成层间介质层,覆盖所述硅基底的表面;

[0034] 步骤 S13,在所述层间介质层和 / 或所述栅堆叠结构中形成第一沟槽,所述第一沟槽的延伸方向沿晶向 $\langle 110 \rangle$ 且垂直于所述栅堆叠结构的延伸方向;

[0035] 步骤 S14,在所述第一沟槽中填充第一介质层,所述第一介质层为张应力介质层。

[0036] 下面结合图 1 和图 2a 至图 6c 对本实施例进行详细说明。

[0037] 结合图 1 和图 2a 至图 2c,执行步骤 S11,提供硅基底 10,所述硅基底 10 上形成有栅堆叠结构 13,所述硅基底的晶面指数为 {100}。

[0038] 结合图 2a 至图 2c,其中图 2a 为所述硅基底 10 的俯视图,图 2b 为图 2a 沿 a-a' 方向的剖面图,图 2c 为图 2a 沿 b-b' 方向的剖面图。本实施例中所述硅基底 10 的晶面指数优选为 {100},即硅基底 10 的晶面指数属于 {100} 族。作为非限制性的例子,本实施例中所述硅基底 10 的晶面指数为 (100)。所述硅基底 10 上形成有栅堆叠结构 13,所述栅堆叠结构 13 可以是切割前的,也可以是切割后的。

[0039] 本实施例中所述栅堆叠结构 13 包括栅介质层 13a 和位于其上的栅电极 13b,在所述栅堆叠结构 13 两侧的硅基底 10 中还形成有源区 10a 和漏区 10b (10a 和 10b 还包括源漏延伸区,如 LDD)。根据具体实施例的不同,所述栅堆叠结构 13 也可以包括后栅工艺中的伪栅电极。包含所述栅堆叠结构 13 的所述 MOS 晶体管的沟道长度方向沿晶向 $\langle 110 \rangle$,即沿晶向族 $\langle 110 \rangle$ 的方向,作为非限制性的例子,本实施例中具体为沿晶向 [110] 方向延伸;相应的,所述栅堆叠结构 13 的延伸方向垂直于晶向 [110]。

[0040] 本实施例中,可预先在所述硅基底 10 上形成有第二沟槽和第三沟槽,所述第二沟槽的延伸方向平行于所述 MOS 晶体管的沟道长度方向,即沿晶向 [110],所述第三沟槽的延伸方向与所述第二沟槽的延伸方向垂直,MOS 晶体管形成于所述第二沟槽和第三沟槽包围的硅基底 10 上,在所述第二沟槽中填充第二介质层(以形成第二隔离区 11),在所述第三沟槽中填充第三介质层(以形成第三隔离区 12)。根据需要,所述第二沟槽和第三沟槽的数目可以分别设计为至少两条,作为一个非限制性的例子,本实施例中所述第二沟槽和第三沟槽分别为 2 条,其包围的区域仅形成有一个 MOS 晶体管。

[0041] 所述第二介质层在本实施例中可以为张应力介质层,如具有张应力的氮化硅层、氧化硅层、氮氧化硅层或三者的任意组合,优选的,所述第二介质层的张应力至少为 1GPa。所述第三介质层在本实施例中为低应力介质层,如低应力的氮化硅层、氧化硅层、氮氧化硅层或三者的任意组合,优选的所述第三介质层的应力不超过 180MPa。本文件中,所述氧化硅层还包含掺杂的氧化硅层,如 PSG、BSG、BPSG、FSG 等。所述氮化硅层还包含掺杂的氮化硅层,如氮碳化硅等。所述氮氧化硅层还包含掺杂的氮氧化硅层,如氮碳氧化硅等。

[0042] 所述具有张应力的第二介质层能够在所述 MOS 晶体管的沟道宽度方向产生张应力,既能够提高 NMOS 晶体管的性能,又能够提高 PMOS 晶体管的性能,能够有效的改善整个 CMOS 电路的性能。

[0043] 结合图 1 和图 3a 至图 3c,执行步骤 S12,形成层间介质层 14,覆盖所述硅基底 10 的表面。

[0044] 结合图 3a 至图 3c,图 3a 为形成层间介质层 14 后的俯视图,图 3b 为图 3a 沿 a-a' 方向的剖面图,图 3c 为图 3a 沿 b-b' 方向的剖面图,为了清楚的说明本实施例的技术方案,图 3a 中使用透视效果,将层间介质层 14 下方的第二沟槽中的第二介质层和第三沟槽中的第三介质层用虚线示出。所述层间介质层 14 的材料可以是氧化硅或掺杂的硅玻璃,如硼硅玻璃 (BSG)、磷硅玻璃 (PSG) 等,或其他本领域技术人员公知的用于层间介质层的介质材料。所述层间介质层 14 的形成方法可以是化学气相沉积 (CVD) 或其他本领域技术人员公知的方法,在形成之后对其进行平坦化,使其表面与所述栅堆叠结构 13 的表面齐平,所述平坦化的方法可以是化学机械抛光 (CMP)。

[0045] 结合图 1 和图 4a 至图 5c,执行步骤 S13,在所述层间介质层 14 和 / 或栅堆叠结构 13 中形成第一沟槽 16,所述第一沟槽 16 的延伸方向垂直于所述栅堆叠结构 13 的延伸方向。其中图 4a 为在层间介质层 14 和栅堆叠结构 13 上形成光刻胶层 15 并图形化之后的俯视图,图 4b 为图 4a 沿 a-a' 方向的剖面图,图 4c 为图 4a 沿 b-b' 方向的剖面图,图 5a 为形成第一沟槽 16 之后的俯视图,图 5b 为图 5a 沿 a-a' 方向的剖面图,图 5c 为图 5a 沿 b-b' 方向的剖面图,类似的,图 4a 和图 5a 也采用了虚线表示透视效果。

[0046] 首先参考图 4a 至图 4c,具体的,形成光刻胶层 15,覆盖所述层间介质层 14 和栅堆叠结构 13 的表面,并对所述光刻胶层 15 进行图形化,定义出所述第一沟槽的图形。所述光刻胶层 15 的形成方法可以是旋涂、喷涂等,其图形化方法包括曝光、显影、定影等。

[0047] 之后参考图 5a 至图 5c,具体的,以所述图形化后的光刻胶层 15 为掩膜,对所述层间介质层 14 和栅堆叠结构 13 进行刻蚀,形成第一沟槽 16,所述第一沟槽 16 位于所述第二隔离区 11 上方 (包括位于所述第二隔离区 11 上),其底部暴露出所述第二介质层。作为一个优选的实施例,在刻蚀形成所述第一沟槽 16 的过程中,还刻蚀去除所述第二介质层的表面部分,使得所述第二介质层的表面低于所述硅基底 10 的表面。当然,在其他具体实施例中,也可以仅刻蚀至暴露出所述第二介质层的表面为止,并不对所述第二介质层进行刻蚀。所述刻蚀的方法可以是干法刻蚀、湿法刻蚀等。在刻蚀形成所述第一沟槽 16 之后,通过灰化 (ashing) 等方法将所述图形化后的光刻胶层 15 去除。

[0048] 所述第一沟槽 16 的宽度可以大于、等于或小于所述第二隔离区 11 的宽度,在本实施例中,所述第一沟槽 16 的尺寸与所述第二沟槽的尺寸相同,因此在对所述光刻胶层 15 进行图形化时,可以与形成第二沟槽共用同一掩模版,简化工艺步骤,降低成本。

[0049] 本实施例中,所述第一沟槽 16 位于第二隔离区 11 上方,与第二隔离区 11 的延伸方向平行,即垂直于所述栅堆叠结构 13 的延伸方向。由于栅堆叠结构 13 延伸覆盖了所述第二介质层,因此,本实施例中,第一沟槽 16 的形成过程可以对层间介质层 14 和栅堆叠结构 13 都进行刻蚀。在其他具体实施例中,也可以仅对所述栅堆叠结构 13 或层间介质层 14 进行刻蚀。

[0050] 结合图 1 和图 6a 至图 6c,执行步骤 S14,在所述第一沟槽中填充第一介质层 17,所述第一介质层 17 为张应力介质层。

[0051] 结合图 6a 至图 6c,其中图 6a 为步骤 S14 对应的中间结构的俯视图,图 6b 为图 6a 沿 a-a' 方向的剖面图,图 6c 为图 6a 沿 b-b' 方向的剖面图,类似的,图 6a 也采用了虚线表示透视效果。所述第一介质层 17 可以为张应力的氮化硅层、氧化硅层、氮氧化硅层或三者的任意组合,其形成方法可以是等离子增强化学气相沉积 (PECVD),可以通过调节沉积过程中的等离子体功率等参数来调整形成的第一介质层 17 的应力类型和应力大小,优选的,所述第一介质层 17 的张应力为至少 1GPa。当然,所述第一介质层 17 的材料和形成方法还可以是其他本领域技术人员公知的材料和方法,只要保证形成的第一介质层 17 为张应力介质层即可。

[0052] 所述第一介质层 17 能够对 MOS 晶体管的长度方向为 $\langle 110 \rangle$ 向的沟道的宽度方向提供张应力,对 NMOS 晶体管和 PMOS 晶体的性能提高都有利,能够适用于 CMOS 工艺,提高整个 CMOS 电路的性能。而且便于工业应用。

[0053] 本实施例中,由于在形成第一沟槽的过程中刻蚀去除了第二介质层的表面部分,因此,所述第一介质层 17 还向下延伸至第二隔离区 11 中,即,间接或直接地嵌于所述硅基底 10 中,从而促进了所述第一介质层 17 对硅基底 10 的张应力,有利于进一步改善 MOS 管的性能。

[0054] 需要说明的是,若所述栅堆叠结构 13 为后栅工艺中的伪栅电极,则在形成所述第一介质层 17 之后,可以通过诸如退火等方式而在所述硅基底 10 (包括 MOS 晶体管的沟道区) 中记忆由所述第一介质层 17 提供的应力,之后再所述伪栅电极去除并形成栅介质层和栅电极。

[0055] 在后续的工艺过程中,还可以继续在所述层间介质层 14 中形成接触孔及栓塞,以形成上层的金属互连结构。

[0056] 至此,本实施例形成的 MOS 晶体管的结构如图 6a 至图 6c 所示,包括:硅基底 10,所述硅基底 10 的晶面指数为 $\{100\}$;形成于所述硅基底 10 上的栅堆叠结构 13 以及形成在所述栅堆叠结构 13 两侧的硅基底 10 中的源区 10a 和漏区 10b;层间介质层 14,覆盖所述硅基底 10 的表面;第一隔离区,位于所述层间介质层 14 和 / 或栅堆叠结构 13 中,所述第一隔离区的延伸方向沿晶向 $\langle 110 \rangle$ 且垂直于所述栅堆叠结构 13 的延伸方向,所述第一隔离区包括第一介质层 17,所述第一介质层 17 为张应力介质层。

[0057] 此外,所述硅基底 10 中还形成有第二隔离区 11 和第三隔离区 12,所述第二隔离区 11 的延伸方向与所述第一隔离区的延伸方向平行,所述第三隔离区 12 的延伸方向与所述第二隔离区 11 的延伸方向垂直,包含所述栅堆叠结构 13 的 MOS 晶体管形成于所述第二隔离区 11 和第三隔离区 12 包围的硅基底 10 上,所述第二隔离区 11 包括第二介质层,所述第三隔离区 12 包括第三介质层,所述第一隔离区位于所述第二隔离区 11 上方,所述第一隔

离区的底部暴露出所述第二介质层 11。可选地,所述第二介质层 11 为张应力介质层,所述第三介质层 12 为低应力介质层。作为一个优选的实施例,所述第一隔离区向下延伸至所述第二介质层 11 的表面部分中,即所述第二介质层 11 的表面低于所述硅基底 10 的表面。在其他具体实施例中,所述第一隔离区也可以不向下延伸,即第二介质层的表面与所述硅基底 10 的表面齐平。

[0058] 本发明虽然已以较佳实施例公开如上,但其并不是用来限定本发明,任何本领域技术人员在不脱离本发明的精神和范围内,都可以利用上述揭示的方法和技术内容对本发明技术方案做出可能的变动和修改,因此,凡是未脱离本发明技术方案的内容,依据本发明的技术实质对以上实施例所作的任何简单修改、等同变化及修饰,均属于本发明技术方案的保护范围。

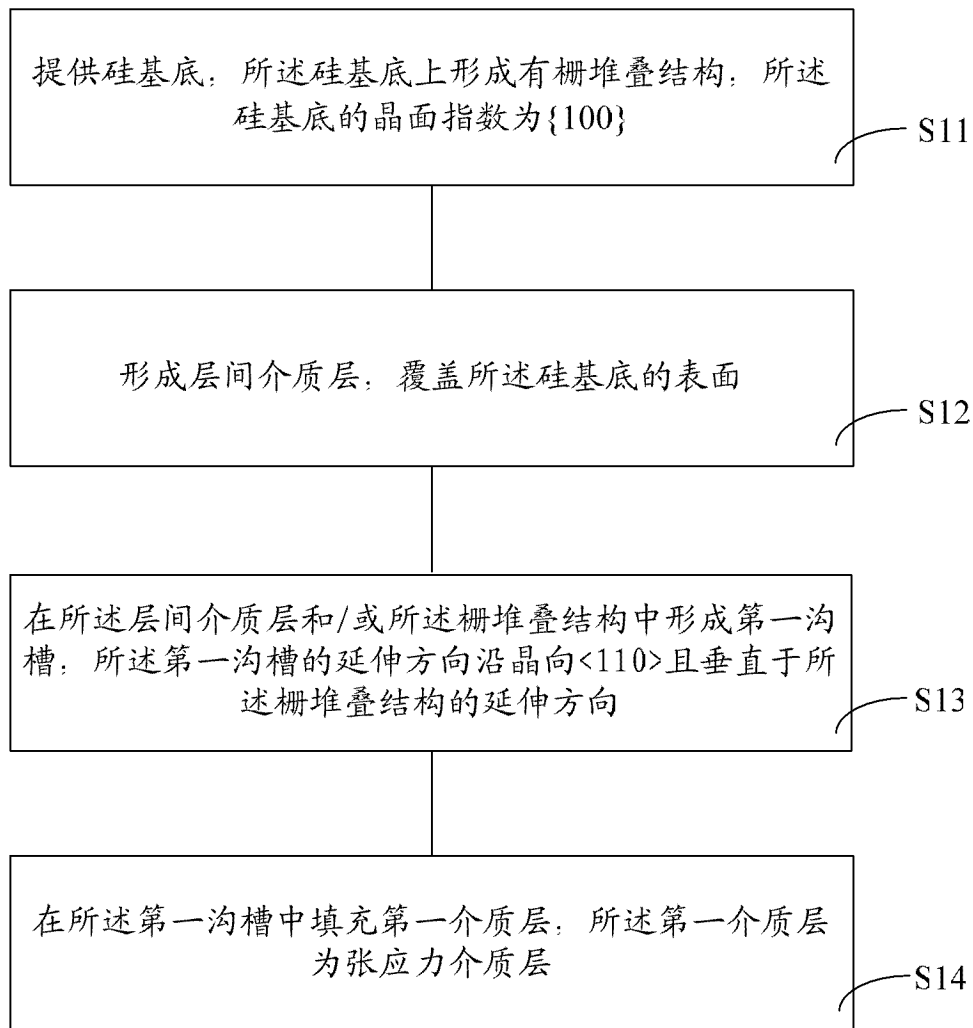


图 1

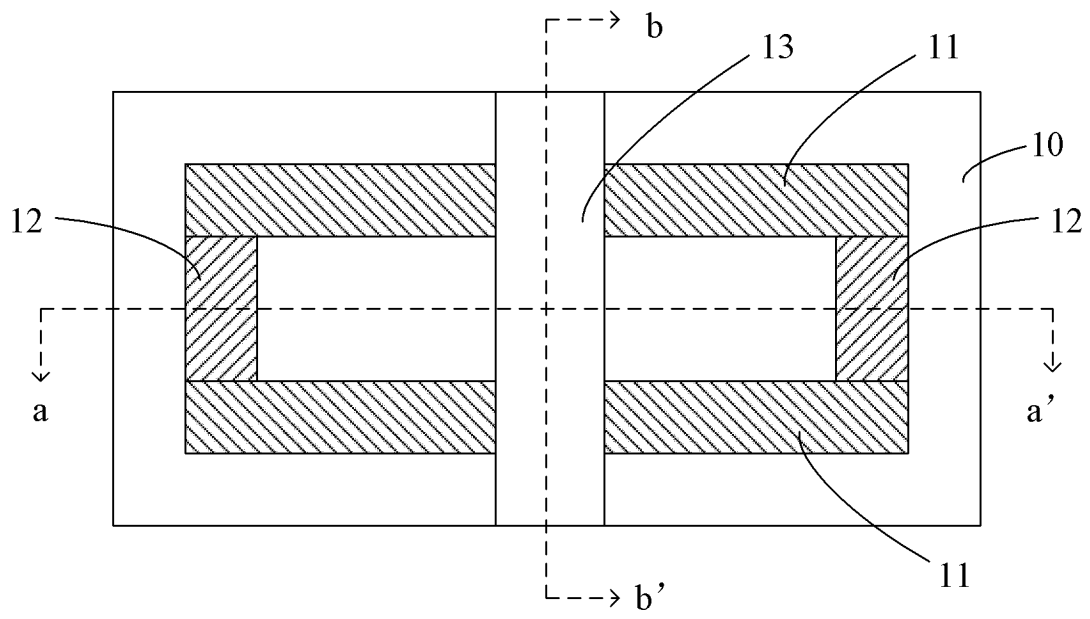


图 2a

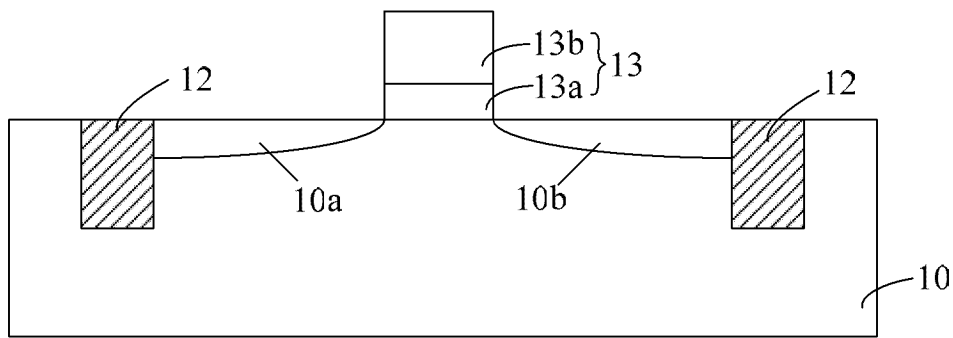


图 2b

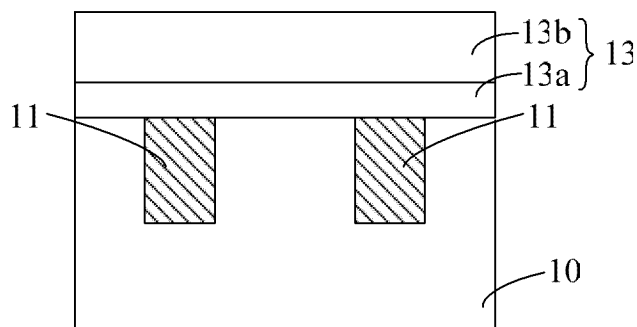


图 2c

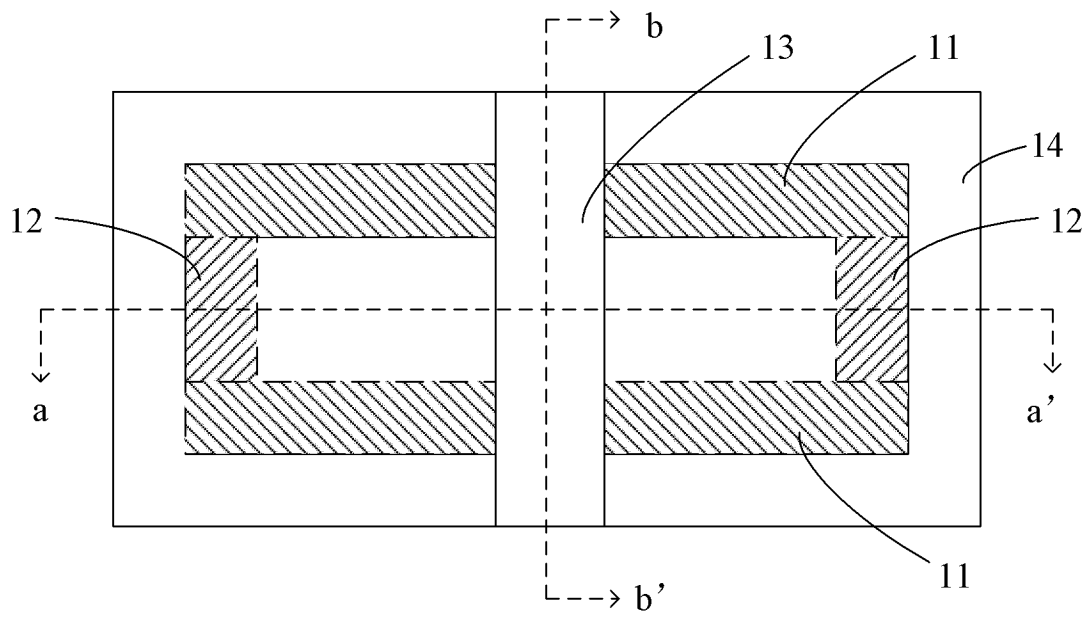


图 3a

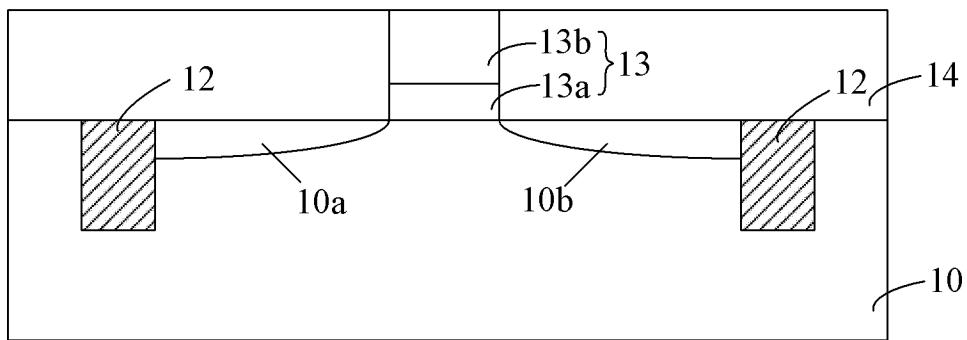


图 3b

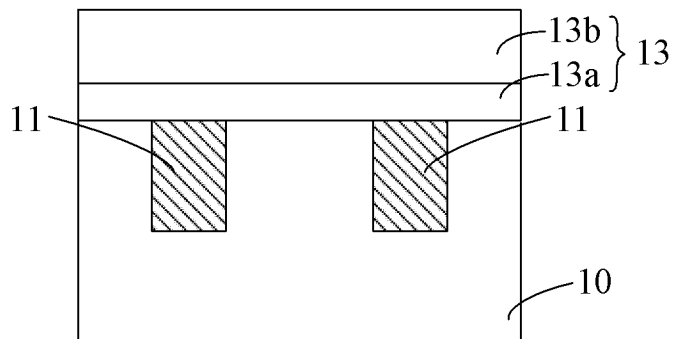


图 3c

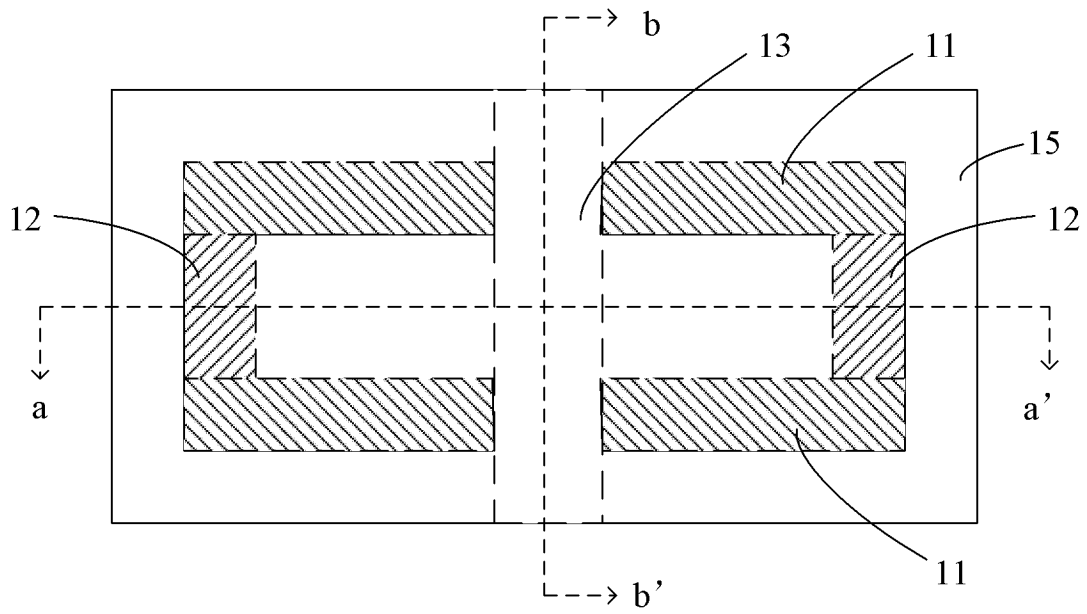


图 4a

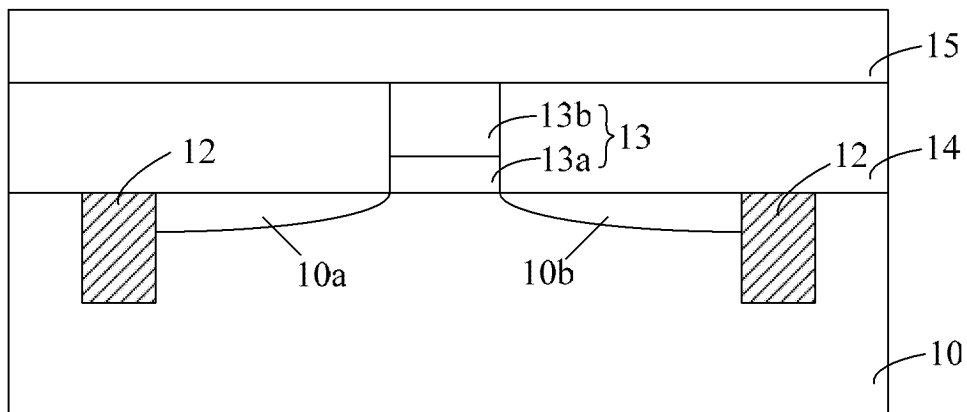


图 4b

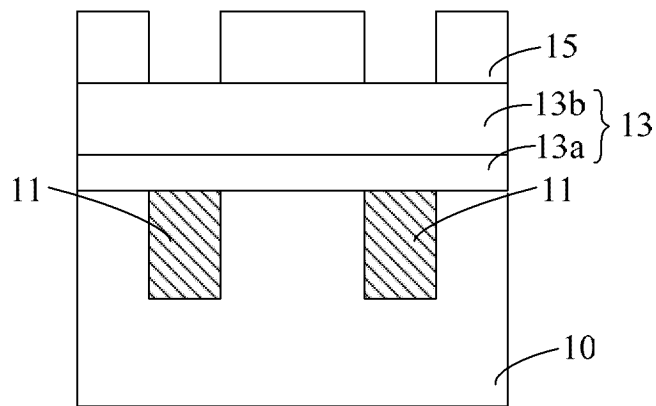


图 4c

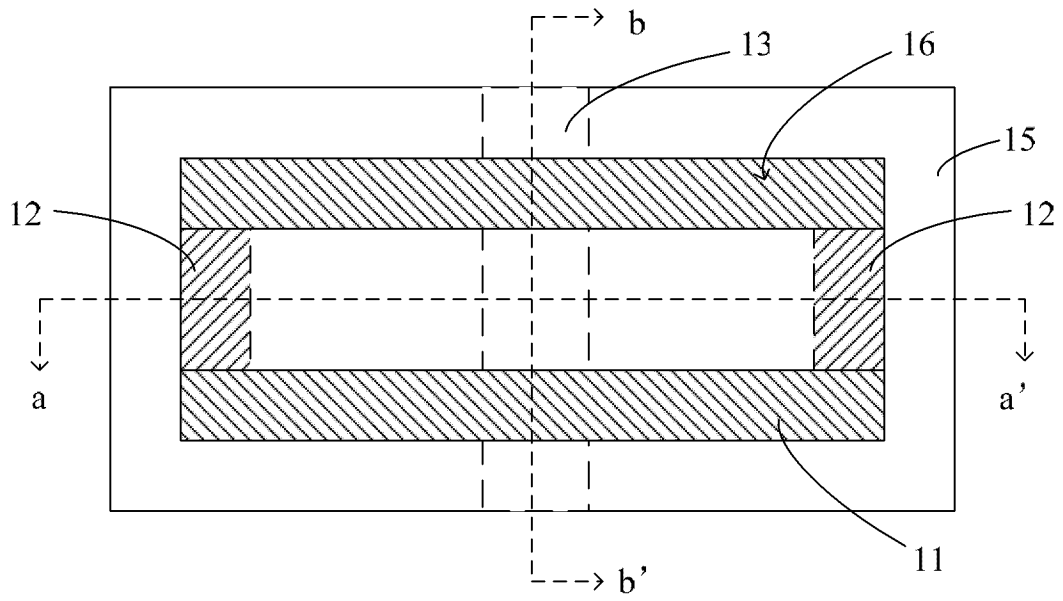


图 5a

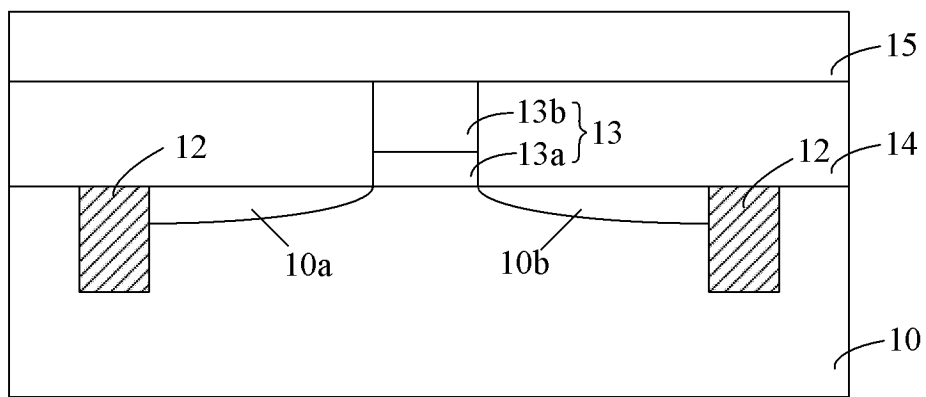


图 5b

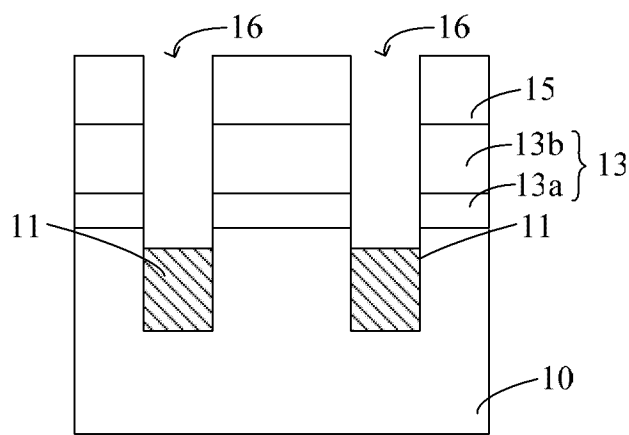


图 5c

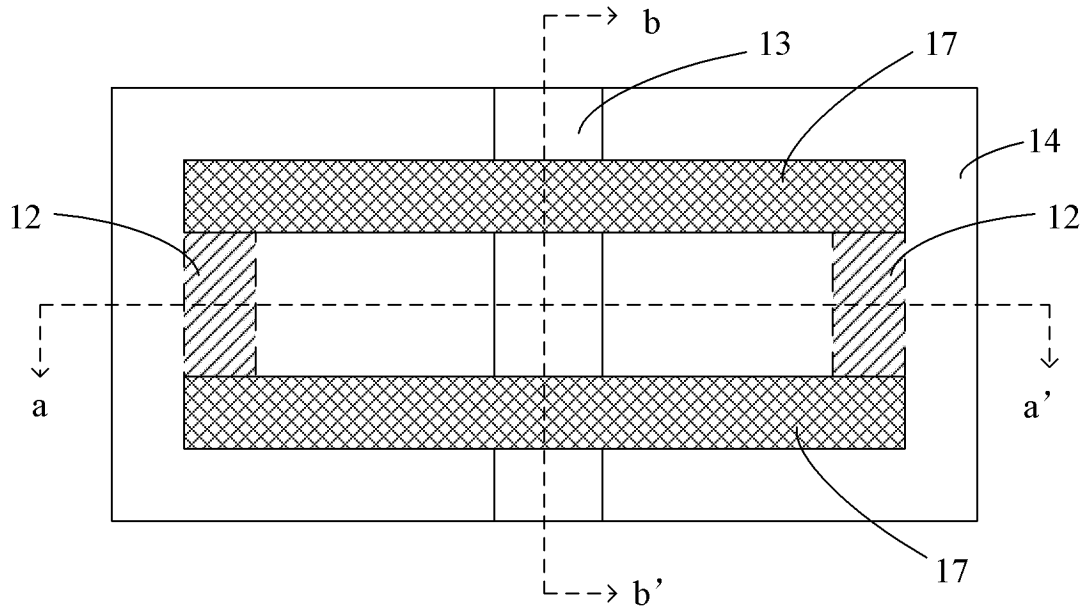


图 6a

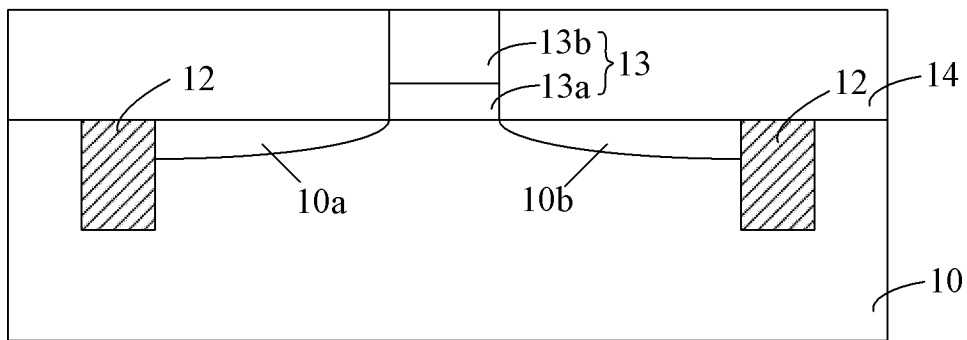


图 6b

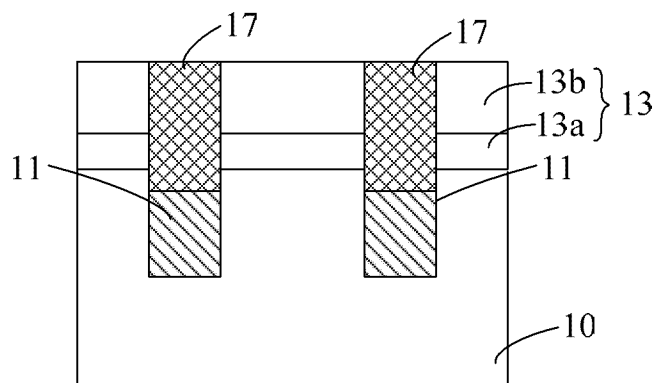


图 6c