



(12)发明专利申请

(10)申请公布号 CN 106941103 A

(43)申请公布日 2017. 07. 11

(21)申请号 201610005469.3

(22)申请日 2016.01.04

(71)申请人 中芯国际集成电路制造(北京)有限公司

地址 100176 北京市大兴区经济技术开发区文昌大道18号

申请人 中芯国际集成电路制造(上海)有限公司

(72)发明人 禹国宾

(74)专利代理机构 北京集佳知识产权代理有限公司 11227

代理人 吴敏

(51) Int. Cl.

H01L 27/11551(2017.01)

H01L 27/11556(2017.01)

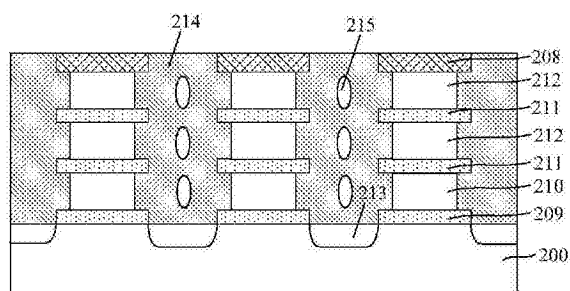
权利要求书2页 说明书7页 附图3页

(54)发明名称

NAND存储器的形成方法

(57)摘要

一种NAND存储器的形成方法,包括:提供半导体衬底;在半导体衬底上形成若干分立的栅堆叠结构,相邻栅堆叠结构之间具有凹槽,栅堆叠结构包括位于半导体衬底上的选择栅和位于选择栅上的控制栅,选择栅和控制栅之间通过栅间介质层隔离,栅堆叠结构的顶部表面上形成有硬掩膜层,硬掩膜层的宽度等于栅堆叠结构的宽度;以硬掩膜层为掩膜,回刻蚀去除部分宽度的选择栅和控制栅,使得相邻选择栅之间的间距以及相邻控制栅之间的间距大于相邻硬掩膜层之间的间距;回刻蚀工艺后,进行沉积工艺,形成充满凹槽的介质层,相邻选择栅之间的介质层中以及相邻控制栅之间的介质层中形成有空气隙。本发明方法形成的NAND存储器防止产生器件对器件的干扰。



1. 一种NAND存储器的形成方法,其特征在于,包括:

提供半导体衬底;

在所述半导体衬底上形成若干分立的栅堆叠结构,相邻栅堆叠结构之间具有凹槽,每个栅堆叠结构包括位于半导体衬底上的选择栅和位于选择栅上的控制栅,选择栅和控制栅之间通过栅间介质层隔离,栅堆叠结构的顶部表面上形成有硬掩膜层,硬掩膜层的宽度等于栅堆叠结构的宽度;

以所述硬掩膜层为掩膜,回刻蚀去除部分宽度的选择栅和控制栅,使得相邻选择栅之间的间距以及相邻控制栅之间的间距大于相邻硬掩膜层之间的间距,且相邻选择栅之间的间距以及相邻控制栅之间的间距大于相邻栅间介质层之间的间距;

回刻蚀工艺后,进行沉积工艺,形成填充满凹槽的介质层,相邻选择栅之间的介质层中以及相邻控制栅之间的介质层中形成有空气隙。

2. 如权利要求1所述的NAND存储器的形成方法,其特征在于,所述选择栅和控制栅被回刻蚀的宽度为10~200埃。

3. 如权利要求1所述的NAND存储器的形成方法,其特征在于,回刻蚀去除部分宽度的选择栅和控制栅的工艺为湿法刻蚀或者各向同性的干法刻蚀。

4. 如权利要求3所述的NAND存储器的形成方法,其特征在于,所述湿法刻蚀采用的刻蚀溶液为TMAH溶液或者 $\text{NH}_3\text{H}_2\text{O}$ 溶液。

5. 如权利要求4所述的NAND存储器的形成方法,其特征在于,TMAH溶液的质量百分比浓度为0.5%~20%,湿法刻蚀的温度为0~80摄氏度,刻蚀时间为10~300秒。

6. 如权利要求4所述的NAND存储器的形成方法,其特征在于, $\text{NH}_3\text{H}_2\text{O}$ 溶液的质量百分比浓度为1%~50%,湿法刻蚀的温度为0~80摄氏度,刻蚀时间为10~300秒。

7. 如权利要求3所述的NAND存储器的形成方法,其特征在于,各向同性的干法刻蚀采用的气体为HCl,HCl流量为5sccm~5slm,刻蚀腔温度为23~1100摄氏度,刻蚀腔压力为5托~760托,刻蚀时间为10~300秒。

8. 如权利要求1所述的NAND存储器的形成方法,其特征在于,所述介质层的材料为氧化硅、 SiON 、 SiOCN 或 SiOBN 。

9. 如权利要求8所述的NAND存储器的形成方法,其特征在于,所述沉积工艺为原子层沉积工艺。

10. 如权利要求9所述的NAND存储器的形成方法,其特征在于,所述介质层的材料为氧化硅时,所述原子层沉积工艺的过程为:通入硅源气体步骤;施加射频功率,解离硅源气体形成硅源等离子体,硅源等离子体在凹槽的侧壁和底部表面以及栅堆叠结构的表面形成第一反应物的步骤;排出腔室中残余硅源等离子体的步骤;通入氧源气体步骤;施加射频功率,解离氧源气体形成氧源等离子体,氧源等离子体与第一反应物反应形成氧化硅原子层的步骤;排出腔室中残余氧源等离子体和反应副产物的步骤;重复前述步骤,若干层堆叠的氧化硅原子层构成介质层。

11. 如权利要求10所述的NAND存储器的形成方法,其特征在于,所述硅源气体为甲基二乙氧基硅烷、八甲基环四硅氧烷、正硅酸乙酯、 SiH_4 、 Si_2H_6 、 Si_2Cl_6 或 SiH_2Cl_2 ,硅源气体的流量为60sccm至800sccm,氧源气体为 O_2 或 O_3 ,氧源气体的流量为20~300sccm,沉积腔室压强为0.1托至10托,沉积腔室射频功率为200瓦至3000瓦,沉积腔室温度为50~800摄氏度。

12. 如权利要求1所述的NAND存储器的形成方法,其特征在于,在形成介质层之前,在选择栅和控制栅的侧壁表面形成热氧化层。

13. 如权利要求12所述的NAND存储器的形成方法,其特征在于,形成所述热氧化层的工艺为快速热退火工艺、炉管氧化工艺。

14. 如权利要求1所述的NAND存储器的形成方法,其特征在于,所述选择栅和控制栅的材料为多晶硅。

15. 如权利要求1所述的NAND存储器的形成方法,其特征在于,所述选择栅与半导体衬底之间还形成有隔离层。

16. 如权利要求1所述的NAND存储器的形成方法,其特征在于,在回刻蚀去除部分宽度的选择栅和控制栅之前,在栅堆叠结构两侧的半导体衬底内形成源线掺杂区。

17. 如权利要求1所述的NAND存储器的形成方法,其特征在于,所述栅堆叠结构还包括位于控制栅上的顶层选择栅。

18. 如权利要求17所述的NAND存储器的形成方法,其特征在于,所述硬掩膜层位于顶层选择栅表面上。

19. 如权利要求18所述的NAND存储器的形成方法,其特征在于,进行回刻蚀时,同时回刻蚀去除部分宽度的顶层选择栅。

20. 如权利要求19所述的NAND存储器的形成方法,其特征在于,形成介质层时,相邻顶层选择栅之间的介质层中也会形成空隙。

NAND存储器的形成方法

技术领域

[0001] 本发明涉及半导体制作领域,特别涉及一种NAND存储器的形成方法。

背景技术

[0002] 近年来,闪存(flash memory)存储器的发展尤为迅速。闪存存储器的主要特点是在不加电的情况下能长期保持存储的信息,且具有集成度高、存取速度快、易于擦除和重写等优点,因而在微机、自动化控制等多项领域得到了广泛的应用。为了进一步提高闪存存储器的位密度(bit density),同时减少位成本(bit cost),提出了一种三维与非门(3D NAND)的闪存存储器。

[0003] 请参考图1和图2,图2为图1中NAND存储器沿切割线AB方向的结构示意图,所述NAND存储器包括:衬底100;位于所述衬底100表面的隔离层103;位于隔离层103表面的底层选择栅104;位于所述底层选择栅104上的若干层堆叠的控制栅107;位于所述控制栅107上的顶层选择栅109;位于相邻两排重叠设置的底层选择栅104、控制栅107和顶层选择栅109之间的衬底内的源线掺杂区120;贯穿所述顶层选择栅109、控制栅107、底层选择栅104和隔离层103的沟道通孔(未标示);位于所述沟道通孔侧壁表面的沟道层113;位于所述沟道通孔内的沟道层113表面的绝缘层115,所述绝缘层115填充满所述沟道通孔;位于所述若干沟道层113顶部表面的若干位线111;位于各层控制栅107表面的若干字线插塞117;位于若干字线插塞117顶部的若干字线119。

[0004] 需要说明的是,相邻的底层选择栅104、控制栅107、顶层选择栅109和位线111之间均具有介质层相互隔离,而图1为忽略所述介质层的结构示意图。

[0005] 然而,由于现有技术所形成NAND存储器的性能仍有待提升。

发明内容

[0006] 本发明解决的问题是怎样防止形成的NAND存储器产生器件对器件的干扰。

[0007] 为解决上述问题,本发明提供一种NAND存储器的形成方法,包括:

[0008] 提供半导体衬底;在所述半导体衬底上形成若干分立的栅堆叠结构,相邻栅堆叠结构之间具有凹槽,每个栅堆叠结构包括位于半导体衬底上的选择栅和位于选择栅上的控制栅,选择栅和控制栅之间通过栅间介质层隔离,栅堆叠结构的顶部表面上形成有硬掩膜层,硬掩膜层的宽度等于栅堆叠结构的宽度;以所述硬掩膜层为掩膜,回刻蚀去除部分宽度的选择栅和控制栅,使得相邻选择栅之间的间距以及相邻控制栅之间的间距大于相邻硬掩膜层之间的间距,且相邻选择栅之间的间距以及相邻控制栅之间的间距大于相邻栅间介质层之间的间距;回刻蚀工艺后,进行沉积工艺,形成填充满凹槽的介质层,相邻选择栅之间的介质层中以及相邻控制栅之间的介质层中形成有空气隙。

[0009] 可选的,所述选择栅和控制栅被回刻蚀的宽度为10~200埃。

[0010] 可选的,回刻蚀去除部分宽度的选择栅和控制栅的工艺为湿法刻蚀或者各向同性的干法刻蚀。

- [0011] 可选的,所述湿法刻蚀采用的刻蚀溶液为TMAH溶液或者 $\text{NH}_3\text{H}_2\text{O}$ 溶液。
- [0012] 可选的,TMAH溶液的质量百分比浓度为0.5%~20%,湿法刻蚀的温度为0~80摄氏度,刻蚀时间为10~300秒。
- [0013] 可选的, $\text{NH}_3\text{H}_2\text{O}$ 溶液的质量百分比浓度为1%~50%,湿法刻蚀的温度为0~80摄氏度,刻蚀时间为10~300秒。
- [0014] 可选的,各向同性的干法刻蚀采用的气体为HCl,HCl流量为5sccm~5slm,刻蚀腔温度为23~1100摄氏度,刻蚀腔压力为5托~760托,刻蚀时间为10~300秒。
- [0015] 可选的,所述介质层的材料为氧化硅、SiON、SiOCN或SiOBN。
- [0016] 可选的,所述沉积工艺为原子层沉积工艺。
- [0017] 可选的,所述介质层的材料为氧化硅时,所述原子层沉积工艺的过程为:通入硅源气体步骤;施加射频功率,解离硅源气体形成硅源等离子体,硅源等离子体在凹槽的侧壁和底部表面以及栅堆叠结构的表面形成第一反应物的步骤;排出腔室中残余硅源等离子体的步骤;通入氧源气体步骤;施加射频功率,解离氧源气体形成氧源等离子体,氧源等离子体与第一反应物反应形成氧化硅原子层的步骤;排出腔室中残余氧源等离子体和反应副产物的步骤;重复前述步骤,若干层堆叠的氧化硅原子层构成介质层。
- [0018] 可选的,所述硅源气体为甲基二乙氧基硅烷、八甲基环四硅氧烷、正硅酸乙酯、 SiH_4 、 Si_2H_6 、 Si_2Cl_6 或 SiH_2Cl_2 ,硅源气体的流量为60sccm至800sccm,氧源气体为 O_2 或 O_3 ,氧源气体的流量为20~300sccm,沉积腔室压强为0.1托至10托,沉积腔室射频功率为200瓦至3000瓦,沉积腔室温度为50~800摄氏度。
- [0019] 可选的,在形成介质层之前,在选择栅和控制栅的侧壁表面形成热氧化层。
- [0020] 可选的,形成所述热氧化层的工艺为快速热退火工艺、炉管氧化工艺。
- [0021] 可选的,所述选择栅和控制栅的材料为多晶硅。
- [0022] 可选的,所述选择栅与半导体衬底之间还形成有隔离层。
- [0023] 可选的,在回刻蚀去除部分宽度的选择栅和控制栅之前,在栅堆叠结构两侧的半导体衬底内形成源线掺杂区。
- [0024] 可选的,所述栅堆叠结构还包括位于控制栅上的顶层选择栅。
- [0025] 可选的,所述硬掩膜层位于顶层选择栅表面上。
- [0026] 可选的,进行回刻蚀时,同时回刻蚀去除部分宽度的顶层选择栅。
- [0027] 可选的,形成介质层时,相邻顶层选择栅之间的介质层中也会形成空隙。
- [0028] 与现有技术相比,本发明的技术方案具有以下优点:
- [0029] 本发明的NAND存储器的形成方法,在形成栅堆叠结构后,以所述硬掩膜层为掩膜,回刻蚀去除部分宽度的选择栅和控制栅,通过回刻蚀去除部分宽度的选择栅和控制栅,使得相邻选择栅之间的间距以及相邻控制栅之间的间距大于相邻硬掩膜层之间的间距,且相邻选择栅之间的间距以及相邻控制栅之间的间距大于相邻栅间介质层之间的间距,而硬掩膜层之间开口的宽度(或者相邻硬掩膜层之间的间距)以及相邻栅间介质层之间开口的宽度(或者相邻栅间介质层之间的间距)在回刻蚀步骤之前或之后保持一致或变化很小,在凹槽中采用沉积工艺形成介质层时,由于沉积过程中介质材料是一层一层沉积的,随着沉积过程的进行,间距较小的硬掩膜层之间的空间以及栅间介质层之间的空间会先填满,而间距较大的相邻选择栅之间的空间以及相邻控制栅之间的空间则不会填满,因而在相邻

的相邻选择栅之间以及相邻控制栅之间的位置会较容易形成空气隙,从而有效的减小了相邻控制栅之间以及相邻选择栅之间的介质层介电常数的大小,减小了相邻控制栅之间以及相邻选择栅之间寄生电容,从而减小器件对相邻的器件(某一选择栅对相邻的选择栅或某一控制栅对相邻的控制栅)的RC延时,防止相邻存储单元在工作(如写出、读取或擦除数据等操作)时的相互影响;并且形成的空气隙的位置很准确,刚好位于相邻的相邻选择栅之间或者相邻控制栅之间。

[0030] 进一步,所述选择栅和控制栅被回刻蚀的宽度为10~200埃,以利于沉积过程中空气隙的形成,并选择栅和控制栅的侧壁也容易被介质层覆盖。

[0031] 进一步,所述沉积工艺为原子层沉积工艺,采用原子层沉积工艺时,由于介质材料是一层一层形成,直至最后形成介质层,因而工艺过程较好控制,通过相邻控制栅之间的间距(和相邻选择栅之间)的间距与相邻硬掩膜层之间的间距差异,可以较容易的在相邻选择栅之间的介质层中以及相邻控制栅之间的介质层中形成有空气隙,并且不同位置形成的空气隙的大小比较均匀并且位置精度较大,使得不同位置的相邻控制栅之间以及相邻选择栅之间介质层的介电常数保持一致,使得不同位置的存储单元性能保持一致。

附图说明

[0032] 图1~图2为现有技术NAND存储器的结构示意图;

[0033] 图3~图7为本发明实施例NAND存储器的形成过程的结构示意图。

具体实施方式

[0034] 如背景技术所言,现有技术所形成NAND存储器的性能仍有待提升,比如,现有的NAND存储器在工作时,相邻存储单元的工作状态会存在区别。

[0035] 研究发现,为了达到较高的集成度,NAND存储器的相邻存储单元(比如相邻选择栅之间的间距或者相邻控制栅之间的间距)之间间距很小,相邻存储单元之间会产生器件对器件的RC延时,因而NAND存储器中的某个存储单元在工作(如写入、读取或擦除操作)时,会对相邻的存储单元的工作(如写入、读取或擦除操作)产生影响。

[0036] 为此,本发明提供了一种NAND存储器的形成方法,在形成栅堆叠结构后,以所述硬掩膜层为掩膜,回刻蚀去除部分宽度的选择栅和控制栅,使得相邻选择栅之间的间距以及相邻控制栅之间的间距大于相邻硬掩膜层之间的间距;回刻蚀工艺后,进行沉积工艺,形成填充满凹槽的介质层,相邻选择栅之间的介质层中以及相邻控制栅之间的介质层中形成有空气隙,从而有效的减小了相邻控制栅之间以及相邻选择栅之间的介质层介电常数的大小,减小了相邻控制栅之间以及相邻选择栅之间寄生电容,从而减小器件对相邻的器件(某一选择栅对相邻的选择栅或某一控制栅对相邻的控制栅)的RC延时,防止相邻存储单元在工作(如写出、读取或擦除数据等操作)时的相互影响;并且形成的空气隙的位置很准确,刚好位于相邻的相邻选择栅之间或者相邻控制栅之间。

[0037] 为使本发明的上述目的、特征和优点能够更为明显易懂,下面结合附图对本发明的具体实施例做详细的说明。在详述本发明实施例时,为便于说明,示意图会不依一般比例作局部放大,而且所述示意图只是示例,其在此不应限制本发明的保护范围。此外,在实际制作中应包含长度、宽度及深度的三维空间尺寸。

[0038] 图3~图7为本发明实施例NAND存储器的形成过程的结构示意图。

[0039] 参考图3,提供半导体衬底200。

[0040] 所述半导体衬底200作为后续工艺的载体。所述半导体衬底的材料可以为硅(Si)、锗(Ge)、或硅锗(GeSi)、碳化硅(SiC);也可以是绝缘体上硅(SOI),绝缘体上锗(GOI);或者还可以为其它的材料,例如砷化镓等III-V族化合物。

[0041] 所述半导体衬底200上还形成有隔离材料层203、位于隔离材料层上的选择栅材料层204、位于选择栅材料层204上的若干层相互交替堆叠的栅间介质材料层206和控制栅材料层207,每一层控制栅材料层207相应的位于栅间介质材料层的表面上。所述隔离材料层203后续用于形成隔离层,选择栅材料层204后续用于形成选择栅,所述栅间介质材料层206后续用于形成栅间介质层,所述控制栅材料层207后续用于形成控制栅。

[0042] 所述隔离材料层203的材料为氧化硅。所述控制栅材料层207和选择栅材料层204的材料为多晶硅。

[0043] 栅间介质材料层206可以为单层或多层(≥ 2 层)堆叠结构。所述栅间介质材料层206为单层结构时,所述栅间介质材料层206的材料为氧化硅;栅间介质材料层206为多层(≥ 2 层)堆叠结构时,在一实施例中,所述栅间介质材料层206为三层堆叠结构,包括第一氧化硅层、位于第一氧化硅层表面上的氮化硅层、位于氮化硅层表面上的第二氧化硅层。

[0044] 所述栅间介质材料层206和控制栅材料层207的层数均至少为一层,本实施例中,以栅间介质材料层206和控制栅材料层207的层数均至少为两层,作为示例,栅间介质材料层206和控制栅材料层207相互交替堆叠,包括依次位于选择栅材料层204上的第一层栅间介质材料层、位于第一层栅间介质材料层上的第一层控制栅材料层、位于第一层控制栅材料层上的第二层栅间介质材料层、位于第二层栅间介质材料层上的第二层控制栅材料层。

[0045] 在其他的实施例中,所述最上层的控制栅材料层207表面上还可以形成顶层栅间介质材料层和位于顶层栅间介质材料层上的顶层选择栅材料层,顶层栅间介质材料层用于形成顶层栅间介质层,顶层选择栅材料层用于形成顶层选择栅。

[0046] 参考图4,在所述最上层的控制栅材料层207表面上形成硬掩膜层208,所述硬掩膜层208中具有暴露出最上层的控制栅材料层207表面的若干开口。

[0047] 所述硬掩膜层208为单层或多层(≥ 2 层)堆叠结构。硬掩膜层208为单层结构时所述硬掩膜层的材料为氮化硅、氧化硅、氮氧化硅、碳化硅。所述硬掩膜层208为多层(≥ 2 层)堆叠结构时,以两层堆叠结构作为示例,包括第一掩膜层和位于第一掩膜层上的第二掩膜层,第一掩膜层的材料和第二掩膜层的材料不相同,第一掩膜层和第二掩膜层的材料为 SiO_2 、 SiN 、 SiON 、 SiCN 、 SiC 、 TiN 或 TaN 。后续进行刻蚀时,使得硬掩膜层被刻蚀的量很小,以使得硬掩膜层中开口宽度在刻蚀前后保持一致,后续形成栅堆叠结构的宽度与硬掩膜层的宽度保持一致,后续在对选择栅和控制栅进行回刻蚀后,相邻选择栅之间的间距以及相邻控制栅之间的间距保持一致,在进行沉积工艺形成介质层时,有利于在相邻选择栅之间以及相邻控制栅之间形成空气隙。

[0048] 通过沉积工艺形成硬掩膜层208,并通过光刻和刻蚀工艺在硬掩膜层中形成若干开口,所述硬掩膜层208的位置和宽度与后续形成栅堆叠结构的位置和宽度一致。

[0049] 在其他实施例中,当形成有顶层选择栅材料层时,相应的所述硬掩膜层位于顶层选择栅材料层表面上。

[0050] 参考图5,以所述硬掩膜层208为掩膜,依次刻蚀所述控制栅材料层207、栅间介质材料层206、选择栅材料层204、隔离材料层203,在所述半导体衬底200上形成若干分立的栅堆叠结构,相邻栅堆叠结构之间具有凹槽216,每个栅堆叠结构包括位于半导体衬底上的选择栅210和位于选择栅210上的控制栅212,选择栅211和控制栅212之间通过栅间介质层211隔离,栅堆叠结构的宽度等于栅堆叠结构的顶部表面上的硬掩膜层的宽度。

[0051] 刻蚀所述控制栅材料层207、栅间介质材料层206、选择栅材料层204、隔离材料层203采用各向异性的干法刻蚀工艺,以使得形成的栅堆叠结构的上下部分宽度保持一致。在一实施例中,各向异性的干法刻蚀工艺为等离子体刻蚀工艺,等离子刻蚀时,腔室压力为5-50mTorr;射频功率为500-1500W;温度为40-100℃,偏置功率为0~100W,CF₄的气体流量为20-200sccm;HBr的气体流量为50-1000sccm;He的气体流量为200-1000sccm;O₂的气体流量为5-20sccm。

[0052] 所述形成的控制栅212的层数至少为1层,控制栅212的层数大于2层时,相邻层的控制栅212之间以及最下层的控制栅212与选择栅210之间通过隔离层211隔离。

[0053] 在其他实施例中,当形成有顶层选择栅材料层时,相应的刻蚀所述顶层选择栅材料层,形成顶层选择栅,所述栅堆叠结构还包括位于最上层的控制栅上的顶层选择栅。

[0054] 参考图6,以所述硬掩膜层208为掩膜,回刻蚀去除部分宽度的选择栅212和控制栅210,使得相邻选择栅210之间的间距b以及相邻控制栅212之间的间距a大于相邻硬掩膜层208之间的间距c。

[0055] 本实施例中,通过回刻蚀去除部分宽度的选择栅212和控制栅210,使得相邻选择栅210之间的间距b以及相邻控制栅212之间的间距a大于相邻硬掩膜层208之间的间距c,且相邻选择栅210之间的间距b以及相邻控制栅212之间的间距a大于相邻栅间介质层211之间的间距c,而硬掩膜层208之间开口的宽度(或者相邻硬掩膜层208之间的间距)以及相邻栅间介质层211之间开口的宽度(或者相邻栅间介质层211之间的间距)在回刻蚀步骤之前或之后保持一致或变化很小,后续在凹槽216中采用沉积工艺形成介质层时,由于沉积过程中介质材料是一层一层沉积的,随着沉积过程的进行,间距较小的硬掩膜层208之间的空间以及栅间介质层211之间的空间会先填满,而间距较大的相邻选择栅210之间的空间以及相邻控制栅212之间的空间则不会填满,因而在相邻的相邻选择栅210之间以及相邻控制栅212之间的位置会较容易形成空气隙,并且形成的空气隙的位置很准确,刚好位于相邻的相邻选择栅210之间或者相邻控制栅212之间。

[0056] 回刻蚀去除部分宽度的选择栅和控制栅的工艺为湿法刻蚀或者各向同性的干法刻蚀。

[0057] 所述湿法刻蚀采用的刻蚀溶液为TMAH(四甲基氢氧化铵)溶液或者NH₃H₂O溶液,各向同性的干法刻蚀采用的气体为HCl。在一实施例中,采用TMAH溶液进行刻蚀时,TMAH溶液的质量百分比浓度为0.5%~20%,湿法刻蚀的温度为0~80摄氏度,刻蚀时间为10~300秒;在另一实施例中,采用NH₃H₂O溶液进行刻蚀时,NH₃H₂O溶液的质量百分比浓度为1%~50%,湿法刻蚀的温度为0~80摄氏度,刻蚀时间为10~300秒;在另一实施例中,HCl流量为5sccm~5slm,刻蚀腔温度为23~1100摄氏度,刻蚀腔压力为5托~760托,刻蚀时间为10~300秒。以准确的控制选择栅210和控制栅212被回刻蚀的宽度,特别是当具有多层的控制栅212,使得回刻蚀后多层控制栅212宽度保持一致,以保证不同位置的控制栅的性能保持一

致;并且刻蚀过程对硬掩膜层208以及栅间介质层211的不会过刻蚀或者刻蚀量很小。

[0058] 研究发现,选择栅210和控制栅212被回刻蚀的宽度不能太小,太小的话回刻蚀后相邻控制栅之间的间距(和相邻选择栅之间)的间距与相邻硬掩膜层208之间的间距差异太小,后续形成介质层时不利于空气隙的形成,选择栅210和控制栅212被回刻蚀的宽度也不能太大,太大的话,回刻蚀后剩余的选择栅和控制栅的宽度剩余较小,选择栅和控制栅的性能受到影响,并且剩余的选择栅和控制栅的侧壁也不容易被介质层覆盖,工艺难度增加。为此,在一实施例中,所述选择栅和控制栅被回刻蚀的宽度为10~200埃,可以为10埃、15埃、20埃、25埃、30埃、40埃、50埃、60埃、80埃、100埃、120埃、140埃、150埃、160埃、170埃、180埃、185埃、190埃、195埃、200埃。

[0059] 在其他实施例中,当形成有顶层选择栅时,相应的回刻蚀部分宽度的顶层选择栅,使得顶层选择栅之间的间距大于相邻硬掩膜层208之间的间距。

[0060] 参考图7,回刻蚀工艺后,进行沉积工艺,形成填充满凹槽的介质层214,相邻选择栅210之间的介质层214中以及相邻控制栅212之间的介质层214中形成有空气隙215。

[0061] 所述沉积工艺为原子层沉积工艺,采用原子层沉积工艺时,由于介质材料是一层一层形成,直至最后形成介质层,因而工艺过程较好控制,通过相邻控制栅之间的间距(和相邻选择栅之间)的间距与相邻硬掩膜层208之间的间距差异,可以较容易的在相邻选择栅210之间的介质层214中以及相邻控制栅212之间的介质层214中形成有空气隙215,从而有效的减小了相邻控制栅212之间以及相邻选择栅210之间的介质层介电常数的大小,减小了相邻控制栅212之间以及相邻选择栅210之间寄生电容,从而减小器件对相邻的器件(某一选择栅对相邻的选择栅或某一控制栅对相邻的控制栅)的RC延时,防止相邻存储单元在工作(如写出、读取或擦除数据等操作)时的相互影响,并且不同位置形成的空气隙215的大小比较均匀并且位置精度较大,使得不同位置的相邻控制栅212之间以及相邻选择栅210之间介质层的介电常数保持一致,使得不同位置的存储单元性能保持一致。

[0062] 所述介质层214的材料为氧化硅、SiON、SiOCN或SiOBN。本实施例中,所述介质层214的材料为氧化硅。

[0063] 所述介质层的材料为氧化硅时,所述原子层沉积工艺的过程为:通入硅源气体步骤;施加射频功率,解离硅源气体形成硅源等离子体,硅源等离子体在凹槽的侧壁和底部表面以及栅堆叠结构的表面形成第一反应物的步骤;排出腔室中残余硅源等离子体的步骤;通入氧源气体步骤;施加射频功率,解离氧源气体形成氧源等离子体,氧源等离子体与第一反应物反应形成氧化硅原子层的步骤;排出腔室中残余氧源等离子体和反应副产物的步骤;重复前述步骤,若干层堆叠的氧化硅原子层构成介质层。

[0064] 在一实施例中,所述原子层沉积工艺采用的硅源气体为甲基二乙氧基硅烷、八甲基环四硅氧烷、正硅酸乙酯、SiH₄、Si₂H₆、Si₂Cl₆或SiH₂Cl₂,硅源气体的流量为60sccm至800sccm,氧源气体为O₂或O₃,氧源气体的流量为20~300sccm,沉积腔室压强为0.1托至10托,沉积腔室射频功率为200瓦至3000瓦,沉积腔室温度为50~800摄氏度,以提高在相邻选择栅210之间的介质层214中以及相邻控制栅212之间的介质层214中形成有空气隙215容易度,以及提高形成空气隙的位置的精度和大小的均匀性。

[0065] 在其他实施例中,在形成介质层214之前,在选择栅210和控制栅212的侧壁表面形成热氧化层,以修复回刻蚀可能造成的损伤。形成所述热氧化层的工艺为快速热退火工艺、

炉管氧化工艺。

[0066] 在其他实施例中,当形成有顶层选择栅时,相应相邻顶层选择栅之间的介质层中也会形成空气隙。

[0067] 在其他实施例中,还包括:形成贯穿(顶层选择栅)控制栅、栅间介质层、选择栅和隔离层的沟道通孔(未标示);在所述沟道通孔侧壁表面形成沟道层;在所述沟道通孔内的沟道层表面形成绝缘层,所述绝缘层填充满所述沟道通孔;在所述若干沟道层顶部表面的若干位线。

[0068] 虽然本发明披露如上,但本发明并非限定于此。任何本领域技术人员,在不脱离本发明的精神和范围内,均可作各种更动与修改,因此本发明的保护范围应当以权利要求所限定的范围为准。

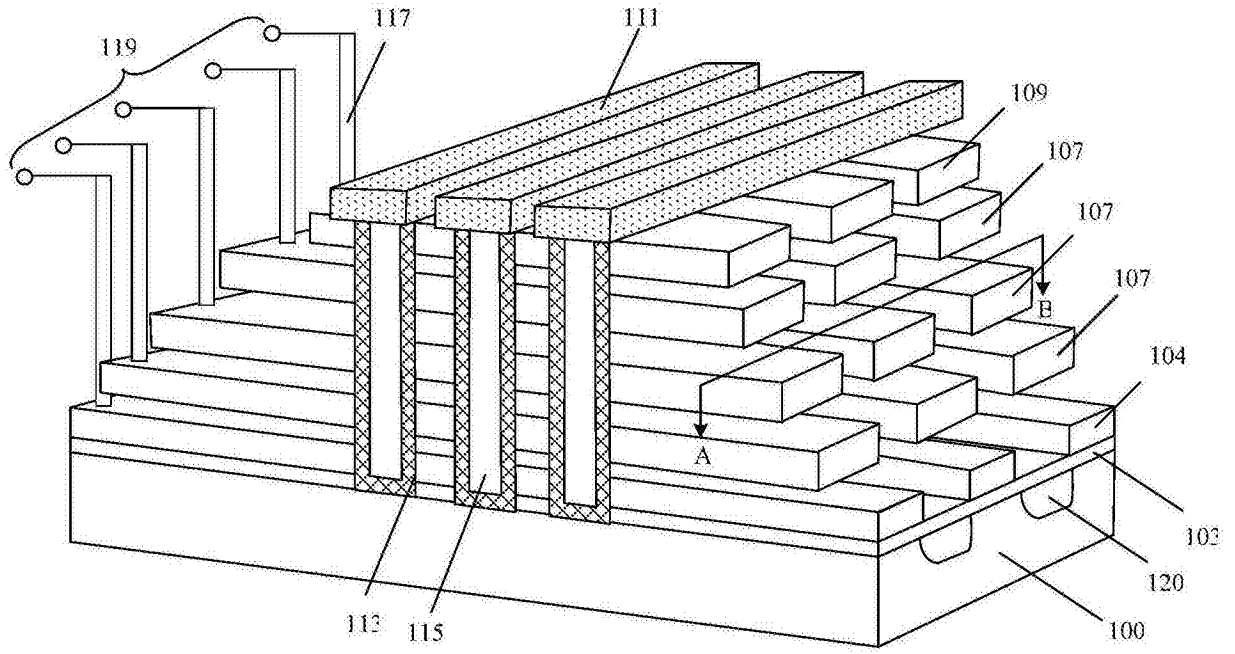


图1

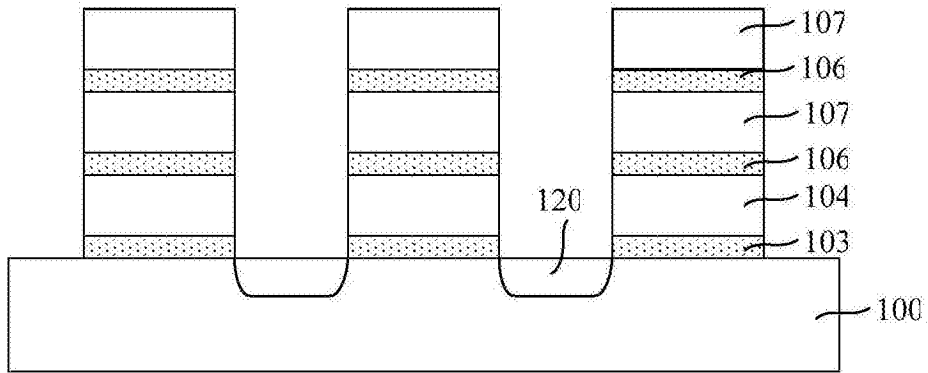


图2

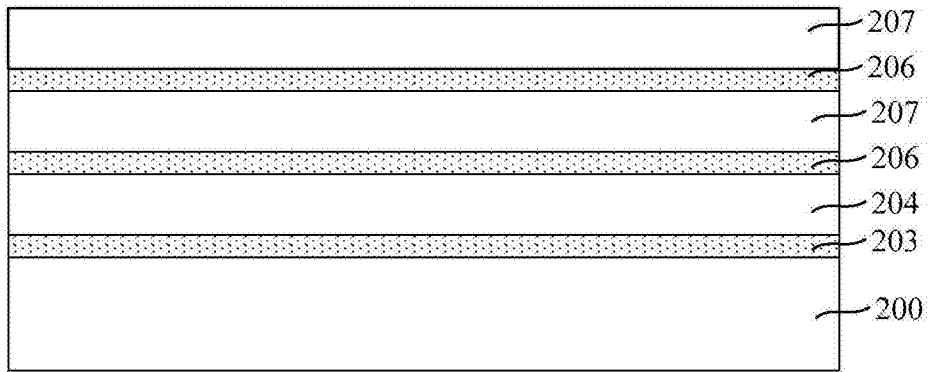


图3

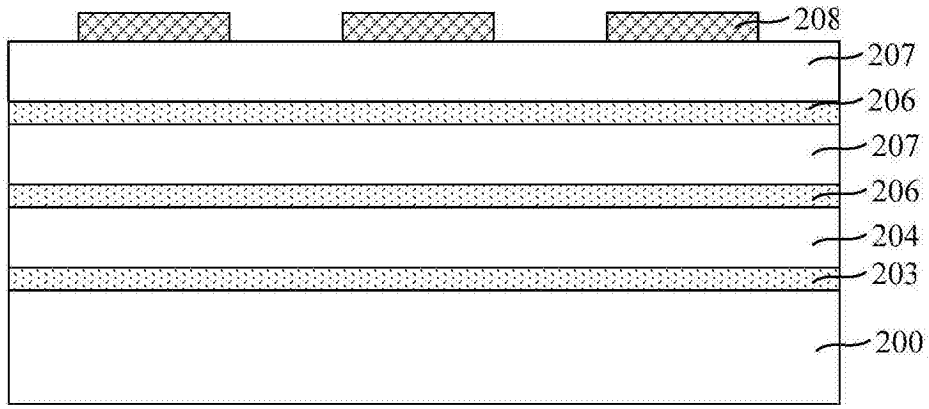


图4

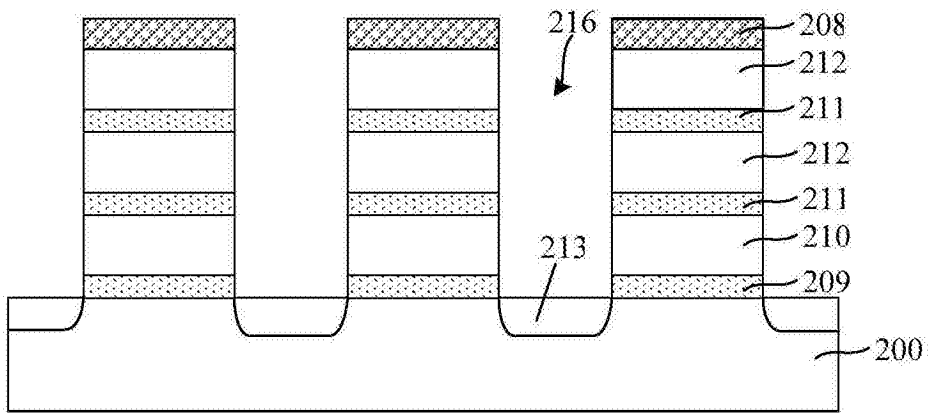


图5

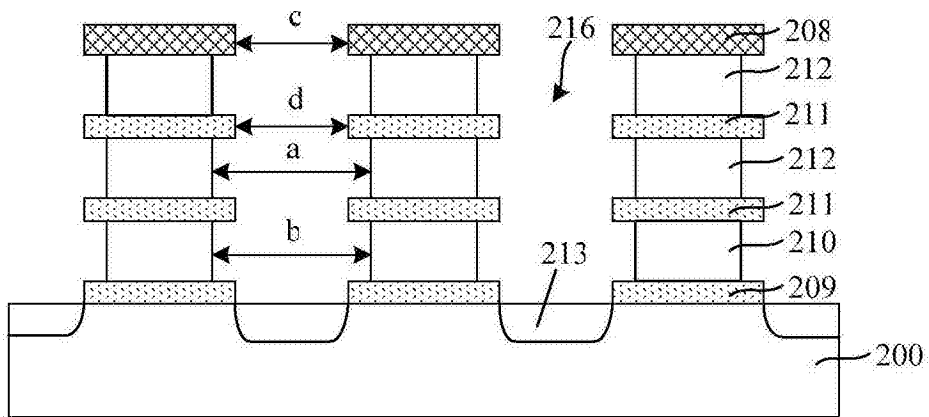


图6

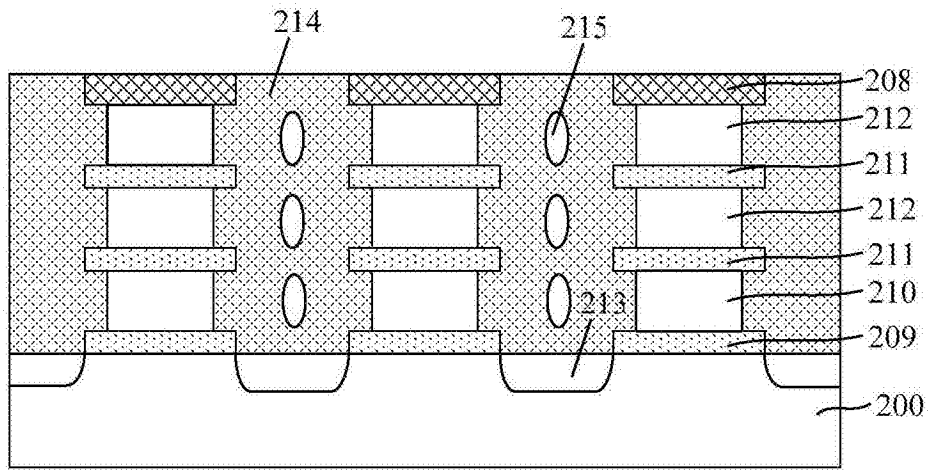


图7