

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-287261
(P2005-287261A)

(43) 公開日 平成17年10月13日(2005. 10. 13)

(51) Int. Cl.⁷
H02M 3/28

F I
H02M 3/28

テーマコード (参考)
5H730

審査請求 未請求 請求項の数 6 O L (全 25 頁)

(21) 出願番号 特願2004-101623 (P2004-101623)
(22) 出願日 平成16年3月31日 (2004. 3. 31)

(71) 出願人 000005821
松下電器産業株式会社
大阪府門真市大字門真1006番地
(74) 代理人 100113859
弁理士 板垣 孝夫
(74) 代理人 100068087
弁理士 森本 義弘
(72) 発明者 山下 哲司
大阪府門真市大字門真1006番地 松下
電器産業株式会社内
Fターム(参考) 5H730 AA14 AS01 BB23 CC01 EE02
FD03 FF19

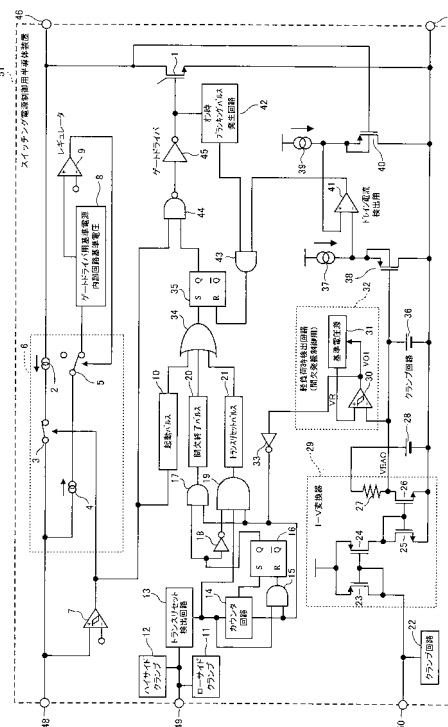
(54) 【発明の名称】 スイッチング電源制御用半導体装置

(57) 【要約】

【課題】 スイッチング電源の軽負荷時の消費電力をさらに削減し、電源の効率をさらに改善することができるスイッチング電源制御用半導体装置を提供する。

【解決手段】 スイッチング素子1とスイッチング動作制御回路を備えたスイッチング電源制御用半導体装置51において、スイッチング素子1による間欠スイッチング動作中は、カウンタ回路14によるカウントアウト前に軽負荷時検出回路32から復帰信号の出力があった場合には、その復帰信号出力後のトランズリセット検出回路13からのトランズリセット信号のタイミングで、スイッチング素子1によるスイッチング動作を再開し、カウンタ回路14によるカウントアウト後に軽負荷時検出回路32から復帰信号の出力があった場合には、その復帰信号の出力タイミングのみにより、トランズリセット信号には関係なく、スイッチング素子1によるスイッチング動作を再開する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

直流の入力電圧をトランスの一次巻線を介してスイッチング素子に印加し、前記スイッチング素子のスイッチング動作により、前記トランスの二次巻線に発生した交流電流を整流平滑して得られた直流電圧を制御して、負荷に電力供給するスイッチング電源において、前記トランスの三次巻線に発生した交流電圧から、前記スイッチング素子のスイッチング動作により発生する前記トランスのリセット状態を検出して、そのリセット状態を示すトランスリセット検出信号を出力するトランスリセット検出回路と、前記トランスの二次巻線に発生した交流電流に基づく前記直流電圧の変化を示す制御電流の電流値を電圧に変換する I - V 変換器と、前記 I - V 変換器からの出力電圧の変化に基づいて、前記負荷への電力供給の大きさを示す負荷状態として軽負荷時を検出した場合に、前記スイッチング素子によるスイッチングの間欠動作を制御するための制御信号を出力する軽負荷時検出回路とを有する制御回路を具備し、前記軽負荷時検出回路を、前記 I - V 変換器からの出力電圧が前記軽負荷時を検出するための軽負荷時検出下限電圧よりも小さくなったときに、前記スイッチング素子のスイッチング動作を停止し、前記 I - V 変換器からの出力電圧が前記軽負荷時を検出するための軽負荷時検出上限電圧よりも大きくなったときに、前記スイッチング素子のスイッチング動作を再開するように、前記間欠動作を制御するための制御信号を出力するよう構成し、前記制御回路により、前記トランスリセット検出回路からのトランスリセット検出信号、および前記軽負荷時検出回路からの制御信号に基づいて、前記スイッチング素子の制御電極を駆動し、前記間欠動作を制御するスイッチング電源制御用半導体装置であって、前記制御回路に、前記軽負荷時検出回路からの制御信号によるスイッチング動作停止のタイミングで、前記トランスリセット検出回路からのトランスリセット検出信号をカウンタ回路によりカウント開始し、そのカウントアウトと前記軽負荷時検出回路からの制御信号によるスイッチング動作再開との各タイミングの前後関係に基づいて、前記スイッチング動作再開時におけるスイッチングオンのタイミングを制御するスイッチングオン制御手段を設け、前記スイッチングオン制御手段を、前記カウンタ回路によるカウントアウト前に前記軽負荷時検出回路から前記スイッチング動作再開を示す制御信号の出力があった場合には、その制御信号出力後の前記トランスリセット検出回路からのトランスリセット検出信号のタイミングで、前記スイッチング動作再開時におけるスイッチングをオンするよう構成したことを特徴とするスイッチング電源制御用半導体装置

10

20

30

【請求項 2】

前記スイッチングオン制御手段を、前記カウンタ回路によるカウントアウト後に前記軽負荷時検出回路から前記スイッチング動作再開を示す制御信号の出力があった場合には、その制御信号の出力タイミングで、前記スイッチング動作再開時におけるスイッチングをオンするよう構成したことを特徴とする請求項 1 に記載のスイッチング電源制御用半導体装置。

【請求項 3】

前記カウンタ回路は、そのカウントアウトのタイミングを、前記スイッチング動作停止期間における前記スイッチング素子の入力端子電圧波形を基に、その波数について使用負荷に応じた最適なカウント数のタイミングとして、前記カウントアウトの設定値を決定したことを特徴とする請求項 1 または請求項 2 に記載のスイッチング電源制御用半導体装置

40

【請求項 4】

前記カウンタ回路は、そのカウント値を、前記軽負荷時検出回路からの前記スイッチング動作再開を示す制御信号の出力タイミングでリセットするよう構成したことを特徴とする請求項 1 または請求項 2 または請求項 3 に記載のスイッチング電源制御用半導体装置。

【請求項 5】

前記カウンタ回路は、複数の D フリップフロップを直列配列して、それらの各端子を前記カウントアウトの設定値が得られるように接続し、初段の D フリップフロップのクロック

50

ク端子に前記トランスリセット検出回路からのトランスリセット検出信号が入力され、かつ各Dフリップフロップのリセット端子に前記軽負荷時検出回路からの制御信号が入力され、前記初段のDフリップフロップに入力される前記トランスリセット検出回路からのトランスリセット検出信号に基づいて、各Dフリップフロップの出力が接続されたAND回路を介して、前記カウントアウトのタイミングを出力するように構成したことを特徴とする請求項1から請求項4のいずれかに記載のスイッチング電源制御用半導体装置。

【請求項6】

前記スイッチング素子と前記制御回路とを同一の半導体基板上に集積化し、前記半導体基板上に、少なくとも、前記入力電圧を前記トランスの一次巻線を介して前記スイッチング素子へ入力するためのスイッチング素子入力端子と、前記スイッチング素子のスイッチング動作により得られたスイッチング電流を出力するためのスイッチング素子出力端子と、前記制御回路に前記スイッチング素子のスイッチング動作により前記トランスの三次巻線に発生した電流に基づく直流電圧を供給するための電源端子と、前記スイッチング素子によるスイッチングの間欠動作を制御する制御信号を入力するための制御端子と、前記トランスリセット検出回路に前記トランスリセット検出信号を供給するためのトランスリセット検出用端子とを、外部接続端子として設けたことを特徴とする請求項1から請求項5のいずれかに記載のスイッチング電源制御用半導体装置。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、スイッチング電源の出力電圧をスイッチング動作により制御するスイッチング電源制御用半導体装置に関するものである。

20

【背景技術】

【0002】

従来から、家電製品等の一般家庭用機器には、その電源装置として、消費電力の低減化による電力効率の向上等の目的から、半導体（トランジスタなどのスイッチング素子）によるスイッチング動作を利用して出力電圧を制御（安定化など）するスイッチング電源制御用半導体装置を用いたスイッチング電源装置が広く用いられている。

【0003】

特に近年、さらに地球温暖化防止対策の見地から、家電製品等の機器においては、それらの動作待機（スタンバイ）時における消費電力削減が注目され、スタンバイ時における消費電力がより低いスイッチング電源装置が強く要求されている。

30

【0004】

この要求に応えるため、例えば、機器の通常動作状態（通常モード）における定格負荷時に電源供給するための主電源用のスイッチング電源装置と、それとは別個に独立させて、機器の待機動作状態（待機モード）におけるスタンバイ時に電源供給するためのスタンバイ専用のスイッチング電源装置とを設け、機器のスタンバイ時にはスタンバイ専用のスイッチング電源装置から電源供給し、定格負荷時には主電源用のスイッチング電源装置から電源供給するというように、機器の動作モードによって、2つのスイッチング電源装置を使い分ける電源システム等が開発されている。

40

【0005】

この電源システムでは、2つのスイッチング電源装置（コンバータ）を必要とすることから、スイッチング電源制御用半導体装置等を含む回路全体のコストが高くなるという欠点があった。したがって、コストを抑えなければならない要請が強い場合等には、1つのスイッチング電源装置（コンバータ）で構成できる電源システムを採用することが多かった。この場合、このスイッチング電源装置としては、電源の効率およびノイズの面から部分共振型が多く用いられてきた。

【0006】

しかし上記のようなスイッチング電源制御用半導体装置では、待機時などの軽負荷時には、スイッチング素子に流れる電流は低減されるようになっているが、スイッチング電源

50

制御用半導体装置の内部回路電流はトランスを介して常に供給する必要がある。従って、スイッチング素子に流れる電流を含めてスイッチング電源に流れる電流をゼロにすることはできないため、無負荷時でも、ある大きさの電流が流れる。従って、無負荷時でも、スイッチング素子でのスイッチング動作によって損失が発生することになり、負荷が軽くなるほどこのスイッチング素子での損失の割合が大きくなる。その結果、スイッチング電源の電力効率が低下するため、電源の待機時の省電力化という要望を実現できないという問題がある。

【0007】

このように、部分共振型のスイッチング電源装置では、軽負荷時に発振周波数が高くなるため、スイッチング損失が大きくなり、待機モード（スタンバイモード）の電源効率が低下するといった問題点などがある。

10

（従来例1）

上記のようなスタンバイモードにおける電源効率の低下問題に対する解消案（例えば、特許文献1を参照）として、電源の二次側の負荷状態をマイコンにより検出し、その信号を受け、待機モードに移行し、フィードバック制御により、商用周波数を基にして間欠発振する制御技術を取り入れている。この場合には、待機モード時における電源効率を改善するため、軽負荷となり出力電圧が上昇して所定値以上になるとスイッチング素子によるスイッチング動作を停止し、その後、出力電圧が下降して所定値以下になるとスイッチング素子によるスイッチング動作を再開するように、マイコンによりフィードバック制御している。

20

【0008】

このスイッチング電源では、スイッチング動作間欠時の発振周波数は、負荷状態に関係なく一定となっているため、待機時の電源効率の改善ということに関しては、まだまだ十分であるとは言えない。

（従来例2）

以上の問題点に対して、以下のようなスイッチング電源装置が考えられる。このスイッチング電源装置について、その概略を図16を用いて以下に説明する。

【0009】

図16は従来のスイッチング電源装置の一構成例を示す回路図である。このスイッチング電源装置は、図16に示すように、直流の入力電圧 V_{IN} をトランス103の一次巻線103aを介してスイッチング素子1に印加し、スイッチング素子1のスイッチング動作により、トランス103の二次巻線103bに発生した交流電流を整流器104およびコンデンサ105により整流平滑して得られた直流の出力電圧 V_o を制御して、負荷109に電力供給するスイッチング電源において、トランス103の三次巻線103cに発生した交流電圧から、スイッチング素子1のスイッチング動作により発生するトランス103のリセット状態を検出して、そのリセット状態を示すトランスリセット検出信号を出力するトランスリセット検出回路13と、トランス103の二次巻線103bに発生した直流電圧 V_o の変化を基にして出力電圧検出回路106およびフォトトランジスタ110を通じて得られた制御電流の変化を、その電流値に対応した電圧に変換するI-V変換器29と、I-V変換器29からの出力電圧 V_{EAO} の変化に基づいて、負荷109への電力供給の大きさを示す負荷状態として軽負荷時を検出した場合に、スイッチング素子1によるスイッチングの間欠動作を制御するための制御信号を出力する軽負荷時検出回路32とを有しており、これらによって、スイッチング素子1の制御電極（ゲート電極）を駆動する制御回路の一部を構成している。

30

40

【0010】

そして、軽負荷時検出回路32は、I-V変換器29からの出力電圧 V_{EAO} が軽負荷時を検出するための軽負荷時検出下限電圧 V_{R1} よりも小さくなったときに、スイッチング素子1のスイッチング動作を停止し、I-V変換器29からの出力電圧 V_{EAO} が軽負荷時を検出するための軽負荷時検出上限電圧 V_{R2} よりも大きくなったときに、スイッチング素子1のスイッチング動作を再開するように、間欠動作を制御するための制御信号を

50

出力する。また、制御回路は、トランスリセット検出回路 13 からのトランスリセット検出信号、および軽負荷時検出回路 32 からの制御信号に基づいて、スイッチング素子 1 の制御電極（ゲート電極）を駆動し、軽負荷時の間欠動作を制御するように構成されている。

【0011】

以上のように構成されたスイッチング電源装置の概略動作を説明する。ここでは、軽負荷を検出した場合に、スイッチング素子によるスイッチングの間欠動作を行うスイッチング電源制御用半導体装置の電源動作を説明する。

【0012】

図 16 において、内部回路が基準電圧まで上昇すると制御回路が起動し、その後、端子 46 と端子 47 の間に接続されたコンデンサ 118 により端子 46 の電圧が上昇し起動電圧になると、パワー MOSFET 等のスイッチング素子 1 がターンオンしてオン状態となり、そのドレイン電流が、トランス 103 の二次巻線 103b に接続された出力電圧検出回路 106 からフォトトランジスタ 110 へのフォトカプラ電流によるフィードバック電流で決定される過電流検出レベルに達すると、スイッチング素子 1 はターンオフしてオフ状態になる。スイッチング素子 1 がオフすると、そのドレイン電圧は、トランス 103 のインダクタンスとスイッチング素子 1 のドレイン - ソース間容量との共振により、リング動作を行う。

10

【0013】

このようにして一旦スイッチング電源制御用半導体装置が起動すると、次のオン信号はトランス 103 の三次巻線（バイアス巻線）103c により検出されるが、制御回路内部ではバイアス巻線電圧は + ~ - レベルにクランプされており、制御回路内部でバイアス巻線電圧が設定値以下になると、オン信号を出力する。また、バイアス巻線検出端子 49 には抵抗 116 とコンデンサ 117 を接続し、スイッチング素子 1 のドレイン電圧のボトムでスイッチング素子 1 がオンするようなタイミングが得られるように、抵抗 116 とコンデンサ 117 の各値による時定数が調整されている。

20

【0014】

以上の動作を繰り返し、所望の出力電圧 V_o を得るようにしているが、軽負荷時の電源効率を改善するため、フィードバック電流がある一定値以上流れるとスイッチング素子 1 によるスイッチング動作を停止し、フィードバック電流がある一定値以下になるとスイッチング素子 1 によるスイッチング動作を再開するといった間欠発振制御（間欠スイッチング動作）を行うことにより、軽負荷時の電源効率を改善し消費電力を削減している。

30

【0015】

また、スイッチング素子 1 によるスイッチング動作の制御方法としては、擬似共振型の R C C 制御であり、スイッチング素子オン時のスイッチングロスが低減できるとともに、低ノイズが実現できるため、低ノイズ・高効率および高出力が要求される市場に適している。また、軽負荷時には間欠発振制御による間欠スイッチング動作となるため、一般的に R C C で問題となる軽負荷時のスイッチング周波数の上昇は抑えられ、軽負荷時のスイッチングロスについてはある程度低減している。

【特許文献 1】特開 2002 - 315333 号公報

40

【発明の開示】

【発明が解決しようとする課題】

【0016】

しかしながら上記のような従来のスイッチング電源装置では、フィードバック電流値を基に、間欠スイッチング動作中のスイッチング動作を再開するための復帰信号を出力する方式であり、復帰信号によるスイッチング再開時のスイッチング素子のドレイン電圧レベルがどの位置にあるかが分からず、スイッチング再開の際は、ハードスイッチングとなってしまう、スイッチング素子オン時のスイッチングロスが発生するという問題点を有していた。

【0017】

50

また、スイッチング素子のドレイン - ソース間には、コンデンサ 118 として比較的大きな容量のコンデンサを接続しているため、スイッチング素子オン時には、 $CV^2/2$ のロスが発生し、そのドレイン電圧が高ければ高いほどコンデンサ 118 により大きなロスが発生してしまうという問題点も有していた。

【0018】

これらにより、軽負荷時におけるスイッチング素子の電流損失を低減できず、待機モードを含む広範囲な負荷領域で、十分に高い電力効率を得ることもできず、低コスト化およびスイッチング電源の高効率化を妨げている。

【0019】

本発明は、上記従来の問題点を解決するもので、軽負荷時におけるスイッチング素子の電流損失を低減して軽負荷時における消費電力をさらに削減することができ、待機モードを含む広範囲な負荷領域で、十分に高い電力効率を容易に得ることができ、低コストでスイッチング電源の電源効率をさらに改善することができるスイッチング電源制御用半導体装置を提供する。

10

【課題を解決するための手段】

【0020】

上記の課題を解決するために、本発明の請求項 1 に記載のスイッチング電源制御用半導体装置は、直流の入力電圧をトランスの一次巻線を介してスイッチング素子に印加し、前記スイッチング素子のスイッチング動作により、前記トランスの二次巻線に発生した交流電流を整流平滑して得られた直流電圧を制御して、負荷に電力供給するスイッチング電源において、前記トランスの三次巻線に発生した交流電圧から、前記スイッチング素子のスイッチング動作により発生する前記トランスのリセット状態を検出して、そのリセット状態を示すトランスリセット検出信号を出力するトランスリセット検出回路と、前記トランスの二次巻線に発生した交流電流に基づく前記直流電圧の変化を示す制御電流の電流値を電圧に変換する I - V 変換器と、前記 I - V 変換器からの出力電圧の変化に基づいて、前記負荷への電力供給の大きさを示す負荷状態として軽負荷時を検出した場合に、前記スイッチング素子によるスイッチングの間欠動作を制御するための制御信号を出力する軽負荷時検出回路とを有する制御回路を具備し、前記軽負荷時検出回路を、前記 I - V 変換器からの出力電圧が前記軽負荷時を検出するための軽負荷時検出下限電圧よりも小さくなったときに、前記スイッチング素子のスイッチング動作を停止し、前記 I - V 変換器からの出力電圧が前記軽負荷時を検出するための軽負荷時検出上限電圧よりも大きくなったときに、前記スイッチング素子のスイッチング動作を再開するように、前記間欠動作を制御するための制御信号を出力するよう構成し、前記制御回路により、前記トランスリセット検出回路からのトランスリセット検出信号、および前記軽負荷時検出回路からの制御信号に基づいて、前記スイッチング素子の制御電極を駆動し、前記間欠動作を制御するスイッチング電源制御用半導体装置であって、前記制御回路に、前記軽負荷時検出回路からの制御信号によるスイッチング動作停止のタイミングで、前記トランスリセット検出回路からのトランスリセット検出信号をカウンタ回路によりカウント開始し、そのカウントアウトと前記軽負荷時検出回路からの制御信号によるスイッチング動作再開との各タイミングの前後関係に基づいて、前記スイッチング動作再開時におけるスイッチングオンのタイミングを制御するスイッチングオン制御手段を設け、前記スイッチングオン制御手段を、前記カウンタ回路によるカウントアウト前に前記軽負荷時検出回路から前記スイッチング動作再開を示す制御信号の出力があった場合には、その制御信号出力後の前記トランスリセット検出回路からのトランスリセット検出信号のタイミングで、前記スイッチング動作再開時におけるスイッチングをオンするよう構成したことを特徴とする。

20

30

40

【0021】

また、本発明の請求項 2 に記載のスイッチング電源制御用半導体装置は、請求項 1 に記載のスイッチング電源制御用半導体装置であって、前記スイッチングオン制御手段を、前記カウンタ回路によるカウントアウト後に前記軽負荷時検出回路から前記スイッチング動作再開を示す制御信号の出力があった場合には、その制御信号の出力タイミングで、前記

50

スイッチング動作再開時におけるスイッチングをオンするよう構成したことを特徴とする。

【0022】

また、本発明の請求項3に記載のスイッチング電源制御用半導体装置は、請求項1または請求項2に記載のスイッチング電源制御用半導体装置であって、前記カウンタ回路は、そのカウンタアウトのタイミングを、前記スイッチング動作停止期間における前記スイッチング素子の入力端子電圧波形を基に、その波数について使用負荷に応じた最適なカウンタ数のタイミングとして、前記カウンタアウトの設定値を決定したことを特徴とする。

【0023】

また、本発明の請求項4に記載のスイッチング電源制御用半導体装置は、請求項1または請求項2または請求項3に記載のスイッチング電源制御用半導体装置であって、前記カウンタ回路は、そのカウンタ値を、前記軽負荷時検出回路からの前記スイッチング動作再開を示す制御信号の出力タイミングでリセットするよう構成したことを特徴とする。

10

【0024】

また、本発明の請求項5に記載のスイッチング電源制御用半導体装置は、請求項1から請求項4のいずれかに記載のスイッチング電源制御用半導体装置であって、前記カウンタ回路は、複数のDフリップフロップを直列配列して、それらの各端子を前記カウンタアウトの設定値が得られるように接続し、初段のDフリップフロップのクロック端子に前記トランスリセット検出回路からのトランスリセット検出信号が入力され、かつ各Dフリップフロップのリセット端子に前記軽負荷時検出回路からの制御信号が入力され、前記初段のDフリップフロップに入力される前記トランスリセット検出回路からのトランスリセット検出信号に基づいて、各Dフリップフロップの出力が接続されたAND回路を介して、前記カウンタアウトのタイミングを出力するよう構成したことを特徴とする。

20

【0025】

また、本発明の請求項6に記載のスイッチング電源制御用半導体装置は、請求項1から請求項5のいずれかに記載のスイッチング電源制御用半導体装置であって、前記スイッチング素子と前記制御回路とを同一の半導体基板上に集積化し、前記半導体基板上に、少なくとも、前記入力電圧を前記トランスの一次巻線を介して前記スイッチング素子へ入力するためのスイッチング素子入力端子と、前記スイッチング素子のスイッチング動作により得られたスイッチング電流を出力するためのスイッチング素子出力端子と、前記制御回路に前記スイッチング素子のスイッチング動作により前記トランスの三次巻線に発生した電流に基づく直流電圧を供給するための電源端子と、前記スイッチング素子によるスイッチングの間欠動作を制御する制御信号を入力するための制御端子と、前記トランスリセット検出回路に前記トランスリセット検出信号を供給するためのトランスリセット検出用端子とを、外部接続端子として設けたことを特徴とする。

30

【0026】

以上により、間欠動作の停止期間に、トランスリセット検出信号波形のカウント数とカウンタ回路に予め設定されたカウンタ設定値とを比較し、それらが一致するまでに、軽負荷時検出回路から復帰制御信号が出力された場合には、その復帰制御信号出力後のトランスリセット検出信号波形のタイミングで、スイッチング素子がオンするように制御することにより、軽負荷時における間欠スイッチング動作中の共振用コンデンサによるスイッチング電力損失を軽減することができる。

40

【発明の効果】

【0027】

以上のように本発明によれば、間欠動作の停止期間に、トランスリセット検出信号波形のカウント数とカウンタ回路に予め設定されたカウンタ設定値とを比較し、それらが一致するまでに、軽負荷時検出回路から復帰制御信号が出力された場合には、その復帰制御信号出力後のトランスリセット検出信号波形のタイミングで、スイッチング素子がオンするように制御することにより、軽負荷時における間欠スイッチング動作中の共振用コンデンサによるスイッチング電力損失を軽減することができる。

50

【0028】

そのため、軽負荷時におけるスイッチング素子の電流損失を低減して軽負荷時における消費電力をさらに削減することができ、待機モードを含む広範囲な負荷領域で、十分に高い電力効率を容易に得ることができ、低コストでスイッチング電源の電源効率をさらに改善することができる。

【発明を実施するための最良の形態】

【0029】

以下、本発明の実施の形態を示すスイッチング電源制御用半導体装置について、図面を参照しながら具体的に説明する。

(実施の形態1)

本発明の実施の形態1のスイッチング電源制御用半導体装置を説明する。

【0030】

図1は本実施の形態1のスイッチング電源制御用半導体装置の一構成例を示す回路図である。図2は本実施の形態1のスイッチング電源制御用半導体装置を用いて構成したスイッチング電源の一構成例を示す回路図である。

【0031】

このスイッチング電源制御用半導体装置51では、パワーMOSFETなどによるスイッチング素子1とスイッチング素子1のスイッチング制御を行うための制御回路が同一の半導体基板上に集積化されており、スイッチング素子1の入力端子46と出力端子47、スイッチング電源制御用半導体装置51の起動電圧検出用端子および制御回路の電源端子48、制御信号を入力するための制御端子50、トランス103のバイアス巻線(三次巻線)電圧検出用端子(トランスリセット検出端子)49の5端子で構成されている。

【0032】

レギュレータ6はスイッチング素子1の入力端子46、起動電圧検出用端子48および制御回路およびゲートドライバ用基準電源8との間に接続されており、スイッチング素子1の入力端子46の電圧が一定値以上になったときに、スイッチング電源制御用半導体装置51の内部回路電流を供給して、比較器9により、スイッチング電源制御用半導体装置51の制御回路およびゲートドライバ基準電源8の電圧が一定値になるように制御している。

【0033】

起動/停止回路用比較器7の出力は、NAND回路44へ入力され、その出力信号はゲートドライバ45を通してスイッチング素子1のゲートに出力されており、端子48の電圧の大きさによって、スイッチング素子1の発振および停止を制御している。

【0034】

22はクランプ回路であり、制御端子50に接続されており、スイッチング電源制御用半導体装置51の外部にフォトトランジスタ110などが接続されるため、一定電位に設定されている。

【0035】

29はI-V変換器であり、制御端子50から流出する電流を電圧に内部変換する。トランス103のバイアス巻線103cの電圧を検出する端子49には、ハイサイドクランプ回路12およびローサイドクランプ回路11が接続され、スイッチング電源制御用半導体装置51の内部に入力される電圧を制限している。また、端子49にはトランスリセット検出回路13が接続されており、ワンショットパルス(トランスリセット)発生回路21により、スイッチング素子1のターンオン信号のタイミングを決定している。

【0036】

10はスタートパルス(起動パルス)発生回路であり、比較器7の出力信号、つまり、起動信号により出力を発生し、OR回路34を通して、RSフリップフロップ35のセット端子に入力され、その出力QはNAND回路44へ入力される。

【0037】

起動後は、スタートパルス信号、そして通常動作中は、ワンショット(トランスリセッ

10

20

30

40

50

ト) パルス信号により、OR回路34を介して、RSフリップフロップ35の出力信号QがHとなり、スイッチング素子1をターンオン状態にする。

【0038】

スイッチング素子1がオン後、スイッチング素子1に流れる電流とスイッチング素子1のオン抵抗による電圧、つまり、オン電圧がドレイン電流検出用比較器41のプラス側に入力され、この電圧がマイナス側の電位よりも高くなった時にオン時ブランキングパルス発生回路42とのAND回路43を介し、RSフリップフロップ35のリセット信号として入力され、スイッチング素子1はターンオフする。つまり、スイッチング素子1のオン抵抗を検出することにより、ドレイン電流の制限を行っている。

【0039】

また、ドレイン電流検出用比較器41のマイナス側には、クランプ回路36と制御端子50から流出する電流に対応してI-V変換器29により内部変換した出力電圧VEAOとに基づいて、定電流源37およびP型MOSFET38により生成された電圧が印加されており、クランプ回路36でドレイン電流の上限(最大ドレイン電流)を制限して、I-V変換器29からの出力電圧VEAOのレベルにより、スイッチング素子1のドレイン電流を変化させることができる。つまり、制御端子50からの流出電流が増加するほどI-V変換器29の出力電圧VEAOが低下するため、ドレイン電流検出用比較器41のマイナス側の電位が低下し、その結果として、スイッチング素子1のドレイン電流は低下することになる。

10

【0040】

このように、制御端子50の電流により内部電圧変換されたI-V変換器29の出力電圧VEAOと端子49によりトランス103のバイアス巻線103cの電圧を検出し、スイッチング素子1のターンオンするタイミングを決定するトランスリセット検出回路13の出力によりワンショットパルスを発生するトランスリセットパルス発生回路21の出力信号によって、スイッチング素子1のオン/オフ期間は決定される。

20

【0041】

このスイッチング電源装置では、商用の交流電源が、ダイオードブリッジなどの整流器101により整流されて、入力コンデンサ102にて平滑化されることにより、直流電圧VINとされて、電力変換用トランス103に与えられている。電力変換用のトランス103は、一次巻線103aと二次巻線103bと三次巻線(バイアス巻線として使用)103cを有しており、直流電圧VINが一次巻線103aに与えられる。

30

【0042】

トランス103の一次巻線103aに与えられた直流電圧VINは、スイッチング電源制御用半導体装置51内のスイッチング素子1によりスイッチングされる。そして、そのスイッチング素子1のスイッチング動作によって、トランス103の二次巻線103bに電流が取り出される。二次巻線103bに取り出された電流は、二次巻線103bに接続されたダイオード104およびコンデンサ105により、整流および平滑化され、出力電圧Voによる直流電力として負荷109へ供給される。

【0043】

コンデンサ105の両端には、例えばLED107およびツェナーダイオード108で構成された出力電圧検出回路106が接続されており、出力電圧Voを安定化させるための帰還信号を、スイッチング電源制御用半導体装置51の制御端子50に接続されている一次側のフォトトランジスタ110へ出力している。

40

【0044】

また、トランスの三次巻線103cには、バイアス巻線電圧検出用端子49、およびダイオード112を介して、起動電圧検出用端子48に接続されている。また、コンデンサ111は、端子48が急激に低下しないようにするもの、つまり、安定化させるものであり、端子49に接続された抵抗器116およびコンデンサ117は、遅延時間を生成するためであり、これらにより端子49で検出されるトランスリセット検出のタイミングを調整している。スイッチング素子1の入出力間に接続されたコンデンサ118は、トランス

50

103との共振によるリングングの大きさおよび周期を決定するためのものである。

【0045】

図1に示すスイッチング電源制御用半導体装置51には、制御端子50から流出する電流をI-V変換器29により電圧変換した出力電圧VEAOが与えられる軽負荷時検出回路32が設けられている。この軽負荷時検出回路32には、軽負荷時検出用比較器30が設けられている。軽負荷時検出用比較器30のマイナス入力としては、I-V変換器29から出力される出力電圧VEAOが与えられており、プラス入力としては、基準電圧源31から出力される基準電圧VRが与えられている。軽負荷時検出用比較器30は、入力される出力電圧VEAOと基準電圧VRとを比較して、出力電圧VEAOが基準電圧VRを下回った場合に、所定の出力信号VO1を、インバータ33を介してAND回路15、17、19に出力するようになっている。また、軽負荷時検出用比較器30の出力信号VO1は、基準電圧源31にも与えられており、基準電圧源31は、軽負荷時検出用比較器30の出力信号VO1を受けて出力電圧VRが変化している。

10

【0046】

AND回路19には、トランスリセット検出端子49の電圧を検出してトランスリセット検出回路13から出力されるトランスリセット検出信号がクロック信号として、他の入力信号として与えられており、AND回路19の出力が、ワンショットパルス形態のトランスリセットパルスを発生するトランスリセットパルス発生回路21に与えられている。軽負荷時検出時、つまり、スイッチング素子1停止時には、その停止時間によって共振動作の振幅が小さくなり、トランスリセット信号を検出できなくなる恐れがあるため、トランスリセットパルス発生回路21が働かないようにしている。

20

【0047】

RSフリップフロップ16のセット端子(S)には、トランスリセット検出回路13の出力信号がカウンタ回路14を介して入力され、リセット端子(R)には、トランスリセット検出回路13の出力信号と軽負荷時検出比較器30の出力信号VO1を入力としてインバータ33を介して出力される信号とが入力されるAND回路15の出力信号が入力される。また、軽負荷時検出比較器30の出力信号VO1を入力としてインバータ33を介して出力される信号はカウンタ回路14にも入力されている。RSフリップフロップ16の出力信号Qの一方は、AND回路17に入力され、他方は、インバータ18を介してAND回路19に入力される。なお、通常動作時、RSフリップフロップのリセット端子(R)にはHが入力されるため、出力信号QはLであり、AND回路17の一方の入力にはLが入力され、間欠終了パルス発生回路20は機能しないようになっている。また、軽負荷時に間欠停止動作に入った場合、軽負荷時検出比較器30の出力信号VO1を入力としてインバータ33を介して出力される信号はLとなるが、その信号がカウンタ回路14に入力され、カウンタ回路14はトランスリセット検出回路13の出力信号を受付けるようになり、予め設定されたカウント数までカウントすると、カウンタ回路14からH信号が出力され、RSフリップフロップ16のセット端子(S)にはHが入力されるために出力信号QはHとなり、インバータ18を介してAND回路19にはLが入力される。その時、トランスリセットパルス発生回路21は機能しない状態となる。また、この状態は、軽負荷時に間欠停止状態から復帰状態に移行し、軽負荷時検出比較器30の出力信号VO1がインバータ33を介して入力されるH信号、かつ、トランスリセット検出回路13の出力H信号がAND回路15に入力され、RSフリップフロップ16のリセット端子(R)にHが入力されるまで保持される。また、軽負荷時に間欠停止動作に入り、カウンタ回路14によるカウント数が予め設定されたカウント数まで達しないうちに、軽負荷時検出比較器30の出力信号VO1がインバータ33を介して入力される信号がH、つまり、復帰信号が出力された場合、RSフリップフロップ16のセット端子(S)にはLが入力されたままであるため、復帰信号出力後は、通常動作時、と何ら変わらない動作を行う。

30

40

【0048】

また、軽負荷時検出比較器30の出力VO1はインバータ33およびAND回路17を介して間欠終了パルス発生回路20に入力されているが、停止期間終了後、RSフリップ

50

フロップの出力信号 Q が H の時に、間欠終了パルス発生回路 20 の出力が OR 回路 34 に入力され、その出力信号は、RS フリップフロップ 35 のセット信号として入力される。RS フリップフロップ 35 の出力信号は NAND 回路 44 に入力され、その出力は、ゲートドライバ 45 を通してスイッチング素子 (パワー MOS F E T) 1 のゲートに出力される。このように、軽負荷時検出比較器 30 により、待機状態である軽負荷状態を検出すると、トランスリセット検出回路 13 を動作しないようにし、間欠終了パルス発生回路 20 の出力信号によりスイッチング素子 1 のスイッチングを再開させるようにスイッチング制御される。

【 0 0 4 9 】

以上のように、軽負荷時に間欠制御を行うことにより、スイッチング素子 1 によるスイッチングロスを抑え、軽負荷時の電源効率を改善することができるが、従来例では、負荷の状態に関わらず、間欠動作の復帰信号で復帰パルス (間欠停止終了パルス) により、スイッチングを再開してしまう。

【 0 0 5 0 】

間欠動作に入りスイッチング素子 1 である内蔵パワー MOS F E T が停止 (オフ) 中には、トランスの L (インダクタンス) と D - S 間の容量 (MOS 自身の容量および外付容量の総和) との共振により、スイッチング素子 1 のドレイン電圧はリングング動作を行っている。

【 0 0 5 1 】

ここで負荷が非常に軽くなり、間欠動作の停止期間が長い場合には、リングングが減衰し、ドレイン電圧は振動中心付近の電圧になっており、復帰信号により、パワー MOS F E T 1 がオンした時には、D - S 間容量による大きなロスが発生する。そのロスは、 $CV^2/2$ で表わされるため、ドレイン電圧のレベルが高い場合や容量 C が大きい場合に、このロスは顕著になる。しかし、停止期間が長い場合には、停止期間が長いことによるスイッチングロスの低減効果が大きいのと、復帰後は、擬似 (部分) 共振動作を行い、ドレイン電圧のボトム (零ボルト) でオンするため、 $CV^2/2$ で表わされるロスは無視できるほどになる。つまり、間欠動作復帰後のリングング波形の一発目だけが、ドレイン電圧や外付 C によるロスを発生する。

【 0 0 5 2 】

しかし、間欠の停止期間が短く停止・復帰が短時間で繰り返されるような場合、上記 $CV^2/2$ で表わされるロスは非常に大きくなり、せっかく間欠動作制御により、軽負荷時の電源効率を改善しているにもかかわらず、ロスが大きくなってしまう可能性がある。

【 0 0 5 3 】

そのため図 1 に示すように、間欠動作によりパワー MOS F E T 1 のスイッチング動作が停止してから、トランスリセット検出信号、つまり、リングングをカウントし、あるカウント以内であれば、間欠動作中のスイッチング復帰信号でスイッチング素子 (パワー MOS F E T) 1 がオンするのではなく、復帰信号後に入力されたトランスリセット検出信号でスイッチング素子 (パワー MOS F E T) 1 をオンするようにする。つまり、通常状態と同様にドレイン電圧のボトムでオンする。これは、間欠動作中の復帰停止が短時間で繰り返される時に有効であり、そうすることで、リングングの減衰が小さい段階でも、ドレイン電圧のボトムでオンすることができるため、 $CV^2/2$ で表わされるロスを低減することができる。

【 0 0 5 4 】

なお、カウンタ回路 14 のリセットは、間欠動作復帰後にトランスリセット検出信号を検出した時に行うようにする。こうすることで、復帰後にスイッチング素子 (パワー MOS F E T) 1 がオンするまでは、カウンタの出力を固定することができる。

【 0 0 5 5 】

このように構成されたスイッチング電源制御用半導体装置 51 およびスイッチング電源装置の軽負荷時における動作を説明する。なお、このスイッチング電源装置は、部分共振動作を利用したリングングチョークコンバータ (R C C) であり、本実施の形態 1 を説明

10

20

30

40

50

するための一構成例である。

【0056】

図3は本実施の形態1のスイッチング電源制御用半導体装置における基準電圧源の動作を説明するためのタイムチャートである。図4は本実施の形態1のスイッチング電源制御用半導体装置における基準電圧源の内部回路の一構成例を示す回路図である。図5は実施の形態1のスイッチング電源制御用半導体装置およびそのスイッチング電源制御用半導体装置を備えたスイッチング電源装置の動作を説明するためのタイムチャートである。

【0057】

整流器101に商用電源からの交流電源が入力されると、整流器101とコンデンサ102とにより、整流および平滑化されて、直流電圧VINに変換される。この直流電圧VINがトランス103の一次巻線103aに印加される。そして、直流電圧VINが一定値以上になると、スイッチング電源制御用半導体装置51内のレギュレータ6を介して、コンデンサ111に充電電流が流れ、スイッチング電源制御用半導体装置51の端子48の電圧が起動/停止用比較器7で設定された起動電圧に達すると、スイッチング素子1によるスイッチング動作の制御が開始される。

10

【0058】

起動/停止用比較器7の出力信号を基に起動パルス発生回路10によりスタートパルス(起動パルス)が発生し、スイッチング素子1がターンオンする。また、二次側の出力は、起動時低いため、出力電圧検出回路106のツェナーダイオード108には電流が流れないためフォトトランジスタ110には電流が流れない。したがって、I-V変換器29の出力電圧VEAOはクランプ回路36よりも高いレベルとなり、ドレイン電流検出用比較器41のマイナス側は、クランプ回路36で決まる電圧に設定されている。起動パルス発生回路10によりスタートパルスが発生し、スイッチング素子1がターンオンすると、スイッチング素子1に電流が流れ、オン抵抗との積で決まるオン電圧がドレイン電流検出用比較器41のプラス側に入力されるが、マイナス側で決まる電圧以上上昇すると、RSフリップフロップ35のリセット端子信号にHが入力され、スイッチング素子1はターンオフする。

20

【0059】

この後、トランス103のインダクタンスとコンデンサ118およびスイッチング素子1の入出力間容量で決定される共振動作により、トランス103の三次巻線(バイアス巻線)103cの電圧が正から負、つまり、スイッチング素子1の入力端子46の電圧が低下したときに、トランスリセット検出回路13により、トランスリセットパルス発生回路21からのワンショットパルス信号がOR回路34を介して、RSフリップフロップ35のセット端子にHが入力され、スイッチング素子1はターンオンする。

30

【0060】

なお、トランス103の三次巻線(バイアス巻線)103cと端子49との間に接続された抵抗器116およびコンデンサ117により、トランスリセット検出回路13の検出時間を調整し、スイッチング素子1の入力端子46の電圧が略零ボルトになったポイントでスイッチング素子1をターンオンするようにしている。

【0061】

以上のようなスイッチング動作が繰り返されて、出力電圧Voが上昇していくが、出力電圧検出回路106で設定された電圧以上になると、LED107が導通し、フォトトランジスタ110に電流が流れ、スイッチング電源制御用半導体装置51の制御端子50からの電流が流出する。この流出電流の大きさで、I-V変換器29の出力電圧VEAOが低下するため、ドレイン電流検出用比較器41のマイナス側が低下するため、スイッチング素子1のドレイン電流は減少する。このように、スイッチング素子1のオンデューティは適切な状態に変化していく。つまり、スイッチングは、トランスリセット検出回路13からの出力信号により、トランスリセットパルス発生回路21から出力されたワンショットパルスによりターンオンし、スイッチング素子1のオンデューティは制御端子50から流出する電流により決定される。

40

50

【 0 0 6 2 】

すなわち、負荷 1 0 9 への電流供給が小さい軽負荷時には、スイッチング素子 1 に電流 I D S が流れる期間が短くなり、重負荷時には、スイッチング素子 1 に電流 I D S が流れる期間が長くなる。

【 0 0 6 3 】

このように、スイッチング電源制御用半導体装置 5 1 は、スイッチング電源の負荷 1 0 9 に供給される電力に応じて、スイッチング素子 1 のドレイン電流 I D S を制御し、オンデューティを変化させるといった制御を行う。また、スイッチング素子 1 のターンオンするタイミングは、共振動作中にスイッチング素子 1 の入力電圧が最も低下したときに出力するように設定されているため、オン時のスイッチングロスがほとんどない。つまり、オン時のスイッチングロスを無視できるような部分共振動作を行う。このような動作を行うことで、通常動作時の高効率化および低ノイズ化を実現することができる。

10

【 0 0 6 4 】

軽負荷時検出用比較器 3 0 は、制御端子 5 0 から流出する電流を I - V 変換器 2 9 により電圧変換した出力電圧 V E A O と基準電圧源 3 1 の出力電圧 V R とを比較する。基準電圧源 3 1 の出力電圧 V R は、当初、軽負荷時検出下限電圧 V R 1 となっている（図 5 の定格負荷）。スイッチング電源の出力に接続された負荷 1 0 9 への電流供給が小さくなる待機時の場合等においては、負荷への供給電流が低下すると、出力電圧 V o が上昇し（図 5 の負荷変動状態）、LED 1 0 7 によるフォトトランジスタ 1 1 0 の電流が増加する。この電流により制御端子 5 0 から流出する電流が増加するため、式（ 1 ）に従って、I - V 変換器 2 9 の変換電圧 V E A O が下降する。

20

$$V E A O = V 0 - R \times I \quad \cdot \cdot \cdot \cdot (1)$$

ここで、V 0 は予め設定された基準電圧源 2 8 による基準電圧、R は抵抗器 2 7 の抵抗値、I は制御端子 5 0 から流出する電流を内部のミラー回路 2 3 ~ 2 6 により変換された抵抗器 2 7 を流れる電流値である。

【 0 0 6 5 】

したがって、上記式（ 1 ）から、制御端子 5 0 からの流出電流が増加するほど I - V 変換器 2 9 の出力電圧 V E A O は低下する。これに伴い、ドレイン電流検出用比較器 4 1 の基準電源（マイナス側）が低下し、スイッチング素子 1 のドレイン電流は徐々に低下して負荷 1 0 9 への電力供給は低下していく。そして、この I - V 変換器 2 9 の変換電圧 V E A O が軽負荷時検出下限電圧 V R 1 よりも小さくなると、軽負荷時検出状態となり、図 3 に示すように、軽負荷時検出用比較器 3 0 の出力信号 V O 1 は、ローレベルからハイレベルに変化する。

30

【 0 0 6 6 】

これにより、インバータ 3 3 を通った A N D 回路 1 9 の出力はローレベルになり、トランシセットパルス発生回路 2 1 のワンショットパルス信号が出力されないため、スイッチング素子 1 のスイッチング動作が停止する。このとき同時に、軽負荷時検出用比較器 3 0 の出力信号 V O 1 を受けて、基準電圧源 3 1 の出力電圧 V R は、軽負荷時検出下限電圧 V R 1 から軽負荷時検出上限電圧 V R 2 へ変更される（図 5 の待機状態（ 1 ）、（ 2 ））。

40

【 0 0 6 7 】

スイッチング素子 1 によるスイッチング動作が停止して、スイッチング素子 1 がオフ状態になると、スイッチング素子 1 には電流が流れない状態になる。これにより、負荷 1 0 9 への電力供給がなくなるため、負荷 1 0 9 への出力電圧 V o は徐々に低下する。これにより、I - V 変換器 2 9 の出力電圧 V E A O が徐々に上昇するが、基準電圧源 3 1 の出力電圧は、軽負荷時検出下限電圧 V R 1 よりも高い軽負荷時検出上限電圧 V R 2 になっているため、図 3 に示すように、スイッチング素子 1 によるスイッチング動作が直ちに再開されることはない。

50

【0068】

そして、図3に示すように、さらに負荷109への出力電圧 V_o が低下して、I-V変換器29の出力電圧 $VEAO$ が軽負荷時検出上限電圧 $VR2$ より上昇した時には、軽負荷時検出用比較器30の出力信号 $VO1$ はローレベルとなり、その信号（つまり、復帰信号）を受け、以下の2通りの場合で、スイッチング素子1のスイッチング動作が再開される。（1）スイッチング素子1が停止時にトランスリセット検出回路13によるスイッチング素子1のリングング回数がカウンタ回路14で設定したカウント数に満たないうちに、スイッチング素子1のスイッチング動作復帰信号が入力された場合は、復帰信号後にトランスリセット検出回路13により検出されたトランスリセット検出信号を受け、トランスリセットパルス発生回路21によるワンショットパルスでスイッチング素子1のスイッチング動作が再開し、以降は、通常のトランスリセットパルス発生回路21のワンショットパルス出力信号により、スイッチング素子1はスイッチングを行う。（2）スイッチング素子1が停止時にトランスリセット検出回路13によるスイッチング素子1のリングング回数がカウンタ回路14で設定したカウント数に達した後に、スイッチング素子1のスイッチング動作復帰信号が入力された場合は、インバータ33を通った間欠終了パルス発生回路20により復帰のワンショットパルスが出力され、スイッチング素子1のスイッチング動作が再開する。同時に、AND回路19により動作を停止させていたトランスリセット検出回路13が有効となりトランスリセットパルス発生回路21のワンショットパルス出力信号により、スイッチング素子1は通常の擬似（部分）共振型のオンオフ動作が再開される（図5）。

10

20

【0069】

また、図3に示すように、I-V変換器29の出力電圧 $VEAO$ が軽負荷時検出上限電圧 $VR2$ より上昇し、軽負荷時検出用比較器30の出力信号 $VO1$ はローレベルとなると、基準電圧源31の出力電圧 VR は、待機時（軽負荷時）検出上限電圧 $VR2$ から待機時（軽負荷時）検出下限電圧 $VR1$ へ変更される。スイッチング素子1によるスイッチング動作が再開されると、スイッチング素子1のオンデューティは、軽負荷時検出時のオンデューティよりも広がっているため、負荷109への電力供給は過剰となり、再び負荷への出力電圧 V_o が上昇し、I-V変換器29の出力電圧 $VEAO$ が低下する。そして再び軽負荷時検出されると、スイッチング素子1のオンオフの繰り返しによるスイッチング動作が停止する。

30

【0070】

このように、基準電圧源31からの出力電圧 VR が、軽負荷時検出することによって、軽負荷時検出下限値 $VR1$ から軽負荷時検出上限値 $VR2$ へと変化するため、待機時を検出している間は、スイッチング素子1のオンオフ動作を繰り返すスイッチング制御は、停止と再開とが繰り返されるといった間欠発振状態（間欠スイッチング動作）となる。

【0071】

負荷109への出力電圧 V_o は、この間欠発振の停止期間中に低下するが、この低下の度合いは負荷109への供給電流に依存する。つまり、負荷109で消費される電流が小さくなるほど負荷109の出力電圧 V_o の低下が緩やかになり、間欠発振の停止期間は負荷109で消費される電流が小さいほど長くなるため、負荷が軽くなればなるほど、スイッチング素子1のスイッチング動作が減少することになる。

40

【0072】

図4に示す基準電圧源31は、基準電圧源31の出力電圧 VR を決定するための定電流源300と定電流源301および抵抗303と、P型MOSFETなどのスイッチング素子302およびインバータ回路304とで構成されている。

【0073】

定電流源300は、定電流 $I1$ を供給し、抵抗器303に接続されている。また、定電流源301は定電流 $I2$ を供給し、スイッチ素子（P型MOSFET）302を介して抵抗器303に接続されている。スイッチング素子302のゲートなどの入力端子には、軽負荷時検出用比較器30の出力信号 $VO1$ がインバータ回路304を介して入力される。

50

また、定電流源 300 および定電流源 301 と抵抗 303 で作られる電圧が、基準電圧源 31 の出力電圧 V_R として出力され、軽負荷時検出用比較器 30 のプラス側端子へ入力されるようになっている。

【0074】

このように構成された軽負荷時検出回路 32 の動作を以下に説明する。

図 3 に示すように、軽負荷時検出前状態においては、軽負荷時検出用比較器 30 の出力信号 V_{O1} はローレベル (LOW) となっているため、スイッチ素子 302 はオフとなる。従って、この時の基準電圧源 23 の出力信号 V_R 、すなわち軽負荷時検出下限電圧 V_{R1} は式 (2) で表される。

$$V_{R1} = R1 \times (I1) \quad \dots (2)$$

一方、軽負荷時検出状態になると、軽負荷時検出用比較器 30 の出力信号 V_{O1} はハイレベル (HIGH) となるため、スイッチ素子 302 がオンとなり、定電流源 301 から供給される電流 $I2$ も抵抗 303 へ流れることになる。従って、この時の基準電圧源 31 の出力信号 V_R 、すなわち軽負荷時検出上限電圧 V_{R2} は式 (3) で表される。

$$V_{R2} = R1 \times (I1 + I2) \quad \dots (3)$$

以上により、図 3 に示すように、待機時検出用比較器 30 の出力信号 V_{O1} に応じて、基準電圧源 31 の出力電圧 V_R が軽負荷時検出下限電圧 V_{R1} となったり、軽負荷時検出上限電圧 V_{R2} となったりすることで、待機時の間欠発振状態を作り出すことができる。さらに、間欠スイッチング動作とカウンタ回路によるドレイン電圧のボトムオンにより、従来よりも更に軽負荷時の電源効率を改善することができる。

【0075】

なお、本実施の形態 1 では、軽負荷時検出用比較器 30 の出力信号 V_{O1} に応じて、基準電圧源 31 の出力電圧設定用の定電流値を変化させるようになっているが、軽負荷検出用比較器 30 の出力信号 V_{O1} に応じて、基準電圧源 31 の出力電圧設定用の抵抗値を変化させるようにしても良い。

【0076】

次に、トランス 103 の二次巻線 103b からの直流出力側に接続される負荷状態を、定格負荷時、待機状態 (1) 時、待機状態 (2) 時とに場合分けして、各波形に対応する動作を説明する。

【0077】

図 6 は本実施の形態 1 のスイッチング電源制御用半導体装置における定格負荷時のスイッチング開始動作を示す波形図である。図 7 は本実施の形態 1 のスイッチング電源制御用半導体装置における待機状態 (1) のスイッチング開始動作を示す波形図である。図 8 は本実施の形態 1 のスイッチング電源制御用半導体装置における待機状態 (2) のスイッチング開始動作を示す波形図である。

【0078】

まず図 6 では、通常の擬似共振動作時の様子を表わしており、間欠動作に入っていないため、基準電圧源 31 の出力電圧は V_{R1} となっており、カウンタの出力信号は L レベルである。

【0079】

また図 7 では、間欠動作には入っているが、停止・復帰の期間 (停止期間) が短いような負荷の場合を表わしており、トランスリセット検出信号 (トランスリセットパルス信号) が設定されたカウント数に達していない状態で復帰信号が出ているため、カウンタ回路 14 の出力信号は L レベルのままである。この場合、復帰信号後に入力されたトランスリセット検出信号でスイッチング素子 (パワー MOSFET) 1 をオンするように制御しているため、間欠動作に入っているにもかかわらず、ボトムオン、つまり、擬似共振動作を

10

20

30

40

50

していることになる。

【0080】

また図8では、停止期間が長く、予め設定されたカウント数よりも停止期間が長い場合を表わしており、この場合、復帰信号のタイミングでは、すでにカウンタ回路の出力信号はHレベルになっているため、復帰信号によりスイッチング素子1（パワーMOSFET）1がオンするようになる。なお、図1でも説明したが、カウンタ回路のリセット信号は、復帰後のトランスリセット検出信号となり、復帰後にトランスリセット検出信号を検出するまでは、カウンタ回路の出力は保持される。つまり、トランスリセット検出信号検出後は、通常動作に移行した状態である。したがって、このように予め設定されたカウント数よりも停止期間が長い場合には、復帰の最初のオン時には、復帰信号によりスイッチング素子1がターンオンするため、擬似共振動作とはならないが、次のターンオンからは、通常の擬似共振動作に移行する。

10

【0081】

なお、上記のカウンタ回路14は、そのカウントアウトのタイミングを、スイッチング動作停止期間におけるスイッチング素子1の入力端子電圧であるドレイン電圧波形を基に、間欠動作中のスイッチング素子1における消費電力が予め決めた所定値以下になるように、ドレイン電圧波形の波数について使用負荷に応じた最適なカウント数のタイミングとして、カウントアウトの設定値を決定している。

【0082】

また、上記のカウンタ回路14は、そのカウント値を、軽負荷時検出回路32からのスイッチング動作再開を示す制御信号（復帰信号）の出力タイミングでリセットするよう構成している。

20

（実施の形態2）

本発明の実施の形態2のスイッチング電源制御用半導体装置を説明する。

【0083】

図9は本実施の形態2のスイッチング電源制御用半導体装置の一構成例を示す回路図である。図10は本実施の形態2のスイッチング電源制御用半導体装置におけるスイッチング動作を示す波形図である。図11は本実施の形態2のスイッチング電源制御用半導体装置における遅延回路の一構成例を示す回路図である。

【0084】

図9では、図1に遅延回路52を追加しであり、このように遅延回路52を設けている意味合いを、以下に説明する。

30

まず、最高周波数の制限について説明する。

【0085】

擬似共振はRCC（リングクチョークコンバータ）であり、基本は自励であるので、負荷が軽くなればなるほど発振周波数は高くなる。

電源では、ノイズ規制が厳しく、発振周波数が150kHz以上になると高周波ノイズが発生する。この高周波ノイズとは、一般的に電磁波障害をもたらす周波数帯域（150kHz～1GHz）で問題になるラジオノイズのことをいうが、このノイズは、電源ラインなどを伝わってくる伝導性のノイズと空間に向けて放射される放射性ノイズに大別される。

40

【0086】

そういったことから、軽負荷時に発振周波数が高くなり、高周波ノイズとなる周波数帯域に入らないように、最高周波数を制限している。

次に、スイッチングロス低減による軽負荷時の電源効率の改善について説明する。

【0087】

軽負荷時に発振周波数が高くなると、単位時間当たりのスイッチング回数が増加することになる。したがって、スイッチングに伴うスイッチングロスが増加することになり、このロスを低減するために、周波数が一定以上高くないように制限するようにしている。

50

【0088】

上記の遅延方法では、スイッチング素子（パワーMOSFET）1へのオフ信号出力時、つまり、負荷に応じたスイッチング素子（パワーMOSFET）1のオン抵抗によるドレイン電流検出を行った後から、その信号と片方の入力が入力されるパルス信号であるAND回路53の間に遅延回路52を挿入する。トランスリセットパルス発生回路21からのオン信号は、ドレイン電流検出によるオフ信号とのAND、つまり、ドレイン電流検出状態に基づくオフ時にトランスリセットパルス信号（オン信号）が入力されれば出力されるため、AND回路53にドレイン電流検出によるオフ信号が入力されなければ、トランスリセットパルス信号が入力されてもスイッチング素子（パワーMOSFET）1はオンしない。

10

【0089】

以上のことから、ドレイン電流検出によるオフ信号に対して遅延回路52によりある一定時間の遅延を与えれば、その遅延期間は、リングングによるトランスリセットパルス信号（オン信号）がAND回路53に出力されたとしても、スイッチング素子（パワーMOSFET）1はオンしないため、その遅延時間（つまり、トランスリセットパルス信号によるオン状態のマスク時間）を決めれば、その時間より短い時間でトランスリセット検出信号が入力されたとしても、スイッチング素子（パワーMOSFET）1はオンしないことになる。

【0090】

実動作では、軽負荷時に発振周波数が高く、トランスリセット検出信号よりも、マスク時間のほうが後から入力されれば、リングングを1つスキップし、次のトランスリセット検出信号でオンすることになる。このようにして、上記のような効果が得られる。

20

【0091】

次に、図9に示すように、遅延回路52を有するスイッチング電源制御用半導体装置について、負荷状態の通常時、軽負荷時、無負荷時とを場合分けして、図10を用いて説明する。

【0092】

図10に示すように、負荷状態が通常時（図10（a））から軽負荷時（図10（b））へ、さらに無負荷時（図10（c））へと軽くなるにつれて、発振周波数が高くなるはずであるが、スイッチング素子（パワーMOSFET）1のドレイン電圧VDSの波形に対応する波形タイミングを有するトランスリセットパルス信号に対して、遅延回路52による遅延時間だけマスクするブランキング時間以内では、スイッチング素子（パワーMOSFET）1がオンしないためドレイン電流IDは流れず、その周波数はある一定以上の周波数より高くなることはない。

30

【0093】

すなわち、負荷状態が軽負荷となって、スイッチング素子（パワーMOSFET）1をオンさせるためのトランスリセットパルス信号の周期が短くなれば短くなるほど、図10（b）、（c）に示すように、パワーMOSFET1のドレイン電圧VDSに対応するトランスリセットパルス信号の波形において、パワーMOSFET1へのオンタイミングに対して、ブランキング時間によりスキップする数が増えてくるため、その期間は、ドレイン電圧VDSが0Vになっていてもドレイン電流IDは流れず、スイッチングにおける発振周波数はある一定以上に高くなることはない。

40

【0094】

次に、遅延回路52の一構成例を図11を用いて説明する。

図11に示す遅延回路52では、パワーMOSFET1へのオフ信号を受け、ドレイン電流検出信号としてHレベルが入力されると、NchMOS901がオンするため、初期状態でVDDのレベルまで充電されていた容量Cから定電流Iで電荷を抜く。つまり、容量Cから一定電流Iで放電していくことであるが、その容量Cの電位がインバータ902の閾値を越えLレベルになると、出力をマスクするブランキング時間を解除する出力ブランキング解除信号がHレベルとなる。

50

【0095】

なお、このマスク時間 t は、 $t = C V / I$ で決まり、 V は V_{DD} 電圧 - インバータ 902 のしきい値電圧で決まる。例えば、 $I = 1 \mu A$ 、 $C = 3 pF$ 、 $V = 2.8 V$ とすると、 $t = 8.4 \mu s$ の遅延時間となる。

(実施の形態 3)

本発明の実施の形態 3 のスイッチング電源制御用半導体装置を説明する。

【0096】

図 12 は本実施の形態 3 のスイッチング電源制御用半導体装置の一構成例を示す回路図である。図 13 は本実施の形態 3 のスイッチング電源制御用半導体装置における遅延回路の一構成例を示す回路図である。図 14 は本実施の形態 3 のスイッチング電源制御用半導体装置における遅延回路の動作を示す波形図である。

10

【0097】

図 12 は、図 9 に示す本実施の形態 2 のスイッチング電源制御用半導体装置における遅延回路 52 に対して、制御端子 50 で検出している負荷状態に応じて、 $I-V$ 変換器 29 からノード 59 を通じて自動的に遅延時間を変更するための構成例を示しており、負荷状態により変化する制御端子 50 から流出する電流に応じて、 P 型 MOSFET 23、24 および N 型 MOSFET 25、26 で構成されたミラー回路によって電流を引っ張り、負荷が軽くなって電流を引っ張れば引っ張るほど、ノード 59 を通じて遅延回路 52 による遅延時間が長くなるように構成されている。

【0098】

また、図 13 は、図 12 における遅延回路 52 に対して負荷の変化に応じてリニアに遅延時間を変化させる場合の遅延回路 52 の一構成例であり、図 12 のノード 59 が N 型 MOSFET 1101 のゲートに接続されている。この構成において、定電流源 1100 による一定電流 I_t と N 型 MOSFET 1101 における電流 I_1 と N 型 MOSFET 1102 における電流 I_2 と容量 C からの放電電流 I_c との間には、

20

$$I_t (\text{一定}) = I_1 + I_2$$

$$I_2 = I_t (\text{一定}) - I_1 = I_c$$

30

の関係があり、一定電流 I_t から N 型 MOSFET 1101 における電流 I_1 を引いた残りが N 型 MOSFET 1102 における電流 I_2 となり、そのミラーとして得られる電流 I_c が容量 C からの放電電流となって、この放電時間により遅延回路 52 の遅延時間が決まる。この場合、制御端子 50 からのフィードバック電流 I_{FB} の増加に従って電流 I_1 が大きくなると電流 I_2 が小さくなって同じ値の電流 I_c も小さくなり、容量 C からの放電時間が長くなって遅延時間も長くなる。

【0099】

したがって、図 14 に示すように、時間 t_1 において負荷が軽くなり出力電圧 V_{out} が上昇するとフィードバック電流 I_{FB} が増え、このフィードバック電流 I_{FB} の増加に従って電流 I_1 が大きくなると電流 I_2 が小さくなって電流 I_c も小さくなり、容量 C からの放電時間が長くなって遅延時間が長くなり、ブランキング時間 t も長くなる。

40

【0100】

以上により、トランスリセット検出信号によるパワー MOSFET 1 のオン開始を遅延させるためのブランキング時間を、負荷状態に応じて自動的に変化させることができ、負荷が軽くなれば軽くなるほど最高周波数が低くなるため、スイッチング素子 (パワー MOSFET) 1 におけるスイッチングロスを抑制することができ、特に軽負荷時におけるスイッチングロスの抑制効果として大きなものがある。

【0101】

次に、上記の各実施の形態のスイッチング電源制御用半導体装置において使用されるカウンタ回路 14 の構成例を説明する。

50

図15は本実施の形態のスイッチング電源制御用半導体装置に使用されるカウンタ回路の一構成例を示す回路図であり、この構成例のカウンタ回路14は、一般的に例えばパルスカウンタとして汎用されているものであるので、構成についての説明は省略する。

【0102】

このカウンタ回路14の場合は、インバータ33の出力信号である間欠動作中のスイッチング停止信号により、カウンタ回路14が動作し始める。カウンタ回路14の出力信号は、Lレベルになっており、この回路構成では、トランスリセット検出回路13からのトランスリセット検出信号のカウントが6回目に出力がHレベルになる。つまり、カウントが5回以内で復帰信号が出てスイッチング動作を再開した場合は、その次のトランスリセット検出信号でスイッチング素子(パワーMOSFET)1がオンすることになる。

10

【0103】

一方、この回路構成で、カウント数が6以上になると、図1のRSフリップフロップ16のセット信号にHレベルが入力され、出力QはHレベルとなり、この場合は、間欠動作中の復帰信号でスイッチング素子1のゲートのオン信号が出力されることになる。

【0104】

なお、RSフリップフロップ16へのリセット信号は、復帰後のトランスリセット検出信号が検出されるまでは入力されない。従って、復帰信号により図15のDフリップフロップ(DFP)は動作しなくなるが、このカウンタ回路14の出力信号は、RSフリップフロップ16により保持されることになる。

【0105】

以上より、間欠動作にカウンタや遅延を新たに設けることで、更なる電源効率の改善が実現できる。製品としては、省エネに重点をおき、現在世の中で言われているW・W入力待機電力0.1Wをクリアできるものである。

20

【0106】

なお、実施の形態1~3において、スイッチング素子としてMOSFETを例示したが、バイポーラトランジスタやIGBT、あるいはこれらを組み合わせた素子であってもよい。

【産業上の利用可能性】

【0107】

本発明のスイッチング電源制御用半導体装置は、軽負荷時におけるスイッチング素子の電流損失を低減して軽負荷時における消費電力をさらに削減することができ、待機モードを含む広範囲な負荷領域で、十分に高い電力効率を容易に得ることができ、低コストでスイッチング電源の電源効率をさらに改善することができるものであり、商用電源からの交流電源を機器に必要とされる直流電源へ変換するAC-DCスイッチング電源等に有効に適用させることができる。

30

【図面の簡単な説明】

【0108】

【図1】本発明の実施の形態1のスイッチング電源制御用半導体装置の一構成例を示す回路図

【図2】同実施の形態1のスイッチング電源制御用半導体装置を備えたスイッチング電源装置の一構成例を示す回路図

40

【図3】同実施の形態1のスイッチング電源制御用半導体装置における基準電圧源の動作を説明するためのタイムチャート

【図4】同実施の形態1のスイッチング電源制御用半導体装置における基準電圧源の内部回路の一構成例を示す回路図

【図5】同実施の形態1のスイッチング電源制御用半導体装置およびそのスイッチング電源制御用半導体装置を備えたスイッチング電源装置の動作を説明するためのタイムチャート

【図6】同実施の形態1のスイッチング電源制御用半導体装置における定格負荷時のスイッチング開始動作を示す波形図

50

【図 7】同実施の形態 1 のスイッチング電源制御用半導体装置における待機状態 1 のスイッチング開始動作を示す波形図

【図 8】同実施の形態 1 のスイッチング電源制御用半導体装置における待機状態 2 のスイッチング開始動作を示す波形図

【図 9】本発明の実施の形態 2 のスイッチング電源制御用半導体装置の一構成例を示す回路図

【図 10】同実施の形態 2 のスイッチング電源制御用半導体装置におけるスイッチング動作を示す波形図

【図 11】同実施の形態 2 のスイッチング電源制御用半導体装置における遅延回路の一構成例を示す回路図

【図 12】本発明の実施の形態 3 のスイッチング電源制御用半導体装置の一構成例を示す回路図

【図 13】同実施の形態 3 のスイッチング電源制御用半導体装置における遅延回路の一構成例を示す回路図

【図 14】同実施の形態 3 のスイッチング電源制御用半導体装置における遅延回路の動作を示す波形図

【図 15】本発明の実施の形態のスイッチング電源制御用半導体装置におけるカウンタ回路の一構成例を示す回路図

【図 16】従来のスイッチング電源制御用半導体装置の一構成例を示す回路図

【符号の説明】

【0109】

- 1 スwitching素子
- 2、4、37、39 定電流源
- 3、5 切り換えスイッチ
- 6 レギュレータ
- 7 起動/停止用比較器
- 8 ゲートドライバ用基準電源（内部回路基準電源）
- 9 ゲートドライバレギュレータ用（内部回路基準電源用）比較器
- 10 起動パルス発生回路
- 11 ローサイドクランプ
- 12 ハイサイドクランプ
- 13 トランスリセット検出回路
- 14 カウンタ回路
- 15、17、19、43、53 AND回路
- 16、35 RSフリップフロップ
- 18、33 インバータ
- 20 間欠終了パルス発生回路
- 21 トランスリセットパルス発生回路
- 22 クランプ回路
- 23、24 P型MOSFET
- 25、26 N型MOSFET
- 27 抵抗器
- 29 I-V変換器
- 30 軽負荷時検出用比較器
- 31 基準電圧源
- 32 軽負荷時検出回路
- 34 OR回路
- 36 クランプ回路
- 38、40 P型MOSFET
- 41 ドレイン電流検出用比較器

10

20

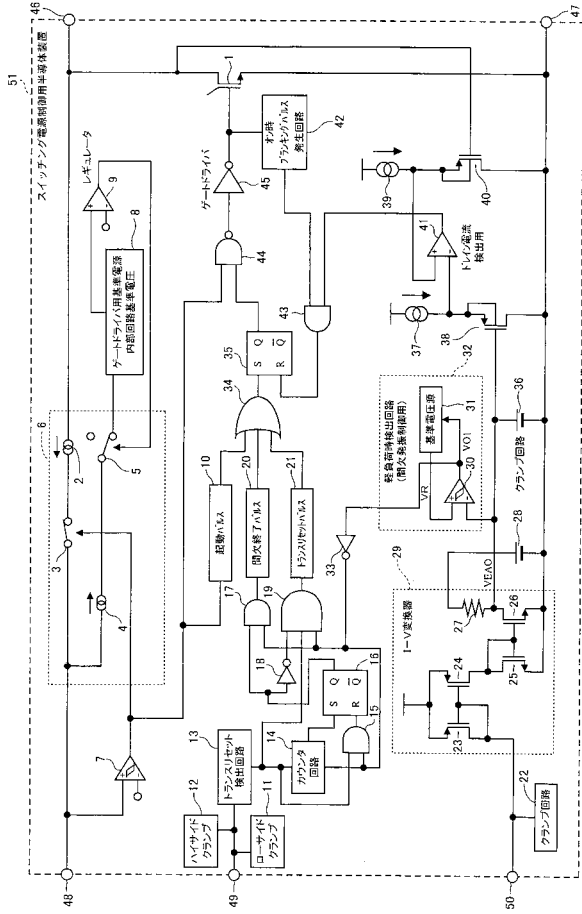
30

40

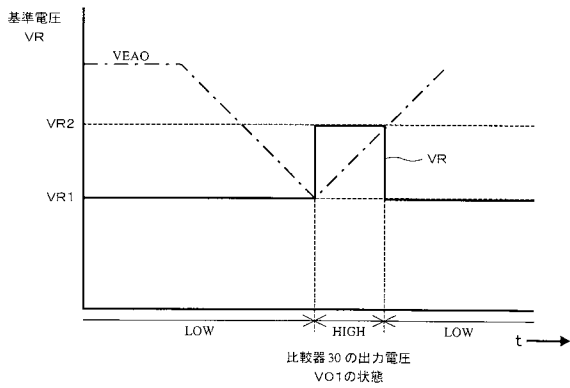
50

| | | |
|-------------------------------|-------------------------|----|
| 4 2 | オン時ブランキングパルス発生回路 | |
| 4 5 | ゲートドライバ | |
| 4 6 | スイッチング素子入力端子 | |
| 4 7 | スイッチング素子出力端子 (グランド端子) | |
| 4 8 | 起動電圧検出用端子 | |
| 4 9 | トランスリセット検出端子 | |
| 5 0 | 制御端子 | |
| 5 1 | スイッチング電源制御用半導体装置 | |
| 5 2 | 遅延回路 | |
| 5 9 | ノード | 10 |
| 1 0 1、1 0 4、1 1 2 | 整流器 | |
| 1 0 2、1 0 5、1 1 1、1 1 7、1 1 8 | コンデンサ | |
| 1 0 3 | トランス | |
| 1 0 3 a | 一次巻線 | |
| 1 0 3 b | 二次巻線 | |
| 1 0 3 c | 三次巻線 (バイアス巻線) | |
| 1 0 6 | 出力電圧検出回路 | |
| 1 0 7 | L E D | |
| 1 0 8 | ツェナーダイオード | |
| 1 0 9 | 負荷 | 20 |
| 1 1 0 | フォトトランジスタ | |
| 1 1 6 | 抵抗 | |
| 3 0 0、3 0 1 | 定電流源 | |
| 3 0 2 | P型M O S F E T | |
| 3 0 3 | 抵抗器 | |
| 3 0 4 | インバータ | |

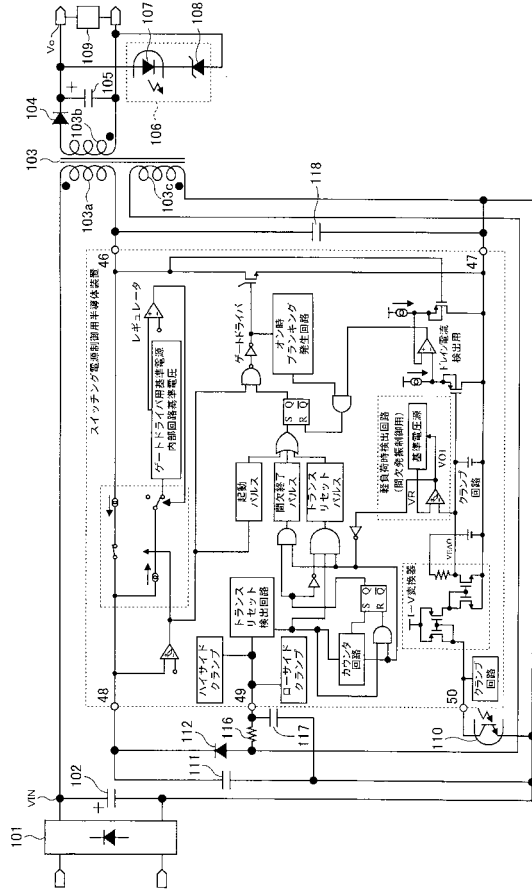
【図1】



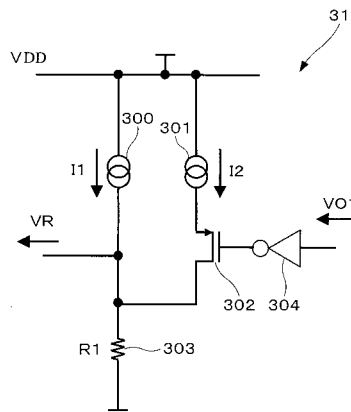
【図3】



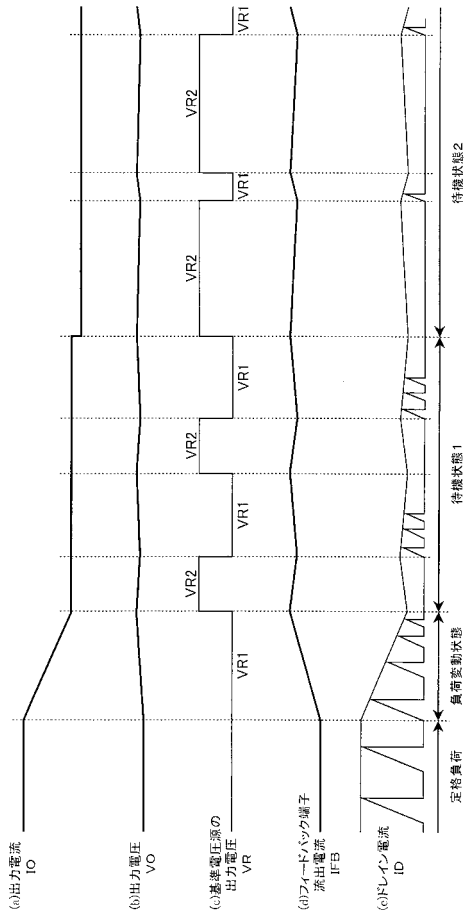
【図2】



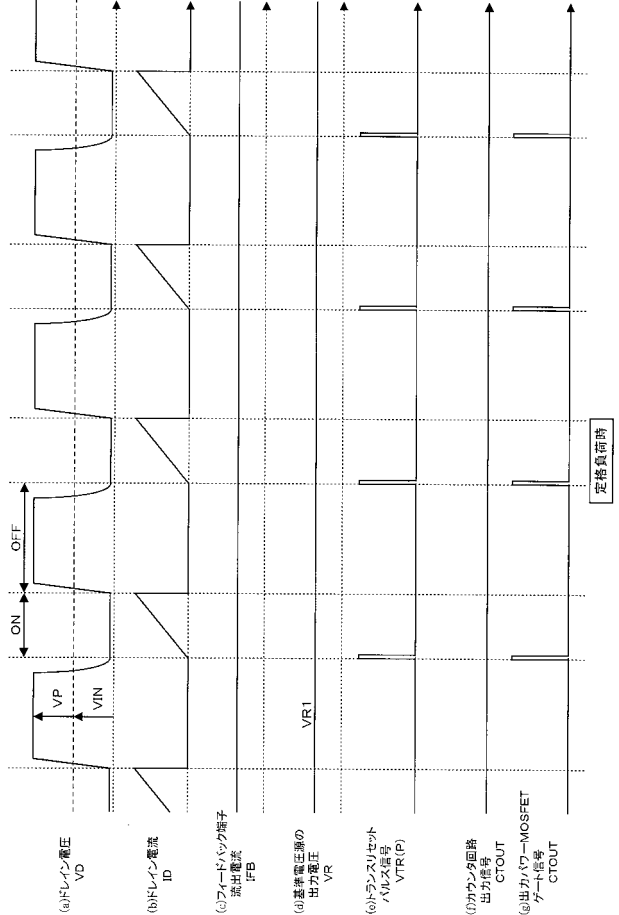
【図4】



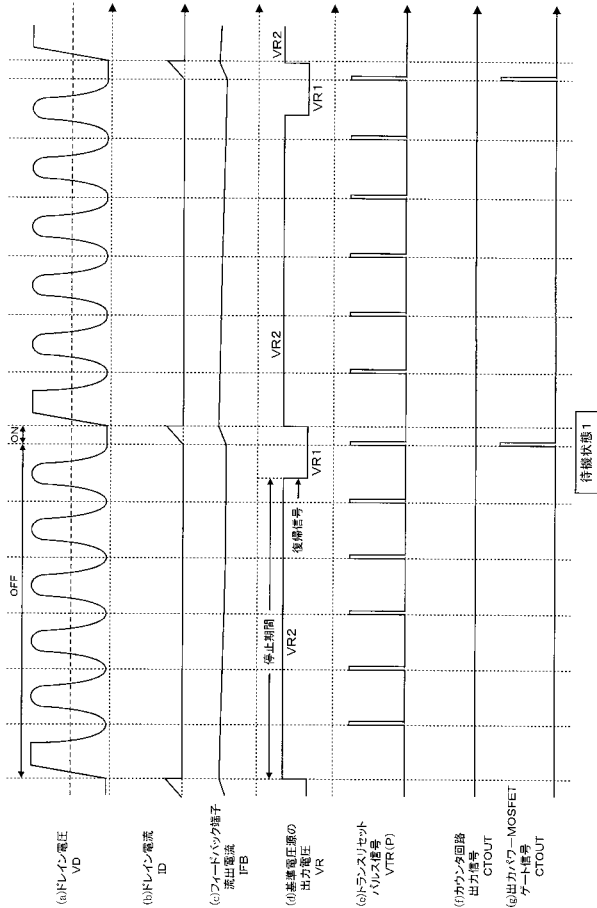
【 図 5 】



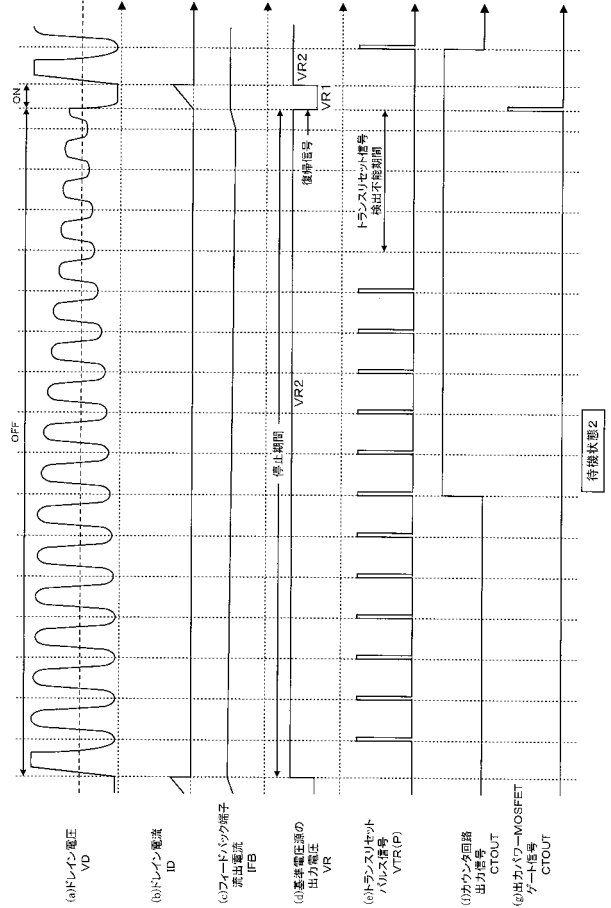
【 図 6 】



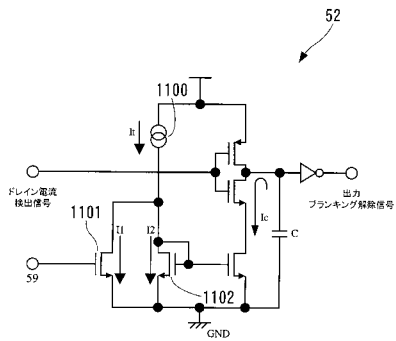
【 図 7 】



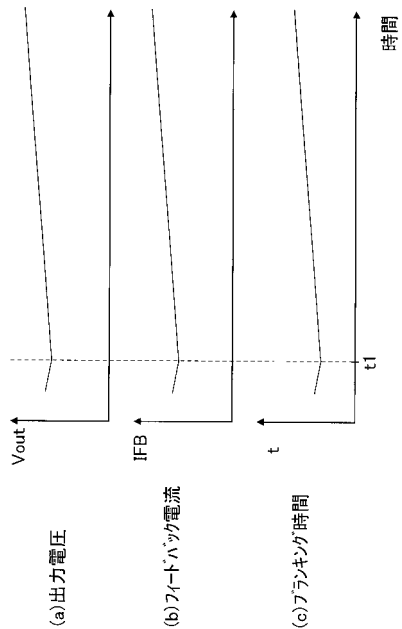
【 図 8 】



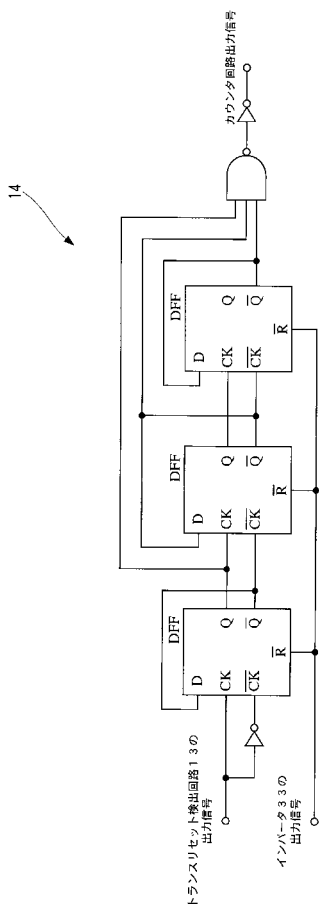
【図 13】



【図 14】



【図 15】



【図 16】

