

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3577195号

(P3577195)

(45) 発行日 平成16年10月13日(2004.10.13)

(24) 登録日 平成16年7月16日(2004.7.16)

(51) Int.Cl.⁷

F I

H O 1 L 21/8242

H O 1 L 27/10

6 2 1 C

H O 1 L 21/768

H O 1 L 21/90

D

H O 1 L 27/108

H O 1 L 27/10

6 8 1 B

H O 1 L 29/78

H O 1 L 27/10

6 8 1 F

H O 1 L 29/78

3 O 1 M

請求項の数 5 (全 30 頁)

(21) 出願番号 特願平9-125257
 (22) 出願日 平成9年5月15日(1997.5.15)
 (65) 公開番号 特開平10-321815
 (43) 公開日 平成10年12月4日(1998.12.4)
 審査請求日 平成15年9月24日(2003.9.24)

(73) 特許権者 503121103
 株式会社ルネサステクノロジ
 東京都千代田区丸の内二丁目4番1号
 (74) 代理人 100064746
 弁理士 深見 久郎
 (74) 代理人 100085132
 弁理士 森田 俊雄
 (74) 代理人 100083703
 弁理士 仲村 義平
 (74) 代理人 100096781
 弁理士 堀井 豊
 (74) 代理人 100098316
 弁理士 野田 久登
 (74) 代理人 100109162
 弁理士 酒井 将行

最終頁に続く

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【特許請求の範囲】

【請求項1】

半導体領域の主表面にチャネル領域を挟むように間隔を隔てて形成された1対の第1および第2のソース/ドレイン領域と、

前記チャネル領域上に形成されたゲート電極と、

前記ゲート電極上に形成された絶縁膜からなる第1のエッチングストッパ層と、

前記第1のエッチングストッパ層上に形成された第1の層間絶縁膜と、

前記第1の層間絶縁膜および前記第1のエッチングストッパ層の前記第1のソース/ドレイン領域上に位置する領域に形成されたビット線用開口と、

前記第1の層間絶縁膜および前記第1のエッチングストッパ層の前記第2のソース/ドレイン領域上に位置する領域に形成された第1のキャパシタ用開口と、 10

前記第1のキャパシタ用開口を介して前記第2のソース/ドレイン領域に接続されるとともに、前記第1のキャパシタ用開口を充填するように形成され、底面の平面積よりも上面の平面積の方が大きいプラグ電極と、

前記第1の層間絶縁膜上および前記プラグ電極の前記第1の層間絶縁膜に隣接する領域上に形成された第1の絶縁膜と、

前記第1の絶縁膜上に形成され、前記ビット線用開口を介して前記第1のソース/ドレイン領域に接続されたビット線と、

前記プラグ電極の上面に電氣的に接続された垂直方向に延びるキャパシタコンタクト部と、前記キャパシタコンタクト部の上部と一体的に形成された水平方向に延びるキャパシタ 20

下部電極とを有する導電層とを備え、

前記導電層のキャパシタコンタクト部は、第2の絶縁膜を介して前記ビット線の上面および側面を覆うように形成されており、

前記第1の層間絶縁膜上と前記第2の絶縁膜上とに形成された絶縁膜からなる第2のエッチングストップパ層と、

前記第2のエッチングストップパ層上に形成された第2の層間絶縁膜と、

前記第1のキャパシタ用開口に達するように、前記第2の層間絶縁膜と前記第2のエッチングストップパ層とに形成された第2のキャパシタ用開口とをさらに備え、

前記第2の層間絶縁膜と前記第2の絶縁膜との間に位置する前記第2のエッチングストップパ層の、前記第2のキャパシタ用開口側の端部が除去されて、前記ビット線の上部側端部の上方に位置する領域に凹部が形成され、

前記キャパシタコンタクト部は、前記第2のキャパシタ用開口内および前記凹部内に充填されて前記ビット線の上方に延びるように形成されており、前記キャパシタ下部電極は、前記第2の層間絶縁膜の上面に沿って延びるように形成されている、半導体装置。

【請求項2】

前記第2の絶縁膜は、

前記ビット線の上面上に接触して形成された上部絶縁膜と、

前記ビット線の側面と前記上部絶縁膜の側面とに接触して形成されたサイドウォール絶縁膜とを含み、

前記ビット線の上面は前記プラグ電極の上面よりも上方に位置している、請求項1に記載の半導体装置。

【請求項3】

前記キャパシタ下部電極の表面は凹凸形状を有している、請求項1に記載の半導体装置。

【請求項4】

前記第2の絶縁膜は酸化膜である、請求項1～3のいずれか1項に記載の半導体装置。

【請求項5】

半導体領域の主表面に、1対の第1および第2のソース/ドレイン領域とゲート電極とを形成する工程と、

前記ゲート電極を覆うように第1のシリコン窒化膜を形成する工程と、

前記第1のシリコン窒化膜上にシリコン酸化膜からなる第1の層間絶縁膜を形成する工程と、

前記第1のシリコン窒化膜をエッチングストップパ層として、前記第1の層間絶縁膜の前記第1のソース/ドレイン領域の上方に位置する領域をエッチングすることにより第1の開口を形成する工程と、

前記第1の開口内の前記第1のシリコン窒化膜をエッチングすることにより、前記第1の層間絶縁膜の上面から前記第1のソース/ドレイン領域にまで達する第1のキャパシタ用開口を形成する工程と、

前記第1のキャパシタ用開口を充填するとともに、前記第1のソース/ドレイン領域に電氣的に接続するようにプラグ電極を形成する工程と、

前記第1のシリコン窒化膜をエッチングストップパ層として、前記第1の層間絶縁膜の前記第2のソース/ドレイン領域の上方に位置する領域をエッチングすることにより第2の開口を形成する工程と、

前記第2の開口内の前記第1のシリコン窒化膜をエッチングすることにより前記第1の層間絶縁膜の上面から前記第2のソース/ドレイン領域にまで達するビット線用開口を形成する工程と、

前記ビット線用開口を介して前記第2のソース/ドレイン領域に電氣的に接続されるとともに前記第1の層間絶縁膜上に延びるビット線を形成する工程と、

前記ビット線の上面および側面を覆うように第2の絶縁膜を形成する工程と、

前記第1の層間絶縁膜と前記第2の絶縁膜とを覆うように第2のシリコン窒化膜を形成する工程と、

10

20

30

40

50

前記第２のシリコン窒化膜上にシリコン酸化膜からなる第２の層間絶縁膜を形成する工程と、

前記第２のシリコン窒化膜をエッチングストップ層として、前記第２の層間絶縁膜の前記プラグ電極の上方に位置する領域をエッチングすることにより第３の開口を形成する工程と、

前記第３の開口内の前記第２のシリコン窒化膜をエッチングすることにより、前記第２の層間絶縁膜の上面から前記プラグ電極の上面にまで達する第２のキャパシタ用開口を形成するとともに、前記第２のキャパシタ用開口の前記ビット線の上部側端部の上方に位置する領域に凹部を形成する工程と、

前記凹部および前記第２のキャパシタ用開口を充填するキャパシタコンタクト部と、前記第２の層間絶縁膜の上面上に延びるキャパシタ下部電極とを有する導電層を形成する工程とを備えた、半導体装置の製造方法。 10

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】

この発明は、一般に、半導体装置およびその製造方法に関し、より特定的には、コンタクトホールを有する半導体装置およびその製造方法に関する。

【０００２】

【従来の技術】

従来、半導体装置の１種である半導体メモリとして、ＤＲＡＭ（Ｄｙｎａｍｉｃ Ｒａｎｄｏｍ Ａｃｃｅｓｓ Ｍｅｍｏｒｙ）が知られている。図３５は、従来のＤＲＡＭを示した断面図である。図３５を参照して、まず従来のＤＲＡＭの断面構造について説明する。 20

【０００３】

従来のＤＲＡＭのメモリセル部では、シリコン基板１０１の主表面上の所定領域に分離領域１０２が設けられている。また、分離領域１０２によって囲まれた活性領域において、ソース/ドレイン領域１０６ａ、１０６ｂおよび１０６ｃが形成されている。ソース/ドレイン領域１０６ａと１０６ｂとの間に位置するチャネル領域上にはゲート酸化膜１０３を介してゲート電極１０４ａが形成されている。また、ゲート電極１０４ａと所定の間隔を隔ててゲート電極１０４ｂおよび１０４ｃが形成されている。ゲート電極１０４ａ～１０４ｃの上部表面を覆うようにＴＥＯＳ酸化膜１０５が形成されている。また、ゲート電極１０４ａ～１０４ｃの側表面とＴＥＯＳ酸化膜１０５の側表面とに接触するようにサイドウォール酸化膜１０７が形成されている。 30

【０００４】

また、ＴＥＯＳ酸化膜１０５およびサイドウォール酸化膜１０７ならびにソース/ドレイン領域１０６ａ～１０６ｃを覆うようにシリコン窒化膜１０８が形成されている。シリコン窒化膜１０８上には層間絶縁膜１０９が形成されている。シリコン窒化膜１０８および層間絶縁膜１０９の、ソース/ドレイン領域１０６ｂ上に位置する領域にはビット線用コンタクトホール１６０が形成されている。そのビット線用コンタクトホール１６０を介してソース/ドレイン領域１０６ｂに電氣的に接続するとともに、層間絶縁膜１０９の上部表面上に延在するようにビット線１１０ａが形成されている。 40

【０００５】

また、ビット線１１０ａおよび層間絶縁膜１０９の上には層間絶縁膜１１１が形成されている。シリコン窒化膜１０８、層間絶縁膜１０９および１１１の、ソース/ドレイン領域１０６ａ上に位置する領域にはキャパシタ用コンタクトホール１６１が形成されている。キャパシタ用コンタクトホール１６１を介してソース/ドレイン領域１０６ａに電氣的に接続するとともに層間絶縁膜１１１の上部表面上に延在するようにドーフト多結晶シリコン膜１１２が形成されている。ドーフト多結晶シリコン膜１１２は、ソース/ドレイン領域１０６ａに電氣的に接続するとともにコンタクトホール１６１を充填する垂直部分１１２ａと、その垂直部分１１２ａと一体的に形成されるとともにキャパシタ下部電極を構成 50

する水平部分 1 1 2 b とを含んでいる。

【 0 0 0 6 】

また、水平部分 1 1 2 b の両側端面に接触するとともに垂直方向に延びるように、ドーフト多結晶シリコン膜からなるサイドウォール 1 1 3 が形成されている。このサイドウォール 1 1 3 もキャパシタ下部電極を構成する。水平部分 1 1 2 b の上部表面とサイドウォール 1 1 3 の表面を覆うように、キャパシタ誘電体膜 1 1 4 を介して、キャパシタ上部電極 1 1 5 が形成されている。キャパシタ上部電極 1 1 5 は、ドーフト多結晶シリコン膜からなる。キャパシタ下部電極 1 1 2 b , 1 1 3 と、キャパシタ誘電体膜 1 1 4 と、キャパシタ上部電極 1 1 5 とによってキャパシタが構成される。そのようなキャパシタを覆うように層間絶縁膜 1 1 6 が形成されている。層間絶縁膜 1 1 6 の上部表面上には所定の間隔を隔ててメタル配線 1 1 8 が形成されている。

10

【 0 0 0 7 】

一方、周辺回路部では、シリコン基板 1 0 1 の主表面に所定の間隔を隔ててソース/ドレイン領域 1 0 6 d と 1 0 6 e が形成されている。ソース/ドレイン領域 1 0 6 d と 1 0 6 e との間に位置するチャネル領域上にはゲート酸化膜 1 0 3 を介してゲート電極 1 0 4 e が形成されている。また、ゲート電極 1 0 4 e からソース/ドレイン領域 1 0 6 d を隔てた領域上にはゲート酸化膜 1 0 3 を介してゲート電極 1 0 4 d が形成されている。ゲート電極 1 0 4 d および 1 0 4 e の上部表面上にはそれぞれ T E O S 酸化膜 1 0 5 が形成されている。また、ゲート電極 1 0 4 d および 1 0 4 e の側表面と T E O S 酸化膜 1 0 5 の側表面とに接触するようにサイドウォール酸化膜 1 0 7 が形成されている。

20

【 0 0 0 8 】

ソース/ドレイン領域 1 0 6 d 、 1 0 6 e と、サイドウォール酸化膜 1 0 7 と T E O S 酸化膜 1 0 5 とを覆うように層間絶縁膜 1 0 9 が形成されている。層間絶縁膜 1 0 9 の、ソース/ドレイン領域 1 0 6 d 上に位置する領域とゲート電極 1 0 4 e 上に位置する領域とには、それぞれコンタクトホールが形成されている。それらのコンタクトホール内で、ソース/ドレイン領域 1 0 6 d とゲート電極 1 0 4 e とに電氣的に接続するように配線層 1 1 0 b が形成されている。なお、配線層 1 1 0 b は、ソース/ドレイン領域 1 0 6 d またはゲート電極 1 0 4 e の一方のみに接続していてもよい。配線層 1 1 0 b を覆うように層間絶縁膜 1 1 1 が形成されており、さらにその層間絶縁膜 1 1 1 を覆うように層間絶縁膜 1 1 6 が形成されている。層間絶縁膜 1 1 1 および 1 1 6 の、配線層 1 1 0 b の側端部上に位置する領域には、コンタクトホールが形成されている。そのコンタクトホールを介して配線層 1 1 0 b に電氣的に接続するとともに、層間絶縁膜 1 1 6 上に沿って延びるようにメタル配線 1 1 7 が形成されている。

30

【 0 0 0 9 】

上記のような従来の D R A M のメモリセル部全体の平面レイアウト図が図 3 6 に示されている。図 3 6 を参照して、従来の D R A M のメモリセル部では、ゲート電極 1 0 4 a ~ 1 0 4 c が、所定の間隔を隔てて互いに平行に延びるように形成されている。また、ゲート電極 1 0 4 a ~ 1 0 4 c とほぼ直交する方向に、ビット線 1 1 0 a が所定の間隔を隔ててほぼ平行に延びるように形成されている。ビット線 1 1 0 a は、活性領域 1 7 0 のソース/ドレイン領域 1 0 6 b に、ビット線用コンタクトホール 1 6 0 を介して接続されている。また、活性領域 1 7 0 のソース/ドレイン領域 1 0 6 a にはキャパシタ用コンタクトホール 1 6 1 を介してキャパシタ下部電極を構成するドーフト多結晶シリコン膜 1 1 2 が接続されている。

40

【 0 0 1 0 】

図 3 7 ~ 図 5 3 は、図 3 5 に示した従来の D R A M の製造プロセスを説明するための断面図である。以下、図 3 7 ~ 図 5 3 を参照して、従来の D R A M の製造プロセスについて説明する。

【 0 0 1 1 】

まず、図 3 7 に示すように、シリコン基板 1 0 1 のメモリセル部の主表面上に分離領域 1 0 2 を形成する。また、シリコン基板 1 0 1 の主表面に所定の間隔を隔ててゲート酸化膜

50

103を形成する。そのゲート酸化膜103上にそれぞれゲート電極104a、104bおよび104cを形成する。また、周辺回路部においても、ゲート酸化膜103上にそれぞれゲート電極104dおよび104eを形成する。ゲート電極104a~104eをマスクとして、不純物をシリコン基板101にイオン注入することによって、ソース/ドレイン領域106a~106eを形成する。

【0012】

また、ゲート電極104a~104eの上部表面上にそれぞれTEOS酸化膜105を形成する。また、ゲート電極104a~104eの側表面とTEOS酸化膜105の側表面とに接触するようにサイドウォール酸化膜107を形成する。周辺回路部のサイドウォール酸化膜107をマスクとして再びソース/ドレイン領域106dおよび106eに不純物をイオン注入することによって、LDD構造のソース/ドレイン領域106dおよび106eを完成させる。

10

【0013】

次に、図38に示すように、メモリセル部の全体を覆うようにエッチングストップ層としてのシリコン窒化膜108を形成する。シリコン窒化膜108および周辺回路部の全体を覆うようにシリコン酸化膜からなる層間絶縁膜109を形成する。

【0014】

この後、写真製版技術とドライエッチング技術とを用いて図39に示されるようなコンタクトホール109a~109cを形成する。メモリセル部のコンタクトホール109aの形成時のエッチングの際には、シリコン窒化膜108がエッチングストップ層となる。この後、コンタクトホール109a内に位置するシリコン窒化膜108をエッチング除去することによって、図40に示されるような層間絶縁膜109の上面からソース/ドレイン領域106bにまで達するビット線用コンタクトホール160が形成される。この後、図41に示すように、タングステンポリサイド層などからなる配線層110を形成する。そして、その配線層110をパターンニングすることによって、図42に示されるような、メモリセル部のビット線110aと周辺回路部の配線層110bとを形成する。

20

【0015】

次に、図43に示すように、全体を覆うように層間絶縁膜111を形成する。そして、図44に示すように、層間絶縁膜111上に多結晶シリコン膜150を形成した後その多結晶シリコン膜150上にTEOS酸化膜151を形成する。その後、TEOS酸化膜151の所定領域に開口151aを形成する。

30

【0016】

また、TEOS酸化膜151および開口151aを覆うようにTEOS酸化膜(図示せず)を形成した後、そのTEOS酸化膜151を異方性エッチングすることによって、図45に示されるようなサイドウォール膜152を形成する。そのサイドウォール膜152をマスクとして下層の多結晶シリコン膜150をエッチングすることにより、開口151aよりも2つのサイドウォール152の厚み分だけ径の小さい開口150aを形成することができる。そしてこのような開口150aを用いて下層の層間絶縁膜111および109を異方性エッチングすることによって、図46に示されるようなキャパシタ用コンタクトホール161を形成する。

40

【0017】

その後、キャパシタ用コンタクトホール161内にレジスト153を埋込む。このレジスト153は、後のプロセスで多結晶シリコン膜150をエッチングにより除去する際にキャパシタ用コンタクトホール161の底部に位置するシリコン基板101の表面を保護するために設けられている。このようなレジスト153を設けた状態で、多結晶シリコン膜150を除去する。そして、図47に示すように、キャパシタ用コンタクトホール161内を埋込むとともに層間絶縁膜111の上部表面上に沿って延びるドーフト多結晶シリコン膜112を形成する。ドーフト多結晶シリコン膜112上にBPSG酸化膜154を形成する。

【0018】

50

この後、写真製版技術とドライエッチング技術とを用いて、BPSG酸化膜154およびドーフト多結晶シリコン膜112をパターニングすることによって、図48に示されるようなメモリセル部の形状が得られる。そして、BPSG酸化膜154および層間絶縁膜111を覆うように図49に示すようなドーフト多結晶シリコン膜113を形成する。その後ドーフト多結晶シリコン膜113を異方性エッチングすることによって、図50に示すようなドーフト多結晶シリコン膜からなるサイドウォール113aを形成する。この後BPSG酸化膜154を除去することによって、図51に示されるような形状が得られる。

【0019】

次に、図52に示すように、ドーフト多結晶シリコン膜112およびサイドウォール113aならびに層間絶縁膜111を覆うように、キャパシタ誘電体膜114とキャパシタ上部電極となるドーフト多結晶シリコン膜115とを形成する。その後キャパシタ誘電体膜114とドーフト多結晶シリコン膜115とをパターニングすることによって、図53に示されるようなキャパシタ構造が得られる。

【0020】

この後、図35に示したように、周辺回路部の層間絶縁膜111上とメモリセル部のキャパシタ上部電極115上に層間絶縁膜116を形成する。そして周辺回路部の層間絶縁膜116および111の、配線層110b上に位置する領域に、コンタクトホールを形成する。その後、そのコンタクトホール内を埋込むとともに層間絶縁膜116の上部表面上に沿って延びるメタル配線117を形成する。また、メモリセル部においても、層間絶縁膜116上に所定の間隔を隔ててメタル配線118を形成する。このようにして、従来のDRAMが形成されていた。

【0021】

【発明が解決しようとする課題】

図35に示した従来のDRAMでは、半導体装置の高集積化に伴って、メモリセル部の面積の縮小化が必要になってきている。この場合、非常に狭い活性領域にキャパシタ用コンタクトホール161およびビット線用コンタクトホール160を形成する必要がある。従来ではこのような要求を満たすために、自己整合的にコンタクトホールを開口する技術が要求される。このような自己整合的コンタクト開口法の1つとして、従来、シリコン窒化膜をエッチングストップとして用いたコンタクト開口法が知られている。

【0022】

図35に示した従来の構造では、ビット線用コンタクトホール160を形成する際に上記のようなシリコン窒化膜による自己整合的コンタクト開口法を用いている。具体的には、図38に示すように、シリコン窒化膜108を形成した後その上にシリコン酸化膜からなる層間絶縁膜109を形成する。そして、図39に示すようにシリコン窒化膜108をエッチングストップ層として、ソース/ドレイン領域106bの上方に位置する層間絶縁膜109の部分をエッチングすることにより自己整合的にコンタクトホール109aを形成する。その後、コンタクトホール109a内の窒化膜108を除去することによって、図40に示すようなビット線コンタクトホール160が形成される。従来では、ビット線用コンタクトホール160を形成するために上記のようなシリコン窒化膜108を用いた自己整合的コンタクト開口法を用いていた。

【0023】

しかしながら、このようなシリコン窒化膜108をエッチングストップ層として用いた開口法は、図39に示すコンタクトホール109aのように、その深さがあまり大きくないものにのみ適用可能である。これは以下の理由による。すなわち、シリコン酸化膜とシリコン窒化膜との選択比（シリコン酸化膜のエッチングレート/シリコン窒化膜のエッチングレート）は理論的には30程度であるが、シリコン窒化膜108の段差部では平坦部よりエッチングが速く進行する。このため、段差部においては、シリコン酸化膜に対するシリコン窒化膜の選択比が10～15程度に減少する。

【0024】

このような選択比の場合に、たとえばキャパシタ用コンタクト161のように深さが大き

10

20

30

40

50

い（アスペクト比が大きい）コンタクトホールをシリコン窒化膜 108 をエッチングストップパ層として開口しようとする、プロセスマージンの関係からシリコン窒化膜 108 がエッチングされる時間が長くなる。このため、キャパシタ用コンタクトホール 161 のように深さの深いコンタクトホールを開口しようとする、下地のシリコン窒化膜 108 の段差部が完全に削られ、さらにゲート電極 104c 上に位置する TEOS 酸化膜 105 が削られてゲート電極 104c が露出する。この場合に、キャパシタ用コンタクトホール 161 内にキャパシタ下部電極となるドーフト多結晶シリコン膜 112 を形成すると、そのドーフト多結晶シリコン膜 112 とゲート電極 104c とがショートを起こすという不都合が生じる。したがって、従来では、深さのあまり深くないビット線用コンタクトホール 160 の形成のみにシリコン窒化膜 108 を用いた自己整合的開口法を採用し、キャパシタ用コンタクトホール 161 の形成には、図 44 ~ 図 46 に示した径縮小プロセスを用いていた。

10

【0025】

しかしながら、上記のような径縮小プロセスは、シリコン窒化膜ストップパを用いた自己整合的開口法に比べて工程数が多くなり、製造プロセスが複雑化するという問題点があった。また、メモリセルサイズの縮小に伴ってキャパシタ用コンタクトホール 161 のコンタクト径も縮小化が要求されるが、図 35 に示したような深さの深いかつコンタクト径の小さいコンタクトホールを形成するのは技術的に困難になってきているという問題点もあった。

【0026】

20

また、メモリセル部の縮小化に伴って、図 36 に示す隣接するビット線 160a 間の間隔も狭くなってきている。ビット線 110a 間の間隔が狭くなると、ビット配線容量 (Cb) が大きくなり、そのため、データの読出および書込に遅延が生じ、その結果高速なアクセスが困難になるという問題点もあった。図 36 に示した従来の構造では、隣接するビット線 110a 間に、ドーフト多結晶シリコン膜 112 の垂直部 112a が位置している。しかし、この垂直部 112a の外径は小さいため、隣接するビット線 110a 間のビット配線容量を低減するまでには至らなかった。

【0027】

この発明は、上記のような課題を解決するために成されたものであり、この発明の 1 つの目的は、半導体装置において、キャパシタ用コンタクトホールを容易に製造し得るとともにビット配線容量を低減することが可能な構造を提供することである。

30

【0028】

この発明のもう 1 つの目的は、半導体装置の製造方法において、キャパシタ用コンタクトホールを自己整合的に形成するとともにビット配線容量を低減し得る構造を容易に製造することである。

【0031】

【課題を解決するための手段】

請求項 1 における半導体装置は、1 対の第 1 および第 2 のソース/ドレイン領域と、ゲート電極と、第 1 のエッチングストップパ層と、第 1 の層間絶縁膜と、ビット線用開口と、第 1 のキャパシタ用開口と、プラグ電極と、第 1 の絶縁膜と、ビット線と、導電層とを備えている。第 1 および第 2 のソース/ドレイン領域は、半導体領域の主表面にチャネル領域を挟むように間隔を隔てて形成されており、ゲート電極はチャネル領域上に形成されている。第 1 のエッチングストップパ層は、ゲート電極上に形成されており、絶縁膜からなる。第 1 の層間絶縁膜は第 1 のエッチングストップパ層上に形成されている。ビット線用開口は、第 1 の層間絶縁膜および第 1 のエッチングストップパ層の第 1 のソース/ドレイン領域上に位置する領域に形成されている。第 1 のキャパシタ用開口は、第 1 の層間絶縁膜および第 1 のエッチングストップパ層の第 2 のソース/ドレイン領域上に位置する領域に形成されている。プラグ電極は、第 1 のキャパシタ用開口を介して第 2 のソース/ドレイン領域に接続されるとともに、第 1 のキャパシタ用開口を充填するように形成されている。また、プラグ電極の底面の平面積よりも上面の平面積の方が大きくなるように形成されている。

40

50

第1の絶縁膜は、第1の層間絶縁膜上およびプラグ電極の第1の層間絶縁膜に隣接する領域上に形成されている。ビット線は、第1の絶縁膜上に形成され、ビット線用開口を介して第1のソース/ドレイン領域に接続されている。導電層は、プラグ電極の上面に電氣的に接続された垂直方向に延びるキャパシタコンタクト部と、そのキャパシタコンタクト部の上部と一体的に形成された水平方向に延びるキャパシタ下部電極とを有する。導電層のキャパシタコンタクト部は、第1の絶縁膜を介してビット線の上面および側面を覆うように形成されている。

【0032】

請求項1に記載の半導体装置では、ビット線用開口が形成される第1の層間絶縁膜および第1のエッチングストップ層に、第1のキャパシタ用開口を形成し、その第1のキャパシタ用開口にプラグ電極を充填するように構成することにより、ビット線用開口と同じアスペクト比で第1のキャパシタ用開口を形成することができ、その結果、第1のエッチングストップ層を用いた自己整合的開口法を第1のキャパシタ用開口の形成に適用することができる。これにより、径縮小プロセスによって第1のキャパシタ用開口を形成する場合に比べて製造プロセスを簡略化することができるとともに、セルサイズが縮小化された場合にも容易に形成することができる。また、プラグ電極の上面に電氣的に接続される導電層のキャパシタコンタクト部の一部を、ビット線の上面および側面を覆うように形成することによって、隣接するビット線間にキャパシタコンタクト部が位置することになる。これにより、従来の通常のコンタクト径を有するコンタクト部がビット線間に配置された構成に比べて、隣接するビット線間を遮る部分の面積が大きくなる。このため、隣接するビット線間のビット線配線容量が大きくなるのを有効に防止することができる。その結果、データの読出および書込動作が遅延するのも防止することができ、高速なアクセスが可能となる。また、前述の半導体装置では、第2のソース/ドレイン領域に接続されるプラグ電極の底面の平面積よりも、キャパシタ下部電極に接続されるプラグ電極の上面の平面積の方が大きくなるように形成されている。このため、プラグ電極の上面に接続するようにキャパシタ下部電極を形成する際に、重ね合わせずれの余裕を大きく取ることができ、その結果キャパシタ下部電極の形成プロセスが容易になる。

また、請求項1に記載の半導体装置は、第2のエッチングストップ層と、第2の層間絶縁膜と、第2のキャパシタ用開口とをさらに備えるように構成する。第2のエッチングストップ層は、第1の層間絶縁膜上と第1の絶縁膜上とに形成されており、絶縁膜からなる。

第2の層間絶縁膜は、第2のエッチングストップ層上に形成されている。第2のキャパシタ用開口は、第1のキャパシタ用開口に達するように、第2の層間絶縁膜と第2のエッチングストップ層とに形成されている。また、第2の層間絶縁膜と第1の絶縁膜との間に位置する第2のエッチングストップ層の、第2のキャパシタ用開口側の端部が除去されて、ビット線の上部側端部の上方に位置する領域に凹部が形成されている。キャパシタコンタクト部は、第2のキャパシタ用開口内および凹部内に充填されてビット線の上方にの延びるように形成されている。また、キャパシタ下部電極は、第2の層間絶縁膜の上面に沿って延びるように形成されている。請求項1の構成では、このように第2のキャパシタ用開口のビット線の上部側端部の上方に位置する領域に凹部を形成し、その凹部内および第2のキャパシタ用開口内にキャパシタコンタクト部を充填することによって、容易にビット線の側部および上部を覆うキャパシタコンタクト部を形成することができる。

【0033】

請求項2は、上記請求項1の構成において、第1の絶縁膜が、ビット線の上面上に接触して形成された第2絶縁膜と、ビット線の側面と第2の絶縁膜の側面とに接触して形成されたサイドウォール絶縁膜とを含むように構成する。そして、ビット線の上面はプラグ電極の上面よりも上方に位置する。このように構成することによって、ビット線の側面と上面とを覆うキャパシタ下部電極を容易に形成することができる。

【0034】

請求項3は、上記請求項1～3のいずれかの構成において、キャパシタ下部電極の表面が凹凸形状を有するように構成する。このように構成することによって、キャパシタ下部電

10

20

30

40

50

極の表面積が増加し、その結果、キャパシタ容量を増大させることができる。

【 0 0 3 5 】

請求項 4 は、上記請求項 1 の構成において、第 2 の絶縁膜が酸化膜であることが望ましい

。

【 0 0 3 7 】

請求項 5 の製造方法は、以下のような工程を備えている。半導体領域の主表面に、1 対の第 1 および第 2 のソース/ドレイン領域とゲート電極とを形成する。そのゲート電極を覆うように第 1 のシリコン窒化膜を形成する。第 1 のシリコン窒化膜上にシリコン酸化膜からなる第 1 の層間絶縁膜を形成する。第 1 のシリコン窒化膜をエッチングストッパ層として、第 1 の層間絶縁膜の第 1 のソース/ドレイン領域の上方に位置する領域をエッチングすることにより第 1 の開口を形成する。その第 1 の開口内の第 1 のシリコン窒化膜をエッチングすることにより、第 1 の層間絶縁膜の上面から第 1 のソース/ドレイン領域にまで達する第 1 のキャパシタ用開口を形成する。第 1 のキャパシタ用開口を充填するとともに、第 1 のソース/ドレイン領域に電氣的に接続するようにプラグ電極を形成する。第 1 のシリコン窒化膜をエッチングストッパ層として、第 1 の層間絶縁膜の第 2 のソース/ドレイン領域の上方に位置する領域をエッチングすることにより第 2 の開口を形成する。その第 2 の開口内の前記第 1 のシリコン窒化膜をエッチングすることにより第 1 の層間絶縁膜の上面から第 2 のソース/ドレイン領域にまで達するビット線用開口を形成する。ビット線用開口を介して第 2 のソース/ドレイン領域に電氣的に接続されるとともに第 1 の層間絶縁膜上に延びるビット線を形成する。ビット線の上面および側面を覆うように第 1 の絶縁膜を形成する。第 1 の層間絶縁膜と第 1 の絶縁膜とを覆うように第 2 のシリコン窒化膜を形成する。その第 2 のシリコン窒化膜上にシリコン酸化膜からなる第 2 の層間絶縁膜を形成する。第 2 のシリコン窒化膜をマスクとして第 2 の層間絶縁膜のプラグ電極の上方に位置する領域をエッチングすることにより第 3 の開口を形成する。第 3 の開口内の第 2 のシリコン窒化膜をエッチングすることにより、第 2 の層間絶縁膜の上面からプラグ電極の上面にまで達する第 2 のキャパシタ用開口を形成するとともに、第 2 のキャパシタ用開口の、ビット線の上部側端部の上方に位置する領域に、凹部を形成する。凹部および第 2 のキャパシタ用コンタクトを充填するキャパシタコンタクト部と、第 2 の層間絶縁膜の上面上に延びるキャパシタ下部電極とを有する導電層を形成する。

【 0 0 3 8 】

請求項 5 に記載の製造方法によれば、ビット線用開口が形成される膜と同じ第 1 のシリコン窒化膜および第 1 の層間絶縁膜に第 1 のキャパシタ用開口を形成するので、第 1 のキャパシタ用開口の形成時に第 1 のシリコン窒化膜をエッチングストッパ層とした自己整合的開口法を用いることができる。これにより、第 1 のキャパシタ用開口を径縮小プロセスを用いて形成していた場合に比べて製造プロセスを簡略化することができるとともに、セルサイズが縮小されたとしても容易に第 1 のキャパシタ用開口を形成することが可能となる。また、ビット線の上部側端部の上方に位置する領域に形成した凹部にキャパシタコンタクト部を充填することによって、容易に、ビット線の側面および上面を覆うキャパシタコンタクト部を形成することができる。これにより、隣接するビット線間にキャパシタコンタクト部が介在する形となり、従来の通常のコンタクト部に比べて隣接するビット線間をシールドする部分の面積が大きくなる。このため、ビット配線容量を従来に比べて大きくすることができる。その結果、メモリセルからのデータの読出およびメモリセルへのデータの書込速度の遅延を防止し得る半導体装置を容易に製造することができる。

【 0 0 3 9 】

【 発明の実施の形態 】

(実施の形態 1)

図 1 は、本発明の実施の形態 1 による D R A M を示した断面構造図である。図 1 を参照して、この実施の形態 1 による D R A M のメモリセル部では、シリコン基板 1 の主表面の所定領域に分離領域 2 が形成されている。分離領域 2 は、トレンチ溝を形成した後そのトレンチ溝に酸化膜を埋込むように形成されている。この分離領域 2 は、通常の L O C O S 分

10

20

30

40

50

離酸化膜を用いたものでもよい。分離領域 2 によって囲まれた活性領域には、所定の間隔を隔ててソース/ドレイン領域 6 a、6 b および 6 c が形成されている。ソース/ドレイン領域 6 a と 6 b との間に位置するチャネル領域上にはゲート酸化膜 3 を介してゲート電極 4 a が形成されている。また、ゲート電極 4 a と所定の間隔を隔ててゲート電極 4 b および 4 c が形成されている。

【0040】

ゲート電極 4 a、4 b および 4 c の上部表面上には T E O S 酸化膜 5 が形成されている。また、ゲート電極 4 a ~ 4 c と T E O S 酸化膜 5 を覆うように 10 ~ 20 nm 程度の厚みを有する T E O S 酸化膜 7 が形成されている。また、その T E O S 酸化膜 7 を覆うように 30 ~ 50 nm 程度の厚みを有するシリコン窒化膜 8 が形成されている。シリコン窒化膜 8 上には B P S G 酸化膜または P S G 酸化膜からなる層間絶縁膜 11 が形成されている。層間絶縁膜 11 およびシリコン窒化膜 8 の、ソース/ドレイン領域 6 a 上に位置する領域には、キャパシタ用コンタクトホール 12 が形成されている。また、シリコン窒化膜 8 および層間絶縁膜 11 のソース/ドレイン領域 6 b 上に位置する領域には、ビット線用コンタクトホール 15 a が形成されている。

10

【0041】

キャパシタ用コンタクトホール 12 内には多結晶シリコン膜からなるプラグ電極 13 が充填されている。また、層間絶縁膜 11 を覆うように 30 nm 程度の厚みを有する T E O S 酸化膜 14 が形成されている。T E O S 酸化膜 14 の、プラグ電極 13 上に位置する領域とビット線用コンタクトホール 15 a 上に位置する領域とは、それぞれ開口部が形成されている。ビット線用コンタクトホール 15 a 内でソース/ドレイン領域 6 b に電氣的に接続されるとともに、T E O S 酸化膜 14 の上部表面上に沿って延びるようにビット線 16 a が形成されている。ビット線 16 a の上部表面上には 100 ~ 200 程度の厚みを有する T E O S 酸化膜 17 a が形成されている。T E O S 酸化膜 17 a の側表面とビット線 16 a の側表面とに接触するように T E O S 酸化膜からなるサイドウォール酸化膜 20 a が形成されている。

20

【0042】

プラグ電極 13 の上面に電氣的に接続するとともに、サイドウォール酸化膜 20 a および T E O S 酸化膜 17 a の上部表面上に沿って延びるように、多結晶シリコン膜からなるキャパシタ下部電極 24 a が形成されている。キャパシタ下部電極 24 a はその両側端部で垂直方向に延びる筒状構造を有するように形成されている。また、隣接するキャパシタ下部電極 24 a 間にはシリコン窒化膜 21 が形成されている。キャパシタ下部電極 24 a を覆うようにキャパシタ誘電体膜 26 が形成されている。また、キャパシタ誘電体膜 26 とシリコン窒化膜 21 とを覆うように多結晶シリコン膜からなるキャパシタ上部電極 27 a が形成されている。また、キャパシタ上部電極 27 a を覆うように T E O S 酸化膜または B P S G 酸化膜などからなる層間絶縁膜 28 が形成されている。層間絶縁膜 28 の上部表面上には、所定の間隔を隔ててメタル配線 30 が形成されている。

30

【0043】

一方、周辺回路部では、シリコン基板 1 の主表面に所定の間隔を隔ててソース/ドレイン領域 6 d および 6 e が形成されている。ソース/ドレイン領域 6 d と 6 e との間に位置するチャネル領域上にはゲート酸化膜 3 を介してゲート電極 4 e が形成されている。ゲート電極 4 e からソース/ドレイン領域 6 d を隔てた領域上にはゲート酸化膜 3 を介してゲート電極 4 d が形成されている。ゲート電極 4 d および 4 e の上部表面上には、T E O S 酸化膜 5 が形成されている。また、ゲート電極 4 d および 4 e の側表面と、T E O S 酸化膜 5 の側表面とに接触するように 10 ~ 20 nm 程度の厚みを有する T E O S 酸化膜 7 が形成されている。また、T E O S 酸化膜 7 の側部には、シリコン窒化膜からなるサイドウォール絶縁膜 9 が形成されている。このサイドウォール酸化膜 9 は、L D D (L i g h t l y D o p e d D r a i n) 構造を有するソース/ドレイン領域 6 d および 6 e を形成するために用いる。

40

【0044】

50

T E O S 酸化膜 5 上にはシリコン窒化膜からなる絶縁膜 1 0 が形成されている。なお、絶縁膜 1 0 は、T E O S 酸化膜により形成してもよい。また、全面を覆うように層間絶縁膜 1 1 が形成されている。層間絶縁膜 1 1 上にはT E O S 酸化膜 1 4 が形成されている。ソース/ドレイン領域 6 d およびゲート電極 4 e 上に位置する、層間絶縁膜 1 1 およびT E O S 酸化膜 1 4 には、それぞれコンタクトホールが形成されている。それらのコンタクトホールを介してソース/ドレイン領域 6 d およびゲート電極 4 e に電氣的に接続するように配線層 1 6 b が形成されている。なお、配線層 1 6 b は、ソース/ドレイン領域 6 d またはゲート電極 4 e の一方のみに接続していてもよい。配線層 1 6 b の上部表面を覆うようにT E O S 酸化膜 1 7 b が形成されている。配線層 1 6 b の側表面とT E O S 酸化膜 1 7 b の側表面とに接触するように、T E O S 酸化膜からなるサイドウォール酸化膜 2 0 b が形成されている。

10

【 0 0 4 5 】

また、サイドウォール酸化膜 2 0 b およびT E O S 酸化膜 1 7 b を覆うように層間絶縁膜 2 8 が形成されている。層間絶縁膜 2 8 およびT E O S 酸化膜 1 7 b の、配線層 1 6 b の側端部上に位置する領域には、コンタクトホールが形成されている。そのコンタクトホールを介して配線層 1 6 b に電氣的に接続するとともに、層間絶縁膜 2 8 の上部表面上に沿って延びるようにメタル配線 2 9 が形成されている。

【 0 0 4 6 】

なお、メモリセル部におけるゲート電極 4 a ~ 4 c と、周辺回路部のゲート電極 4 d および 4 e とは、同一の層をパターンングすることによって形成される。また、メモリセル部のビット線 1 6 a と周辺回路部の配線層 1 6 b とは同一の層をパターンングすることによって形成される。

20

【 0 0 4 7 】

ここで、実施の形態 1 による D R A M では、キャパシタ下部電極 2 4 a とソース/ドレイン領域 6 a との間にプラグ電極 1 3 を介在させている。そしてそのプラグ電極 1 3 は、ビット線用コンタクトホール 1 5 a と同様のアスペクト比（深さ）を有するキャパシタ用コンタクトホール 1 2 内を充填するように形成されている。したがって、後述する製造プロセスで説明するように、この実施の形態 1 の構造では、キャパシタ用コンタクトホール 1 2 をビット線用コンタクトホール 1 5 a と同様の小さいアスペクト比で形成することができる。このため、キャパシタ用コンタクトホール 1 2 を、シリコン窒化膜 8 をエッチングストップパとして用いた自己整合的開口法によって形成することができる。その結果、図 4 4 ~ 図 4 6 を用いて説明した従来の径縮小プロセスを用いてキャパシタ用コンタクトホール 1 6 1 を形成する場合に比べて、製造プロセスをより簡略化することができる。また、シリコン窒化膜 8 を用いた自己整合的開口法を用いれば、メモリセルサイズが縮小化された場合にも、容易にキャパシタ用コンタクトホール 1 2 を形成することができる。

30

【 0 0 4 8 】

また、この実施の形態 1 の構造では、ソース/ドレイン領域 6 a に接続されるプラグ電極 1 3 の底面の平面積よりも、キャパシタ下部電極 2 4 a に接続されるプラグ電極 1 3 の上面の平面積の方が大きくなるように形成されている。このため、プラグ電極 1 3 の上面に接続するようにキャパシタ下部電極 2 4 a を形成する際に、重ね合わせずれの余裕を大きく取ることができ、その結果キャパシタ下部電極 2 4 a の形成プロセスが容易になるという効果を奏する。

40

【 0 0 4 9 】

さらに、この実施の形態 1 による構造では、キャパシタ下部電極 2 4 a が、サイドウォール酸化膜 2 0 a およびT E O S 酸化膜 1 7 a を介して、ビット線 1 6 a の側表面と上部表面とを覆うように形成されている。図 1 に示したメモリセル部全体の平面レイアウト図が図 2 および図 3 に示されている。図 2 は、1 / 4 ピッチの場合のレイアウト図であり、図 3 は 1 / 2 ピッチの場合のレイアウト図である。図 1 ~ 図 3 を参照して、この実施の形態 1 の構造では、ビット線 1 6 a の側部とそれに隣接するビット線 1 6 a の側部との間にキャパシタ下部電極 2 4 a が介在されている。そのため、隣接するビット線 1 6 a の側部間

50

をキャパシタ下部電極 2 4 a が遮る構造になり、キャパシタ下部電極 2 4 a にシールド効果を持たせることができる。これにより、隣接するビット線 1 6 a 間のビット配線容量を低減することができる。また、キャパシタ下部電極 2 4 a はビット線 1 6 a の上部表面上にも形成されているので、隣接するビット線 1 6 a の上部表面間のビット配線容量をも低減することができる。このように、ビット線 1 6 a 間のビット配線容量を低減することができるので、データの書込および読出動作が遅くなるのを有効に防止することができる。

【 0 0 5 0 】

図 4 ~ 図 2 0 は、図 1 に示した D R A M の製造プロセスを説明するための断面構造図である。図 4 ~ 図 2 0 を参照して、以下に実施の形態 1 による D R A M の製造プロセスについて説明する。

10

【 0 0 5 1 】

まず、図 4 に示すように、シリコン基板 1 のメモリセル部の主表面の所定領域に、分離領域 2 を形成する。この分離領域 2 は、トレンチ溝に酸化膜を埋込むトレンチ分離領域であってもよいし、L O C O S 酸化膜を用いた分離領域であってもよい。また、シリコン基板 1 の主表面上に、所定の間隔を隔ててゲート酸化膜 3 を形成するとともに、そのゲート酸化膜 3 上にそれぞれゲート電極 4 a ~ 4 e を形成する。ゲート電極 4 a ~ 4 e は、多結晶シリコン膜とその多結晶シリコン膜上に形成したタングステンシリサイド膜との 2 層構造を有するように構成してもよい。ゲート電極 4 a ~ 4 e をマスクとして、シリコン基板 1 に不純物をイオン注入することによって、ソース/ドレイン領域 6 a ~ 6 e を形成する。

【 0 0 5 2 】

20

また、ゲート電極 4 a ~ 4 e の上部表面上に T E O S 酸化膜 5 を形成する。また、全面を覆うように 1 0 ~ 2 0 n m 程度の厚みを有する T E O S 酸化膜 7 を形成した後、その T E O S 酸化膜 7 上に 3 0 ~ 5 0 n m 程度の厚みを有するシリコン窒化膜 8 を形成する。この後、周辺回路部に位置するシリコン窒化膜 8 を異方性エッチングすることによって、図 5 に示されるような、シリコン窒化膜からなるサイドウォール 9 を形成する。そしてこのサイドウォール 9 をマスクとして周辺回路部のシリコン基板 1 の表面に不純物をイオン注入することによって、L D D 構造を有するソース/ドレイン領域 6 d および 6 e を形成する。

【 0 0 5 3 】

また、周辺回路部の T E O S 酸化膜 5 の上部表面上に、シリコン窒化膜からなる絶縁膜を 5 ~ 1 0 n m 程度の膜厚で形成する。なお、この絶縁膜 1 0 は T E O S 酸化膜によって形成してもよい。

30

【 0 0 5 4 】

この後、図 6 に示すように、B P S G 酸化膜または P S G 酸化膜からなる層間絶縁膜 1 1 を形成した後、ソース/ドレイン領域 6 a 上に位置する層間絶縁膜 1 1 の領域にキャパシタ用コンタクトホール 1 2 を形成する。このキャパシタ用コンタクトホール 1 2 は、まずシリコン窒化膜 8 をエッチングストップ層として、たとえば、 CHF_3 / CF_4 のエッチャントを用いて選択比 1 0 ~ 2 0 以上で層間絶縁膜 1 1 をエッチングすることにより形成する。これにより、自己整合的にキャパシタ用コンタクトホール 1 2 が形成される。さらに、キャパシタ用コンタクトホール 1 2 内に位置するシリコン窒化膜 8 を層間絶縁膜 1 1 に対して選択的にエッチングできる条件で異方性エッチングする。この異方性エッチングは、たとえば、F 系ガスをエッチャントとして選択比 1 0 程度で行なう。さらに、ソース/ドレイン領域 6 a 上の T E O S 酸化膜 7 を希フッ酸などを用いて除去する。この希フッ酸は、たとえば 1 / 5 0 希釈 H F を用いる。これにより、図 7 に示されるような、層間絶縁膜 1 1 の上面からソース/ドレイン領域 6 a に至るキャパシタ用コンタクトホール 1 2 が完成される。

40

【 0 0 5 5 】

この後、そのキャパシタ用コンタクトホール 1 2 内を埋込むとともに層間絶縁膜 1 1 の上部表面上に沿って延びる多結晶シリコン膜（図示せず）を形成した後、その多結晶シリコン膜をドライエッチングすることによって、プラグ電極 1 3 を形成する。このプラグ電極

50

13は、キャパシタ用コンタクトホール12内を充填するように形成する。

【0056】

次に、図8に示すように、プラグ電極13の上面上および層間絶縁膜11の上面上に30nm程度の厚みを有するTEOS酸化膜14を形成する。

【0057】

次に、図9に示すように、シリコン窒化膜8および絶縁膜10をエッチングストッパ層として、層間絶縁膜11およびTEOS酸化膜14をエッチングすることによって、ビット線用コンタクトホール15aと、配線用コンタクトホール15bおよび15cとを自己整合的に形成する。このビット線用コンタクト15aの自己整合的開口法で用いるエッチングは、たとえば、 CHF_3 / CF_4 のエッチャントを用いて選択比10~20以上で行なう。

10

【0058】

この後、ビット線用コンタクトホール15a内に位置するシリコン窒化膜8と、配線用コンタクトホール15bおよび15c内に位置する絶縁膜10とを、層間絶縁膜11に対してシリコン窒化膜8および絶縁膜10を選択的にエッチングできる条件で異方性エッチングする。これにより、図10に示されるような、ビット線用コンタクトホール15aと、配線用コンタクトホール15bおよび15cとが完成される。

【0059】

その後、50~100nm程度の厚みを有する多結晶シリコン膜と、50~100nm程度の厚みを有するチタンシリサイド膜とからなる導電層（図示せず）、および、その上に100~200nm程度の厚みを有するTEOS酸化膜（図示せず）を形成した後、そのTEOS酸化膜および導電層をパターンニングする。これによって、図10に示されるような、ビット線16aおよびその上のTEOS酸化膜17aと、配線層16bおよびその上のTEOS酸化膜17bとが形成される。

20

【0060】

次に、図11に示すように、全面を覆うようにTEOS酸化膜19を50~100nm程度の厚みで形成した後、そのTEOS酸化膜19をドライエッチングすることによって、図12に示されるような、TEOS酸化膜からなるサイドウォール酸化膜20aおよび20bを形成する。

【0061】

30

この後、図13に示すように、50nm程度の厚みでシリコン窒化膜21を形成する。この後、図14に示すように、シリコン窒化膜21上にBPSG酸化膜またはTEOS酸化膜からなる絶縁膜22を形成した後、シリコン窒化膜21をエッチングストッパ層とする自己整合的コンタクト開口法によって、キャパシタホール23を形成する。キャパシタホール23の形成は、たとえば、 CHF_3 / CF_4 をエッチャントとして、選択比を10~20以上に設定したエッチングを用いて行なう。

【0062】

そのキャパシタホール23内に位置するシリコン窒化膜21を絶縁膜22に対して選択的にエッチングできる等方性エッチングによって除去する。この等方性エッチングは、たとえば熱リン酸を用いて選択比が50程度で行なう。これにより、図15に示すような構造が得られる。さらに、プラグ電極13の上面上を1/100希釈HFなどの希フッ酸を用いてクリーニングする。

40

【0063】

この後、図16に示すように、多結晶シリコン膜24を100nm程度の膜厚で形成した後、フォトレジスト25をキャパシタホール23内に埋込む。そして、層間絶縁膜22上に位置する多結晶シリコン膜24をドライエッチングにより除去することによって、図17に示すような筒状のキャパシタ下部電極24aの形状が得られる。この後、層間絶縁膜22を等方性エッチングにより除去することによって、図18に示されるような構造が得られる。この層間絶縁膜22のエッチングは、たとえば、10:1の希釈HFによって行なう。

50

【0064】

次に、全面を覆うようにキャパシタ誘電体膜26および多結晶シリコン膜27を形成する。キャパシタ誘電体膜26としては、たとえば、シリコン酸化窒化膜を用いてもよいし、 Ta_2O_5 膜などの高誘電体膜を用いてもよい。図19に示した状態から、パターンニングを行なうことによって、図20に示すような多結晶シリコン膜からなるキャパシタ上部電極27aを形成することができる。

【0065】

この後、図1に示すように、全面にTEOS酸化膜またはBPSG酸化膜などからなる層間絶縁膜28を形成した後、その層間絶縁膜28のメモリセル部の上部表面上にメタル配線30を所定の間隔を隔てて形成する。また、周辺回路部に位置する層間絶縁膜28およびTEOS酸化膜17bにコンタクトホールを形成した後、そのコンタクトホール内で配線層16bに電氣的に接続されるとともに層間絶縁膜28の上部表面上に沿って延びるメタル配線層29を形成する。このようにして、図1に示した実施の形態1によるDRAMが完成される。

10

【0066】

(実施の形態2)

図21は、本発明の実施の形態2によるDRAMを示した断面図である。図21を参照して、この実施の形態2によるDRAMでは、プラグ電極13およびビット線16aについては実施の形態1による構造と同様の構造を有している。しかし、この実施の形態2では、キャパシタ構造が実施の形態1による構造とは異なる。

20

【0067】

具体的には、この実施の形態2の構造では、プラグ電極13の上部表面に直接キャパシタ下部電極部43bが接続されているのではなく、キャパシタ下部電極部43bとプラグ電極13との間にキャパシタコンタクト部43aが介在されている。キャパシタコンタクト部43aとキャパシタ下部電極43bとは一体的に形成されている。

【0068】

また、シリコン窒化膜21aは、層間絶縁膜11の上部表面上と、TEOS酸化膜17aの上部表面上とに形成されている。また、シリコン窒化膜21a上にはTEOS酸化膜と、BPSG酸化膜またはPSG酸化膜との積層膜からなる層間絶縁膜42が形成されている。層間絶縁膜42と、シリコン窒化膜21aと、サイドウォール酸化膜20aと、TEOS酸化膜14とによって、第2のキャパシタ用コンタクトホール41が形成されている。また、第2のキャパシタ用コンタクトホール41の、ビット線16aの側端部上に位置する領域には凹部41aが形成されている。その第2のキャパシタ用コンタクトホール41およびその凹部41aを充填するようにキャパシタコンタクト部43aが形成されている。

30

【0069】

そしてそのキャパシタコンタクト部43aの上部と一体的に、層間絶縁膜42の上部表面上に沿って延びるキャパシタ下部電極部43bが形成されている。またキャパシタ下部電極部43bの両側端部に接触するように、上方に向かって延びる多結晶シリコン膜からなるサイドウォール46が形成されている。キャパシタ下部電極部43bとサイドウォール46とによってキャパシタ下部電極が構成される。キャパシタ下部電極部43bおよびサイドウォール46を覆うようにキャパシタ誘電体膜46が形成されており、そのキャパシタ誘電体膜46を覆うように多結晶シリコン膜からなるキャパシタ上部電極48が形成されている。

40

【0070】

また、周辺回路部では、TEOS酸化膜17bとサイドウォール酸化膜20bとを覆うように層間絶縁膜42が形成されており、その層間絶縁膜42上に層間絶縁膜28が形成されている。層間絶縁膜28、42およびTEOS酸化膜17bの所定領域にはコンタクトホールが設けられており、そのコンタクトホールを介して、配線層16bに電氣的に接続するようにメタル配線29が形成されている。

50

【0071】

ここで、この実施の形態2では、上述した実施の形態1と同様、ビット線用コンタクトホール15aと同じアスペクト比で第1のキャパシタ用コンタクトホール12を形成することができるので、その第1のキャパシタ用コンタクトホール12の形成の際に、シリコン窒化膜8を用いた自己整合的コンタクト開口法を用いることができる。さらに、キャパシタ用コンタクトホールを、第1のキャパシタ用コンタクトホール12とその上方の第2のキャパシタ用コンタクトホール41との2段階に分けることによって、第2のキャパシタ用コンタクトホール41のアスペクト比を小さくすることができる。これにより、第2のキャパシタ用コンタクトホール41も、シリコン窒化膜21aをエッチングストッパ層とした自己整合的開口法によって形成することができる。

10

【0072】

このように、この実施の形態2では、第1のキャパシタ用コンタクトホール12と第2のキャパシタ用コンタクトホール41との両方をシリコン窒化膜8および21aを用いた自己整合的開口法によって形成することができるので、従来の径縮小プロセスによってキャパシタ用コンタクトホールを形成する場合に比べて、製造方法を簡素化することができる。また、メモリセルサイズが縮小化されたとしても容易に第1のキャパシタ用コンタクトホール12および第2のキャパシタ用コンタクトホール41を形成することができる。

【0073】

また、この実施の形態2の構造では、キャパシタコンタクト部43aが、サイドウォール酸化膜20aおよびTEOS酸化膜17aを介して、ビット線16aの側面および上面を覆うように形成されているので、隣接するビット線16a間のビット配線容量を低減することができる。これにより、メモリセルからのデータの読出およびメモリセルへのデータの書込速度の低下を防止することができ、アクセス速度を向上させることができる。

20

【0074】

また、この実施の形態2の構造では、上記した実施の形態1と同様、ソース/ドレイン領域6aに接続されるプラグ電極13の底面の平面積よりも、キャパシタ下部電極24aに接続されるプラグ電極13の上面の平面積の方が大きくなるように形成されている。このため、プラグ電極13の上面に接続するようにキャパシタ下部電極24aを形成する際に、重ね合わせずれの余裕を大きく取ることができ、その結果キャパシタ下部電極24aの形成プロセスが容易になるという効果を奏する。

30

【0075】

図22～図30は、図21に示した実施の形態2によるDRAMの製造プロセスを説明するための断面図である。以下に、図22～図30を用いて実施の形態2による製造プロセスについて説明する。

【0076】

まず、図4～図13に示した実施の形態1による製造プロセスと同様のプロセスを用いて、シリコン窒化膜21までを形成する。この後、周辺回路部に位置するシリコン窒化膜21を除去することによって、図22に示されるような形状が得られる。

【0077】

次に、図23に示すように、BPSG酸化膜またはPSG酸化膜と、その上のTEOS酸化膜との積層膜からなる層間絶縁膜42を形成する。その場合のTEOS酸化膜は10～20nm程度の厚みで形成する。その後、層間絶縁膜42のプラグ電極13の上方に位置する領域を、下層のシリコン窒化膜21をエッチングストッパ層としてエッチングする。この場合のエッチングは、 CHF_3 / CF_4 をエッチャントとして、選択比を10～20以上として行なう。これにより、キャパシタ用コンタクトホール41が自己整合的に形成される。

40

【0078】

この後、シリコン窒化膜21を層間絶縁膜42に対して選択的にエッチングすることが可能な等方性エッチングを用いて、シリコン窒化膜21をエッチングする。この等方性エッチングは、たとえば熱リン酸を用いて選択比50程度で行なう。このような等方性エッチ

50

ングによって、形成されるシリコン窒化膜 2 1 a は、図 2 4 に示すように、層間絶縁膜 4 2 に対して大きく後退した形状になる。つまり、ビット線 1 6 a の側端部上方に凹部 4 1 a が形成された形状になる。この後、プラグ電極 1 3 の上面を希フッ酸などでクリーニングする。このクリーニングは、たとえば 1 / 1 0 0 希釈 H F を用いて行なう。

【 0 0 7 9 】

この後、図 2 5 に示すように、多結晶シリコン膜 4 3 を形成する。この多結晶シリコン膜 4 3 は、第 2 のキャパシタ用コンタクトホール 4 1 およびその凹部 4 1 a を埋込むとともに、層間絶縁膜 4 2 の上部表面上に延びるように形成する。その後、多結晶シリコン膜 4 3 上に 5 0 ~ 1 0 0 n m 程度の厚みを有する B P S G 酸化膜（図示せず）を形成した後、その B P S G 酸化膜と多結晶シリコン膜 4 3 とをパターニングすることによって、図 2 6 10 に示されるようなキャパシタコンタクト部 4 3 a と、キャパシタ下部電極部 4 3 b と、そのキャパシタ下部電極部 4 3 b 上の B P S G 酸化膜 4 4 とが得られる。

【 0 0 8 0 】

この後、層間絶縁膜 4 2 および B P S G 酸化膜 4 4 を覆うように、5 0 ~ 1 0 0 n m 程度の厚みを有する多結晶シリコン膜 4 5 を形成する。その多結晶シリコン膜 4 5 を異方性エッチングすることによって、図 2 7 に示されるような、キャパシタ下部電極を構成する、多結晶シリコン膜からなるサイドウォール 4 6 が形成される。このサイドウォール 4 6 と、キャパシタ下部電極部 4 3 b とによって、筒状のキャパシタ下部電極が構成される。この後、B P S G 酸化膜 4 4 を気相 H F を用いて、下層の層間絶縁膜 4 2 とキャパシタ下部電極（4 6 , 4 3 b）とに対して高選択比のエッチング（選択比 1 0 0 0 程度）を行なう 20 。これにより、B P S G 酸化膜 4 4 を除去し、図 2 8 に示された構造が得られる。

【 0 0 8 1 】

次に、図 2 9 に示すように、キャパシタ下部電極部 4 3 b およびサイドウォール 4 6 を覆うようにキャパシタ誘電体膜 4 7 を形成した後、そのキャパシタ誘電体膜 4 7 を覆うように多結晶シリコン膜からなるキャパシタ上部電極 4 8 を形成する。キャパシタ誘電体膜としては、シリコン酸化窒化膜などの誘電体膜や、 $T a_2 O_5$ 膜などの高誘電体膜を用いる。この後、キャパシタ上部電極 4 8 とキャパシタ誘電体膜 4 7 とをパターニングすることによって、図 3 0 に示されるような形状のキャパシタ上部電極 4 8 が得られる。

【 0 0 8 2 】

この後、図 2 1 に示したように、キャパシタ上部電極 4 8 を覆うように層間絶縁膜 2 8 を 30 形成した後、その層間絶縁膜 2 8 の上部表面上のメモリセル部にメタル配線 3 0 を所定の間隔を隔てて形成する。また、周辺回路部の層間絶縁膜 2 8、4 2 および T E O S 酸化膜 1 7 b にコンタクトホールを形成した後、そのコンタクトホールを介して配線層 1 6 b に電氣的に接続するようにメタル配線 2 9 を形成する。このようにして、実施の形態 2 による D R A M が形成される。

【 0 0 8 3 】

（実施の形態 3）

図 3 1 は、本発明の実施の形態 3 による D R A M を示した断面図である。図 3 1 を参照して、この実施の形態 3 では、キャパシタ下部電極 5 4 a を、上述した実施の形態 1 および 2 の筒状構造ではなく、単純スタック型の構造にしている。さらに、キャパシタ下部電極 5 4 a の表面を凹凸を有するように粗面化している。これにより、キャパシタ下部電極 5 4 a の表面積が増加し、その結果キャパシタ容量を増加させることができる。なお、キャパシタ下部電極 5 4 a 上にはキャパシタ誘電体膜 5 6 を介してキャパシタ上部電極 5 7 a が形成されている。 40

【 0 0 8 4 】

表面に凹凸を有するキャパシタ下部電極 5 4 a は以下の方法により形成する。すなわち、高真空（ $\sim 10^{-6}$ T o r r）下においてジシラン（ $S i_2 H_6$ ）やシラン（ $S i H_4$ ）ガスを流すことによって、多結晶シリコン膜上に選択的に多結晶シリコン粒を選択成長させる。これにより、図 3 1 に示すような凹凸形状を有するキャパシタ下部電極 5 4 a を形成することが可能となる。

【 0 0 8 5 】

なお、この実施の形態 3 の構造においても、上述した実施の形態 1 と同様、プラグ電極 1 3 を介してキャパシタ下部電極 5 4 a がソース / ドレイン領域 6 a に電氣的に接続される構造を有している。このため、実施の形態 1 と同様、キャパシタ用コンタクトホール 1 2 をビット線用コンタクトホール 1 5 a と同じアスペクト比で形成することができ、その結果、シリコン窒化膜 8 をエッチングストッパ層とする自己整合的開口法によって、キャパシタ用コンタクトホール 1 2 を形成することができる。これにより、キャパシタ用コンタクトホールを径縮小プロセスによって形成する場合に比べて、製造プロセスを簡略化することができる。また、キャパシタ下部電極 5 4 a がビット線 1 6 a の側部および上部を、サイドウォール酸化膜 2 0 a および T E O S 酸化膜 1 7 a を介して覆うように形成されているので、隣接するビット線 1 6 a 間のビット配線容量を低減することができる。これにより、動作速度の低下を防止することができる。

10

【 0 0 8 6 】

(実施の形態 4)

図 3 2 は、本発明の実施の形態 4 による D R A M を示した断面図である。図 3 2 を参照して、この実施の形態 4 は、図 1 に示した実施の形態 1 と基本的には同じ構造を有している。この実施の形態 3 の構造が実施の形態 1 と異なるのは、実施の形態 3 ではキャパシタ下部電極 6 4 a の表面が凹凸形状を有していることである。この凹凸形状を有するキャパシタ上部電極 6 4 a を覆うようにキャパシタ誘電体膜 6 6 を介してキャパシタ上部電極 6 7 a が形成されている。このようにキャパシタ下部電極 6 4 a の表面を粗面化して凹凸形状に形成することによって、キャパシタ容量を増大させることができる。キャパシタ下部電極 6 4 a の表面を粗面化する方法は、上記した実施の形態 3 の方法と同様な方法を用いる。

20

【 0 0 8 7 】

この実施の形態 4 による構造も、基本的には実施の形態 1 の構造と同様の構造を有しているので、実施の形態 1 と同様、キャパシタ用コンタクトホールの形成プロセスを容易にすることができるとともに、読出および書込動作の速度が低下するのを防止することができる。

【 0 0 8 8 】

(実施の形態 5)

図 3 3 は、本発明の実施の形態 5 による D R A M を示した断面図である。図 3 3 を参照して、この実施の形態 5 では、図 2 1 に示した実施の形態 2 のキャパシタ部分の構造の変形例である。具体的には、この実施の形態 5 では、キャパシタコンタクト部 7 6 a の上方に位置するキャパシタ下部電極部 7 6 b が、筒状構造ではなく単純スタック型の構造を有している。そしてそのキャパシタ下部電極部 7 6 b の表面は凹凸形状に形成されている。そのキャパシタ下部電極部 7 6 b を覆うようにキャパシタ誘電体膜 7 7 を介してキャパシタ上部電極 7 8 が形成されている。このようにキャパシタ下部電極部 7 6 b の表面を凹凸形状に形成することによって、キャパシタ容量を増大することができる。

30

【 0 0 8 9 】

また、この実施の形態 5 では、上述した実施の形態 2 と同様、キャパシタコンタクト部 7 6 a がビット線 1 6 a の側面および上面を覆うように形成されているので、ビット線 1 6 a 間のビット配線容量を低減することができ、その結果、データの読出および書込動作速度を向上させることができる。また、プラグ電極を設けることによって、第 1 のキャパシタ用コンタクトホール 1 2 と第 2 のキャパシタ用コンタクトホール 4 1 とをアスペクト比が小さくなるようにすることができる。これにより、第 1 のキャパシタ用コンタクトホール 1 2 と第 2 のキャパシタ用コンタクトホール 4 1 とを、窒化膜 8 および 2 1 a をそれぞれ用いた自己整合的開口法によって形成することができる。これにより、径縮小プロセスによってキャパシタ用コンタクトホールを形成する場合に比べて製造プロセスを簡略化することができる。

40

【 0 0 9 0 】

50

(実施の形態 6)

図 3 4 は、本発明の実施の形態 6 による D R A M を示した断面図である。図 3 4 を参照して、この実施の形態 6 では、図 2 1 に示した実施の形態 2 とほぼ同様の構造を有している。ただし、この実施の形態 6 では、キャパシタコンタクト部 8 5 a と一体的に形成されたキャパシタ下部電極部 8 5 b の表面と、多結晶シリコン膜からなるサイドウォール 8 6 の表面とが凹凸形状を有するように形成されている。そして、そのキャパシタ下部電極部 8 5 b およびサイドウォール 8 6 を覆うようにキャパシタ誘電体膜 8 7 を介してキャパシタ上部電極 8 8 が形成されている。このようにキャパシタ下部電極を構成するキャパシタ下部電極部 8 5 b およびサイドウォール 8 6 の表面を凹凸形状に形成することによって、キャパシタ容量を増大させることができる。

10

【 0 0 9 1 】

また、この実施の形態 6 では、実施の形態 2 の構造と同様、第 1 のキャパシタ用コンタクトホール 1 2 および第 2 のキャパシタ用コンタクトホール 4 1 をともに、シリコン窒化膜 8 および 2 1 a を用いた自己整合的開口法により形成することができる。これにより、製造プロセスを簡略化することができる。また、隣接するビット線 1 6 a 間の配線容量も低減することができ、これにより動作速度を向上させることができる。

【 0 0 9 2 】

【発明の効果】

以上のように、請求項 1 ~ 3 に記載の半導体装置によれば、製造プロセスを簡略化することができるとともにビット配線容量を低減することができる。また、請求項 4 に記載の半導体装置では、さらにキャパシタ容量を増大することができる。また、請求項 5 に記載の半導体装置では、キャパシタ用コンタクトホールを容易に形成することができる。さらに、請求項 6 および 7 に記載の半導体装置の製造方法では、キャパシタ用コンタクトホールを、シリコン窒化膜を用いた自己整合的開口法によって容易に形成することができるとともに、ビット配線容量を低減し得る半導体装置を容易に製造できる。

20

【図面の簡単な説明】

【図 1】本発明の実施の形態 1 による D R A M を示した断面図である。

【図 2】図 1 に示した D R A M のメモリセル部の 1 / 4 ピッチのレイアウト図である。

【図 3】図 1 に示した D R A M のメモリセル部の 1 / 2 ピッチのレイアウト図である。

【図 4】図 1 に示した実施の形態 1 による D R A M の製造プロセスを説明するための断面図である。

30

【図 5】図 1 に示した実施の形態 1 による D R A M の製造プロセスを説明するための断面図である。

【図 6】図 1 に示した実施の形態 1 による D R A M の製造プロセスを説明するための断面図である。

【図 7】図 1 に示した実施の形態 1 による D R A M の製造プロセスを説明するための断面図である。

【図 8】図 1 に示した実施の形態 1 による D R A M の製造プロセスを説明するための断面図である。

【図 9】図 1 に示した実施の形態 1 による D R A M の製造プロセスを説明するための断面図である。

40

【図 1 0】図 1 に示した実施の形態 1 による D R A M の製造プロセスを説明するための断面図である。

【図 1 1】図 1 に示した実施の形態 1 による D R A M の製造プロセスを説明するための断面図である。

【図 1 2】図 1 に示した実施の形態 1 による D R A M の製造プロセスを説明するための断面図である。

【図 1 3】図 1 に示した実施の形態 1 による D R A M の製造プロセスを説明するための断面図である。

【図 1 4】図 1 に示した実施の形態 1 による D R A M の製造プロセスを説明するための断

50

面図である。

【図 1 5】図 1 に示した実施の形態 1 による D R A M の製造プロセスを説明するための断面図である。

【図 1 6】図 1 に示した実施の形態 1 による D R A M の製造プロセスを説明するための断面図である。

【図 1 7】図 1 に示した実施の形態 1 による D R A M の製造プロセスを説明するための断面図である。

【図 1 8】図 1 に示した実施の形態 1 による D R A M の製造プロセスを説明するための断面図である。

【図 1 9】図 1 に示した実施の形態 1 による D R A M の製造プロセスを説明するための断面図である。 10

【図 2 0】図 1 に示した実施の形態 1 による D R A M の製造プロセスを説明するための断面図である。

【図 2 1】本発明の実施の形態 2 による D R A M を示した断面図である。

【図 2 2】図 2 1 に示した実施の形態 2 による D R A M の製造プロセスを説明するための断面図である。

【図 2 3】図 2 1 に示した実施の形態 2 による D R A M の製造プロセスを説明するための断面図である。

【図 2 4】図 2 1 に示した実施の形態 2 による D R A M の製造プロセスを説明するための断面図である。 20

【図 2 5】図 2 1 に示した実施の形態 2 による D R A M の製造プロセスを説明するための断面図である。

【図 2 6】図 2 1 に示した実施の形態 2 による D R A M の製造プロセスを説明するための断面図である。

【図 2 7】図 2 1 に示した実施の形態 2 による D R A M の製造プロセスを説明するための断面図である。

【図 2 8】図 2 1 に示した実施の形態 2 による D R A M の製造プロセスを説明するための断面図である。

【図 2 9】図 2 1 に示した実施の形態 2 による D R A M の製造プロセスを説明するための断面図である。 30

【図 3 0】図 2 1 に示した実施の形態 2 による D R A M の製造プロセスを説明するための断面図である。

【図 3 1】本発明の実施の形態 3 による D R A M を示した断面図である。

【図 3 2】本発明の実施の形態 4 による D R A M を示した断面図である。

【図 3 3】本発明の実施の形態 5 による D R A M を示した断面図である。

【図 3 4】本発明の実施の形態 6 による D R A M を示した断面図である。

【図 3 5】従来の D R A M を示した断面図である。

【図 3 6】図 3 5 に示した従来の D R A M のメモリセル部の 1 / 2 ピッチのレイアウト図である。

【図 3 7】図 3 5 に示した従来の D R A M の製造プロセスを説明するための断面図である 40

【図 3 8】図 3 5 に示した従来の D R A M の製造プロセスを説明するための断面図である。

【図 3 9】図 3 5 に示した従来の D R A M の製造プロセスを説明するための断面図である。

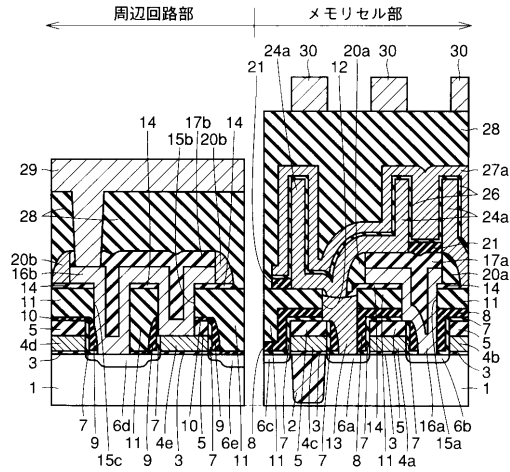
【図 4 0】図 3 5 に示した従来の D R A M の製造プロセスを説明するための断面図である。

【図 4 1】図 3 5 に示した従来の D R A M の製造プロセスを説明するための断面図である。

【図 4 2】図 3 5 に示した従来の D R A M の製造プロセスを説明するための断面図である 50

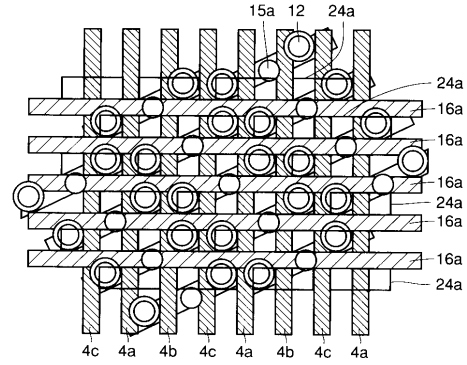
- 。
- 【図 4 3】図 3 5 に示した従来の D R A M の製造プロセスを説明するための断面図である
- 。
- 【図 4 4】図 3 5 に示した従来の D R A M の製造プロセスを説明するための断面図である
- 。
- 【図 4 5】図 3 5 に示した従来の D R A M の製造プロセスを説明するための断面図である
- 。
- 【図 4 6】図 3 5 に示した従来の D R A M の製造プロセスを説明するための断面図である
- 。
- 【図 4 7】図 3 5 に示した従来の D R A M の製造プロセスを説明するための断面図である 10
- 。
- 【図 4 8】図 3 5 に示した従来の D R A M の製造プロセスを説明するための断面図である
- 。
- 【図 4 9】図 3 5 に示した従来の D R A M の製造プロセスを説明するための断面図である
- 。
- 【図 5 0】図 3 5 に示した従来の D R A M の製造プロセスを説明するための断面図である
- 。
- 【図 5 1】図 3 5 に示した従来の D R A M の製造プロセスを説明するための断面図である
- 。
- 【図 5 2】図 3 5 に示した従来の D R A M の製造プロセスを説明するための断面図である 20
- 。
- 【図 5 3】図 3 5 に示した従来の D R A M の製造プロセスを説明するための断面図である
- 。
- 【符号の説明】
- 1 シリコン基板、6 a , 6 b ソース/ドレイン領域、8 , 2 1 a シリコン窒化膜、1 1 層間絶縁膜、1 2 第 1 のキャパシタ用コンタクトホール、1 3 プラグ電極、1 5 a ビット線用コンタクトホール、1 6 a ビット線、1 7 a T E O S 酸化膜、2 0 a サイドウォール酸化膜、2 4 a キャパシタ下部電極、2 6 キャパシタ誘電体膜、2 7 a キャパシタ上部電極。

【図 1】



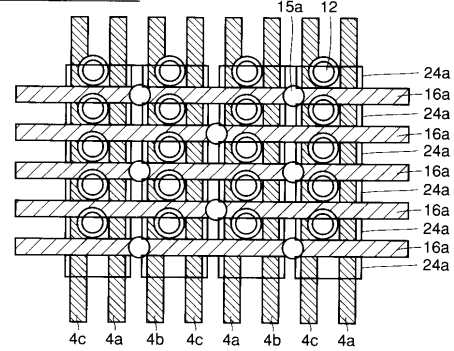
【図 2】

1/4ピッチレイアウト

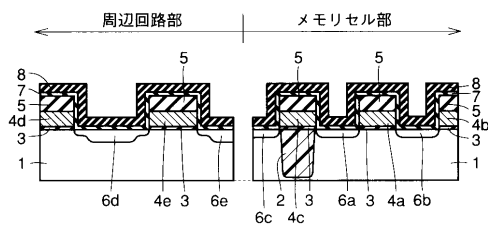


【図 3】

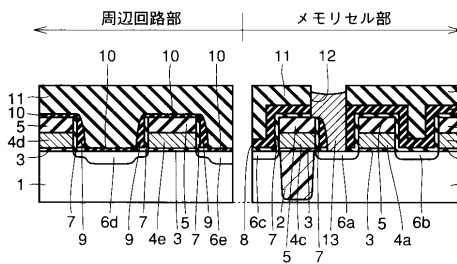
1/2ピッチレイアウト



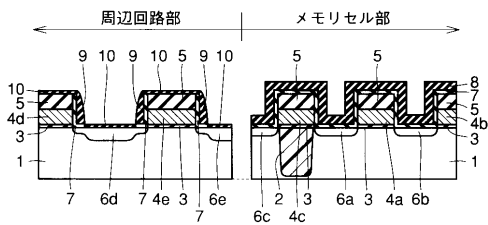
【図 4】



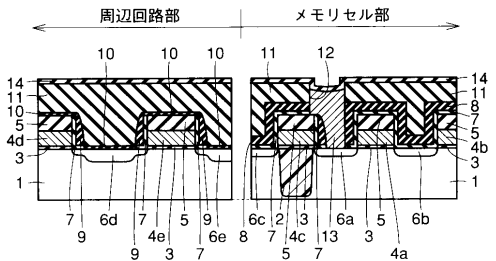
【図 7】



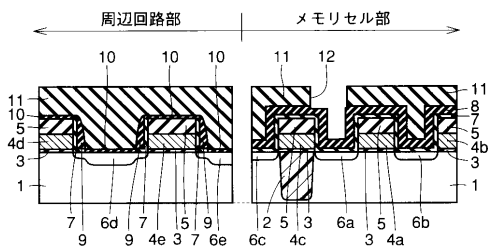
【図 5】



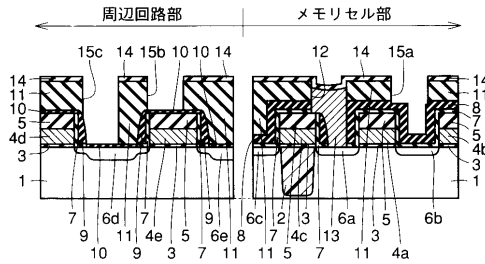
【図 8】



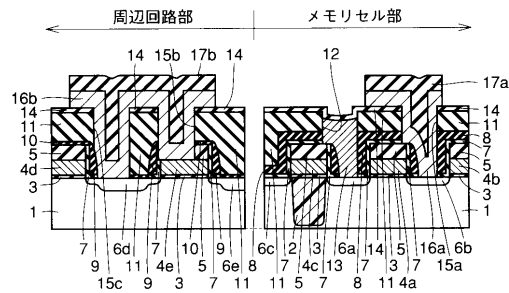
【図 6】



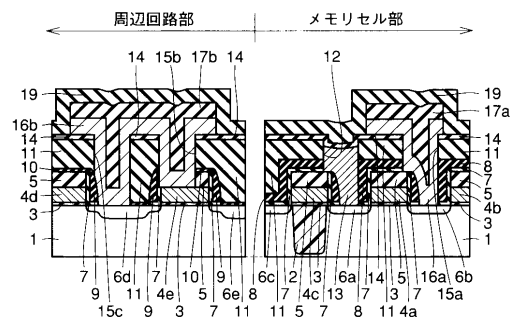
【図 9】



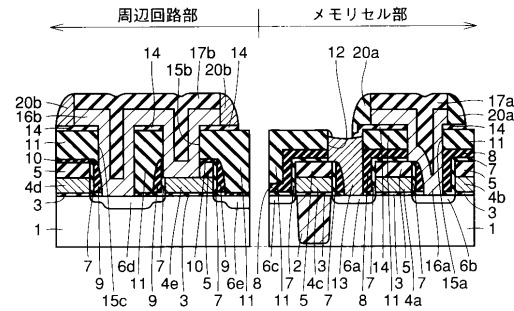
【図 10】



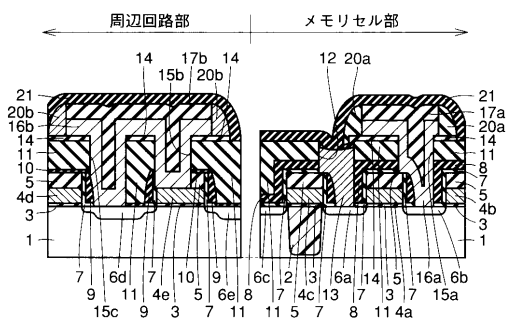
【図 11】



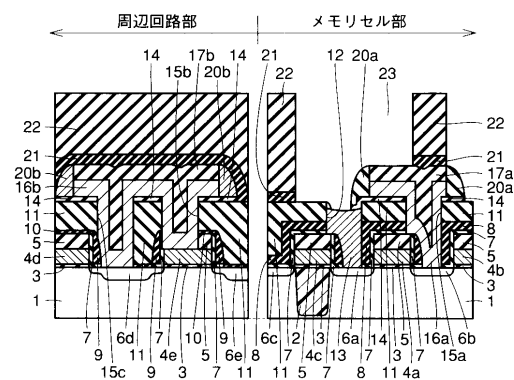
【図 12】



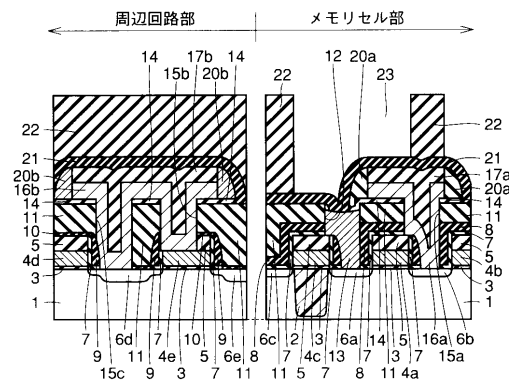
【図 13】



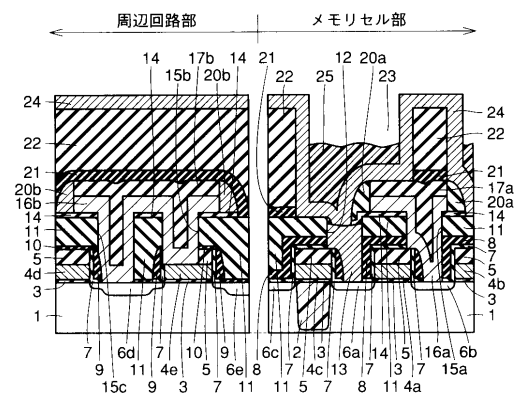
【図 15】



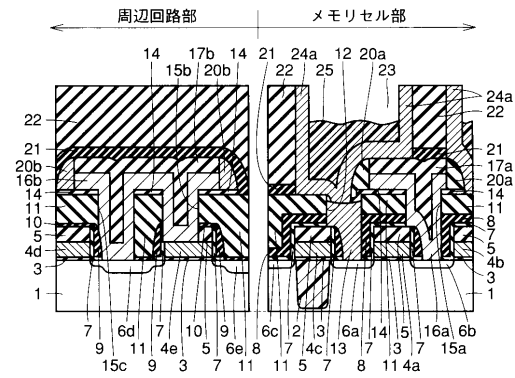
【図 14】



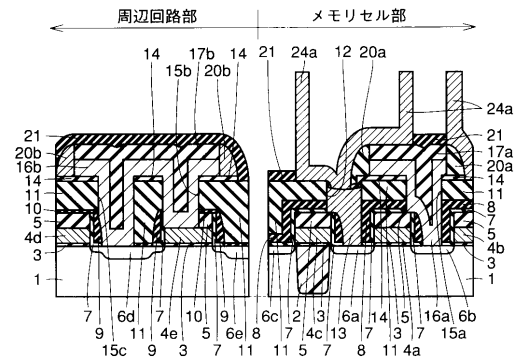
【図 16】



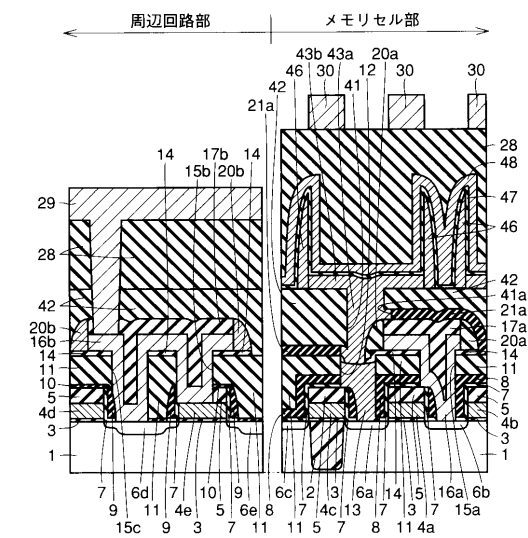
【図 17】



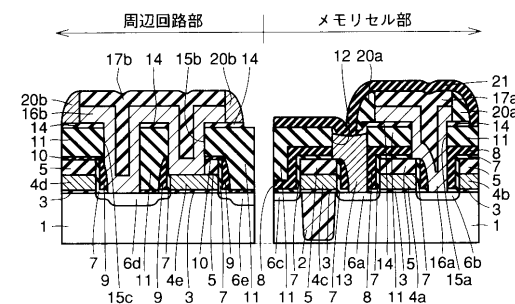
【図 18】



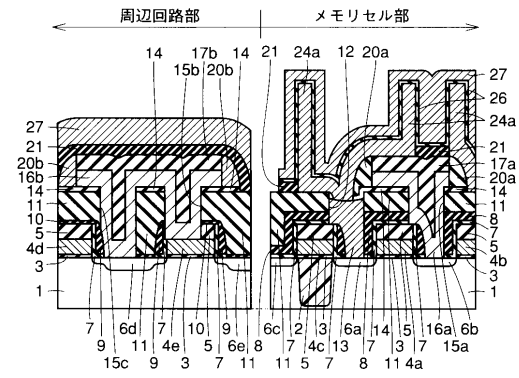
【図 21】



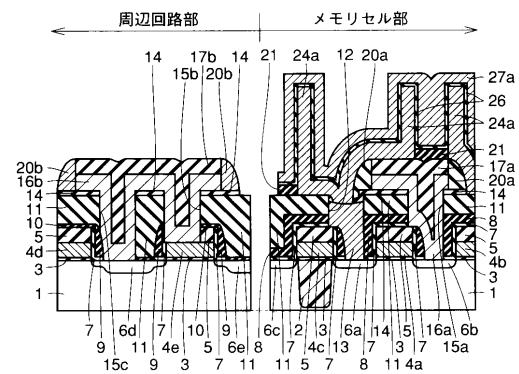
【図 22】



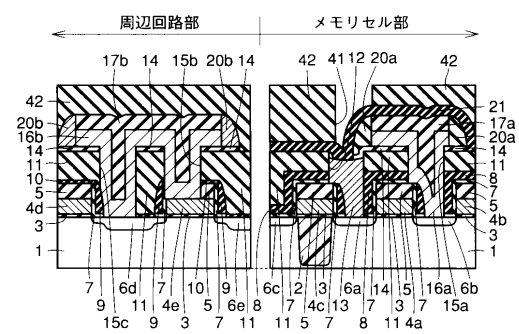
【図 19】



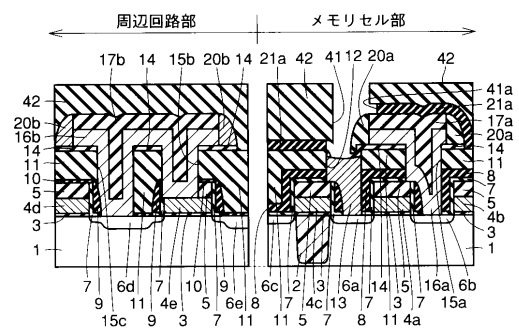
【図 20】



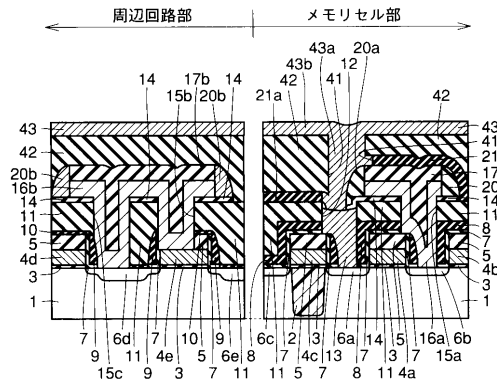
【図 23】



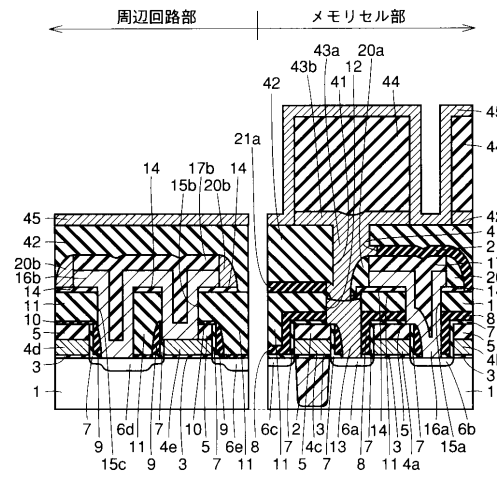
【図 24】



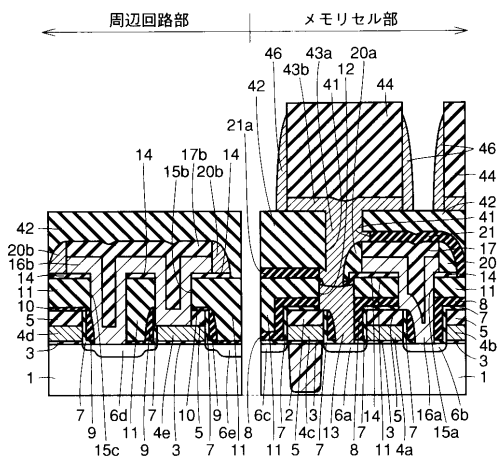
【図 25】



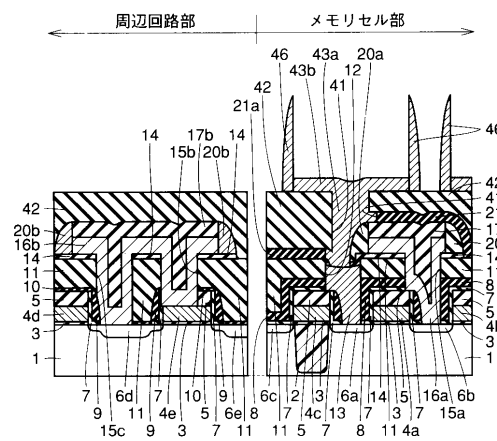
【図 26】



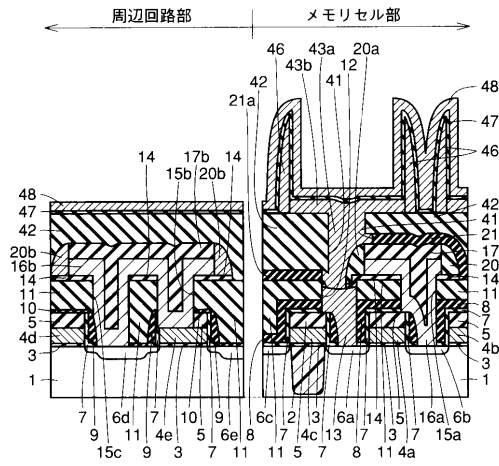
【図 27】



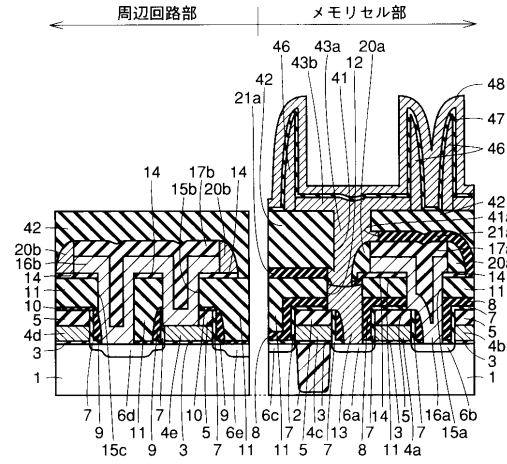
【図 28】



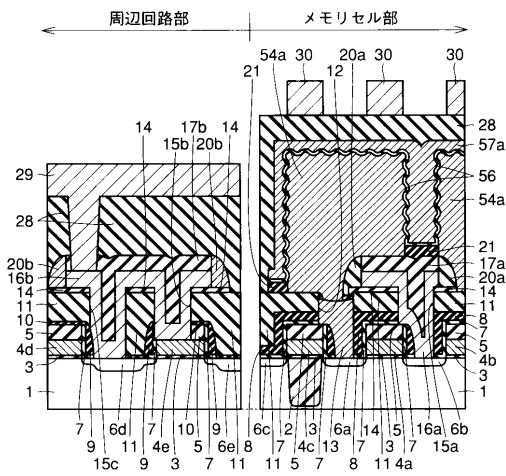
【図 29】



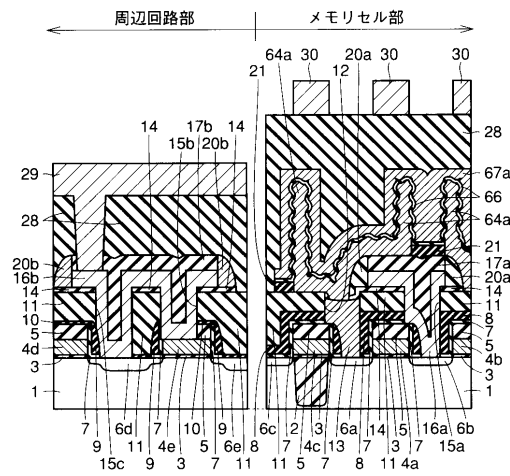
【図 30】



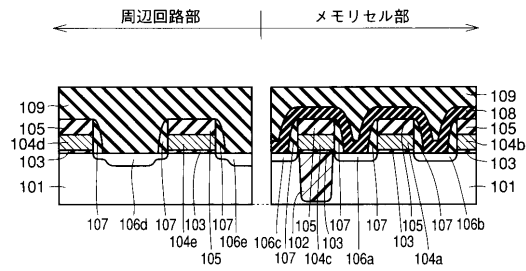
【図 31】



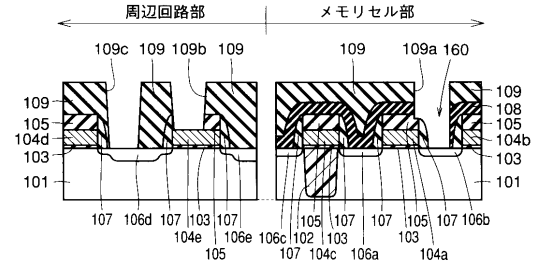
【図 32】



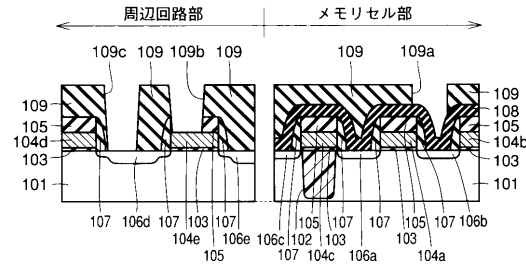
【図 38】



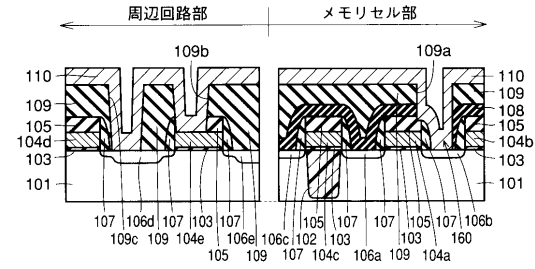
【図 40】



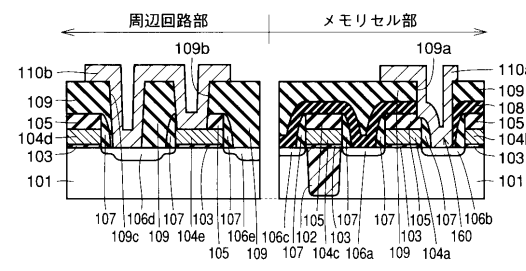
【図 39】



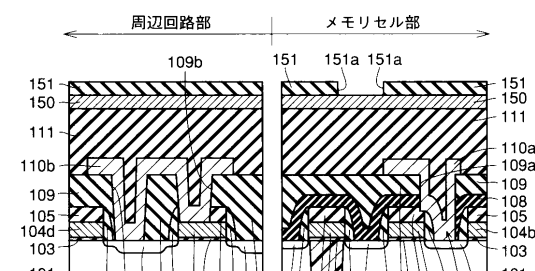
【図 41】



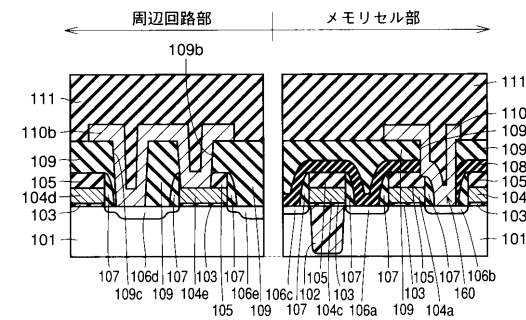
【図 42】



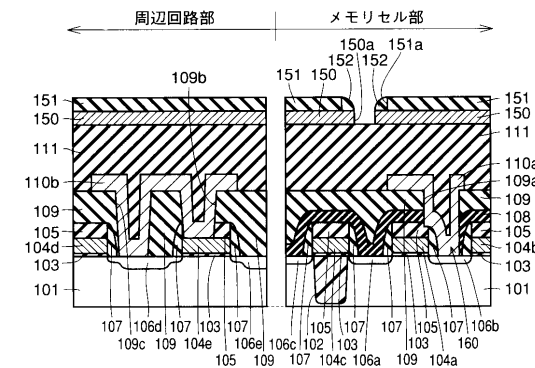
【図 44】



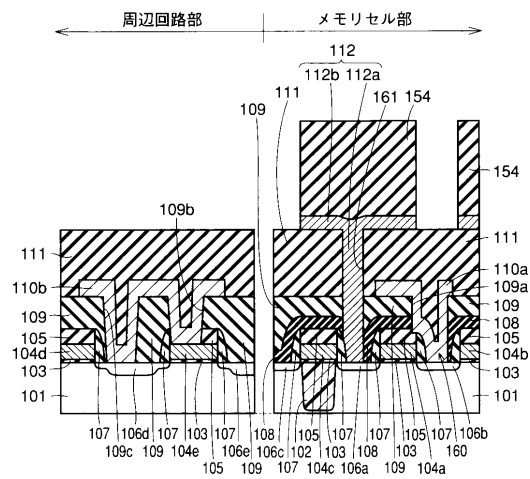
【図 43】



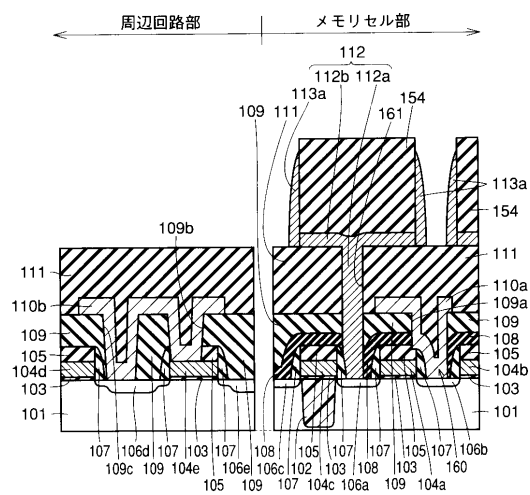
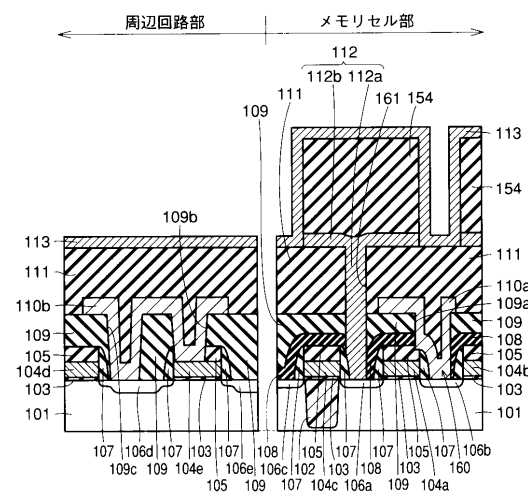
【図 45】



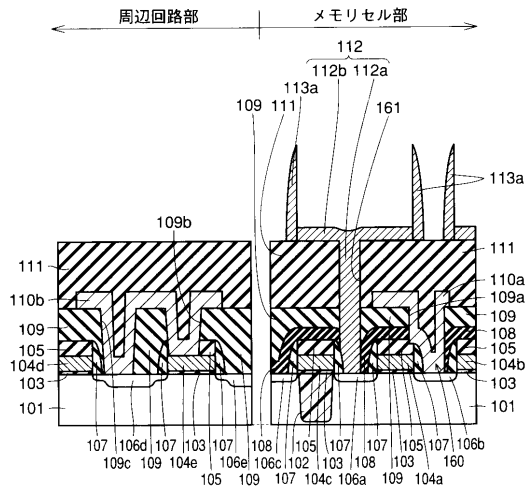
【 図 4 8 】



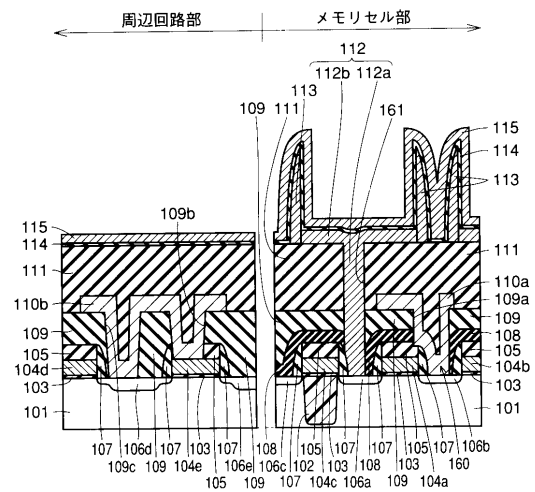
【 図 5 0 】



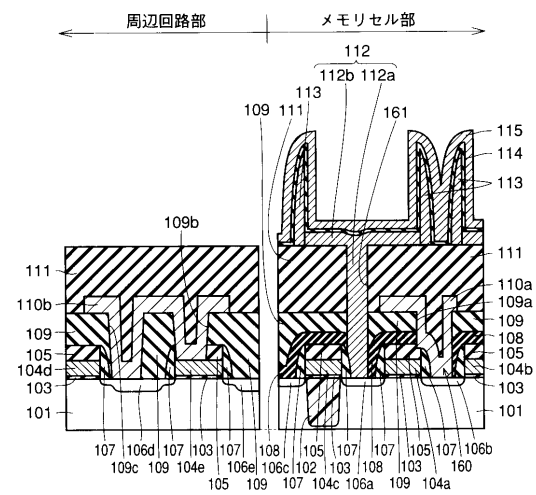
【図 5 1】



【図 5 2】



【図 5 3】



フロントページの続き

(72)発明者 新川田 裕樹
東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

審査官 正山 旭

(56)参考文献 特開平09-064306(JP,A)
特開平09-017978(JP,A)
特開平05-226609(JP,A)
特開平06-283681(JP,A)
特開平09-102588(JP,A)
特開平09-064297(JP,A)
特開平09-321238(JP,A)

(58)調査した分野(Int.Cl.⁷, DB名)

H01L 27/108
H01L 21/8242
H01L 21/768
H01L 29/78