

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2018 年 7 月 19 日 (19.07.2018)



(10) 国际公布号
WO 2018/130156 A1

(51) 国际专利分类号:
H05K 1/18 (2006.01)

中国浙江省宁波市余姚市舜宇路 66-68 号, Zhejiang 315400 (CN)。

(21) 国际申请号: PCT/CN2018/072101

(22) 国际申请日: 2018 年 1 月 10 日 (10.01.2018)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:

201710018066.7 2017 年 1 月 11 日 (11.01.2017) CN

201720031277.X 2017 年 1 月 11 日 (11.01.2017) CN

201720028260.9 2017 年 1 月 11 日 (11.01.2017) CN

(71) 申请人: 宁波舜宇光电信息有限公司
(NINGBO SUNNY OPOTECH CO., LTD.) [CN/CN];

(72) 发明人: 王明珠 (WANG, Mingzhu); 中国浙江省宁波市余姚市舜宇路 66-68 号, Zhejiang 315400 (CN)。 栾仲禹 (LUAN, Zhongyu); 中国浙江省宁波市余姚市舜宇路 66-68 号, Zhejiang 315400 (CN)。 田中武彦 (TANAKA, Takehiko); 日本奈良县奈良菖蒲池 6-2-28, Nara 千 (JP)。 赵波杰 (ZHAO, Bojie); 中国浙江省宁波市余姚市舜宇路 66-68 号, Zhejiang 315400 (CN)。 黄桢 (HUANG, Zhen); 中国浙江省宁波市余姚市舜宇路 66-68 号, Zhejiang 315400 (CN)。 陈振宇 (CHEN, Zhenyu); 中国浙江省宁波市余姚市舜宇路 66-68 号, Zhejiang 315400 (CN)。 郭楠

(54) Title: WINDOWED CIRCUIT BOARD DEVICE AND MANUFACTURING METHOD THEREFOR, AND CIRCUIT BOARD DEVICE EMBEDDING MOUNTED ELEMENT AND MANUFACTURING METHOD THEREFOR

(54) 发明名称: 开窗电路板装置及其制造方法以及包埋贴装元器件的电路板装置及其制造方法

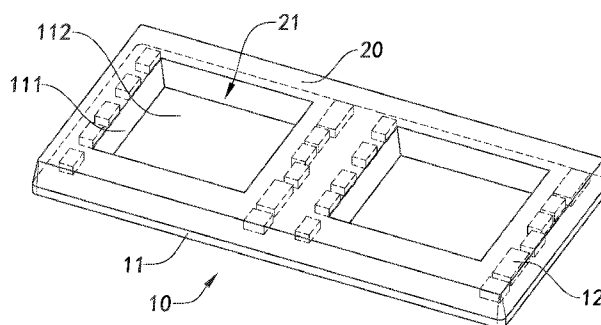


图2

(57) Abstract: A windowed circuit board device and manufacturing method therefor, and a circuit board device embedding a mounted element and manufacturing method therefor. The windowed circuit board device comprises a circuit board part (10, 40) and a window forming part (20); when the window forming part (20) is integrally formed in a combination area (111) of the circuit board part (10), the window forming part (20) synchronously forms at least one window (21), each window (21) of the window forming part (20) separately

(GUO, Nan); 中国浙江省宁波市余姚市舜宇路66-68号, Zhejiang 315400 (CN)。

(74) 代理人: 宁波理文知识产权代理事务所 (特殊普通合伙) (NINGBO RAYMOND IP AGENCY FIRM); 中国浙江省宁波市鄞州区首南街道日丽中路555号1903A室, Zhejiang 315100 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告 (条约第21条(3))。

corresponding to each communication area (112) of the circuit board part (10, 40), so that each communication area (112) separately communicates with an external environment by means of each window (21).

(57) 摘要: 一开窗电路板装置及其制造方法以及包埋贴装元器件的电路板装置及其制造方法, 其中所述开窗电路板装置包括一电路板部 (10、40) 和一开窗形成部 (20), 在所述开窗形成部 (20) 一体地成型于所述电路板部 (10) 的结合区域 (111) 时, 所述开窗形成部 (20) 同步地形成至少一开窗 (21), 其中所述开窗形成部 (20) 的每个所述开窗 (21) 分别对应于所述电路板部 (10、40) 的每个交流区域 (112), 以使每个所述交流区域 (112) 分别通过每个所述开窗 (21) 与外界环境交流。

开窗电路板装置及其制造方法以及包埋贴装元器件的电路板装置及其制造方法

5

技术领域

本发明涉及电路板领域，特别涉及一开窗电路板装置及其制造方法以及包埋贴装元器件的电路板装置及其制造方法。

10 背景技术

近年来，电子设备越来越朝向轻薄化和智能化的方向发展，这对被配置于电子设备的电路板结构的尺寸和性能都提出了更为苛刻的要求，通常情况下，为了减小电子设备的尺寸，电路板结构的电路板上需要被贴装数量更少和尺寸更小的电子元器件，这与电子设备的智能化的发展方向背道而驰，类似地，为了提高电子设备的智能化水平，电路板结构的电路板上需要被贴装数量更多和尺寸更大的电子元器件，这与电子设备的轻薄化的发展方向背道而驰，因此如何使电子设备同步地朝向轻薄化和智能化方向发展，是电子设备继续发展的技术瓶颈。

具体地说，图 1 示出了现有技术的电路板结构，其中该电路板结构包括一个电路板 10P、一组电子元器件 20P 以及一个框形的支架 30P，每个所述电子元器件 20P 通过 SMT 工艺（Surface Mount Technology，表面贴附工艺）被贴装在所述电路板 10P 的外侧区域，所述支架 30P 通过一胶水或者类似的粘着物 40P 被贴装在所述电路板 10P 的外侧区域，且使所述电路板 10P 的中部区域通过所述支架 30P 的通孔与外界环境交流，例如所述电路板 10P 的中部区域可以通过所述支架 30P 的通孔与被所述支架 30P 支撑的元件交流。图 1 示出的现有技术的所述电路板结构存在着很多的问题。

首先，所述支架 30P 通过所述胶水或者类似的粘着物 40P 被贴装在所述电路板 10P 的外侧区域，一方面，位于所述支架 30P 和所述电路板 10P 之间的所述胶水或者类似的粘着物 40P 增加了所述电路板结构的高度尺寸；另一方面，增加了在所述支架 30P 和所述电路板 10P 之间设置所述胶水或者类似的粘着物 40P 的工序，以至于导致所述电路板结构的成本居高不下；再一方面，通过所述胶水

或者类似的粘着物 40P 将所述支架 30P 贴装在所述电路板 10P 的外侧区域的方式，使得所述支架 30P 的平整度难以保障。

其次，当每个所述电子元器件 20P 分别被贴装在所述电路板 10P 上之后，需要在相邻所述电子元器件 20P 之间预留足够的距离才能够避免相邻所述电子元器件 20P 出现相互干扰的不良现象，这导致在有限面积的所述电路板 10P 上只能
5 能够被贴装数量更少和尺寸更小的所述电子元器件 20P。

第三，当每个所述电子元器件 20P 和所述支架 30P 分别被贴装在所述电路板 10P 的边缘区域后，无论是在水平方向还是在高度方向都需要在每个所述电子元器件 20P 和所述支架 30P 之间预留安全距离 H，这成为了限制所述电路板结构的
10 尺寸无法被继续减少的技术瓶颈。

第四，所述支架 30P 通常是塑料材料制成的塑料件，且所述支架 30P 的贴装部 31P 通过所述胶水或者类似的粘着物 40P 被贴装在所述电路板 10P 的外侧区域，一方面，受限于所述支架 30P 的尺寸和材料，在将所述支架 30P 贴装在所述电路板 10P 的外侧区域的过程中可能会导致所述支架 30P 出现变形的不良现象；
15 另一方面，由于所述支架 30P 的所述贴装部 31P 与所述电路板 10P 的接触部位的尺寸比较小，从而当所述支架 30P 的所述贴装部 31P 被操作而向所述电路板 10P 施压时，所述支架 30P 的所述贴装部 31P 很容易将所述胶水或者类似的粘着物 40P 挤压变形，从而导致出现所述胶水或者类似的粘着物 40P 粘附在所述支架 30P 的内表面和外表面而污染所述支架 30P 的不良现象。

另外，在现有技术的所述电路板结构的制造工序中，所述支架 30P 需要被预制，即首先制得所述支架 30P、每个所述电子元器件 20P 和所述电路板 10P，然后再依次将每个所述电子元器件 20P 贴装在所述电路板 10P 的外侧区域和将所述支架 30P 通过所述胶水或者类似的粘着物 40P 贴装在所述电路板 10P 的外侧区域，这导致制造工序被增加且在制造所述电路板结构的工序中，对各个部件的管
20 控也变得更为复杂。

另外，电路板在电子设备中不仅起着连接各个电子元器件的作用，而且电路板还允许各个电子元器件被贴装或者被组装在电路板表面，以藉由电路板支撑各个电子元器件。另外，在一些情况下，电路板还被要求保证被贴装或者被组装在电路板表面的各个电子元器件的平整度，这对电路板的强度和平整度也提出了非常苛刻的要求。为了保证电路板的强度和平整度，现在应用于电子设备且被用于
30

贴装或者组装电子元器件的电路板都是选用强度更高且平整度更好的 PCB 电路板，然而，这种 PCB 电路板的厚度尺寸往往比较大。随着近年来电子设备越来越朝向轻薄化的方向和高性能的方向发展，电子设备不仅要求在保证电路板的强度和平整度的基础上减少电路板的尺寸，而且还要求电路板的表面能够被集成或者被连接更多的电子元器件。

通常情况下，各个电子元器件是通过 SMT 工艺（Surface Mount Technology，表面贴装工艺）被贴装在电路板的表面，这要求各个电子元器件在空间上不能够相互重叠，且相邻电子元器件之间需要预留安全距离，以避免在将各个电子元器件贴装在电路板表面的过程中，各个电子元器件因相互碰触而导致电子元器件接触不牢的不良现象出现，和避免在电子设备被使用时，各个电子元器件因距离过近而出现相互干扰的不良现象，以至于导致在有限面积的电路板上只能够被贴装少数数量和小尺寸的电子元器件。

现有技术的采用 SMT 工艺将各个电子元器件贴装在电路板的表面具有以下缺陷。首先，为了提高电子设备的性能，需要在电路板上贴装更多数量和更大尺寸的电子元器件，这必然导致电路板的尺寸被增加，这与电子设备的轻薄化的发展趋势背道而驰。其次，为了满足电子设备的轻薄化的发展趋势，必然要求电路板被贴装更少数量和更小尺寸的电子元器件，这与电子设备的高性能的发展趋势背道而驰。第三，各个电子元器件大多是通过胶水或者类似的粘着物被贴装在电路板表面，胶水或者类似的粘着物一方面会增加被贴装有电子元器件的电路板的尺寸，另一方面后贴装的电子元器件所需的胶水或者类似的粘着物会污染先贴装的电子元器件，以至于对被贴装有电子元器件的电路板的性能造成不良影响。另外，各个电子元器件大多是通过胶水或者类似的粘着物被贴装在电路板表面，从而在将各个电子元器件封装在电路板表面的过程中，会有一道施胶工序，这不仅增加了在电路板上贴装各个电子元器件的材料成本，而且因增加了在电路板上贴装各个电子元器件的工序而增加了在电路板上贴装各个电子元器件的制造成本。

发明内容

本发明的一个目的在于提供一开窗电路板装置及其制造方法，其中所述开窗电路板装置提供一电路板部和一开窗形成部，所述开窗形成部与所述电路板部的结合区域一体地结合，并且所述电路板部的交流区域能够通过所述开窗形成部的

开窗与外界环境交流。

本发明的一个目的在于提供一开窗电路板装置及其制造方法，其中所述开窗形成部与所述电路板部的所述结合区域一体结合的方式，不需要在所述电路板部和所述开窗形成部之间设置胶水或者类似的粘着物，通过这样的方式，能够有效地减小所述开窗电路板装置的尺寸，尤其是能够有效地降低所述开窗电路板装置的高度尺寸。

本发明的一个目的在于提供一开窗电路板装置及其制造方法，其中所述开窗形成部与所述电路板部的所述结合区域一体结合的方式，能够有效地减小所述开窗电路板装置的制造工序，从而降低所述开窗电路板装置的成本。

10 本发明的一个目的在于提供一开窗电路板装置及其制造方法，其中所述开窗形成部与所述电路板部的所述结合区域一体结合的方式，能够降低管控制造所述开窗电路板装置的各个部件的压力和成本。

15 本发明的一个目的在于提供一开窗电路板装置及其制造方法，其中所述开窗形成部与所述电路板部的所述结合区域一体结合的方式，能够有效地提高所述开窗形成部的顶表面的平整度。

本发明的一个目的在于提供一开窗电路板装置及其制造方法，其中所述开窗形成部在与所述电路板部的所述结合区域一体结合的同时形成所述开窗，通过这样的方式，能够避免所述开窗形成部出现变形等不良现象，从而提高所述开窗电路板装置的产品良率。

20 本发明的一个目的在于提供一开窗电路板装置及其制造方法，其中所述开窗形成部与所述电路板部的所述结合区域一体结合的方式，在所述电路板部和所述开窗形成部之间不需要预设胶水或者类似的粘着物，从而在所述开窗电路板装置的制造过程中，所述开窗形成部不会被胶水或者类似的粘着物污染。

25 本发明的一个目的在于提供一开窗电路板装置及其制造方法，其中所述开窗形成部与所述电路板部的所述结合区域一体结合的方式，以藉由所述开窗形成部补强所述电路板部的强度。

本发明的一个目的在于提供一开窗电路板装置及其制造方法，其中所述开窗形成部与所述电路板部的所述结合区域一体结合的方式，以藉由所述开窗形成部保持所述电路板部的平整度。

30 本发明的一个目的在于提供一开窗电路板装置及其制造方法，其中所述开窗

形成部通过一成型模具被模制在所述电路板部的所述结合区域，其中所述成型模具能够阻止用于形成所述开窗形成部的成型材料进入所述电路板部的所述交流区域，以保证所述交流区域的平整度。

5 本发明的一个目的在于提供一开窗电路板装置及其制造方法，其中所述成型模具的施压面重叠地贴附一覆盖膜，以藉由所述覆盖膜保护所述电路板部的表面不被所述成型模具损坏。

本发明的一个目的在于提供一开窗电路板装置及其制造方法，其中所述覆盖膜能够吸收所述成型模具被执行合模操作时产生的冲击力，以阻止该冲击力作用于所述电路板部。

10 本发明的一个目的在于提供一开窗电路板装置及其制造方法，其中所述付薄膜能够阻止在所述成型模具的施压面和所述电路板部的表面之间产生缝隙，从而确保所述电路板部的所述交流区域的平整度和阻止出现“飞边”的不良现象。

本发明的一个目的在于提供一开窗电路板装置及其制造方法，其中所述一体地电路板装置提供一保护框，其中所述保护框位于所述电路板部的所述交流区域的外侧部，以在藉由所述成型模具模制所述一体地电路板装置时，所述保护框能够阻止所述成型材料进入所述电路板部的所述交流区域。

15 本发明的一个目的在于提供一开窗电路板装置及其制造方法，其中所述保护框能够通过变形的的方式阻止在所述成型模具的施压面和所述保护框的顶表面之间产生缝隙，以防止所述成型材料通过所述成型模具的施压面和所述保护框的顶表面进入所述电路板部的所述交流区域。

20 本发明的一个目的在于提供一开窗电路板装置及其制造方法，其中所述保护框能够通过变形的的方式阻止在所述成型模具的施压面和所述保护框的顶表面之间产生缝隙，以防止在后续模制所述开窗电路板装置的过程中出现“飞边”等不良现象。

25 本发明的一个目的在于提供一开窗电路板装置及其制造方法，其中所述保护框具有弹性，以藉由所述保护框吸收所述成型模具被执行合模操作时产生的冲击力，以阻止该冲击力作用于所述电路板部。

30 本发明的一个目的在于提供一开窗电路板装置及其制造方法，其中所述保护框向上支撑所述成型模具的施压面，以避免所述成型模具的施压面接触所述电路板部的表面的方式阻止所述成型模具的施压面刮伤所述电路板部的表面。

本发明的一个目的在于提供一开窗电路板装置及其制造方法，其中所述电路板部包括一电路板和至少一贴装元器件，每个所述贴装元器件分别被贴装于所述电路板，其中所述开窗形成部包覆至少一个所述贴装元器件，从而在所述开窗形成部和所述贴装元器件之间不需要预留安全距离，以进一步减小所述开窗电路板装置5 的尺寸。

本发明的一个目的在于提供一开窗电路板装置及其制造方法，其中所述开窗形成部包覆每个所述贴装元器件的方式，能够使所述开窗形成部牢固地结合于所述电路板部的所述结合区域，从而阻止所述开窗形成部从所述电路板部上脱落，以保证所述开窗电路板装置的可靠性和稳定性。

10 本发明的一个目的在于提供一开窗电路板装置及其制造方法，其中所述开窗形成部包覆每个所述贴装元器件的方式，使得在所述开窗形成部和每个所述贴装元器件之间不需要预留安全距离，从而能够使有限面积的所述电路板上被贴装数量更多和尺寸更大的所述贴装元器件，以进一步提高所述开窗电路板装置的性能。

15 本发明的一个目的在于提供一开窗电路板装置及其制造方法，其中所述开窗形成部在一体地结合于所述电路板部的所述结合区域时，所述开窗形成部填充在相邻所述贴装元器件之间，从而在所述一体地电路板装置被组装形成电子设备且在电子设备被使用的过程中，每个所述贴装元器件不会出现晃动且不会从所述电路板上脱落。

20 本发明的一个目的在于提供一开窗电路板装置及其制造方法，其中所述开窗形成部包覆每个所述贴装元器件的方式，能够藉由所述开窗形成部隔离相邻所述贴装元器件，从而所述开窗形成部能够阻止距离较近的相邻所述贴装元器件出现相互干扰等不良现象。

25 本发明的一个目的在于提供一开窗电路板装置及其制造方法，其中所述开窗形成部包覆每个所述贴装元器件的方式，能够藉由所述开窗形成部阻止所述贴装元器件的表面与空气接触而导致所述贴装元器件的表面被氧化等不良现象出现。

本发明的一个目的在于提供一开窗电路板装置及其制造方法，其中所述开窗形成部包覆每个所述贴装元器件的方式，能够避免所述贴装元器件差生的碎屑等污染物出现相互污染等不良现象。

30 本发明的一个目的在于提供一开窗电路板装置及其制造方法，其中所述电路

板部包括至少一半导体元件，每个所述半导体元件被贴装于所述电路板，其中每个所述半导体元件通过所述开窗形成部的每个所述开窗与外界环境交流。

本发明的一个目的在于提供一开窗电路板装置及其制造方法，其中所述开窗形成部能够进一步结合于所述半导体元件的外侧部，以使所述开窗形成部、所述
5 半导体元件、每个所述贴装元器件和所述电路板一体地结合。

本发明的一个目的在于提供一包埋贴装元器件的电路板装置及其制造方法，其中所述电路板装置包括一电路板部和一包埋部，所述电路板部包括一电路板和被贴装于所述电路板的至少一贴装元器件，所述包埋部与所述电路板的至少一部分一体结合，且所述包埋部包埋至少一个所述贴装元器件，通过这样的方式，在
10 所述包埋部和所述贴装元器件之间不需要预留安全距离，以减少所述电路板装置
的尺寸，尤其能够降低所述电路板装置的高度尺寸。

本发明的一个目的在于提供一包埋贴装元器件的电路板装置及其制造方法，其中所述包埋部包埋所述贴装元器件的方式，能够避免相邻所述贴装元器件出现相互干扰的不良现象。

15 本发明的一个目的在于提供一包埋贴装元器件的电路板装置及其制造方法，其中所述包埋部包埋所述贴装元器件的方式，能够避免所述包埋部从所述电路板上脱落的不良现象。

本发明的一个目的在于提供一包埋贴装元器件的电路板装置及其制造方法，其中所述包埋部包埋所述贴装元器件的方式，能够避免因所述贴装元器件的表面
20 与空气接触而导致所述贴装元器件的表面出现被氧化的不良现象。

本发明的一个目的在于提供一包埋贴装元器件的电路板装置及其制造方法，其中所述包埋部包埋所述贴装元器件的方式，能够使有限面积的所述电路板上被贴装更多数量和更大尺寸的所述贴装元器件，以提高所述电路板装置的性能。

本发明的一个目的在于提供一包埋贴装元器件的电路板装置及其制造方法，其中所述包埋部包埋所述贴装元器件的方式，能够在所述电路板装置被制造的过程
25 中避免污染物污染所述贴装元器件的不良现象，也能够避免所述贴装元器件产生的碎屑等污染物污染其他部件的不良现象。例如，通过所述包埋部包埋所述贴装元器件的方式，能够避免所述贴装元器件产生的碎屑等污染物污染被贴装于所述电路板的一半导体元件。

30 本发明的一个目的在于提供一包埋贴装元器件的电路板装置及其制造方法，

其中在所述包埋部与所述电路板的至少一部分一体结合后，所述包埋部形成一开窗，所述半导体元件的至少一部分能够对应于所述开窗，以使所述半导体元件的对应于所述开窗的部分能够与外界环境交流。

5 本发明的一个目的在于提供一包埋贴装元器件的电路板装置及其制造方法，其中所述包埋部与所述电路板的至少一部分一体结合，以在所述包埋部和所述电路板之间不需要设置传统的胶水或者类似粘着物，从而能够有效地降低所述电路板装置的高度尺寸。

10 本发明的一个目的在于提供一包埋贴装元器件的电路板装置及其制造方法，其中所述包埋部与所述电路板的至少一部分一体结合，以在所述包埋部和所述电路板之间不需要设置传统的胶水或者类似粘着物，从而能够有效地避免胶水或者类似粘着物污染所述贴装元器件。

15 本发明的一个目的在于提供一包埋贴装元器件的电路板装置及其制造方法，其中所述包埋部与所述电路板的至少一部分一体结合，以在所述包埋部和所述电路板之间不需要设置传统的胶水或者类似粘着物，从而能够减少在所述包埋部和所述电路板之间设置胶水或者类似粘着物的工序，以降低所述电路板装置的材料成本和制造成本以及提高所述电路板装置的生产效率。

本发明的一个目的在于提供一包埋贴装元器件的电路板装置及其制造方法，其中所述包埋部和所述电路板的至少一部分一体结合，从而在所述包埋部成型后，所述包埋部的顶表面的平整度能够被有效地保证。

20 本发明的一个目的在于提供一包埋贴装元器件的电路板装置及其制造方法，其中所述包埋部和所述电路板的至少一部分一体结合，从而所述包埋部能够补强所述电路板的强度，进而在所述电路板装置被使用时，能够防止所述电路板装置的平整度。

25 本发明的一个目的在于提供一包埋贴装元器件的电路板装置及其制造方法，其中所述包埋部和所述电路板的至少一部分一体结合而藉由所述包埋部补强所述电路板的强度的方式，能够使所述电路板可以选用厚度更薄的 PCB 电路板，设置所述电路板能够选用 FPC 电路板。

30 本发明的一个目的在于提供一包埋贴装元器件的电路板装置及其制造方法，其中所述包埋部不需要被预先制作，而是使所述包埋部与所述电路板的至少一部分一体结合的方式形成所述电路板装置，以提高所述电路板装置的生产效率。

本发明的一个目的在于提供一包埋贴装元器件的电路板装置及其制造方法，其中所述电路板具有至少一定位空间，所述包埋部在成型后一体地形成一包埋主体和至少一定位元件，其中所述定位元件形成于所述定位空间，所述包埋主体包埋所述电路板的至少一部分，以防止所述包埋部从所述电路板上脱落。

- 5 本发明的一个目的在于提供一包埋贴装元器件的电路板装置及其制造方法，其中所述包埋部包埋所述贴装元器件的方式，其中所述包埋部包括一补强元件，所述补强元件与所述定位元件和所述包埋主体一体地成型，以藉由所述补强元件防止所述包埋主体从所述电路板上脱落。

- 本发明的一个目的在于提供一包埋贴装元器件的电路板装置及其制造方法，
10 其中所述包埋部包埋所述贴装元器件的方式，其中所述补强元件重叠地形成于所述电路板，以藉由所述补强元件补强所述电路板的强度和保证所述电路板的平整度。

- 本发明的一个目的在于提供一包埋贴装元器件的电路板装置及其制造方法，其中所述电路板具有一容纳空间，被导通地连接于所述电路板的所述半导体元件
15 被容纳于所述容纳空间，以降低所述电路板装置的高度尺寸。

 本发明的一个目的在于提供一包埋贴装元器件的电路板装置及其制造方法，其中所述包埋部进一步包埋所述半导体元件的外侧部，以使所述包埋部与所述半导体元件和所述电路板一体地结合。

- 本发明的一个目的在于提供一包埋贴装元器件的电路板装置及其制造方法，
20 其中所述包埋部包埋所述半导体元件的外侧部，从而所述半导体元件的平整度可以不受限于所述电路板的平整度，而是所述半导体元件的平整度藉由所述包埋部保证，通过这样的方式，即便是所述电路板选用 FPC 电路板时，也能够保证所述半导体元件的平整度。

- 本发明的一个目的在于提供一包埋贴装元器件的电路板装置及其制造方法，
25 其中所述电路板装置包括一框形的阻挡部，所述阻挡部沿着所述电路板的外侧边一体地形成于所述电路板或者设置于所述电路板，所述包埋部在成型后包埋所述阻挡部的一部分，以藉由所述阻挡部阻挡用于形成所述包埋部的成型材料进入所述电路板的内侧区域，从而避免所述电路板的内侧区域被污染而保证所述电路板的内侧区域的平整度。

- 30 本发明的一个目的在于提供一包埋贴装元器件的电路板装置及其制造方法，

其中所述阻挡部也可以形成于所述半导体元件的外侧部,或者所述阻挡部同时形成于所述半导体元件的外侧部和所述电路板的外侧部,以藉由所述阻挡部阻挡用于形成所述包埋部的成型材料进入所述半导体元件的内部区域,从而避免所述半导体元件的内部区域被污染。

5 依本发明的一个方面,本发明提供一开窗电路板装置,其包括:

一电路板部,其中所述电路板部具有至少一结合区域和至少一交流区域;和

一开窗形成部,其中在所述开窗形成部一体地成型于所述电路板部的所述结合区域时,所述开窗形成部同步地形成至少一开窗,其中所述开窗形成部的每个所述开窗分别对应于所述电路板部的每个所述交流区域,以使每个所述交流区域
10 分别通过每个所述开窗与外界环境交流。

根据本发明的一个实施例,所述电路板部包括一电路板,所述电路板具有所述结合区域和每个所述交流区域,其中所述开窗形成部一体地成型于所述电路板的所述结合区域,且所述开窗形成部的每个所述开窗分别对应于所述电路板的每个所述交流区域。

15 根据本发明的一个实施例,所述电路板部包括至少一贴装元器件,每个所述贴装元器件分别被贴装于所述电路板的所述结合区域,其中所述开窗形成部包覆至少一个所述贴装元器件。

根据本发明的一个实施例,所述电路板部包括至少一半导体元件,每个所述半导体元件分别被贴装于所述电路板的每个所述交流区域,以使每个所述半导体
20 元件分别通过所述开窗形成部的每个所述开窗与外界环境交流。

根据本发明的一个实施例,所述开窗形成部包覆至少一个所述半导体元件的外侧部。

根据本发明的一个实施例,所述开窗电路板装置进一步包括至少一保护框,其中所述保护框位于所述电路板的所述交流区域的外侧部,其中所述开窗形成部
25 包覆所述保护框的至少一部分。

根据本发明的一个实施例,所述开窗电路板装置进一步包括至少一保护框,其中所述保护框位于所述半导体元件的外侧部,其中所述开窗形成部包覆所述保护框的至少一部分。

根据本发明的一个实施例,所述开窗电路板装置进一步包括至少一保护框,
30 其中所述保护框同时形成于或者所述保护框被同时设置于所述电路板和所述半

导体元件的外侧部，其中所述开窗形成部包覆所述保护框的至少一部分。

根据本发明的一个实施例，所述保护框形成于所述电路板的所述交流区域的外侧部。

根据本发明的一个实施例，所述开窗形成部包覆所述保护框的外侧面。

5 根据本发明的一个实施例，所述开窗形成部包覆所述保护框的顶表面的至少一部分。

根据本发明的一个实施例，所述电路板具有至少一定位空间，所述开窗形成部包括一体形成的一开窗形成主体和至少一定位元件，其中所述开窗形成主体一体地成型于所述电路板的所述结合区域，且所述开窗形成主体形成所述开窗，每个所述定位元件分别形成于所述电路板的每个所述定位空间。

根据本发明的一个实施例，所述电路板具有至少一固定空间，每个所述固定空间分别连通于每个所述定位空间，所述开窗形成部包括至少一固定元件，其中每个所述固定元件分别形成于所述电路板的每个所述固定空间，且每个所述固定元件、每个所述定位元件和所述开窗形成主体一体地形成。

15 根据本发明的一个实施例，所述开窗形成部包括一补强元件，所述补强元件重叠地形成于所述电路板，其中所述补强元件、每个所述定位元件和所述开窗形成主体一体地形成，且所述补强元件和所述开窗形成主体位于所述电路板的两侧。

根据本发明的一个实施例，所述电路板具有至少一容纳空间。

20 依本发明的另一个方面，本发明进一步提供一开窗电路板装置的制造方法，其中所述制造方法包括如下步骤：

(a) 使一电路板的一结合区域位于一成型模具的一成型空间，和阻止所述电路板的至少一交流区域连通于所述成型空间；

(b) 向所述成型空间内加入成型材料，以使所述成型材料填满所述成型空间；以及

(c) 使填充在所述成型空间的所述成型材料固化，以形成一体地形成于所述电路板的所述结合区域的一开窗形成部，和在对应于所述电路板的每个所述交流区域的位置形成一开窗，其中每个所述交流区域分别通过每个所述开窗与外界环境交流。

30 根据本发明的一个实施例，在所述步骤(a)中，在所述电路板的所述结合

区域贴装至少一贴装元器件，在所述步骤（b）中，所述成型材料填充在相邻所述贴装元器件之间，和在所述步骤（c）中，所述开窗形成部包覆至少一个所述贴装元器件。

根据本发明的一个实施例，在所述步骤（c）之后，进一步包括步骤：

- 5 将至少一半导体元件分别通过每个所述开窗贴装于所述电路板的每个所述交流区域，以使每个所述半导体元件分别通过每个所述开窗与外界环境交流。

根据本发明的一个实施例，在所述步骤（a）之前，将至少一半导体元件分别贴装于所述电路板的每个所述交流区域，以在所述步骤（c）之后，使每个所述半导体元件分别通过每个所述开窗与外界环境交流。

- 10 根据本发明的一个实施例，在所述步骤（a）中，使所述半导体元件的外侧部位于所述成型空间中，以在所述步骤（c）中，所述开窗形成部进一步包覆所述半导体元件的外侧部。

根据本发明的一个实施例，在所述步骤（a）中，进一步包括步骤：

在所述成型模具的一上模具的施压面重叠地贴附一覆盖膜；和

- 15 在所述成型模具被合模后，使所述覆盖膜位于所述上模具的施压面和所述电路板的表面之间，以藉由所述覆盖膜阻止在所述上模具的施压面和所述电路板的表面之间产生缝隙。

根据本发明的一个实施例，在所述步骤（a）中，进一步包括步骤：

在所述电路板的所述交流区域的外侧部提供一保护框；和

- 20 在所述成型模具被合模后，使所述保护框位于所述上模具的施压面和所述电路板的表面之间，以藉由所述保护框阻止在所述上模具的施压面和所述电路板的表面之间产生缝隙。

根据本发明的一个实施例，在上述方法中，沿着所述电路板的所述交流区域的外侧部施涂胶水，以在胶水固化后形成位于所述交流区域的外侧部的所述保护框。

- 25 根据本发明的一个实施例，在上述方法中，沿着所述半导体元件的外侧部施涂胶水，以在胶水固化后形成位于所述半导体元件的外侧部的一保护框。

根据本发明的一个实施例，在上述方法中，沿着所述半导体元件和所述电路板的连接位置同时施涂胶水，以在胶水固化后形成位于所述半导体元件和所述电路板的连接位置的一保护框。

30

根据本发明的一个实施例，在所述步骤（a）中，使所述电路板的至少一定位空间连通于所述成型空间，在所述步骤（b）中，所述成型材料进一步填满每个所述定位空间，以在所述步骤（c）中，固化在每个所述定位空间的所述成型材料形成所述开窗形成部的至少一定位元件，和固化在所述成型空间的所述成型材料形成所述开窗形成部的一开窗形成主体，其中所述开窗形成主体和每个所述定位元件一体地成型。

根据本发明的一个实施例，在所述步骤（a）中，在所述电路板和所述成型模具之间进一步形成一辅助成型空间，其中所述辅助成型空间通过每个所述定位空间连通于所述成型空间，在所述步骤（c）中，所述成型材料进一步填满所述辅助成型空间，以在所述步骤（c）中，固化在所述辅助成型空间的所述成型材料形成所述开窗形成部的一补强元件，其中所述补强元件和每个所述定位元件一体地成型，且所述补强元件重叠于所述电路板。

根据本发明的一个实施例，在所述步骤（a）中，使所述电路板的至少一固定空间连通于每个所述定位空间，在所述步骤（b）中，所述成型材料进一步填满每个所述固定空间，以在所述步骤（c）中，固化在每个所述固定空间的所述成型材料形成所述开窗形成部的至少一固定元件，其中所述固定元件和每个所述定位元件一体地成型。

依本发明的另一个方面，本发明提供一包埋贴装元器件的电路板装置，其包括：

一包埋部；和

一电路板部，其中所述电路板部进一步包括一电路板和至少一贴装元器件，每个所述贴装元器件分别被贴装于所述电路板，其中所述包埋部与所述电路板的至少一部分一体地结合，且所述包埋部包埋所述贴装元器件。

根据本发明的一个实施例，每个所述贴装元器件分别被贴装于所述电路板的外侧区域，所述包埋部和所述电路板的外侧区域一体地结合，以使所述包埋部包埋每个所述贴装元器件，且所述包埋部隔离相邻的所述贴装元器件。

根据本发明的一个实施例，所述包埋部具有一开窗，所述电路板的内侧区域对应于所述开窗，以使所述电路板的内侧区域通过所述开窗和外界环境交流。

根据本发明的一个实施例，所述电路板部包括一半导体元件，其中所述半导体元件被贴装于所述电路板的内侧区域，且所述半导体元件对应于所述开窗，以

使所述半导体元件通过所述开窗和外界环境交流。

根据本发明的一个实施例，所述包埋部进一步包埋所述半导体元件的外侧部，以使所述包埋部与所述电路板和所述半导体元件一体地结合。

根据本发明的一个实施例，所述电路板装置进一步包括一框形的阻挡部，所述阻挡部位于所述电路板的外侧部，其中所述包埋部包埋所述电路板的外侧区域和所述阻挡部的一部分，以使所述包埋部与所述电路板和所述半导体元件一体地结合。

根据本发明的一个实施例，所述电路板装置进一步包括一框形的阻挡部，所述阻挡部同时位于所述电路板的外侧部和所述半导体元件的外侧部，其中所述包埋部包埋所述电路板的外侧区域和所述阻挡部的一部分，以使所述包埋部与所述电路板和所述阻挡部的一部分一体地结合。

根据本发明的一个实施例，所述电路板装置进一步包括一框形的阻挡部，所述阻挡部位于所述半导体元件的外侧部，其中所述包埋部包埋所述电路板的外侧区域、所述半导体元件的外侧部和所述阻挡部的一部分，以使所述包埋部与所述电路板、所述半导体元件和所述阻挡元件的一部分一体地结合。

根据本发明的一个实施例，所述电路板具有一容纳空间，所述半导体元件被容纳于所述容纳空间。

根据本发明的一个实施例，所述电路板具有至少一定位空间，所述包埋部包括一体形成的一包埋主体和至少一定位元件，其中所述包埋主体成型于所述电路板的外侧区域，每个所述定位元件分别成型于所述电路板的每个所述定位空间。

根据本发明的一个实施例，所述包埋部进一步包括一补强元件，所述补强元件和每个所述定位元件一体形成，且所述补强元件重叠地成型于所述电路板的表面，其中所述补强元件和所述包埋主体位于所述电路板的两侧。

根据本发明的一个实施例，所述电路板具有至少一固定空间，每个所述固定空间分别连通于所述定位空间，所述包埋部进一步包括至少一固定元件，每个所述固定元件分别与每个所述定位元件一体形成，且每个所述固定元件分别成型于每个所述固定空间。

根据本发明的一个实施例，所述电路板包括一基板和一环形的电路，所述电路突出于所述基板，其中每个所述贴装元器件分别被贴装于所述基板，并且每个所述贴装元器件分别被连接于所述电路，其中所述包埋部与所述基板的至少一部

分一体地结合。

依本发明的另一个方面，本发明进一步提供一电路板的制造方法，其中所述制造方法包括如下步骤：

(a) 在一电路板上贴装至少一贴装元器件；和

5 (b) 在一包埋部一体地成型于所述电路板的至少一部分的同时，藉由所述包埋部包埋所述贴装元器件，以制得所述电路板装置。

根据本发明的一个实施例，在所述步骤(b)中，使所述包埋部形成一开窗，以对应于所述电路板的内侧区域，从而使所述电路板的内侧区域通过所述开窗和外界环境交流。

10 根据本发明的一个实施例，在所述步骤(b)中，进一步包括步骤：

(b.1) 将贴装有所述贴装元器件的所述电路板放置在形成于一成型模具的一上模具和一下模具之间的一成型空间内，其中所述贴装元器件位于所述成型空间内；

15 (b.2) 向所述成型空间内加入成型材料，以使所述成型材料填充在所述成型空间内；以及

(b.3) 使所述成型材料在所述成型空间内固化，以形成包埋所述贴装元器件且和所述电路板一体结合的所述包埋部。

20 根据本发明的一个实施例，在所述步骤(b.1)中，在所述上模具的施压面和所述电路板之间设置一覆盖膜，以藉由保持在所述上模具的施压面和所述电路板之间的所述覆盖膜保护所述电路板和阻止在所述上模具的施压面和所述电路板之间产生缝隙，从而在所述步骤(b.2)中，使所述成型材料仅填充在所述成型空间内。

25 根据本发明的一个实施例，在所述步骤(b.1)中，使所述电路板的至少一定位空间连通于所述成型空间，从而在所述步骤(b.2)中，被加入所述成型空间的所述成型材料分别填充每个所述定位空间和所述成型空间，并且在所述步骤(b.3)中，填充在每个所述定位空间的所述成型材料在固化后形成所述包埋部的每个定位元件，和填充在所述成型空间的所述成型材料在固化后形成所述包埋部的一包埋主体，其中所述包埋主体和每个所述定位元件一体形成，且藉由所述包埋主体包埋所述贴装元器件。

30 根据本发明的一个实施例，在所述步骤(b.1)中，在所述电路板的表面和所

述下模具的内表面之间形成一辅助成型空间，所述辅助成型空间通过每个所述定位空间连通于所述成型空间，从而在所述步骤（b.2）中，被加入所述成型空间的所述成型材料进一步填充满所述辅助成型空间，并且在所述步骤（b.3）中，填充在所述辅助成型空间的所述成型材料在固化后形成所述包埋部的一补强元件，其中所述补强元件和每个所述定位元件一体地形成，且所述补强元件重叠于所述电路板的表面。

根据本发明的一个实施例，在所述步骤（b.1）中，使所述电路板的至少一固定空间，以分别通过每个所述定位空间连通于所述成型空间，从而在所述步骤（b.2）中，被加入所述成型空间的所述成型材料进一步填充满每个所述固定空间，并且在所述步骤（b.3）中，填充在每个所述固定空间的所述成型材料在固化后形成所述包埋部的每个固定元件，其中每个所述固定元件和每个所述定位元件一体地形成。

根据本发明的一个实施例，在所述步骤（b）之前或者在所述步骤（b）之后，进一步包括步骤：将一半导体元件贴装于所述电路板的内侧区域。

根据本发明的一个实施例，所述包埋部进一步包埋所述半导体元件的外侧部。

根据本发明的一个实施例，在上述方法中，沿着所述半导体元件的外侧部形成一框形的阻挡部，以在所述步骤（b）中，使所述包埋部进一步包埋所述阻挡部的一部分。

根据本发明的一个实施例，在所述步骤（b）之前进一步包括步骤：沿着所述电路板的外侧部形成一框形的阻挡部或者一环形的电路，从而在所述步骤（b）中，使所述包埋部进一步包埋所述阻挡部的一部分或者电路。

附图说明

图 1 是现有技术的电路板结构的剖视示意图。

图 2 是依本发明的一较佳实施例的一开窗电路板装置的立体示意图。

图 3 是依本发明的上述较佳实施例的所述开窗电路板装置的制造步骤之一的示意图，其描述了一电路板部的一电路板的剖视状态。

图 4 是依本发明的上述较佳实施例的所述开窗电路板装置的制造步骤之二的示意图，其描述了所述电路板部的至少一贴装元器件被贴装在所述电路板的剖

视状态。

图 5 是依本发明的上述较佳实施例的所述开窗电路板装置的制造步骤之三的示意图，其描述了所述电路板部被放置于一成型模具的一成型空间的剖视状态，其中所述电路板部的结合区域对应于所述成型空间，且在所述成型模具的施压面和所述电路板之间设有一覆盖膜。

图 6 是依本发明的上述较佳实施例的所述开窗电路板装置的制造步骤之四的示意图，其描述了向所述成型空间内加入成型材料，且所述成型材料填充在相邻所述贴装元器件之间的剖视状态。

图 7 是依本发明的上述较佳实施例的所述开窗电路板装置的制造步骤之五的示意图，其描述了所述成型材料在所述成型空间内固化后形成所述开窗形成部的剖视状态。

图 8 是依本发明的上述较佳实施例的所述开窗电路板装置的制造步骤之六的示意图，其描述了所述成型模具被执行拔模操作后形成所述开窗电路板装置的剖视状态。

图 9 是依本发明的上述较佳实施例的所述开窗电路板装置的第一个变形实施方式的剖视示意图。

图 10 是依本发明的上述较佳实施例的所述开窗电路板装置的第二个变形实施方式的剖视示意图。

图 11 是依本发明的上述较佳实施例的所述开窗电路板装置的第三个变形实施方式的剖视示意图。

图 12 是依本发明的上述较佳实施例的所述开窗电路板装置的第四个变形实施方式的剖视示意图。

图 13 是依本发明的上述较佳实施例的所述开窗电路板装置的第五个变形实施方式的剖视示意图。

图 14 是依本发明的上述较佳实施例的所述开窗电路板装置的第六个变形实施方式的剖视示意图。

图 15 是依本发明的上述较佳实施例的所述开窗电路板装置的第七个变形实施方式的剖视示意图。

图 16 是依本发明的上述较佳实施例的所述开窗电路板装置的第八个变形实施方式的剖视示意图。

图 17 是依本发明的上述较佳实施例的所述开窗电路板装置的第九个变形实施方式的剖视示意图。

图 18 是依本发明的上述较佳实施例的所述开窗电路板装置的第十个变形实施方式的剖视示意图。

5 图 19 是依本发明的上述较佳实施例的所述开窗电路板装置的第十一个变形实施方式的剖视示意图。

图 20 是依本发明的上述较佳实施例的所述开窗电路板装置的第十二个变形实施方式的剖视示意图。

10 图 21 是依本发明的上述较佳实施例的所述开窗电路板装置的第十三个变形实施方式的剖视示意图。

图 22 是依本发明的上述较佳实施例的所述开窗电路板装置的第十四个变形实施方式的剖视示意图。

图 23 是依本发明的上述较佳实施例的所述开窗电路板装置的第十五个变形实施方式的剖视示意图。

15 图 24 是依本发明的上述较佳实施例的所述开窗电路板装置的第十六个变形实施方式的剖视示意图。

图 25 是依本发明的上述较佳实施例的所述开窗电路板装置的第十七个变形实施方式的剖视示意图。

20 图 26 是依本发明的上述较佳实施例的所述开窗电路板装置的第十八个变形实施方式的剖视示意图。

图 27 是依本发明的上述较佳实施例的所述开窗电路板装置的第十九个变形实施方式的剖视示意图。

图 28 是依本发明的上述较佳实施例的所述开窗电路板装置的第二十个变形实施方式的剖视示意图。

25 图 29 是依本发明的一较佳实施例的一电路板装置的制造步骤之一的示意图，其描述了一电路板的俯视角度。

图 30A 和图 30B 分别是依本发明的上述较佳实施例的所述电路板装置的制造步骤之二的示意图，其分别描述了在一贴装元器件被贴装于所述电路板后的俯视角度和侧视角度。

30 图 31A 是依本发明的上述较佳实施例的所述电路板装置的制造步骤之三的

剖视示意图，其描述了将贴装有所述贴装元器件的所述电路板放置于一成型模具的一成型空间的状态。

图 31B 是依本发明的上述较佳实施例的所述电路板装置的制造步骤之三的剖视示意图，其描述了将贴装有所述贴装元器件的所述电路板放置于另一成型模具的一成型空间的状态。

图 32 是依本发明的上述较佳实施例的所述电路板装置的制造步骤之四的剖视示意图，其描述了将一成型材料加入所述成型模具的所述成型空间的状态。

图 33 是依本发明的上述较佳实施例的所述电路板装置的制造步骤之五的剖视示意图，其描述了一包埋部在所述成型模具的所述成型空间内与所述电路板的一部分一体结合的状态。

图 34A 和图 34B 分别是依本发明的上述较佳实施例的所述电路板装置的示意图，其分别描述了所述电路板装置的剖视状态和立体状态。

图 35 是依本发明的上述较佳实施例的所述电路板装置的第一个变形实施方式

图 36 是依本发明的上述较佳实施例的所述电路板装置的第二个变形实施方式的示意图。

图 37 是依本发明的上述较佳实施例的所述电路板装置的第三个变形实施方式的示意图。

图 38 是依本发明的上述较佳实施例的所述电路板装置的第四个变形实施方式的示意图。

图 39 是依本发明的上述较佳实施例的所述电路板装置的第五个变形实施方式的示意图。

图 40 是依本发明的上述较佳实施例的所述电路板装置的第六个变形实施方式的示意图。

图 41 是依本发明的上述较佳实施例的所述电路板装置的第七个变形实施方式的示意图。

图 42 是依本发明的上述较佳实施例的所述电路板装置的第八个变形实施方式的示意图。

图 43 是依本发明的上述较佳实施例的所述电路板装置的第九个变形实施方式的示意图。

图 44 是依本发明的上述较佳实施例的所述电路板装置的第十个变形实施方式的示意图。

图 45 是依本发明的上述较佳实施例的所述电路板装置的第十一个变形实施方式的示意图。

5 图 46 是依本发明的上述较佳实施例的所述电路板装置的第十二个变形实施方式的示意图。

图 47 是依本发明的上述较佳实施例的所述电路板装置的第十三个变形实施方式的示意图。

10 图 48 是依本发明的上述较佳实施例的所述电路板装置的第十四个变形实施方式的示意图。

具体实施方式

以下描述用于揭露本发明以使本领域技术人员能够实现本发明。以下描述中的优选实施例只作为举例，本领域技术人员可以想到其他显而易见的变型。在以下描述中界定的本发明的基本原理可以应用于其他实施方案、变形方案、改进方案、等同方案以及没有背离本发明的精神和范围的其他技术方案。

15 本领域技术人员应理解的是，在本发明的揭露中，术语“纵向”、“横向”、“上”、“下”、“前”、“后”、“左”、“右”、“竖直”、“水平”、“顶”、“底”“内”、“外”等指示的方位或位置关系是基于附图所示的方位或位置关系，其仅是为了便于描述本发明和简化描述，而不是指示或暗示所指的装置或元件必须具有特定的方位、以特定的方位构造和操作，因此上述术语不能理解为对本发明的限制。

可以理解的是，术语“一”应理解为“至少一”或“一个或多个”，即在一个实施例中，一个元件的数量可以为一个，而在另外的实施例中，该元件的数量可以为多个，术语“一”不能理解为对数量的限制。

25 实施例一：

参考本发明的说明书附图之图 2 至图 8，依本发明的一较佳实施例的一开窗电路板装置在接下来的描述中将被阐述，其中所述开窗电路板装置包括一电路板部 10 和一开窗形成部 20。

所述电路板部 10 具有一结合区域 111 和至少一交流区域 112。

30 在附图 2 示出的所述开窗电路板装置的这个示例中，所述电路板部 10 包括

一个所述结合区域 111 和两个所述交流区域 112。两个所述交流区域 112 相互独立。所述结合区域 111 的一部分位于所述电路板部 10 的外侧边缘，所述结合区域 111 的另一部分位于所述电路板部 10 的中部，以分隔两个所述交流区域 112。也就是说，每个所述交流区域 112 的四周均是所述结合区域 111。尽管如此，本领域的技术人员可以理解的是，所述电路板部 10 也可以具有一个所述交流区域 112 或者具有三个或者三个以上的所述交流区域 112，因此，在附图 2 至图 8 中示出的具有两个所述交流区域 112 的所述电路板部 10 仅为一个示例性的说明，以被用于阐述本发明的所述开窗电路板装置的特征和优势，因此，在附图 2 至图 8 中示出的所述开窗电路板装置的具体示例并不应被视为对本发明的所述开窗电路板装置的内容和范围的限制。

所述开窗形成部 20 一体地结合于所述电路板部 10 的所述结合区域 111，且所述开窗形成部 20 在一体地结合于所述电路板部 10 的所述结合区域 111 的同时形成至少一开窗 21。所述开窗形成部 20 的每个所述开窗 21 分别对应于所述电路板部 10 的每个所述交流区域 112，以使所述电路板部 10 的每个所述交流区域 112 能够分别通过所述开窗形成部 20 的每个所述开窗 21 与外界环境交流。

本领域的技术人员可以理解的是，所述开窗形成部 20 一体地结合于所述电路板部 10 的所述结合区域 111 而制得所述开窗电路板装置的方式，一方面可以减轻管控制造所述开窗电路板装置的各个部件的压力和降低成本，另一方面在所述电路板部 10 和所述开窗形成部 20 之间不需要设置胶水或者类似的粘着物，因此，不仅可以降低所述开窗电路板装置的高度尺寸，而且还可以保证所述开窗形成部 20 的顶表面的平整度。

本发明的所述开窗电路板装置的所述开窗形成部 20 不需要被预先提供，而是藉由所述开窗形成部 20 一体地结合于所述电路板部 10 的所述结合区域 111 的方式制得所述开窗电路板装置，且在所述电路板部 10 和所述开窗形成部 20 之间不需要被设置胶水或者类似的粘着物，从而能够减少所述开窗电路板装置的制造工序，以进一步降低所述开窗电路板装置的制造成本和提高所述开窗电路板装置的生产效率。

本发明的所述开窗电路板装置不需要在所述电路板部 10 和所述开窗形成部 20 之间设置胶水或者类似的粘着物，从而使得在制造所述开窗电路板装置的过程中，能够避免所述开窗形成部 20 被胶水或者类似的粘着物污染而影响所述开

窗电路板装置的产品良率的不良现象。

所述电路板部 10 进一步包括一电路板 11 和至少一贴装元器件 12，其中每个所述贴装元器件 12 分别被贴装于所述电路板 11。例如，在本发明的所述开窗电路板装置的一个较佳示例中，每个所述贴装元器件 12 分别可以通过 SMT 工艺（Surface Mount Technology，表面贴附工艺）被贴装于所述电路板 11。值得一提的是，所述贴装元器件 12 可以是处理器、继电器、驱动器、电阻、电容等贴装元器件。

所述电路板 11 形成所述电路板部 10 的所述结合区域 111 和每个所述交流区域 112，每个所述贴装元器件 12 相互间隔地被贴装于所述电路板 11 的所述结合区域 111，通过这样的方式，能够保证每个所述交流区域 112 的平整度，并且在所述开窗形成部 20 一体地结合于所述电路板 11 的所述结合区域 111 时，所述开窗形成部 20 能够覆盖至少一个所述贴装元器件 12。

优选地，所述开窗形成部 20 覆盖全部的所述贴装元器件 12，以藉由所述开窗形成部 20 分隔相邻所述贴装元器件 12，通过这样的方式，一方面，所述贴装元器件 12 能够拉扯所述开窗形成部 20，以防止所述开窗形成部 20 从所述电路板 11 的所述结合区域 111 脱落；另一方面，所述开窗形成部 20 能够分隔相邻所述贴装元器件 12，以避免相邻所述贴装元器件 12 出现相互碰撞或者相互干扰等不良现象出现，从而在有限面积的所述电路板 11 上可以被贴装更多数量和更大尺寸的所述贴装元器件 12；再一方面，所述开窗形成部 20 能够阻止每个所述贴装元器件 12 的表面和空气接触而导致每个所述贴装元器件 12 的表面出现氧化等不良现象出现。

进一步地，本发明的所述开窗电路板装置的所述开窗形成部 20 覆盖每个所述贴装元器件 12 的方式，使得在所述开窗形成部 20 和所述贴装元器件 12 之间不需要预留安全距离，从而不仅能够进一步减小所述开窗电路板装置的尺寸，而且还能够在有限面积的所述电路板 11 上可以被贴装更多数量和更大尺寸的所述贴装元器件 12，以使所述开窗电路板装置的发展趋势符合电子设备的轻薄化和智能化的发展趋势。

本领域的技术人员可以理解的是，本发明的所述开窗电路板装置提供的结构和制造方法提供了制作集成化电路板的一种全新的设计思路，其突破了现有技术无法使集成化电路板继续小型化和轻薄化的技术瓶颈，这使现有技术的电路板结

构意料不到的，并且本发明的所述开窗电路板装置提供的结构和制造方法对于电子设备轻薄化和智能化具有至关重要的作用和意义。

另外，所述开窗形成部 20 包覆每个所述贴装元器件 12，使得每个所述贴装元器件 12 的相对位置保持稳定，从而当所述开窗电路板装置受到外力碰撞或者作用时，所述开窗形成部 20 也能够保证每个所述贴装元器件 12 不会从所述电路板 11 上脱落，从而提高所述开窗电路板装置的稳定性和可靠性。

在本发明的所述开窗电路板装置的一个较佳示例中，所述开窗电路板装置的所述开窗形成部 20 可以通过模制的方式与所述电路板部 10 的所述结合区域 111 一体地结合且同步地形成每个所述开窗 21。附图 3 至图 8 示出了所述开窗电路板装置的所述开窗形成部 20 可以通过一成型模具 100 被模制在所述电路板部 10 的所述结合区域 111。

所述成型模具 100 包括一上模具 101 和一下模具 102，其中所述上模具 101 和所述下模具 102 中的至少一个模具能够被操作，以使所述成型模具 100 能够被进行合模或者拔模操作，其中当所述上模具 101 和所述下模具 102 被操作而使所述成型模具 100 合模时，在所述上模具 101 和所述下模具 102 之间形成至少一成型空间 103，其中在所述成型模具 100 的所述成型空间 103 内模制所述开窗电路板装置。

优选地，所述成型模具 100 进一步包括一覆盖膜 104，其中所述覆盖膜 104 被重叠地贴附于所述上模具 101 的施压面 1011，以在藉由所述成型模具 100 模制所述开窗电路板装置时，藉由所述覆盖膜 104 保护所述电路板部 10。尽管如此，本领域的技术人员可以理解的是，在本发明的其他示例中，所述成型模具 100 也可以不被配置所述覆盖膜 104。

参考附图 3，提供所述电路板 11。在本发明的所述开窗电路板装置的一个示例中，所述电路板 11 可以是一个 PCB 电路板，值得注意的是，相对于现有技术的电路板结构的电路板来说，在本发明的所述开窗电路板装置中，所述电路板 11 的厚度可以进一步降低，以在后续，当所述开窗形成部 20 与所述电路板 11 的所述结合区域 111 一体结合而制得所述开窗电路板装置后，所述开窗形成部 20 能够补强所述电路板 11 的强度，以使所述电路板 11 的每个所述交流区域 112 保持平整，通过这样的方式，能够进一步降低所述开窗电路板装置的高度尺寸。尽管如此，本领域的技术人员可以理解的是，在本发明的所述开窗电路板装置的

其他示例中,所述电路板 11 也可以选用厚度更薄的 FPC 电路板或者软硬结合板。

参考附图 4, 将每个所述贴装元器件 12 分别相互间隔地贴装于所述电路板 11。优选地, 每个所述贴装元器件 12 可以被相互间隔地贴装于所述电路板 11 的所述结合区域 111, 以在后续当所述开窗形成部 20 与所述电路板 11 的所述结合区域 111 一体地结合后, 所述开窗形成部 20 能够包覆每个所述贴装元器件 12。

参考附图 5, 将贴装有所述贴装元器件 12 的所述电路板 11 放置在所述下模具 102 上, 且在所述成型模具 100 被执行合模操作而在所述上模具 101 和所述下模具 102 之间形成所述成型空间时, 所述电路板 11 的所述结合区域 111 和每个所述贴装元器件 12 均位于所述成型空间 103。

所述覆盖膜 104 位于所述上模具 101 的所述施压面 1011 和所述电路板 11 之间, 通过这样的方式, 一方面所述覆盖膜 104 能够防止所述上模具 101 的所述施压面 1011 刮伤所述电路板 11 的表面, 另一方面所述覆盖膜 104 还能够吸收在所述成型模具 100 被执行合模操作时所述上模具 101 的所述施压面 1011 作用于所述电路板 11 的表面时产生的冲击力, 以避免该冲击力直接作用于所述电路板 11, 从而保护所述电路板 11。另外, 所述覆盖膜 104 还可以在后续方便对所述成型模具 100 执行拔模操作。也就是说, 所述覆盖膜 104 能够防止所述上模具 101 的所述施压面 1011 和所述电路板 11 的表面直接接触, 从而保护所述电路板 11。

另外, 位于所述上模具 101 的所述施压面 1011 和所述电路板 11 之间的所述覆盖膜 104 能够阻止在所述上模具 101 的所述施压面 1011 和所述电路板 11 之间产生缝隙, 以增加密封性, 从而在后续防止出现“飞边”等不良现象。

参考附图 6 至图 8, 向所述成型模具 100 的所述成型空间 103 加入流体状的成型材料, 所述成型材料能够填充在相邻所述贴装元器件 12 之间和填充满所述成型空间 103, 当所述成型材料在所述成型空间 103 内固化后, 形成包覆每个所述贴装元器件 12 且和所述电路板 11 的所述结合区域 111 一体结合的所述开窗形成部 20。可以理解的是, 所述成型模具 100 阻止被加入所述成型空间 103 的所述成型材料流向所述电路板 11 的每个所述交流区域 112, 从而所述成型材料在固化形成所述开窗形成部 20 的同时, 进一步形成对应于每个所述交流区域 112 的所述开窗 21, 以使所述电路板 11 的每个所述交流区域 112 通过所述开窗形成部 20 的每个所述开窗 21 与外界环境交流。

值得一提的是, 流体状的所述成型材料可以是固体颗粒、液体或者固液混合

物，本发明的所述开窗电路板装置在这方面不受限制。优选地，所述成型材料可以是热固性材料。

附图 9 示出了本发明的所述开窗电路板装置的第一个变形实施方式，其中所述电路板部 10 的所述电路板 11 具有一个所述结合区域 111 和一个所述交流区域 112，所述结合区域 111 位于所述电路板 11 的四周，所述交流区域 112 位于所述电路板 11 的中部，以使所述结合区域 111 环绕在所述交流区域 112 的四周。所述开窗形成部 20 具有一个所述开窗 21，其中当所述开窗形成部 20 与所述电路板 11 的所述结合区域 111 一体地结合后，所述开窗形成部 20 的所述开窗 21 对应于所述电路板 11 的所述交流区域 112，以使所述电路板 11 的所述交流区域 112 通过所述开窗形成部 20 的所述开窗 21 与外界环境交流。

附图 10 示出了本发明的开窗电路板装置的第二个变形实施方式，其中所述电路板部 10 的所述电路板 11 具有一个所述结合区域 111 和四个所述交流区域 112，所述结合区域 111 的一部分位于所述电路板 11 的四周，所述结合区域 111 的另一部分呈“十”字形地位于所述电路板 11 的中部，以藉由所述结合区域 111 分隔所述电路板 11 的四个所述交流区域 112，其中每个所述交流区域 112 的四周均是所述结合区域 111。所述开窗形成部 20 具有四个所述开窗 21，其中当所述开窗形成部 20 与所述电路板 11 的所述结合区域 111 一体地结合后，所述开窗形成部 20 的四个所述开窗 21 分别对应于所述电路板 11 的四个所述交流区域 112，以使所述电路板 11 的四个所述交流区域 112 分别通过所述开窗形成部 20 的四个所述开窗 21 与外界环境交流。

附图 11 示出了本发明的所述开窗电路板装置的第三个变形实施方式，其中所述电路板部 10 进一步包括至少一半导体元件 13，其中每个所述半导体元件 13 分别被贴装于所述电路板 11 的每个所述交流区域 112，以使每个所述半导体元件 13 分别对应于所述开窗形成部 20 的每个所述开窗 21，从而每个所述半导体元件 13 能够分别通过所述开窗形成部 20 的每个所述开窗 21 与外界环境交流。

值得一提的是，在本发明的所述开窗电路板装置的一个较佳示例中，在所述开窗形成部 20 一体地形成于所述电路板 11 的所述结合区域 111 后，再将每个所述半导体元件 13 分别通过所述开窗形成部 20 的每个所述开窗 21 贴装于所述电路板 11 的每个所述交流区域 112，并且使每个所述半导体元件 13 分别导通地连接于所述电路板 11。在本发明的所述开窗电路板装置的另一个较佳示例中，也

可以先将每个所述半导体元件 13 分别贴装于所述电路板 11 的每个所述交流区域 112，且使每个所述半导体元件 13 分别导通地连接于所述电路板 11 后，再通过所述成型模具 100 模制所述开窗形成部 20，以使每个所述半导体元件 13 分别通过所述开窗形成部 20 的每个所述开窗 21 与外界环境交流。

5 本领域的技术人员可以理解的是，本发明的所述开窗电路板装置通过所述开窗形成部 20 包覆每个所述贴装元器件 12 的方式，能够藉由所述开窗形成部 20 分隔所述贴装元器件 12 和所述半导体元件 13，以防止所述贴装元器件 12 产生的碎屑等污染物相互污染和防止所述贴装元器件 12 产生的碎屑等污染物污染所述半导体元件 13 的表面。

10 附图 12 示出了本发明的所述开窗电路板装置的第四个变形实施方式，其中所述开窗形成部 20 的顶表面具有一外侧表面 201 和至少一内侧表面 202，其中所述外侧表面 201 和每个所述内侧表面 202 具有高度差，以使所述开窗形成部 20 形成一封装槽 22。在本发明的所述开窗电路板装置的这个具体示例中，所述开窗形成部 20 的每个所述内侧表面 202 所在的平面低于所述外侧表面 201 所在
15 的平面，从而使所述开窗形成部 20 的所述外侧表面 201 和每个所述内侧表面 202 具有高度差，以在每个所述内侧表面 202 对应的位置形成所述开窗形成部 20 的每个所述封装槽 22，并且每个所述封装槽 22 分别连通于每个所述开窗 21。

也就是说，在附图 12 中示出的本发明的所述开窗电路板装置的这个具体示例中，所述开窗形成部 20 的顶表面呈台阶状。

20 附图 13 示出了本发明的所述开窗电路板装置的第五个变形实施方式，其中所述电路板 11 进一步具有至少一定位空间 113，所述开窗形成部 20 包括一开窗形成主体 23 和至少一定位元件 24，所述开窗形成主体 23 和每个所述定位元件 24 一体地形成，其中所述开窗形成主体 23 一体地结合于所述电路板 11 的所述结合区域 111，且所述开窗形成主体 23 包覆每个所述贴装元器件 12，每个所述
25 定位元件 24 分别形成于所述电路板 11 的每个所述定位空间 113。也就是说，所述电路板 11 的每个所述定位空间 113 均设于所述电路板 11 的所述结合区域 111。

所述开窗形成部 20 通过使每个所述定位元件 24 形成于所述电路板 11 的每个所述定位空间 113 的方式，能够防止所述开窗形成部 20 从所述电路板部 10 上脱落，以进一步提高所述开窗电路板装置的稳定性和可靠性。

30 值得一提的是，在附图 13 示出的所述开窗电路板装置的这个实施方式中，

每个所述定位空间 113 可以被实施为盲孔，而在附图 14 中示出的本发明的所述开窗电路板装置的第六个变形实施方式中，每个所述定位空间 113 也可以被实施为通孔。尽管如此，本领域的技术人员可以理解的是，在本发明的所述开窗电路板装置的其他示例中，所述电路板 11 的一部分所述定位空间 113 被实施为盲孔，另一部分所述定位空间 113 被实施为通孔。因此，本领域的技术人员可以理解的是，所述定位空间 113 的类型、尺寸和截面形状不应被视为对本发明的所述开窗电路板装置的内容和范围的限制。

在藉由所述成型模具 100 模制所述开窗电路板装置的过程中，所述电路板 11 的每个所述定位空间 113 分别连通于所述成型空间 103，从而被加入所述成型空间 103 的所述成型材料通过所述成型空间 103 进入所述电路板 11 的每个所述定位空间 113，以使所述成型材料填满所述电路板 11 的每个所述定位空间 113 和填满所述成型模具 100 的所述成型空间 103，从而在所述成型材料固化后在所述电路板 11 的每个所述定位空间 113 内形成每个所述定位元件 24 和在所述成型空间 103 内形成所述开窗形成主体 23。在所述成型模具 100 被执行拔模操作后，制得所述开窗电路板装置。

附图 15 示出了本发明的所述开窗电路板装置的第七个变形实施方式，其中所述开窗形成部 20 进一步包括一补强元件 25，其中所述补强元件 25 与每个所述定位元件 24 一体地形成，且所述补强元件 25 重叠地形成于所述电路板 11，以藉由所述补强元件 25 补强所述电路板 11，并且使所述电路板 11 保持平整，通过这样的方式，所述电路板 11 可以选用厚度更薄的 PCB 电路板或者选用 FPC 电路板或者软硬结合版，以进一步降低所述开窗电路板装置的高度尺寸。可以理解的是，所述补强元件 25 和所述开窗形成主体 23 分别位于所述电路板 11 的两侧。

在藉由所述成型模具 100 模制所述开窗电路板装置的过程中，在所述电路板 11 的下表面和所述下模具 102 的内表面之间形成一辅助成型空间，其中所述辅助成型空间和所述成型空间 103 通过所述电路板 11 的每个所述定位空间 113 相连通。被加入所述成型空间 103 的所述成型材料通过所述成型空间 103 和所述电路板 11 的每个所述定位空间 113 进入所述辅助成型空间，以使所述成型材料填满所述辅助成型空间、填满所述电路板 11 的每个所述定位空间 113 和填满所述成型空间 103，从而在所述成型材料固化后在所述辅助成型空间内形成重

叠于所述电路板 11 的所述补强元件 25、在所述电路板 11 的每个所述定位空间 113 内形成每个所述定位元件 24 和在所述成型空间 103 内形成所述开窗形成主体 23。在所述成型模具 100 被执行拔模操作后，制得所述开窗电路板装置。

本领域的技术人员可以理解的是，所述开窗形成部 20 的所述开窗形成主体 23、每个所述定位元件 24 和所述补强元件 25 一体地形成，以藉由每个所述定位元件 24 和所述补强元件 25 防止所述开窗形成主体 23 从所述电路板 11 的所述结合区域 111 上脱落和藉由所述补强元件 25 补强所述电路板 11，以增强所述电路板 11 的强度和保持所述电路板 11 平整。

附图 16 示出了本发明的所述开窗电路板装置的第八个变形实施方式，其中所述电路板 11 具有至少一固定空间 114，其中每个所述固定空间 114 分别对应于每个所述定位空间 113，且每个所述固定空间 114 和每个所述定位空间 113 相互连通。所述开窗形成部 20 包括至少一固定元件 26，其中每个所述固定元件 26 分别形成于所述电路板 11 的每个所述固定空间 114，并且每个所述固定元件 26、每个所述定位元件 24 和所述开窗形成主体 23 一体地形成，以藉由每个所述固定元件 26 和每个所述定位元件 24 防止所述开窗形成主体 23 从所述电路板 11 的所述结合区域 111 上脱落。

在藉由所述成型模具 100 模制所述开窗电路板装置的过程中，所述电路板 11 的每个所述固定空间 114 分别通过每个所述定位空间 113 连通于所述成型空间 103，从而被加入所述成型空间 103 的所述成型材料通过所述成型空间 103 和所述电路板 11 的每个所述定位空间 113 进入所述电路板 11 的每个所述固定空间 114，从而在所述成型材料固化后在所述电路板 11 的每个所述固定空间 114 形成每个所述固定元件 26、在所述电路板 11 的每个所述定位空间 113 形成每个所述定位元件 24 和在所述成型空间 130 内形成所述开窗形成主体 23。在所述成型模具 100 被执行拔模操作后，制得所述开窗电路板装置。

附图 17 示出了本发明的所述开窗电路板装置的第九个变形实施方式，其中所述电路板 11 具有至少一容纳空间 115，以供容纳被贴装于所述电路板 11 的每个所述半导体元件 13，从而减少所述电路板 11 的表面和所述半导体元件 13 的表面的高度差。

所述电路板 11 的所述容纳空间 115 的数量和所述半导体元件 13 的数量一致，从而使每个所述半导体元件 13 分别被容纳于所述电路板 11 的每个所述容纳

空间 115，以减少所述电路板 11 的表面和所述半导体元件 13 的表面的高度差。
例如在附图 17 示出的所述开窗电路板装置的这个具体示例中，所述电路板 11 具有两个所述容纳空间 115，所述半导体元件 13 的数量也是两个，每个所述半导体元件 13 分别被容纳于所述电路板 11 的每个所述容纳空间 115。

5 值得一提的是，所述电路板 11 的所述容纳空间 115 的数量也可以少于所述地半导体元件 13 的数量，以使至少一个所述半导体元件 13 被容纳于所述电路板 11 的所述容纳空间 115，另外的所述半导体元件 13 被直接贴装于所述电路板 11 的表面，通过这样的方式，能够使所述半导体元件 13 的表面具有高度差。例如在附图 18 示出的所述开窗电路板装置的第十个变形实施方式中，所述电路板 11
10 具有一个所述容纳空间 115，所述半导体元件 13 的数量是两个，其中被容纳于所述电路板 11 的所述容纳空间 115 的所述半导体元件 13 被定义为一第一半导体元件 13a，被直接贴装于所述电路板 11 的表面的所述半导体元件 13 被定义为一第二半导体元件 13b，通过这样的方式，所述开窗电路板装置能够使所述第一半导体元件 13a 和所述第二半导体元件 13b 之间具有高度差。

15 更值得一提的是，在附图 17 和图 18 中示出的所述开窗电路板装置中，所述电路板 11 的所述容纳空间 115 均被实施为容纳槽，而在附图 19 和图 20 中示出的所述开窗电路板装置中，所述电路板 11 的所述容纳空间 115 也可以被实施为通孔。

具体地说，在附图 19 示出的所述开窗电路板装置的第十一个变形实施方式
20 中，所述电路板 11 的所述容纳空间 115 被实施为通孔，从而能够进一步降低被容纳于所述容纳空间 115 的所述半导体元件 13 的表面和所述电路板 11 的表面的高度差，甚至是所述半导体元件 13 的表面和所述电路板 11 的表面平齐或者使所述半导体元件 13 的表面低于所述电路板 11 的表面。值得一提的是，被容纳于所述容纳空间 115 的所述半导体元件 13 可以通过其他部件被连接于所述电路板 11，
25 从而使所述半导体元件 13 被保持在所述容纳空间 115 内。

在附图 20 示出的所述开窗电路板装置的第十二个变形实施方式中，所述电路板 11 的所述容纳空间 115 被实施为通孔，从而能够进一步增加被容纳于所述容纳空间 115 的所述第一半导体元件 13a 的表面和被直接贴装于所述电路板 11 的表面的所述第二半导体元件 13b 的表面的高度差。

30 附图 21 示出了本发明的所述开窗电路板装置的第十三个变形实施方式，其

中所述电路板 11 的至少一个所述容纳空间 115 被实施为容纳槽，另外的所述容纳空间 115 被实施为通孔。例如在附图 21 中，被实施为通孔的所述容纳空间 115 被定义为一第一容纳空间 115a，以供用于容纳所述第一半导体元件 13a，被实施为容纳槽的所述容纳空间 115 被定义为一第二容纳空间 115b，以供用于容纳所述第二半导体元件 13b。所述开窗电路板装置能够在保证所述第一半导体元件 13a 的表面和所述第二半导体元件 13b 的表面具有高度差的同时，降低所述第一半导体元件 13a 的表面和所述电路板 11 的表面的高度差和降低所述第二半导体元件 13b 的表面和所述电路板 11 的表面的高度差。

附图 22 示出了本发明的所述开窗电路板装置的第十四个变形实施方式，其中所述电路板 11 进一步包括至少一通孔 116，其中每个所述通孔 116 的开口位于所述电路板 11 的上表面，每个所述容纳空间 115 的开口位于所述电路板 11 的下表面，且每个所述通孔 116 和每个所述容纳空间 115 相互连通。每个所述半导体元件 13 分别通过倒装的方式被贴装于所述电路板 11，以使每个所述半导体元件 13 分别被容纳于每个所述容纳空间 115。

附图 23 示出了本发明的所述开窗电路板装置的第十五个变形实施方式，其中至少一个所述半导体元件 13 通过倒装的方式被贴装于所述电路板 11，另外的所述半导体元件 13 被直接贴装于所述电路板 11 的表面，通过这样的方式，使每个所述半导体元件 13 的表面具有高度差。

附图 24 示出了本发明的所述开窗电路板装置的十六个变形实施方式，其中所述开窗形成部 20 可以进一步包覆每个所述半导体元件 13 的外侧部，以使所述开窗形成部 20、每个所述半导体元件 13 和所述电路板 11 结合为一体，通过这样的方式，每个所述半导体元件 13 的平整度可以不受限于所述电路板 11 的平整度的限制，而是藉由所述开窗形成部 20 保证所述半导体元件 13 的平整度，从而所述电路板 11 可以选用厚度更薄的电路板，进而降低所述开窗电路板装置的高度尺寸。例如所述电路板 11 可以选用软硬结合板或者 FPC 电路板。

附图 25 示出了本发明的所述开窗电路板装置的第十七个变形实施方式，其中所述开窗电路板装置进一步包括一保护框 30，其中所述保护框 30 位于所述电路板部 10 的所述交流区域 112 的外侧部，以在藉由所述成型模具 100 模制一体地结合于所述电路板部 10 的所述结合区域 111 的所述开窗形成部 20 时，所述保护框 30 能够阻止所述成型材料进入所述电路板部 10 的所述交流区域 112。在所

述开窗形成部 20 与所述电路板部 10 的所述结合区域 111 一体地结合时，所述开窗形成部 20 包覆所述保护框 30 的至少一部分。

例如在附图 25 中示出的所述开窗电路板装置的第十七个变形实施方式中，所述开窗形成部 20 可以仅包覆所述保护框 30 的外侧部。在附图 26 中示出的所述开窗电路板装置的第十八个变形实施方式中，所述开窗形成部 20 还可以包覆所述保护框 30 的顶表面的至少一部分。

在藉由所述成型模具 100 模制所述开窗电路板装置时，所述保护框 30 能够向上支撑所述成型模具 100 的所述上模具 101 的所述施压面 1011，以阻止所述上模具 101 的所述施压面 1011 和所述电路板 11 的表面接触，从而避免所述上模具 101 的所述施压面 1011 刮伤所述电路板 11。在所述成型模具 100 被执行合模操作时，位于所述上模具 101 的所述施压面 1011 和所述电路板 11 之间的所述保护框 30 能够吸收所述成型模具 100 在被执行合模操作时产生的冲击力，以避免该冲击力直接作用于所述电路板 11。另外，所述保护框 30 可以具有弹性，从而使所述保护框 30 通过产生变形的方式阻止所述上模具 101 的所述施压面 1011 和所述保护框 30 之间产生缝隙，从而防止所述成型材料经由所述上模具 101 的所述施压面 1011 和所述保护框 30 的顶表面进入所述电路板 11 的所述交流区域 112 而出现污染所述交流区域 112 的不良现象和阻止产生“飞边”的不良现象，以提高所述开窗电路板装置的产品良率。

值得一提的是，在本发明的所述开窗电路板装置的一个示例中，所述保护框 30 可以被预制，然后将所述保护框 30 设置于所述电路板 11 的所述交流区域 112 的外侧部。在本发明的所述开窗电路板装置的另一个示例中，所述保护框 30 也可以一体地形成于所述电路板 11 的所述交流区域 112 的外侧部，例如可以将胶水施涂于所述电路板 11 的所述交流区域 112 的外侧部，以在胶水固化后形成位于所述电路板 11 的所述交流区域 112 的外侧部的所述保护框 30。

本领域的技术人员可以理解的是，尽管在附图 25 和图 26 中示出了所述保护框 30 位于所述电路板 11 的所述交流区域 112 的示例，当所述保护框 30 位于所述电路板 11 的所述结合区域 111 时，也属于本发明定义的所述保护框 30 位于所述电路板 11 的所述交流区域 112 的外侧部。

附图 27 示出了本发明的所述开窗电路板装置的第十九个变形实施方式，其中所述保护框 30 也可以同时形成于所述电路板 11 和所述半导体元件 13。具体

地说，在将所述半导体元件 13 贴装于所述电路板 11 的所述交流区域 112 后，将所述保护框 30 同时设置于或者使所述保护框 30 同时形成于所述电路板 11 和所述半导体元件 13，以藉由所述保护框 30 封闭产生于所述电路板 11 和所述半导体元件 13 之间的缝隙，从而在后续模制所述开窗形成部 20 的过程中，所述保护框 30 能够阻止所述成型材料经由产生于所述电路板 11 和所述半导体元件 13 之间的缝隙进入所述电路板 11 和所述半导体元件 13 之间，通过这样的方式，能够进一步保证所述半导体元件 13 的平整度。

附图 28 示出了本发明的所述开窗电路板装置的第二十个变形实施方式，其中所述保护框 30 也可以位于所述半导体元件 13 的外侧部，在后续，所述开窗形成部 20 可以包覆所述保护框 30 的至少一部分，以使所述开窗形成部 20、所述半导体元件 13 和所述电路板 11 一体地结合，从而在模制所述开窗电路板装置时，所述保护框 30 能够保护所述半导体元件 13。

依本发明的另一个方面，本发明进一步提供一开窗电路板装置的制造方法，其中所述制造方法包括如下步骤：

(a) 使一电路板 11 的一结合区域 111 位于一成型模具 100 的一成型空间 103，和阻止所述电路板 11 的至少一交流区域 112 连通于所述成型空间 103；

(b) 向所述成型空间 103 内加入成型材料，以使所述成型材料填满所述成型空间 103；以及

(c) 使填充在所述成型空间 103 的所述成型材料固化，以形成一体地形成于所述电路板 11 的所述结合区域 111 的一开窗形成部 20，和在对应于所述电路板 11 的每个所述交流区域 112 的位置形成一开窗 21，其中每个所述交流区域 112 分别通过每个所述开窗 21 与外界环境交流。

实施例二：

参考本发明的说明书附图之图 29 至图 34B，依本发明的一较佳实施例的一电路板装置被阐述，其中所述电路板装置包括一电路板部 40 和一包埋部 50，所述包埋部 50 与所述电路板部 40 一体地结合，以使所述包埋部 50 包埋所述电路板部 40 的至少一部分。

值得一提的是，尽管在附图 29 至图 34B 示出的本发明的所述电路板装置中，所述包埋部 50 仅包埋所述电路板部 40 的外侧边，而在所述电路板装置的其他示例中，所述包埋部 50 也可以全部包埋所述电路板部 40，因此，附图 29 至图 34B

示出的所述电路板装置仅为一个举例性的说明，以用于阐述本发明的所述电路板装置的特征和优势，从而，附图 29 至图 34B 示出的所述电路板装置并不应被视为对本发明的所述电路板装置的内容和范围的限制。

进一步地，参考附图 34A 和图 34B，所述电路板部 40 包括一电路板 41 和至少一贴装元器件 42，其中每个所述贴装元器件 42 分别被贴装于所述电路板 41，所述包埋部 50 和所述电路板 41 一体地结合，且所述包埋部 50 包埋至少一个所述贴装元器件 42，以形成所述电路板装置，通过这样的方式，一方面，所述包埋部 50 通过包埋所述贴装元器件 42 的方式形成所述电路板装置，能够避免所述包埋部 50 从所述电路板 41 上脱落的不良现象，另一方面，所述包埋部 50 通过包埋所述贴装元器件 42 的方式形成所述电路板装置，能够避免所述贴装元器件 42 长时间与空气接触而导致所述贴装元器件 42 的表面出现氧化的不良现象。也就是说，所述包埋部 50 能够将所述贴装元器件 42 封闭起来，以阻止所述贴装元器件 42 和空气接触。

所述贴装元器件 42 可以是驱动器、继电器、处理器、电阻、电容等贴装元器件，其通过 SMT 工艺（Surface Mount Technology，表面贴装工艺）被贴装于所述电路板 41。优选地，所述包埋部 50 包埋相邻的所述贴装元器件 42，以藉由所述包埋部 50 隔离所述贴装元器件 42，通过这样的方式，即便是相邻所述贴装元器件 42 的距离较近时，所述包埋部 50 也能够避免相邻所述贴装元器件 42 出现相互干扰的现象。更优选地，所述包埋部 50 包埋全部的所述贴装元器件 42。

优选地，所述包埋部 50 可以是一个不透光部，所述贴装元器件 42 被所述包埋部 50 包埋，从而藉由所述包埋部 50 阻止外界光线透过所述包埋部 50 而干扰所述贴装元器件 42。

在所述贴装元器件 42 被贴装于所述电路板 41 后，所述包埋部 50 一体地形成于所述电路板 41 且包埋所述贴装元器件 42，从而在所述包埋部 50 和所述贴装元器件 42 之间不需要预留安全距离，通过这样的方式，能够减小所述电路板装置的尺寸，尤其是降低所述电路板装置的高度尺寸，以使所述电路板装置特别适用于轻薄化的电子设备。

在所述包埋部 50 和所述贴装元器件 42 之间不需要预留安全距离，并且所述包埋部 50 在成型后分别单独地包埋每个所述贴装元器件 42，以用于使相邻且距离较近的所述贴装元器件 42 不会出现相互干扰的不良现象，因此，在有限面积

的所述电路板 41 上，可以被贴装更多数量和更大尺寸的所述贴装元器件 42，这样，能够在减小所述电路板装置的尺寸的基础上，进一步提高所述电路板装置的性能，这是现有技术意料不到的，并且对于应用所述电路板装置的电子装置的轻薄化和高性能的发展趋势特别的有用。

5 附图 29 至图 34B 示出了所述电路板装置的制造步骤且示出了所述电路板装置的剖视状态和立体状态。

附图 29 示出了所述电路板 41 的俯视角度，其中所述电路板 41 可以是一个印刷电路板。具体地说，所述电路板 41 包括一基板 411 和至少一电路 412，其中所述电路 412 通过印刷的方式形成在所述基板 411 的表面，被贴装于所述电路板 41 的所述贴装元器件 42 被导通地连接于所述电路板 41 的所述电路 412。本领域的技术人员可以理解的是，采用印刷的方式使所述电路 412 形成于所述基板 411 的方式使所述电路 412 突出于所述基板 411 的表面。尽管如此，本领域的技术人员可以理解的是，在本发明的所述电路板装置的其他示例中，所述电路板 41 也可以不是印刷电路板，而是其他类型的电路板，例如蚀刻电路板。

15 在本发明的这个示例中，所述电路 412 呈环形地形成于所述基板 411 的外侧边缘，以使所述电路板 41 在所述电路 412 的两侧分别形成一外侧区域 413 和一内侧区域 414，即，所述电路板 41 的所述外侧区域 413 和所述内侧区域 414 分别位于所述电路 412 的两侧。

尽管在附图 29 中示出了的所述电路板 41 的所述电路 412 呈完整的环形形成于所述基板 411 的外侧边缘，本领域的技术人员可以理解的是，所述电路 412 也可以具有其他的形态，例如所述电路 412 形成的环形可以设有开口，或者所述电路 412 没有形成环形，因此，附图 29 中示出的所述电路板 41 的呈环形的所述电路 412 并不作为对本发明的所述电路板装置的内容和范围的限制。

参考附图 30A 和图 30B，将每个所述贴装元器件 42 相互间隔地贴装于所述电路板 41，且每个所述贴装元器件 42 分别被导通地连接于所述电路板 41 的所述电路 412。优选地，每个所述贴装元器件 42 分别通过 SMT 工艺被贴装于所述电路板 41。更优选地，每个所述贴装元器件 42 均位于所述电路板 41 的所述外侧区域 413，从而使所述电路板 41 的所述内侧区域 414 保持平整。

30 参考附图 31A，将贴装有所述贴装元器件 42 的所述电路板 41 放置在一成型模具 100 的一成型空间 103 内，以藉由所述成型模具 100 使被加入所述成型空间

103 的呈流体状态的一成型材料形成与所述电路板 41 一体结合的所述包埋部 50。

具体地说，所述成型模具 100 包括一上模具 101 和一下模具 102，其中所述上模具 101 和所述下模具 102 中的至少一个能够被操作，以使所述成型模具 100 的所述上模具 101 和所述下模具 102 被执行合模或者拔模的操作，并且当所述上
5 模具 101 和所述下模具 102 被合模时，在所述上模具 101 和所述下模具 102 之间形成至少一个所述成型空间 103，以用于模制所述电路板装置。

值得一提的是，尽管在附图 31A 中示出了在所述成型模具 100 的所述上模具 101 和所述下模具 102 之间形成一个所述成型空间 103 的实施方式，本领域的技术人员可以理解的是，在其他的示例中，在所述成型模具 100 的所述上模具
10 101 和所述下模具 102 之间还可以形成两个或者两个以上的所述成型空间 103，以供同时模制两个或者两个以上的所述电路板装置。

在所述上模具 101 和所述下模具 102 被合模后，所述上模具 101 的施压面 1011 施压于所述电路板 41 的所述电路 412 上，以使所述电路板 41 的所述内侧区域 414 处于封闭状态，从而在后续模制所述电路板装置的过程中，能够避免所
15 述成型材料进入所述电路板 41 的所述内侧区域 414 而污染所述内侧区域 414。

附图 31B 示出了所述成型模具 100 的另一个实施方式，其中所述成型模具 100 还可以包括一覆盖膜 104，其中所述覆盖膜 104 被重叠地设置在所述上模具 101 的所述施压面 1011，以在所述上模具 101 和所述下模具 102 被执行合模操作时，藉由所述覆盖膜 104 隔离所述上模具 101 的所述施压面 1011 和所述电路板
20 41，从而通过防止所述上模具 101 的所述施压面 1011 直接接触所述电路板 41 的方式保护所述电路板 41 的所述电路 412 在模制所述电路板装置的过程中不被破坏。优选地，所述覆盖膜 104 可以通过被贴附于所述上模具 101 的所述施压面 1011 的方式被重叠地设置于所述施压面 1011。

另外，所述覆盖膜 104 可以具有缓冲能力，从而在所述上模具 101 和所述下
25 模具 102 被执行合模操作且在所述上模具 101 接触所述电路板 41 时产生的冲击力能够被位于所述上模具 101 的所述施压面 1011 和所述电路板 41 之间的所述覆盖膜 104 吸收，从而避免该冲击力直接作用于所述电路板 41，以进一步保护所述电路板 41 的所述电路 412。

在所述上模具 101 的所述施压面 1011 施压于所述电路板 41 时，所述覆盖膜
30 104 能够密封产生于所述上模具 101 的所述施压面 1011 和所述电路板 41 之间的

缝隙，以避免呈流体状的所述成型材料通过形成于所述上模具 101 的所述施压面 1011 和所述电路板 41 之间的缝隙进入所述电路板 41 的所述内侧区域 414 而污染所述内侧区域 414 的不良现象，且能够避免“飞边”的不良现象。另外，所述覆盖膜 104 还能方便对所述成型模具 100 执行拔模。

- 5 尽管在接下来的描述中仍以所述成型模具 100 没有被配置所述覆盖膜 104 为例来阐述本发明的所述电路板装置的制造步骤，本领域的技术人员可以理解的是，在附图 32 和附图 33 中，所述成型模具 100 也可以被配置所述覆盖膜 104。

参考附图 32 和图 33，将流体状的所述成型材料加入所述成型模具 100 的所述成型空间 103 中，由于填充在所述成型空间 103 的所述成型材料受到所述电路板 41 的所述电路 412 的阻挡，从而使所述成型材料在固化后仅在所述电路板 41 的所述外侧区域 413 与所述电路板 41 的一部分一体结合的所述包埋部 50，且在所述电路板 41 的所述内侧区域 414 对应的部位形成所述包埋部 50 的一开窗 51。也就是说，在所述包埋部 50 一体地形成于所述电路板 41 的一部分后，所述电路板 41 的另一部分可以通过所述包埋部 50 的所述开窗 51 与外界环境交流。

- 15 值得一提的是，呈流体状的所述成型材料可以是液体或者固体小颗粒或者液体与固体小颗粒的混合物，本发明的所述电路板装置在这方面不受限制，其能够在被加入所述成型模具 100 的所述成型空间 103 后充斥整个所述成型空间 103 且在固化形成后在常温状态下具有良好的稳定性即可。例如所述成型材料可以是热固性材料。

- 20 参考附图 34A 和图 34B，在对所述成型模具 100 的所述上模具 101 和所述下模具 102 执行拔模操作后，制得本发明的所述电路板装置。在本发明的这个示例中，所述包埋部 50 可以具有一个平整的顶表面。本领域的技术人员可以理解的是，所述包埋部 50 的所述顶表面可以被用于组装部件。

- 附图 35 示出了本发明的所述电路板装置的第一个变形实施方式，其中所述包埋部 50 的顶表面呈阶梯状，以使所述包埋部 50 形成一槽 503，并且所述槽 503 连通于所述开窗 51。所述包埋部 50 的顶表面具有一外侧表面 501 和一内侧表面 502，其中所述外侧表面 501 所在的平面高于所述内侧表面 502 所在的平面，以使所述外侧表面 501 和所述内侧表面 502 具有高度差，从而使所述包埋部 50 形成所述槽 503。所述包埋部 50 允许被组装于所述包埋部 50 的顶表面的部件被容纳于所述槽 503 内。
- 25
- 30

附图 36 示出了本发明的所述电路板装置的第二个变形实施方式，其中所述电路板部 40 包括一半导体元件 43，其中所述半导体元件 43 被导通地连接于所述电路板 41，并且所述半导体元件 43 对应于所述包埋部 50 的所述开窗 51，以藉由所述半导体元件 43 通过所述包埋部 50 的所述开窗 51 与外界环境交流。优选地，所述半导体元件 43 被贴装于所述电路板 41 的所述内侧区域 414，以保证所述半导体元件 43 的平整度，并且使所述半导体元件 43 能够被直接导通地连接于所述电路板 41 或者所述半导体元件 43 通过其他的部件被导通地连接于所述电路板 41。

值得一提的是，在本发明的所述电路板装置中，所述半导体元件 43 和所述电路板 41 的导通方式不受限制。

另外，在本发明的所述电路板装置的一个示例中，可以在所述包埋部 50 与所述电路板 41 的一部分一体地结合后，将所述半导体元件 43 贴装于所述电路板 41 的所述内侧区域 414，以制得所述电路板装置。在本发明的所述电路板装置的另一个示例中，可以先将所述半导体元件 43 贴装于所述电路板 41 的所述内侧区域 414，然后再通过模制的方式藉由所述成型模具 100 形成于所述电路板 41 的一部分一体结合的所述包埋部 50，从而制得所述电路板装置。

附图 37 示出了本发明的所述电路板装置的第三个变形实施方式，其中所述电路板 41 具有一容纳空间 415，其中所述容纳空间 415 形成于所述电路板 41 的所述内侧区域 414，被贴装于所述电路板 41 的所述半导体元件 43 被容纳于所述容纳空间 415，这样，能够降低所述半导体元件 43 的表面和所述电路板 41 的表面的高度差，以进一步降低所述电路板装置的高度尺寸。可以理解的是，所述半导体元件 43 和所述贴装元器件 42 位于所述电路板 41 的同侧。优选地，在附图 37 示出的所述电路板装置的这个示例中，所述容纳空间 415 呈凹槽状，即所述容纳空间 415 不透透，并且所述容纳空间 415 的开口方向朝向所述电路板 41 用于贴装所述贴装元器件 42 的一侧，通过这样的方式，能够使被容纳于所述容纳空间 415 的所述半导体元件 43 和所述贴装元器件 42 位于所述电路板 41 的同侧。

附图 38 示出了本发明的所述电路板装置的第四个变形实施方式，其中所述容纳空间 415 呈通孔状，即，所述容纳空间 415 连通于所述电路板 41 的两侧部，这样，能够进一步降低所述半导体元件 43 的表面和所述电路板 41 的表面的高度差，甚至使所述半导体元件 43 的表面所在的平面和所述电路板 41 的表面所在的

平面处于同一个水平面,或者使所述半导体元件 43 的表面低于所述电路板 41 的表面,以进一步降低所述电路板装置的高度尺寸。

附图 39 示出了本发明的所述电路板装置的第五个变形实施方式,其中所述电路板 41 具有一通道 416,所述通道 416 的开口与所述电路板 41 用于贴装所述贴装元器件 42 的一侧相反,所述容纳空间 415 的开口朝向所述电路板 41 用于贴装所述贴装元器件 42 的一侧,其中所述通道 416 连通于所述容纳空间 415 和所述电路板 41 的所述内侧区域 414,所述半导体元件 43 可以通过倒装工艺被贴装于所述电路板 41 且使所述半导体元件 43 被容纳于所述容纳空间 415,其中所述半导体元件 43 的一部分依次通过所述通道 416 和所述开窗 51 与外界环境交流。
可以理解的是,在本发明的这个实施例中,所述贴装元器件 42 和所述半导体元件 43 位于所述电路板 41 的相反侧。

附图 40 示出了本发明的所述电路板装置的第六个变形实施方式,其中所述电路板 41 具有至少一定位空间 417,其中每个所述定位空间 417 分别相互间隔地形成于所述电路板 41 的所述外侧区域 413,以在模制所述电路板装置时,使所述成型材料填充在每个所述定位空间 417 内。

所述包埋部 50 包括一包埋主体 53 和至少一定位元件 54,其中所述定位元件 54 与所述包埋主体 53 一体地形成,且所述包埋主体 53 包埋所述贴装元器件 42。具体地说,在藉由所述成型模具 100 模制所述电路板装置时,在将贴装有所述贴装元器件 42 的所述电路板 41 放置在所述成型模具 100 的所述成型空间 103 后,所述电路板 41 的每个所述定位空间 417 分别连通于所述成型空间 103,从而在将流体状的所述成型材料加入所述成型空间 103 后,所述成型材料不仅填满所述成型空间 103,而且所述成型材料还填满每个所述定位空间 417,从而在所述成型材料固化后,填充在所述成型空间 103 的所述成型材料形成所述包埋主体 53 且使所述包埋主体 53 包埋所述贴装元器件 42,填充在所述定位空间 417 的所述成型材料形成所述定位元件 54,通过这样的方式,能够防止所述包埋部 50 从所述电路板 41 上脱落。参考附图 40,在本发明的所述电路板装置的这个示例中,所述定位空间 417 呈凹槽状,即所述定位空间 417 不通透。

另外,所述定位空间 417 的横截面的形状在本发明的所述电路板装置中不受限制,例如所述定位空间 417 的横截面的形状可以是圆形、椭圆形、多边形或者异形等。

附图 41 示出了本发明的所述电路板装置的第七个变形实施方式，其中所述定位空间 417 呈通孔状，即，所述定位空间 417 连通于所述电路板 41 的两侧部。

附图 42 示出了本发明的所述电路板装置的第八个变形实施方式，其中所述包埋部 50 进一步包括一补强元件 55，其中所述补强元件 55 和每个所述定位元件 54 与所述包埋主体 53 一体地成型，且所述补强元件 55 和所述包埋主体 53 分别位于所述电路板 41 的不同侧。在所述补强元件 55 形成后，所述补强元件 55 重叠于所述电路板 41，通过这样的方式，能够使所述补强元件 55 补强所述电路板 41 的强度，且藉由所述补强元件 55 保证所述电路板 41 的平整度。

具体地说，在藉由所述成型模具 100 模制所述电路板装置时，所述成型模具 100 的所述下模具 102 支撑所述电路板 41 的边缘区域，从而在所述电路板 41 的下表面和所述下模具 102 的内表面可以形成一辅助成型空间，所述辅助成型空间通过所述电路板 41 的呈通孔状的每个所述定位空间 417 连通于所述成型空间 103。

在将流体状的所述成型材料加入所述成型空间 103 后，所述成型材料经由每个所述定位空间 417 进入所述辅助成型空间，而且所述成型材料分别填满所述辅助成型空间、每个所述定位空间 417 和所述成型空间 103。在所述成型材料固化后，填充在所述辅助成型空间的所述成型材料形成重叠于所述电路板 41 的下表面的所述补强元件 55，填充在每个所述定位空间 417 的所述成型材料形成每个所述定位元件 54，填充在所述成型空间 103 的所述成型材料形成所述包埋主体 53，其中所述包埋主体 53、每个所述定位元件 54 和所述补强元件 55 一体地成型，且所述包埋主体 53 和所述补强元件 55 分别形成于所述电路板 41 的两侧。

参考附图 42，所述包埋主体 53 与所述电路板 41 的所述外侧区域 413 一体结合，所述补强元件 55 重叠地形成于所述电路板 41 的下表面，通过这样的方式，所述补强元件 55 和所述定位元件 54 不仅能够防止所述包埋部 50 从所述电路板 41 上脱落，而且所述补强元件 55 还能够补强所述电路板 41 的强度，以使所述电路板 41 保持平整。

附图 43 示出了本发明的所述电路板装置的第九个变形实施方式，其中所述电路板 41 具有至少一固定空间 418，其中每个所述定位空间 417 分别形成于所述电路板 41 的上表面，每个所述固定空间 418 分别形成于所述电路板 41 的下表面，其中每个所述固定空间 418 分别和每个所述定位空间 417 一一对应，并且每

个所述固定空间 418 分别和每个所述定位空间 417 相连通。

在藉由所述成型模具 100 模制所述电路板装置时，被加入所述成型空间 103 的所述成型材料经由每个所述定位空间 417 进入每个所述固定空间 418，而且所述成型材料分别填充满每个所述固定空间 418、每个所述定位空间 417 以及所述成型空间 103。在所述成型材料固化后，填充在每个所述固定空间 418 的所述成型材料形成所述包埋部 50 的至少一固定元件 56，填充在每个所述定位空间 417 的所述成型材料形成所述包埋部 50 的每个所述定位元件 54，填充在所述成型空间 103 的所述成型材料形成所述包埋主体 53，其中所述包埋主体 53 包埋所述贴装元器件 42。优选地，所述固定空间 418 的尺寸大于所述定位空间 417 的尺寸，从而在所述包埋部 50 形成且每个所述固定元件 56 和所述包埋主体 53 分别位于所述电路板 41 的两侧，通过这样的方式，所述固定元件 56 能够防止所述包埋部 50 从所述电路板 41 上脱落，以提高所述电路板装置的稳定性和可靠性。另外，所述包埋部 50 的所述包埋主体 53 呈环形地形成于所述电路板 41 的上侧部，形成于所述电路板 41 的下侧部的每个所述固定元件 56 分别通过每个所述定位元件 54 和所述包埋主体 53 一体结合，通过这样的方式，能够藉由所述包埋部 50 补强所述电路板 41 的强度。

附图 44 示出了本发明的所述电路板装置的第十个变形实施方式，其中所述包埋部 50 在成型后进一步包埋所述半导体元件 43 的外侧边缘，以使所述包埋部 50 和所述电路板部 40 的所述电路板 41、所述贴装元器件 42 和所述半导体元件 43 一体结合，通过这样的方式，所述半导体元件 43 的平整度可以不再局限于所述电路板 41 的平整度，而是藉由所述包埋部 50 保证所述半导体元件 43 的平整度，这样，不仅能够提高所述半导体元件 43 的平整度，而且所述电路板 41 可以选用厚度更薄的电路板，例如 FPC 电路板，通过这样的方式，能够进一步降低所述电路板装置的高度尺寸，以使所述电路板装置特别适于被应用于追求轻薄化的电子设备。

附图 45 示出了本发明的所述电路板装置的第十一个变形实施方式，其中所述电路板装置进一步包括一框形的阻挡部 60，其中所述阻挡部 60 位于所述电路板 41 的外侧部或者环形的所述电路 412 上，所述包埋部 50 在成型后包埋所述阻挡部 60 的一部分，以藉由所述阻挡部 60 阻挡用于形成所述包埋部 50 的所述成型材料进入所述电路板 41 的所述内侧区域 414，从而避免所述电路板 41 的所述

内侧区域 414 被污染，以进一步保证所述电路板 41 的所述内侧区域 414 的平整度。

值得一提的是，在本发明的所述电路板装置的一个示例中，所述阻挡部 60 可以在预制后，设置于所述电路板 41 的外侧部。在本发明的所述电路板装置的另一个示例中，可以将胶水或者类似的粘着物施涂于所述电路板 41 的外侧部，以形成与所述电路板 41 一体结合的所述阻挡部 60。

优选地，所述阻挡部 60 具有弹性，以提供缓冲能力，从而在藉由所述成型模具 100 模制所述电路板装置时，所述上模具 101 的所述施压面 1011 施压于所述阻挡部 60 时产生的冲击力能够被所述阻挡部 60 吸收，以避免该冲击力直接作用于所述电路板 41，从而保证所述电路板 41 不被所述成型模具 100 损坏。

在附图 45 示出的所述电路板装置的这个示例中，所述包埋部 50 在成型后可以仅包埋所述阻挡部 60 的外侧部，而在附图 46 示出的所述电路板装置的第十二个变形实施方式中，所述包埋部 50 可以进一步包埋所述阻挡部 60 的顶表面的至少一部分。

附图 47 示出了所述电路板装置的第十三个变形实施方式，其中所述阻挡部 60 也可以被同时设置于或者同时形成于所述电路板 41 和所述半导体元件 43，从而在所述包埋部 50 成型后，所述包埋部 50 能够与所述电路板部 40 的所述电路板 41 以及所述阻挡部 60 一体地结合。

值得一提的是，所述阻挡部 60 能够封闭产生于所述半导体元件 43 和所述电路板 41 之间的缝隙，从而在藉由所述成型模具 100 模制所述电路板装置时，所述成型材料不会进入所述半导体元件 43 和所述电路板 41 之间，并且在成型过程中，所述成型材料由于固化和温度变化产生的应力也不会施加到所述半导体元件 43 的表面，从而进一步保证所述半导体元件 43 的平整度。

附图 48 示出了所述电路板装置的第十四个变形实施方式，其中所述阻挡部 60 也可以仅被设置于或者形成于所述半导体元件 43 的外侧部，从而在所述包埋部 50 成型后，所述包埋部 50 能够与所述电路板部 40 的所述电路板 41 和所述半导体元件 43 以及所述阻挡部 60 一体地结合。

依本发明的另一个方面，本发明提供一电路板装置的制造方法，其中所述制造方法包括如下步骤：

(a) 在一电路板 41 上贴装至少一贴装元器件 42；和

(b) 在一包埋部 50 一体地成型于所述电路板 41 的至少一部分的同时，藉由所述包埋部 50 包埋至少一个所述贴装元器件 42，以制得所述电路板装置。

本领域技术人员应理解，上述描述及附图中所示的本发明的实施例只作为举例而并不限制本发明。

- 5 本发明的目的已经完整并有效地实现。本发明的功能及结构原理已在实施例中展示和说明，在没有背离所述原理下，本发明的实施方式可以有任何变形或修改。

权利要求书

1、一开窗电路板装置，其特征在于，包括：

一电路板部，其中所述电路板部具有至少一结合区域和至少一交流区域；和

一开窗形成部，其中在所述开窗形成部一体地成型于所述电路板部的所述结合区域时，所述开窗形成部同步地形成至少一开窗，其中所述开窗形成部的每个所述开窗分别对应于所述电路板部的每个所述交流区域，以使每个所述交流区域分别通过每个所述开窗与外界环境交流。

2、根据权利要求 1 所述的开窗电路板装置，其中所述电路板部包括一电路板，所述电路板具有所述结合区域和每个所述交流区域，其中所述开窗形成部一体地成型于所述电路板的所述结合区域，且所述开窗形成部的每个所述开窗分别对应于所述电路板的每个所述交流区域。

3、根据权利要求 2 所述的开窗电路板装置，其中所述电路板部包括至少一贴装元器件，每个所述贴装元器件分别被贴装于所述电路板的所述结合区域，其中所述开窗形成部包覆至少一个所述贴装元器件。

4、根据权利要求 2 所述的开窗电路板装置，其中所述电路板部包括至少一半导体元件，每个所述半导体元件分别被贴装于所述电路板的每个所述交流区域，以使每个所述半导体元件分别通过所述开窗形成部的每个所述开窗与外界环境交流。

5、根据权利要求 3 所述的开窗电路板装置，其中所述电路板部包括至少一半导体元件，每个所述半导体元件分别被贴装于所述电路板的每个所述交流区域，以使每个所述半导体元件分别通过所述开窗形成部的每个所述开窗与外界环境交流。

6、根据权利要求 5 所述的开窗电路板装置，其中所述开窗形成部包覆至少一个所述半导体元件的外侧部。

7、根据权利要求 2 至 6 中任一所述的开窗电路板装置，进一步包括至少一保护框，其中所述保护框位于所述电路板的所述交流区域的外侧部，其中所述开窗形成部包覆所述保护框的至少一部分。

8、根据权利要求 4 至 6 中任一所述的开窗电路板装置，进一步包括至少一保护框，其中所述保护框位于所述半导体元件的外侧部，其中所述开窗形成部包

覆所述保护框的至少一部分。

9、根据权利要求 4 至 6 中任一所述的开窗电路板装置，进一步包括至少一保护框，其中所述保护框同时形成于或者所述保护框被同时设置于所述电路板和所述半导体元件的外侧部，其中所述开窗形成部包覆所述保护框的至少一部分。

10、根据权利要求 7 所述的开窗电路板装置，其中所述保护框形成于所述电路板的所述交流区域的外侧部。

11、根据权利要求 7 所述的开窗电路板装置，其中所述开窗形成部包覆所述保护框的外侧面。

12、根据权利要求 7 所述的开窗电路板装置，其中所述开窗形成部包覆所述保护框的顶表面的至少一部分。

13、根据权利要求 2 至 6 中任一所述的开窗电路板装置，其中所述电路板具有至少一定位空间，所述开窗形成部包括一体形成的一开窗形成主体和至少一定位元件，其中所述开窗形成主体一体地成型于所述电路板的所述结合区域，且所述开窗形成主体形成所述开窗，每个所述定位元件分别形成于所述电路板的每个所述定位空间。

14、根据权利要求 13 所述的开窗电路板装置，其中所述电路板具有至少一固定空间，每个所述固定空间分别连通于每个所述定位空间，所述开窗形成部包括至少一固定元件，其中每个所述固定元件分别形成于所述电路板的每个所述固定空间，且每个所述固定元件、每个所述定位元件和所述开窗形成主体一体地形成。

15、根据权利要求 13 所述的开窗电路板装置，其中所述开窗形成部包括一补强元件，所述补强元件重叠地形成于所述电路板，其中所述补强元件、每个所述定位元件和所述开窗形成主体一体地形成，且所述补强元件和所述开窗形成主体位于所述电路板的两侧。

16、根据权利要求 2 至 6 中所述的开窗电路板装置，其中所述电路板具有至少一容纳空间。

17、一开窗电路板装置的制造方法，其特征在于，所述制造方法包括如下步骤：

(a) 使一电路板的一结合区域位于一成型模具的一成型空间，和阻止所述电路板的至少一交流区域连通于所述成型空间；

(b) 向所述成型空间内加入成型材料，以使所述成型材料填满所述成型空间；以及

(c) 使填充在所述成型空间的所述成型材料固化，以形成一体地形成于所述电路板的所述结合区域的一开窗形成部，和在对应于所述电路板的每个所述交流区域的位置形成一开窗，其中每个所述交流区域分别通过每个所述开窗与外界环境交流。

18、根据权利要求 17 所述的制造方法，其中在所述步骤 (a) 中，在所述电路板的所述结合区域贴装至少一贴装元器件，在所述步骤 (b) 中，所述成型材料填充在相邻所述贴装元器件之间，和在所述步骤 (c) 中，所述开窗形成部包覆至少一个所述贴装元器件。

19、根据权利要求 18 所述的制造方法，其中在所述步骤 (c) 之后，进一步包括步骤：

将至少一半导体元件分别通过每个所述开窗贴装于所述电路板的每个所述交流区域，以使每个所述半导体元件分别通过每个所述开窗与外界环境交流。

20、根据权利要求 18 所述的制造方法，其中在所述步骤 (a) 之前，将至少一半导体元件分别贴装于所述电路板的每个所述交流区域，以在所述步骤 (c) 之后，使每个所述半导体元件分别通过每个所述开窗与外界环境交流。

21、根据权利要求 20 所述的制造方法，其中在所述步骤 (a) 中，使所述半导体元件的外侧部位于所述成型空间中，以在所述步骤 (c) 中，所述开窗形成部进一步包覆所述半导体元件的外侧部。

22、根据权利要求 17 至 21 中任一所述的制造方法，其中在所述步骤 (a) 中，进一步包括步骤：

在所述成型模具的一上模具的施压面重叠地贴附一覆盖膜；和

在所述成型模具被合模后，使所述覆盖膜位于所述上模具的施压面和所述电路板的表面之间，以藉由所述覆盖膜阻止在所述上模具的施压面和所述电路板的表面之间产生缝隙。

23、根据权利要求 17 至 21 中任一所述的制造方法，其中在所述步骤 (a) 中，进一步包括步骤：

在所述电路板的所述交流区域的外侧部提供一保护框；和

在所述成型模具被合模后，使所述保护框位于所述上模具的施压面和所述电

路板的表面之间，以藉由所述保护框阻止在所述上模具的施压面和所述电路板的表面之间产生缝隙。

24、根据权利要求 23 所述的制造方法，其中在上述方法中，沿着所述电路板的所述交流区域的外侧部施涂胶水，以在胶水固化后形成位于所述交流区域的外侧部的所述保护框。

25、根据权利要求 20 所述的制造方法，其中在上述方法中，沿着所述半导体元件的外侧部施涂胶水，以在胶水固化后形成位于所述半导体元件的外侧部的一保护框。

26、根据权利要求 20 所述的制造方法，其中在上述方法中，沿着所述半导体元件和所述电路板的连接位置同时施涂胶水，以在胶水固化后形成位于所述半导体元件和所述电路板的连接位置的一保护框。

27、根据权利要求 17 至 21 中任一所述的制造方法，其中在所述步骤（a）中，使所述电路板的至少一定位空间连通于所述成型空间，在所述步骤（b）中，所述成型材料进一步填充满每个所述定位空间，以在所述步骤（c）中，固化在每个所述定位空间的所述成型材料形成所述开窗形成部的至少一定位元件，和固化在所述成型空间的所述成型材料形成所述开窗形成部的一开窗形成主体，其中所述开窗形成主体和每个所述定位元件一体地成型。

28、根据权利要求 25 所述的制造方法，其中在所述步骤（a）中，在所述电路板和所述成型模具之间进一步形成一辅助成型空间，其中所述辅助成型空间通过每个所述定位空间连通于所述成型空间，在所述步骤（c）中，所述成型材料进一步填充满所述辅助成型空间，以在所述步骤（c）中，固化在所述辅助成型空间的所述成型材料形成所述开窗形成部的一补强元件，其中所述补强元件和每个所述定位元件一体地成型，且所述补强元件重叠于所述电路板。

29、根据权利要求 25 所述的制造方法，其中在所述步骤（a）中，使所述电路板的至少一固定空间连通于每个所述定位空间，在所述步骤（b）中，所述成型材料进一步填充满每个所述固定空间，以在所述步骤（c）中，固化在每个所述固定空间的所述成型材料形成所述开窗形成部的至少一固定元件，其中所述固定元件和每个所述定位元件一体地成型。

30、一包埋贴装元器件的电路板装置，其特征在于，包括：

一包埋部；和

一电路板部，其中所述电路板部进一步包括一电路板和至少一贴装元器件，每个所述贴装元器件分别被贴装于所述电路板，其中所述包埋部与所述电路板的至少一部分一体地结合，且所述包埋部包埋所述贴装元器件。

31、根据权利要求 30 所述的电路板装置，其中每个所述贴装元器件分别被贴装于所述电路板的外侧区域，所述包埋部和所述电路板的外侧区域一体地结合，以使所述包埋部包埋每个所述贴装元器件，且所述包埋部隔离相邻的所述贴装元器件。

32、根据权利要求 30 所述的电路板装置，其中所述包埋部具有一开窗，所述电路板的内侧区域对应于所述开窗，以使所述电路板的内侧区域通过所述开窗和外界环境交流。

33、根据权利要求 32 所述的电路板装置，其中所述电路板部包括一半导体元件，其中所述半导体元件被贴装于所述电路板的内侧区域，且所述半导体元件对应于所述开窗，以使所述半导体元件通过所述开窗和外界环境交流。

34、根据权利要求 33 所述的电路板装置，其中所述包埋部进一步包埋所述半导体元件的外侧部，以使所述包埋部与所述电路板和所述半导体元件一体地结合。

35、根据权利要求 30 所述的电路板装置，进一步包括一框形的阻挡部，所述阻挡部位于所述电路板的外侧部，其中所述包埋部包埋所述电路板的外侧区域和所述阻挡部的一部分，以使所述包埋部与所述电路板和所述半导体元件一体地结合。

36、根据权利要求 30 所述的电路板装置，进一步包括一框形的阻挡部，所述阻挡部同时位于所述电路板的外侧部和所述半导体元件的外侧部，其中所述包埋部包埋所述电路板的外侧区域和所述阻挡部的一部分，以使所述包埋部与所述电路板和所述阻挡部的一部分一体地结合。

37、根据权利要求 33 所述的电路板装置，进一步包括一框形的阻挡部，所述阻挡部位于所述半导体元件的外侧部，其中所述包埋部包埋所述电路板的外侧区域、所述半导体元件的外侧部和所述阻挡部的一部分，以使所述包埋部与所述电路板、所述半导体元件和所述阻挡元件的一部分一体地结合。

38、根据权利要求 33 所述的电路板装置，其中所述电路板具有一容纳空间，所述半导体元件被容纳于所述容纳空间。

39、根据权利要求 30 至 38 中任一所述的电路板装置，其中所述电路板具有至少一定位空间，所述包埋部包括一体形成的一包埋主体和至少一定位元件，其中所述包埋主体成型于所述电路板的外侧区域，每个所述定位元件分别成型于所述电路板的每个所述定位空间。

40、根据权利要求 39 所述的电路板装置，其中所述包埋部进一步包括一补强元件，所述补强元件和每个所述定位元件一体形成，且所述补强元件重叠地成型于所述电路板的表面，其中所述补强元件和所述包埋主体位于所述电路板的两侧。

41、根据权利要求 39 所述的电路板装置，其中所述电路板具有至少一固定空间，每个所述固定空间分别连通于所述定位空间，所述包埋部进一步包括至少一固定元件，每个所述固定元件分别与每个所述定位元件一体形成，且每个所述固定元件分别成型于每个所述固定空间。

42、根据权利要求 30 至 38 中任一所述的电路板装置，其中所述电路板包括一基板和一环形的电路，所述电路突出于所述基板，其中每个所述贴装元器件分别被贴装于所述基板，并且每个所述贴装元器件分别被连接于所述电路，其中所述包埋部与所述基板的至少一部分一体地结合。

43、一电路板的制造方法，其特征在于，所述制造方法包括如下步骤：

(a) 在一电路板上贴装至少一贴装元器件；和

(b) 在一包埋部一体地成型于所述电路板的至少一部分的同时，藉由所述包埋部包埋所述贴装元器件，以制得所述电路板装置。

44、根据权利要求 43 所述的制造方法，其中在所述步骤 (b) 中，使所述包埋部形成一开窗，以对应于所述电路板的内侧区域，从而使所述电路板的内侧区域通过所述开窗和外界环境交流。

45、根据权利要求 43 所述的制造方法，其中在所述步骤 (b) 中，进一步包括步骤：

(b.1) 将贴装有所述贴装元器件的所述电路板放置在形成于一成型模具的一上模具和一下模具之间的一成型空间内，其中所述贴装元器件位于所述成型空间；

(b.2) 向所述成型空间内加入成型材料，以使所述成型材料填充在所述成型空间；以及

(b.3) 使所述成型材料在所述成型空间内固化，以形成包埋所述贴装元器件且和所述电路板一体结合的所述包埋部。

46、根据权利要求 45 所述的制造方法，其中在所述步骤 (b.1) 中，在所述上模具的施压面和所述电路板之间设置一覆盖膜，以藉由保持在所述上模具的施压面和所述电路板之间的所述覆盖膜保护所述电路板和阻止在所述上模具的施压面和所述电路板之间产生缝隙，从而在所述步骤 (b.2) 中，使所述成型材料仅填充在所述成型空间内。

47、根据权利要求 45 所述的制造方法，其中在所述步骤 (b.1) 中，使所述电路板的至少一定位空间连通于所述成型空间，从而在所述步骤 (b.2) 中，被加入所述成型空间的所述成型材料分别填充满每个所述定位空间和所述成型空间，并且在所述步骤 (b.3) 中，填充在每个所述定位空间的所述成型材料在固化后形成所述包埋部的每个定位元件，和填充在所述成型空间的所述成型材料在固化后形成所述包埋部的一包埋主体，其中所述包埋主体和每个所述定位元件一体形成，且藉由所述包埋主体包埋所述贴装元器件。

48、根据权利要求 47 所述的制造方法，其中在所述步骤 (b.1) 中，在所述电路板的表面和所述下模具的内表面之间形成一辅助成型空间，所述辅助成型空间通过每个所述定位空间连通于所述成型空间，从而在所述步骤 (b.2) 中，被加入所述成型空间的所述成型材料进一步填充满所述辅助成型空间，并且在所述步骤 (b.3) 中，填充在所述辅助成型空间的所述成型材料在固化后形成所述包埋部的一补强元件，其中所述补强元件和每个所述定位元件一体地形成，且所述补强元件重叠于所述电路板的表面。

49、根据权利要求 47 所述的制造方法，其中在所述步骤 (b.1) 中，使所述电路板的至少一固定空间，以分别通过每个所述定位空间连通于所述成型空间，从而在所述步骤 (b.2) 中，被加入所述成型空间的所述成型材料进一步填充满每个所述固定空间，并且在所述步骤 (b.3) 中，填充在每个所述固定空间的所述成型材料在固化后形成所述包埋部的每个固定元件，其中每个所述固定元件和每个所述定位元件一体地形成。

50、根据权利要求 43 至 49 中任一所述的制造方法，其中在所述步骤 (b) 之前或者在所述步骤 (b) 之后，进一步包括步骤：将一半导体元件贴装于所述电路板的内侧区域。

51、根据权利要求 50 所述的制造方法，其中所述包埋部进一步包埋所述半导体元件的外侧部。

52、根据权利要求 51 所述的制造方法，其中在上述方法中，沿着所述半导体元件的外侧部形成一框形的阻挡部，以在所述步骤（b）中，使所述包埋部进一步包埋所述阻挡部的一部分。

53、根据权利要求 43 至 49 中任一所述的制造方法，其中在所述步骤（b）之前进一步包括步骤：沿着所述电路板的外侧部形成一框形的阻挡部或者一环形的电路，从而在所述步骤（b）中，使所述包埋部进一步包埋所述阻挡部的一部分或者电路。

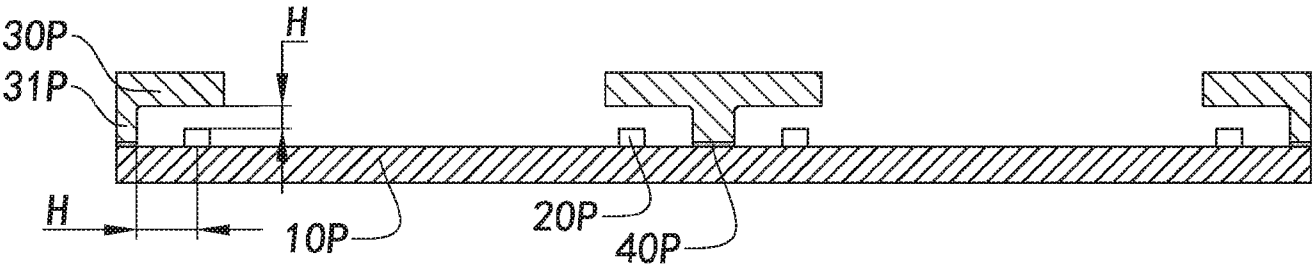


图1

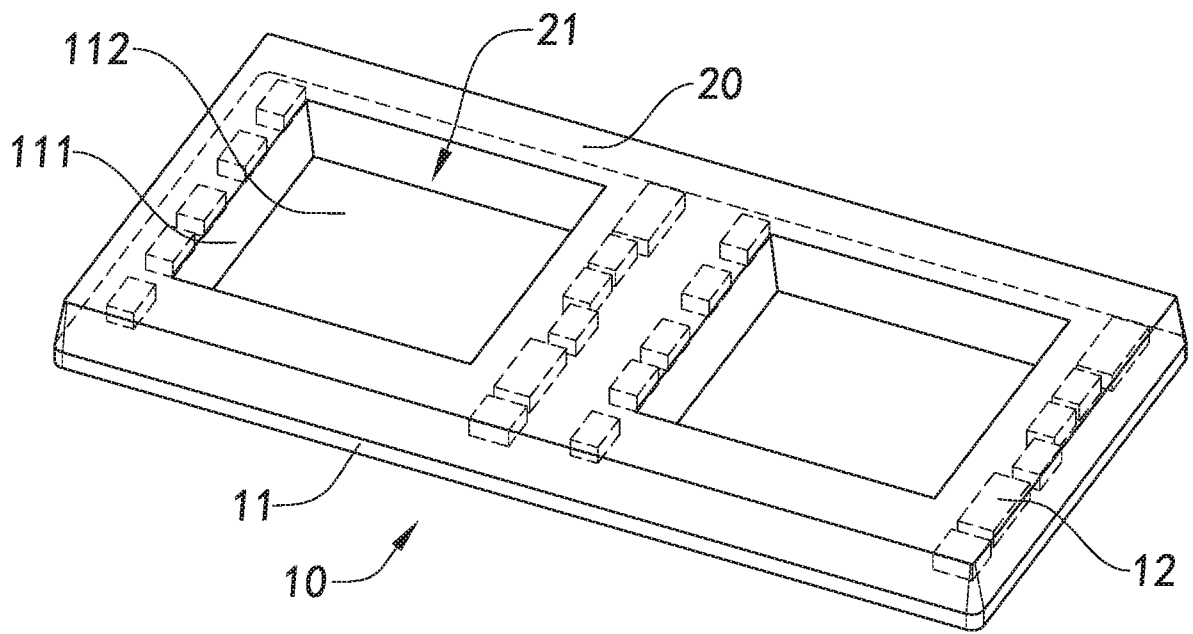


图2

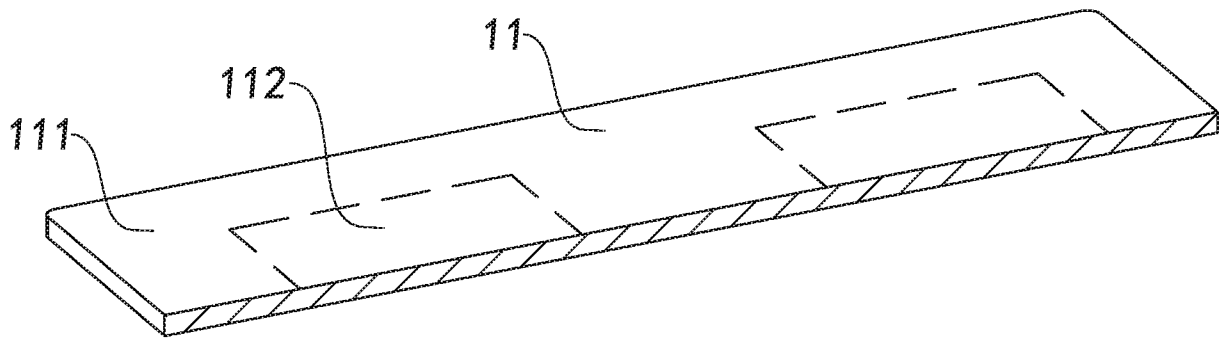


图3

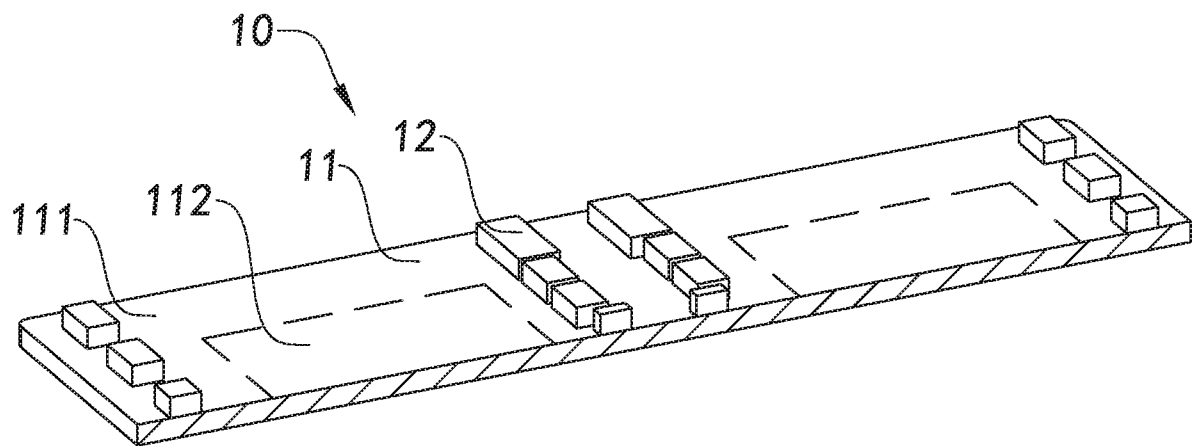


图4

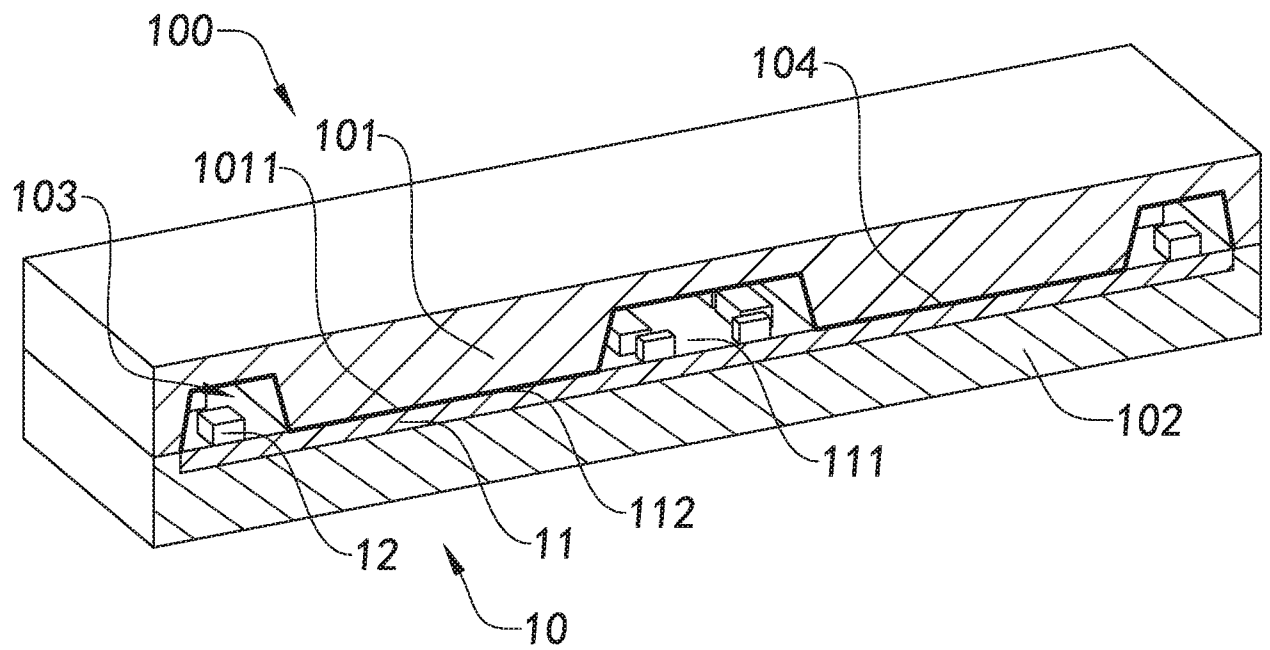


图5

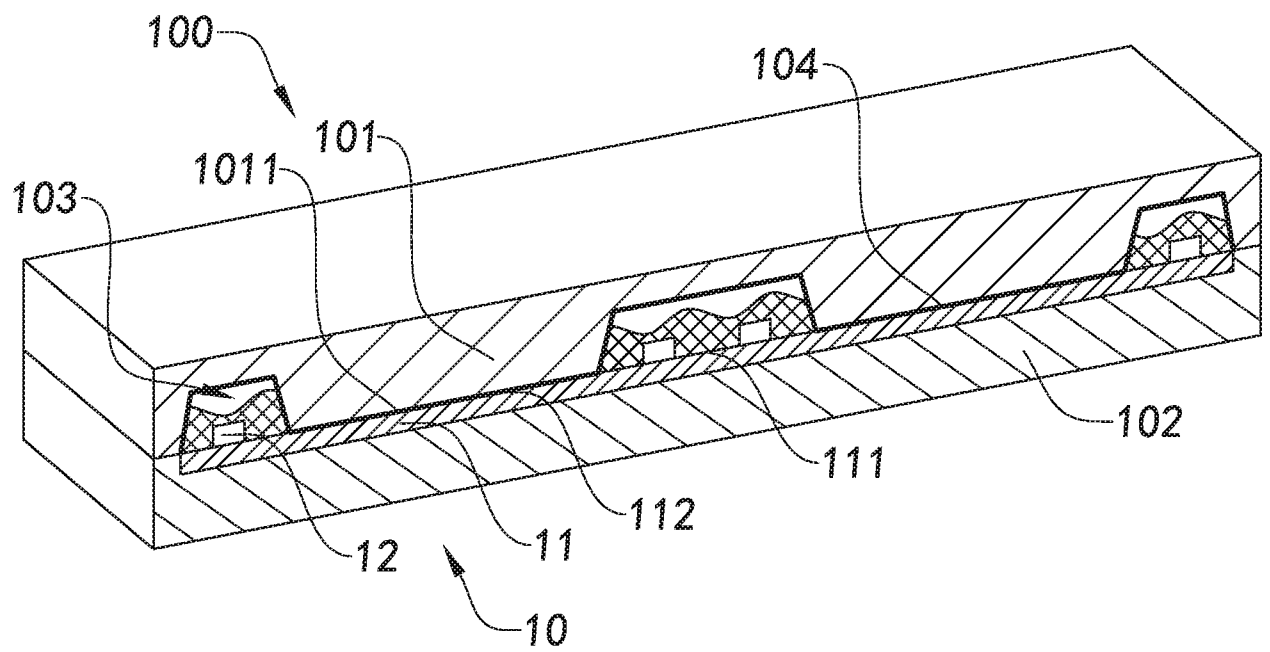


图6

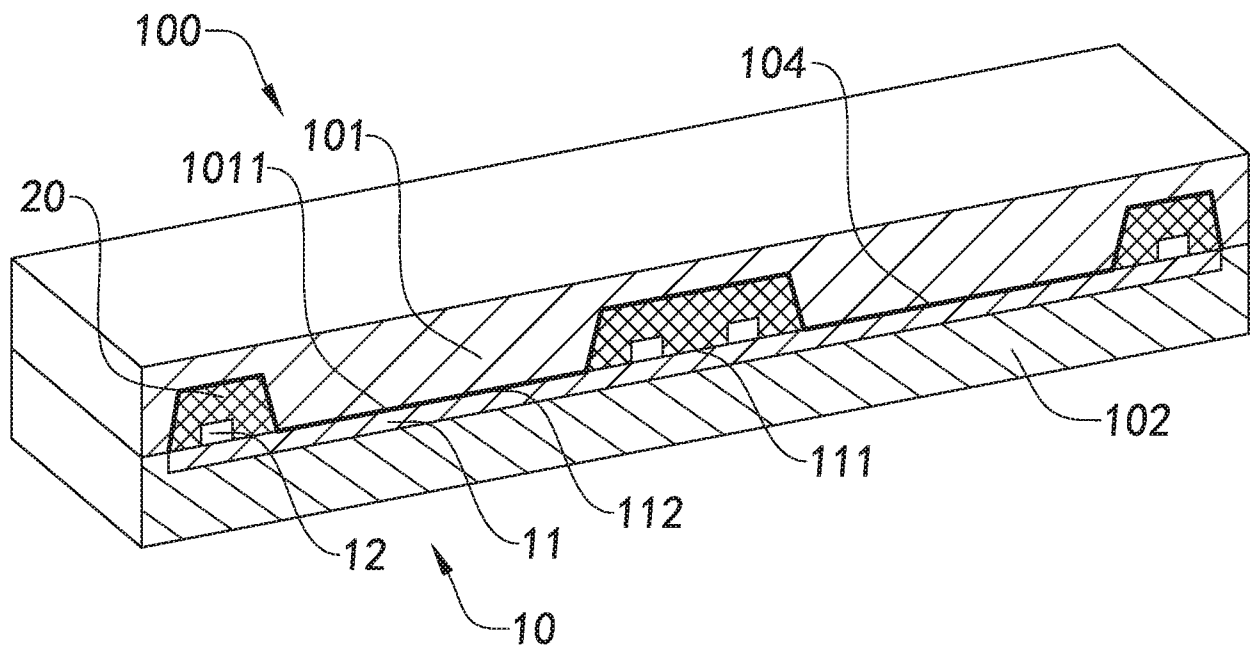


图7

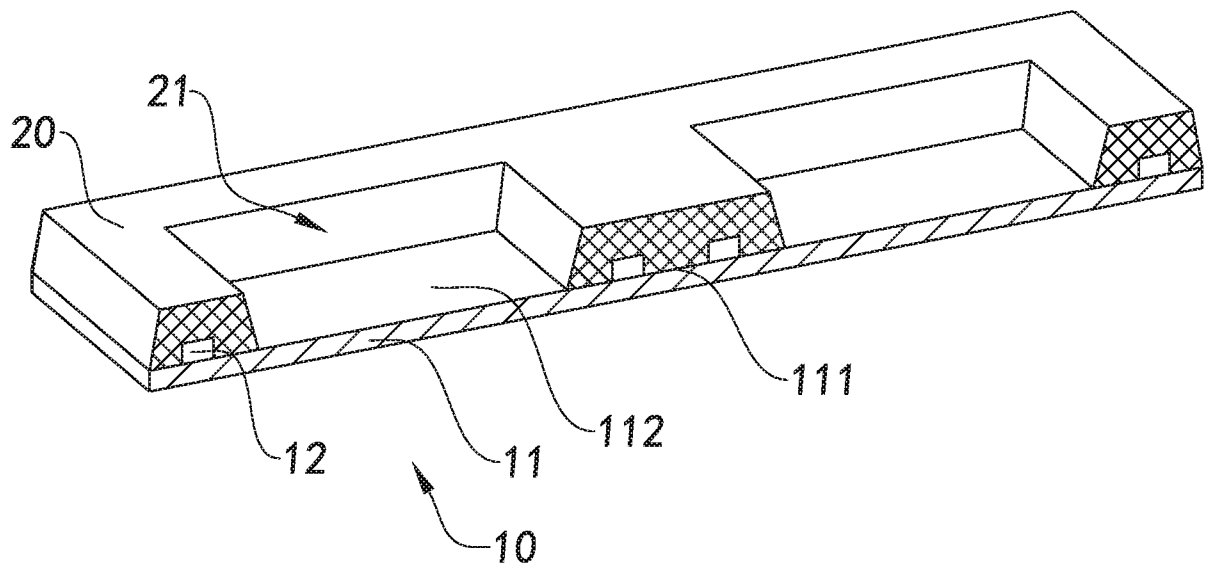


图8

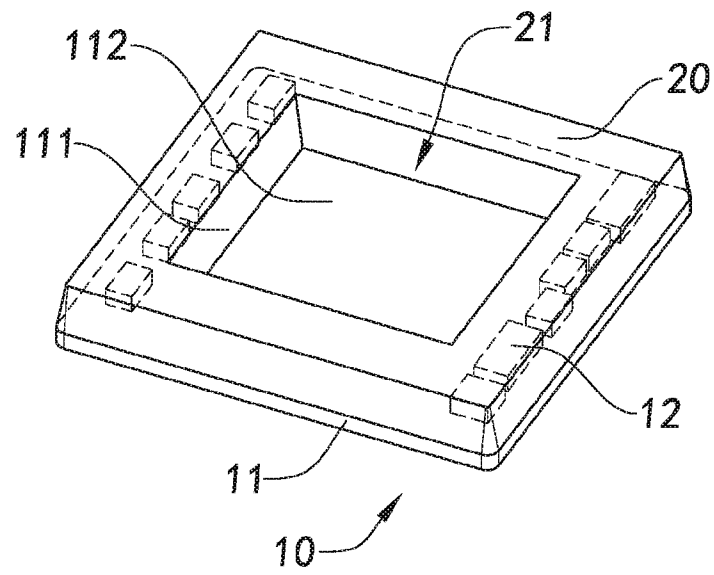


图9

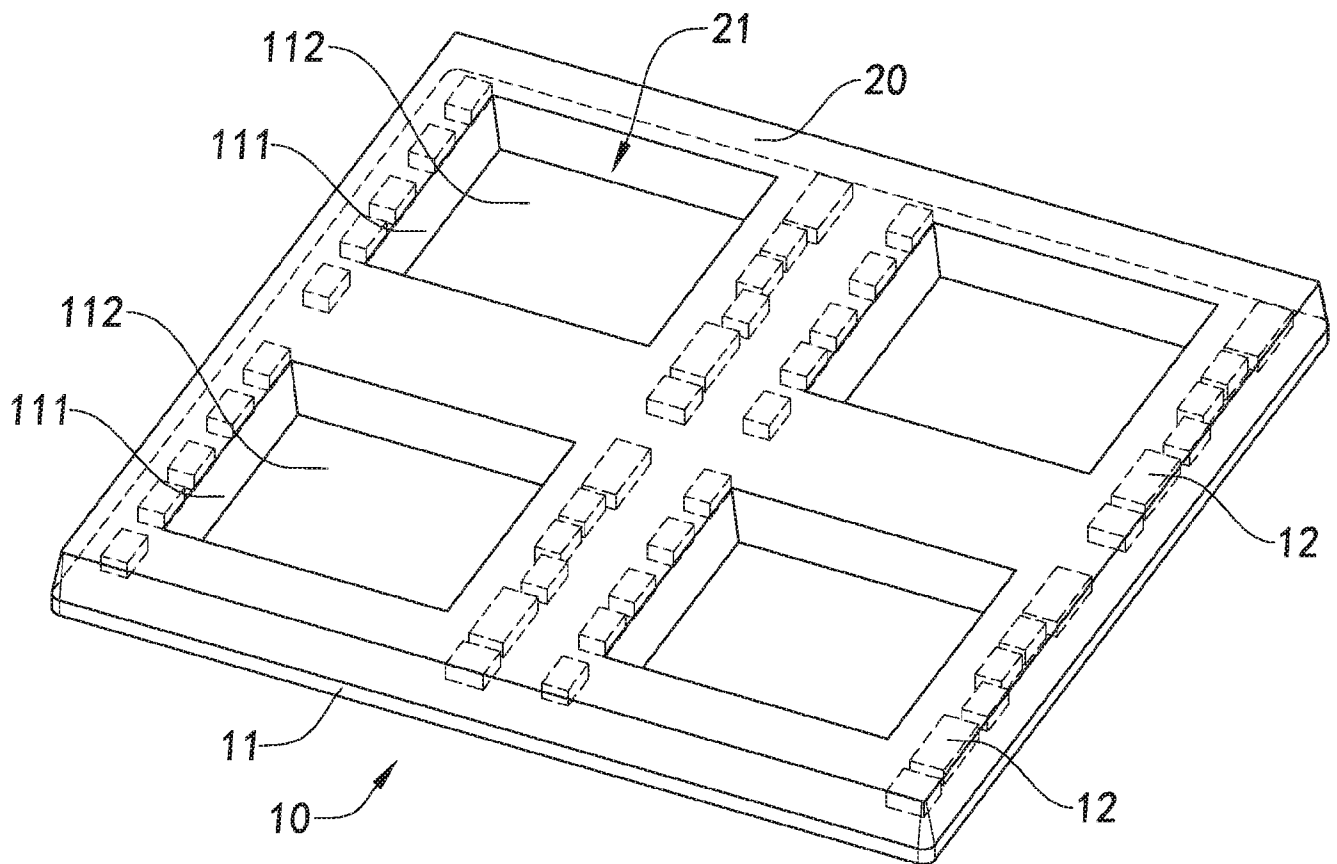


图10

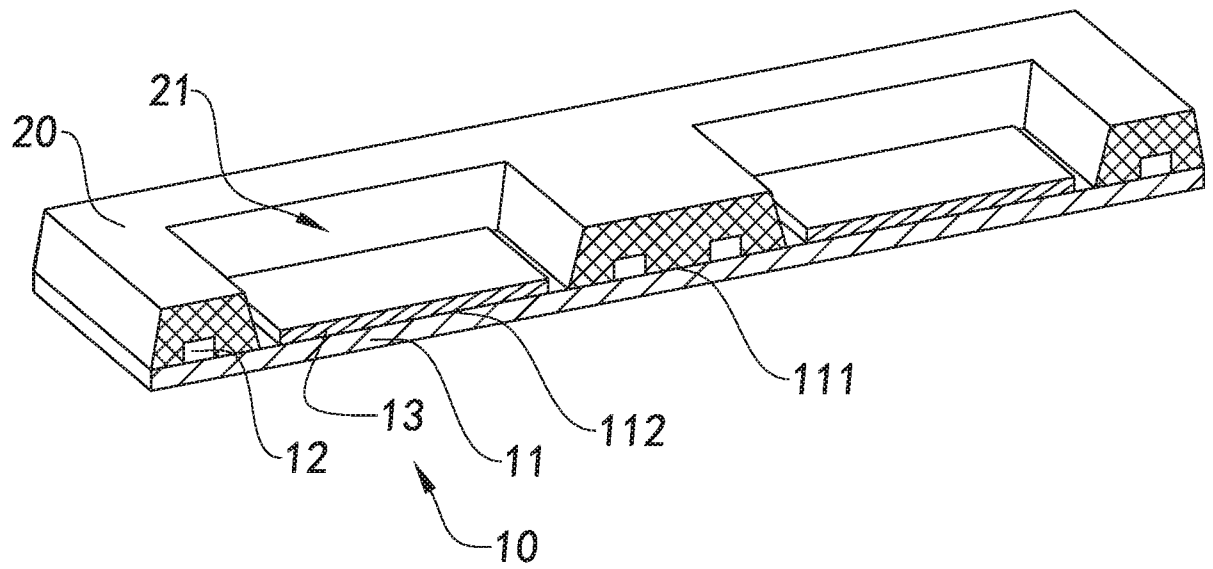


图11

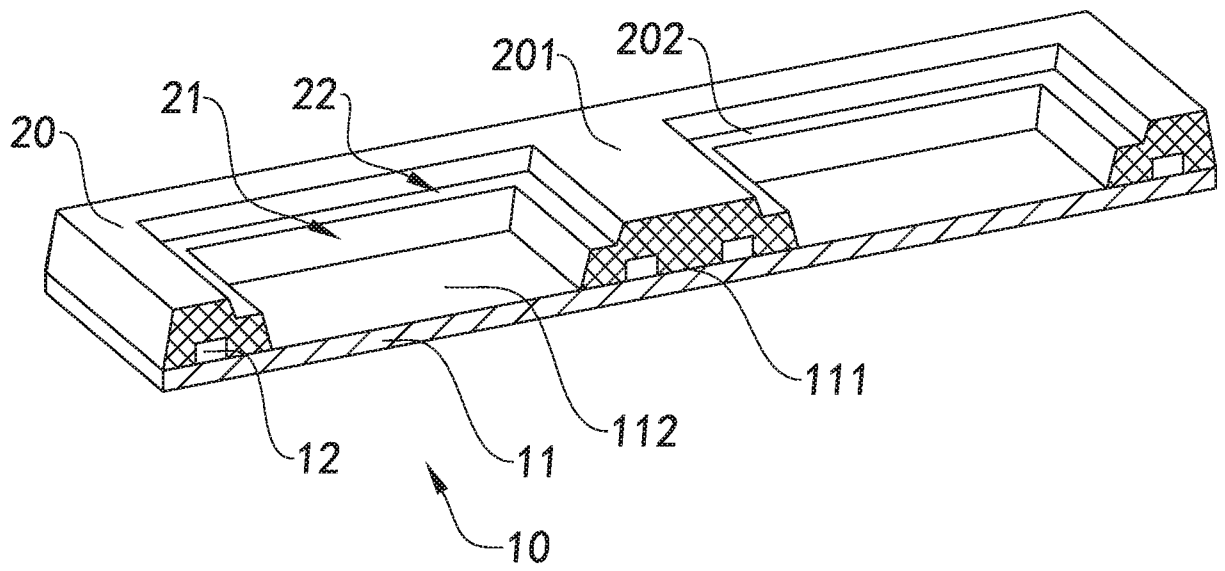


图12

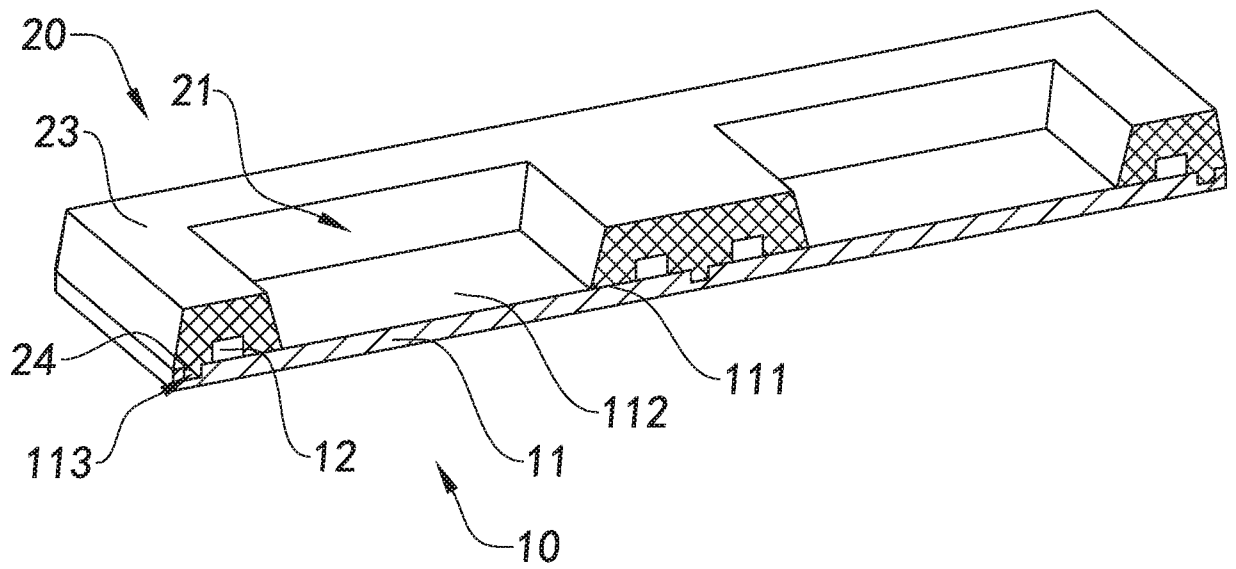


图13

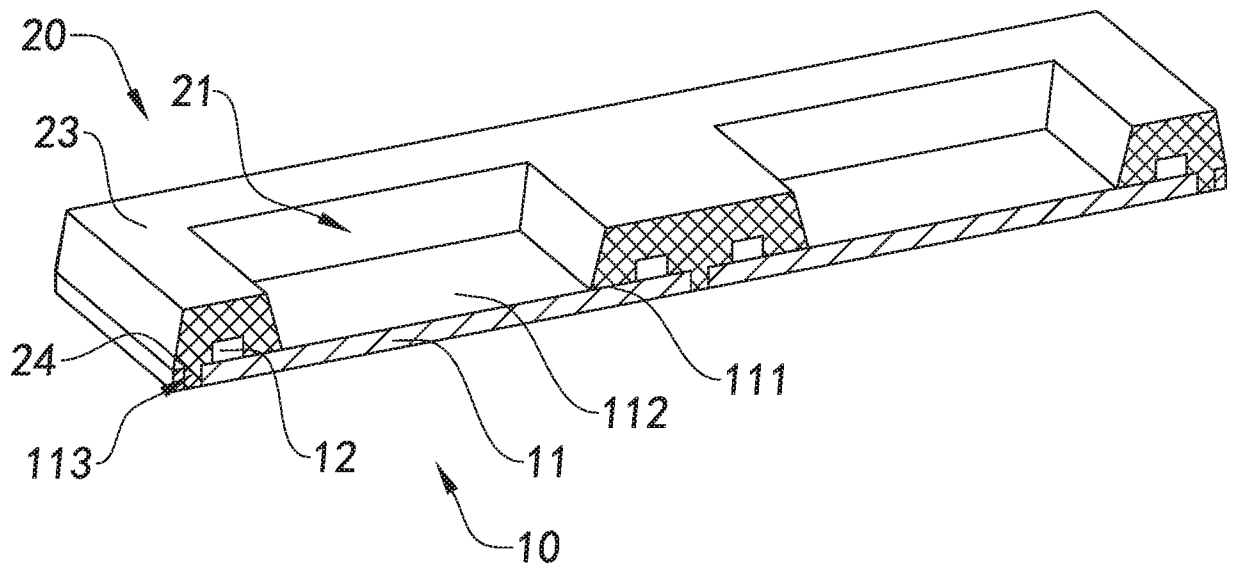


图14

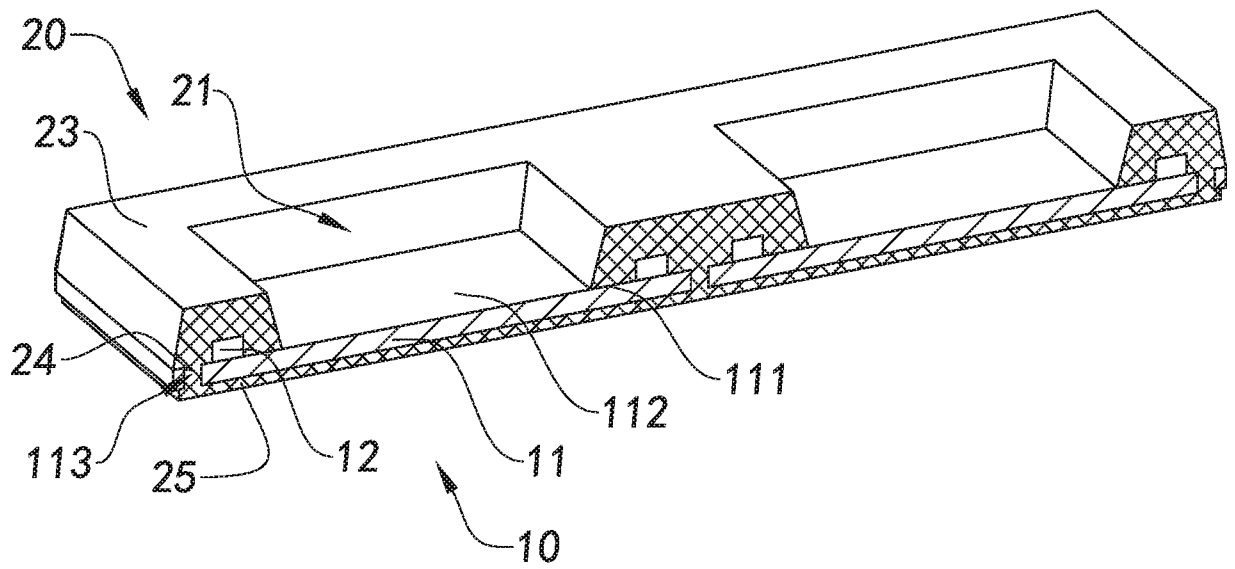


图15

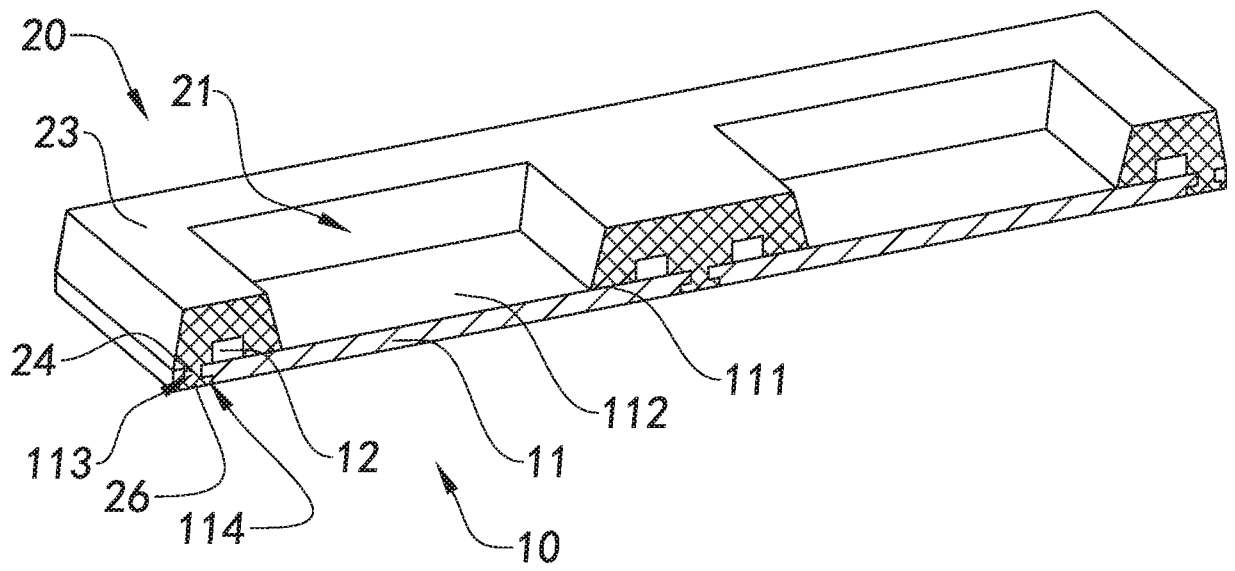


图16

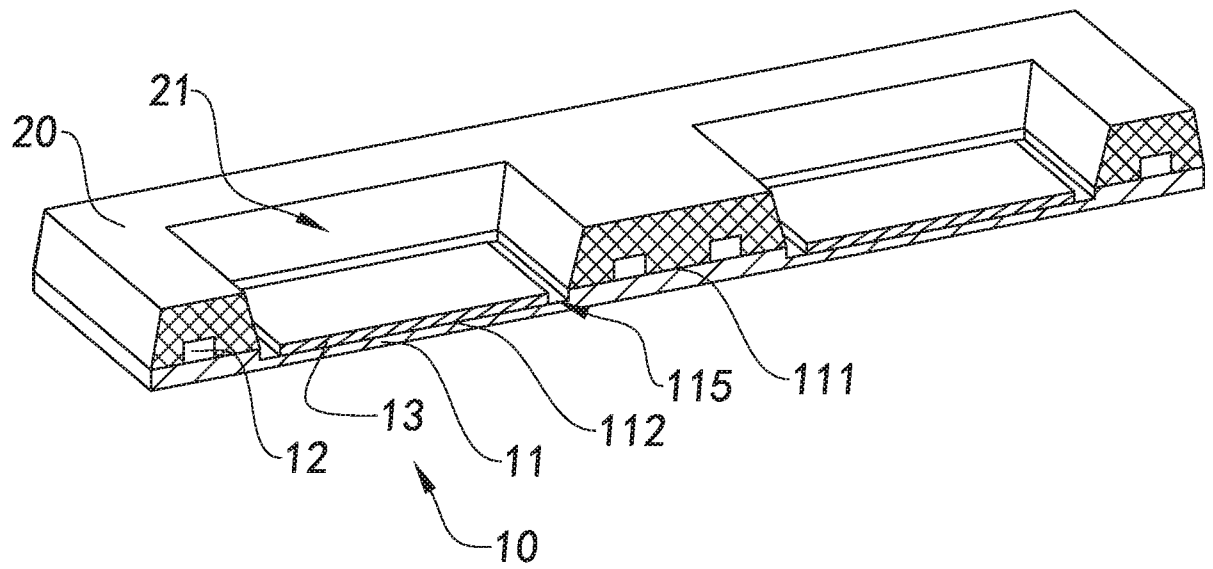


图17

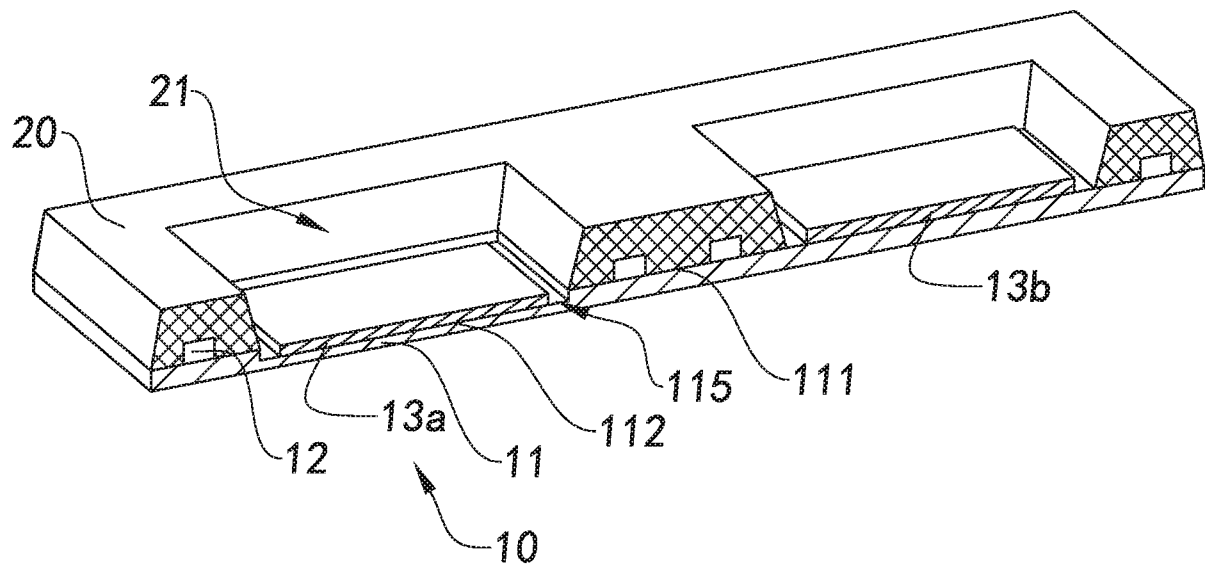


图18

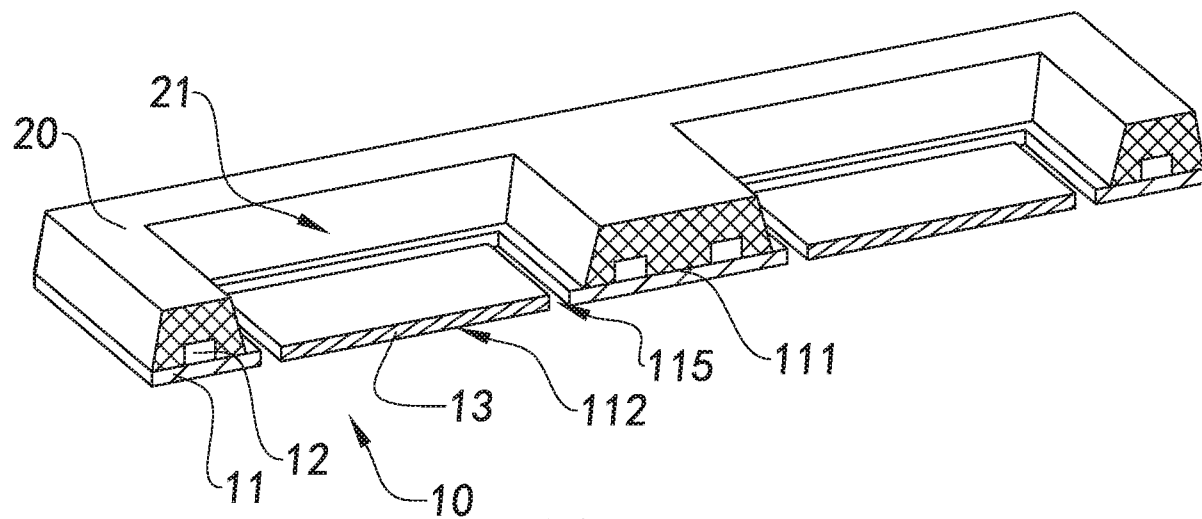


图19

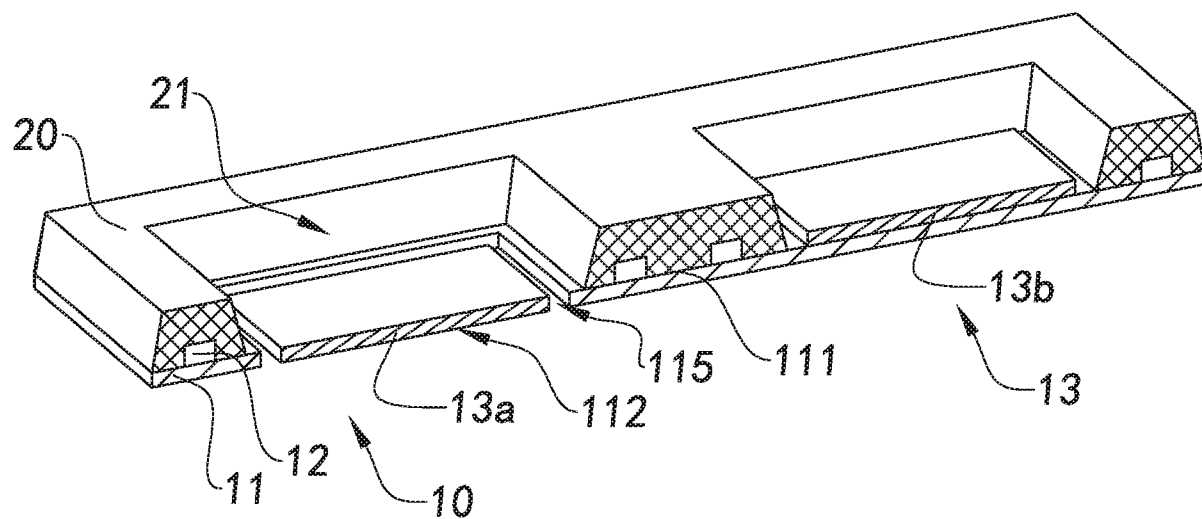


图20

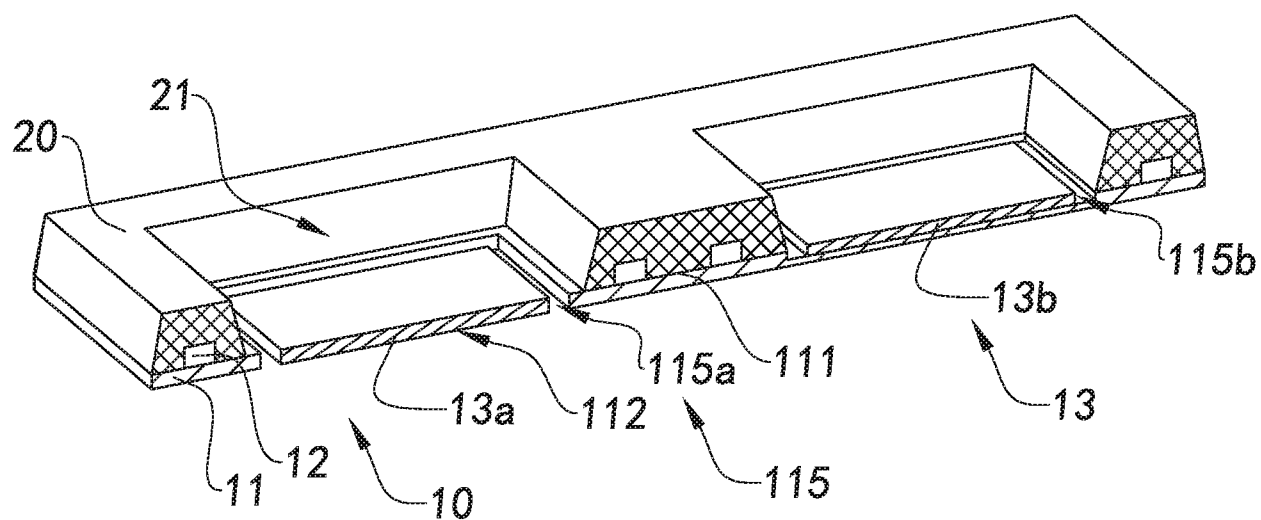


图21

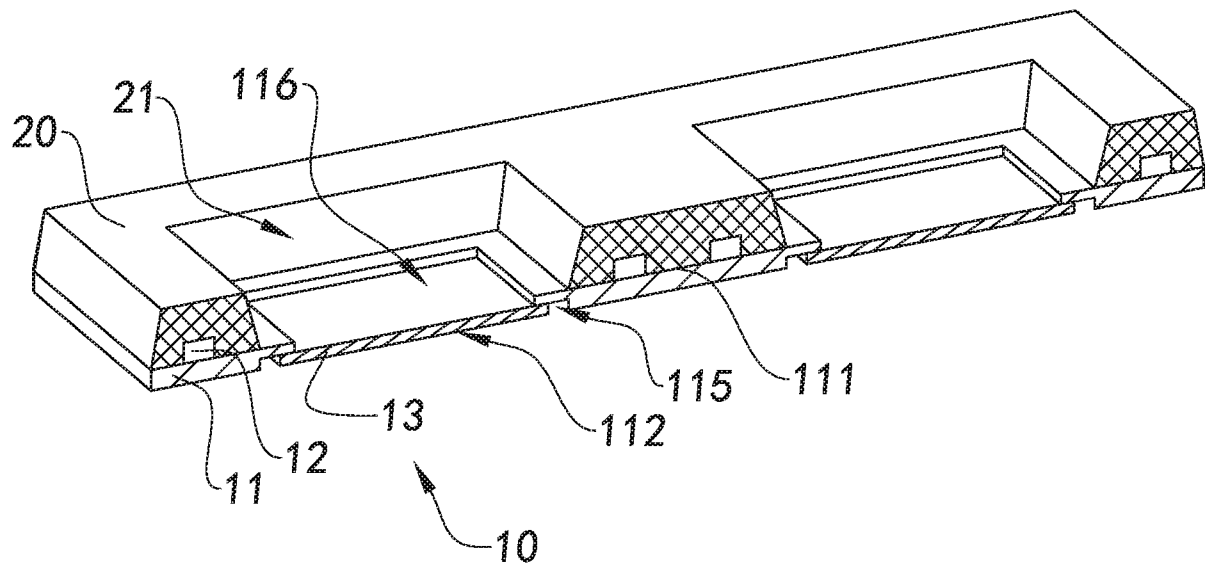


图22

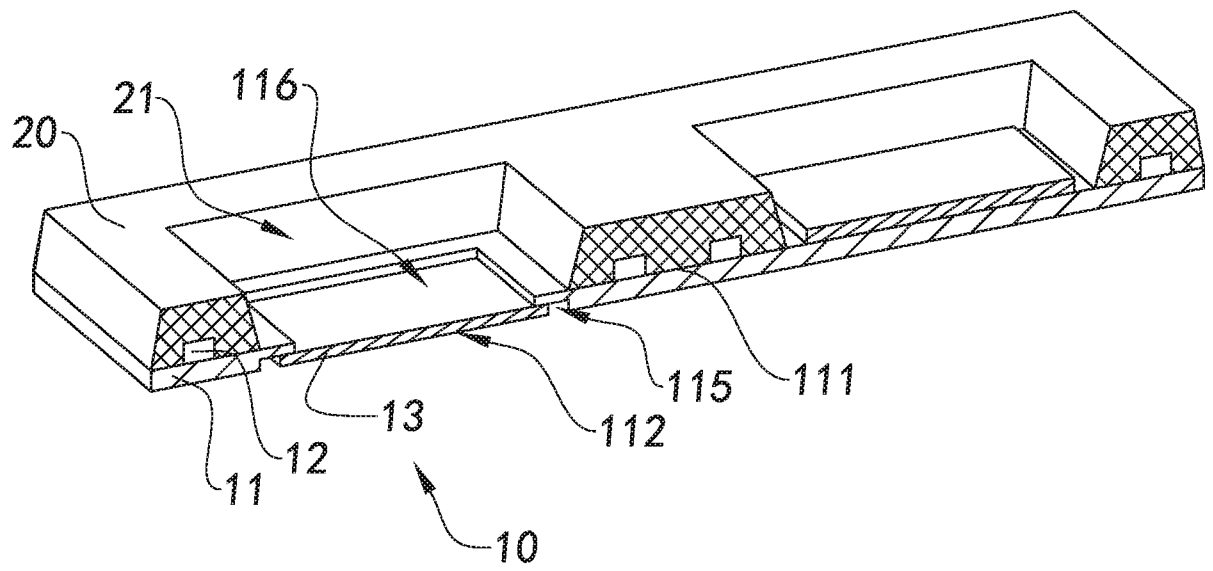


图23

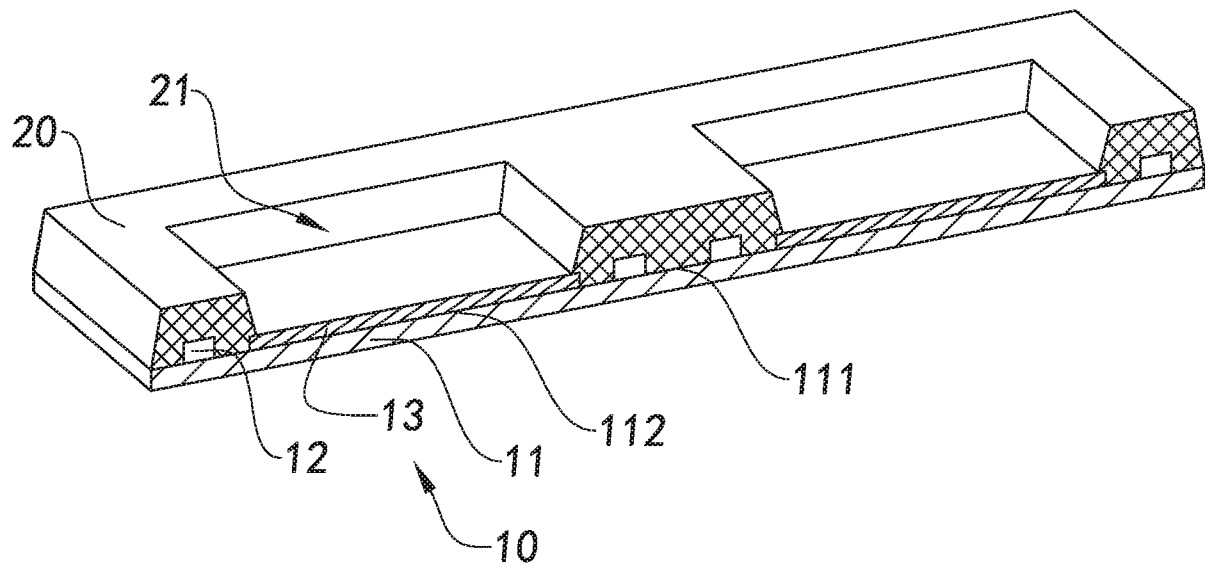


图24

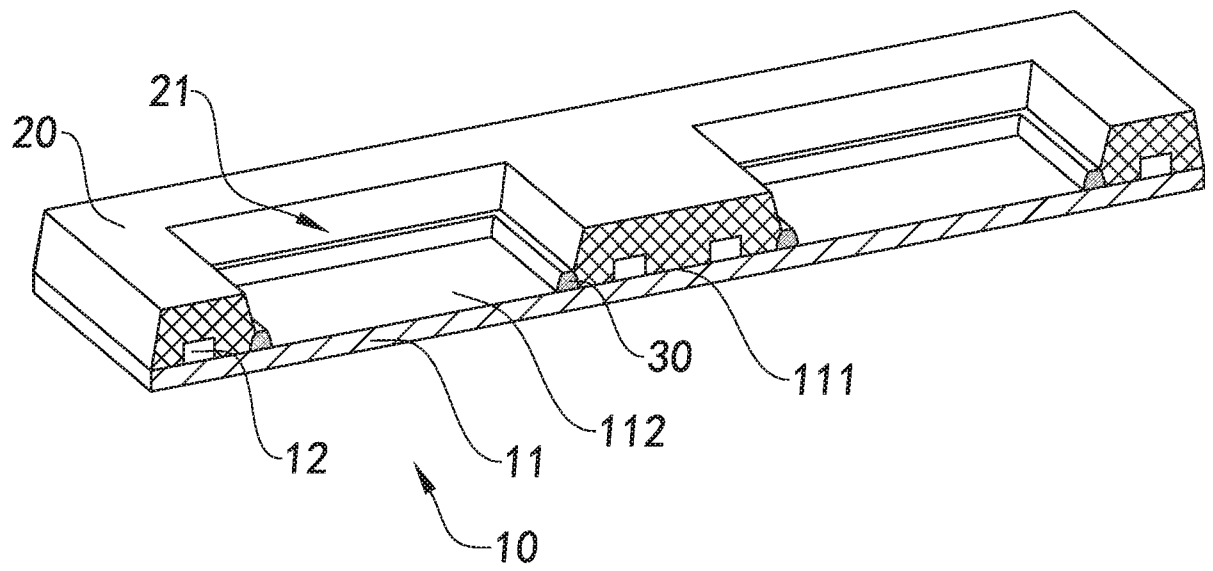


图25

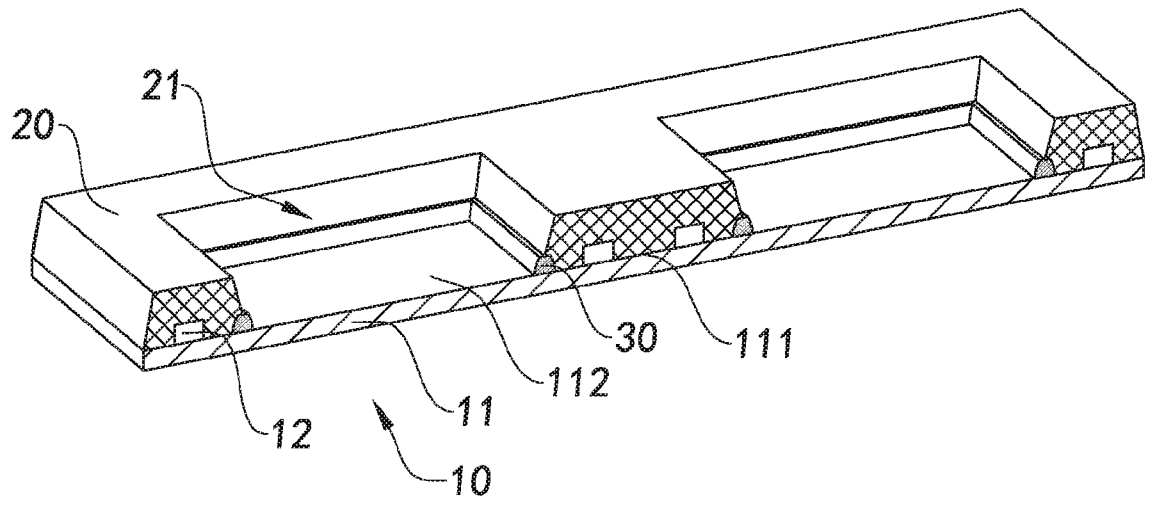


图26

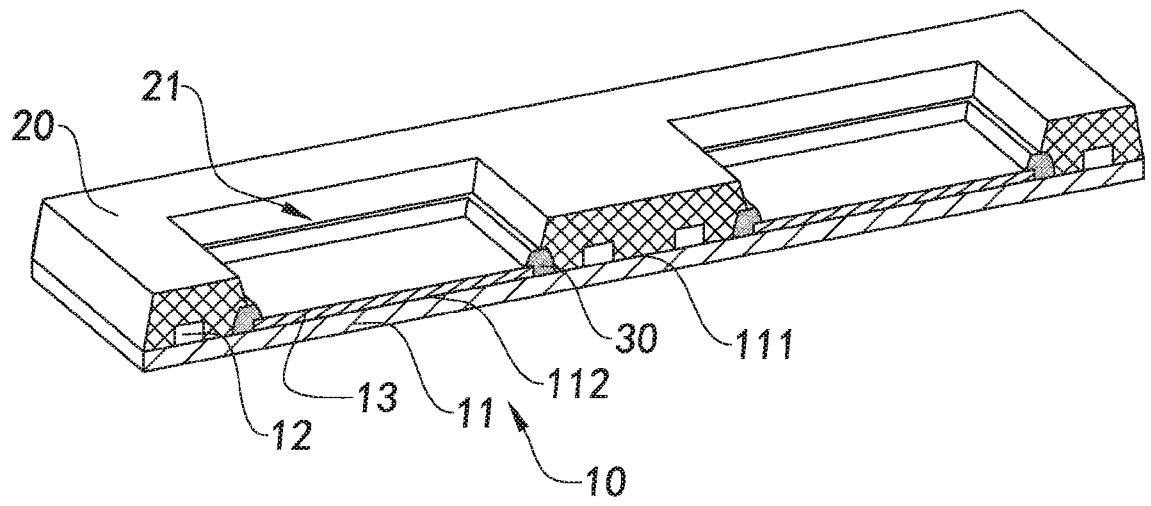


图27

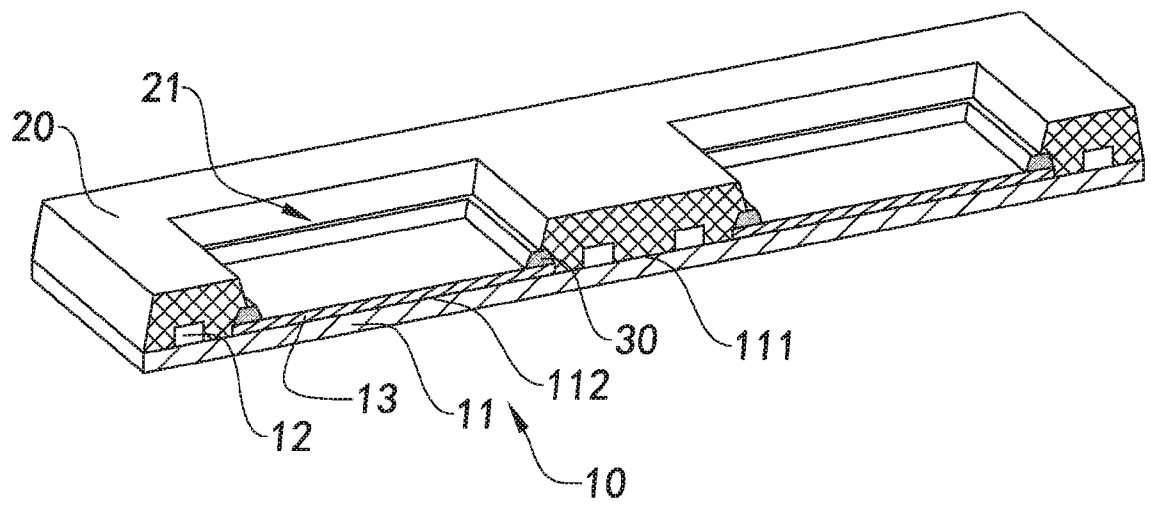


图28

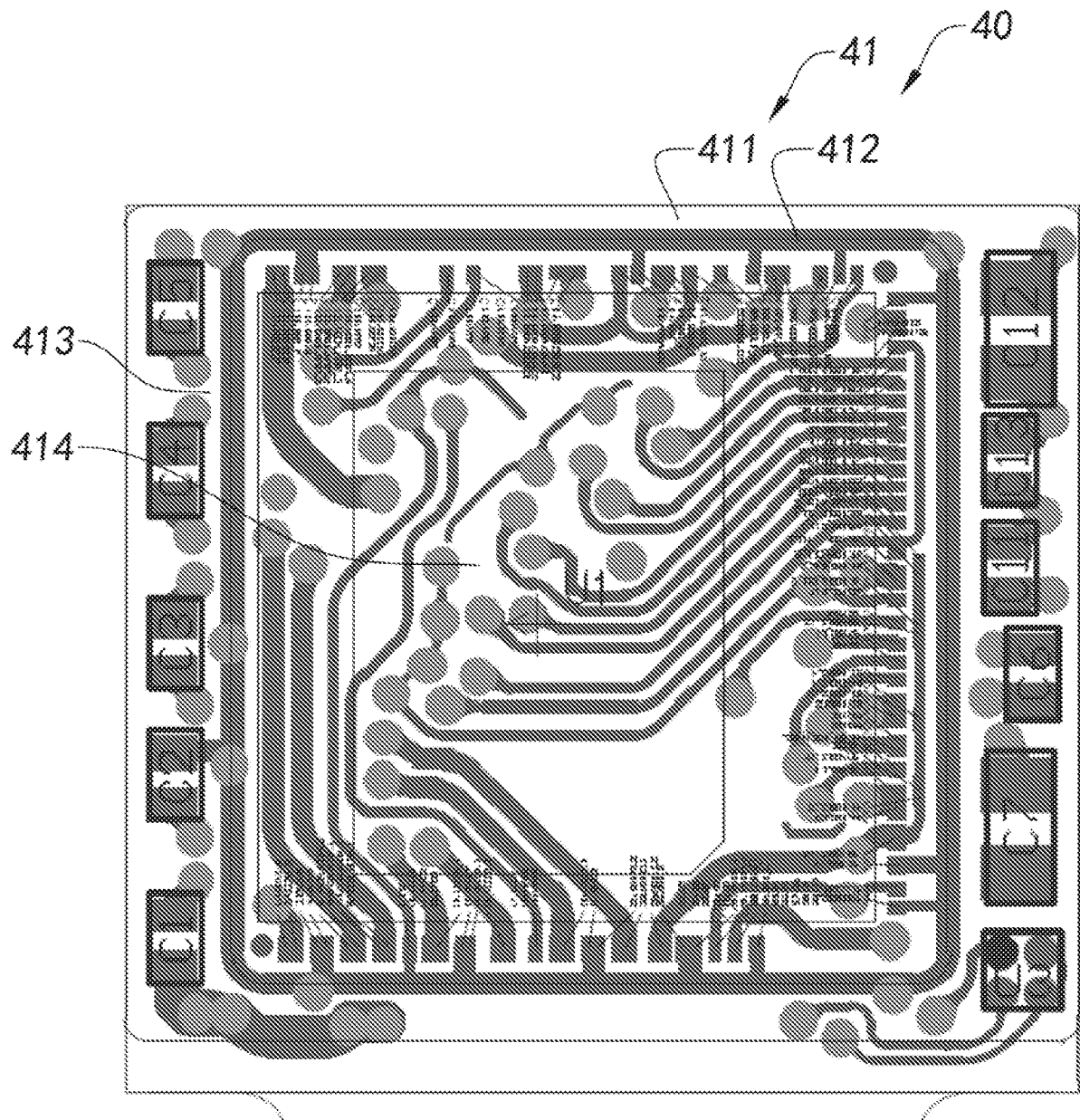


图 29

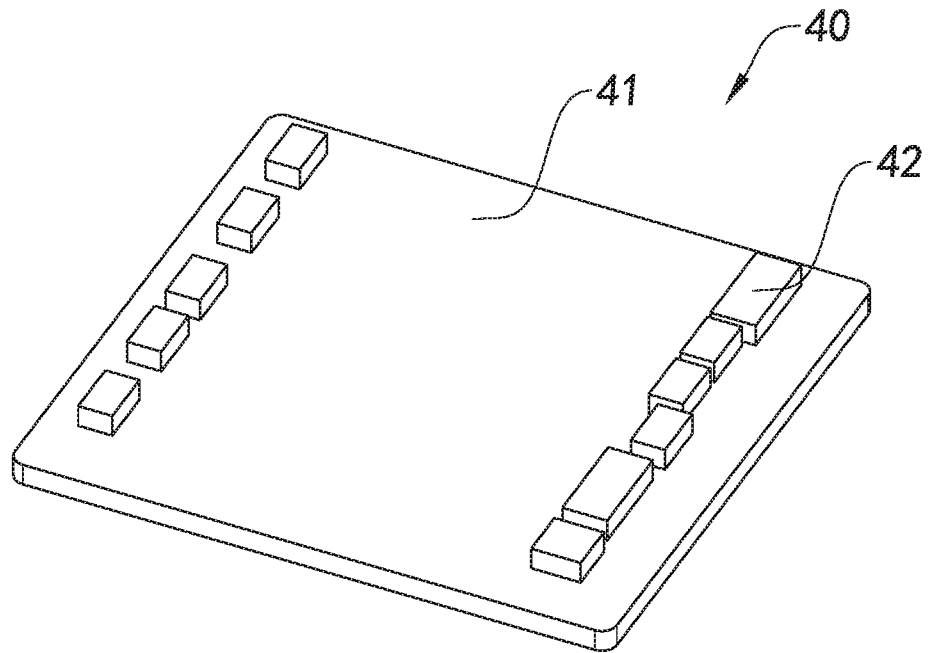


图30A

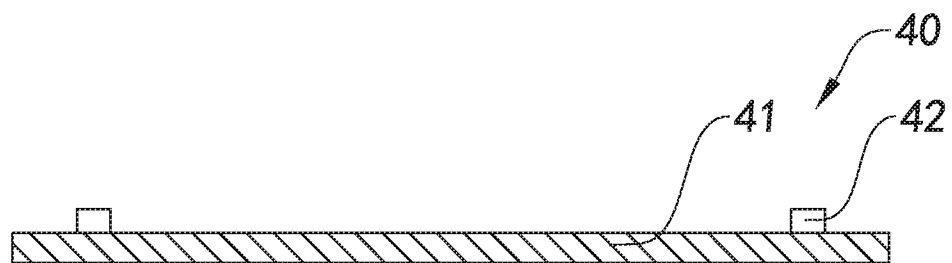


图30B

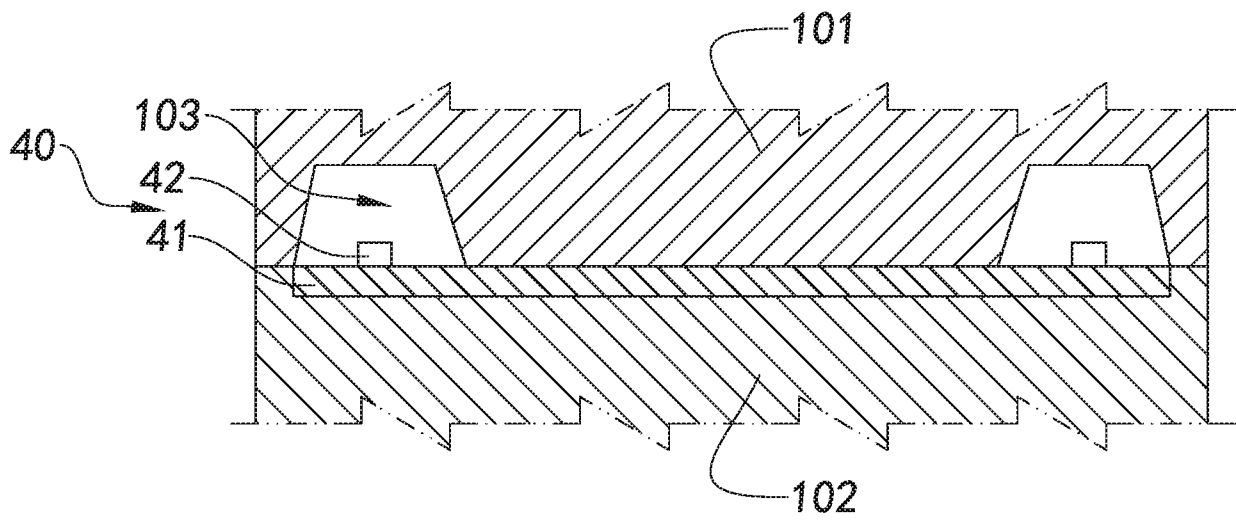


图31A

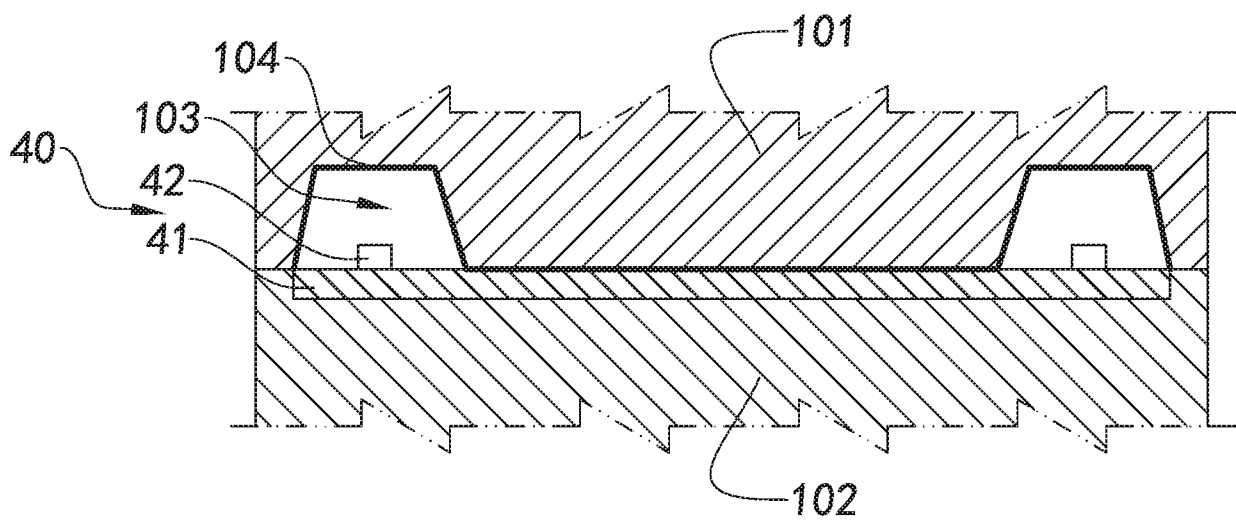


图31B

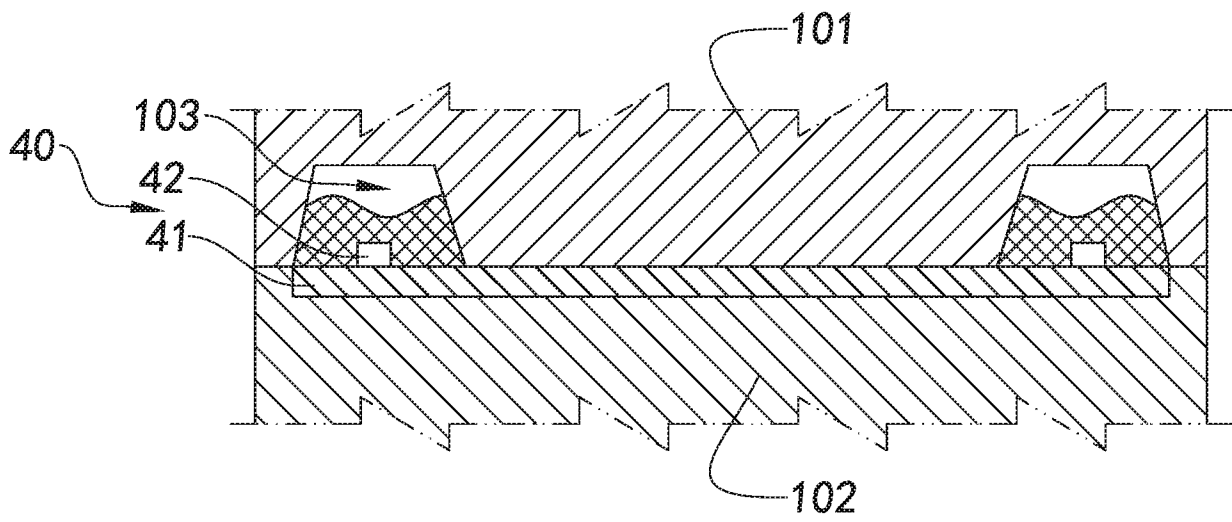


图32

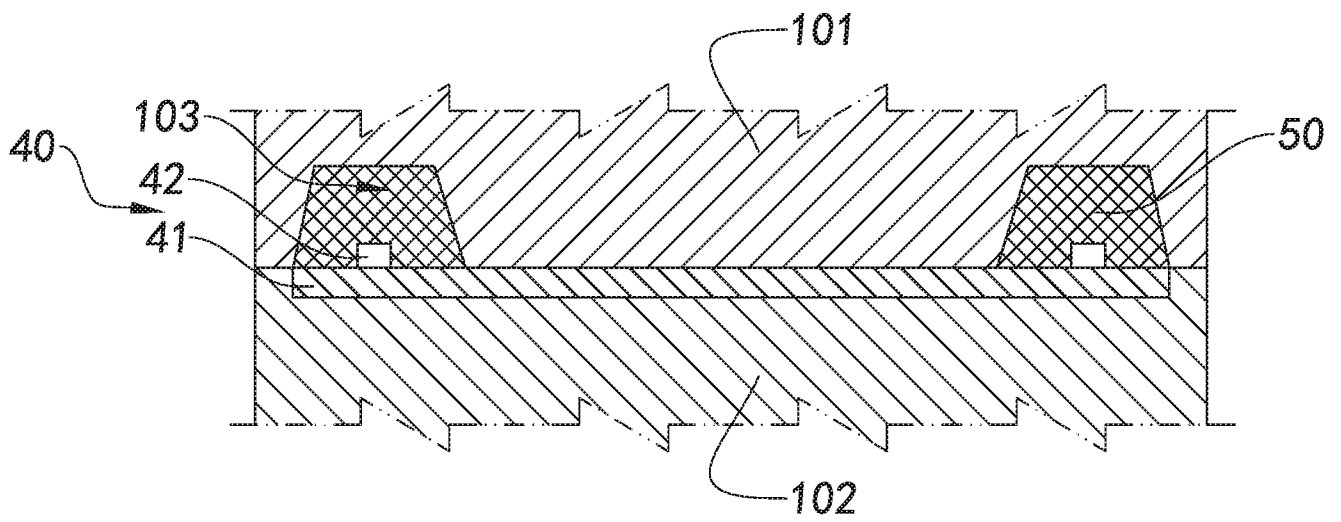


图33

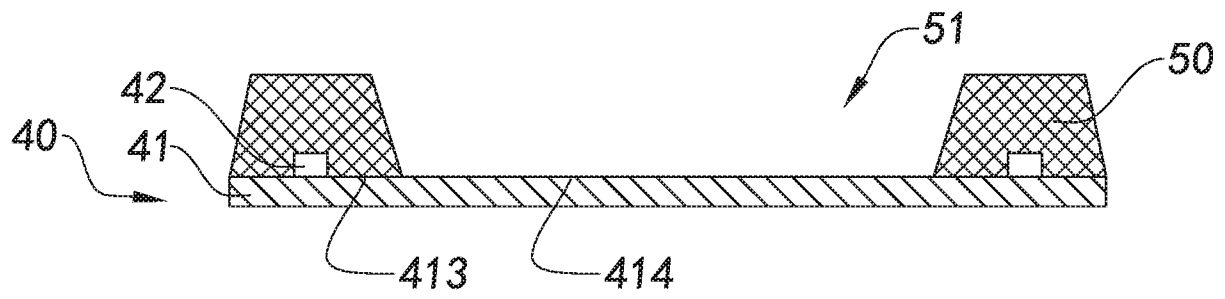


图34A

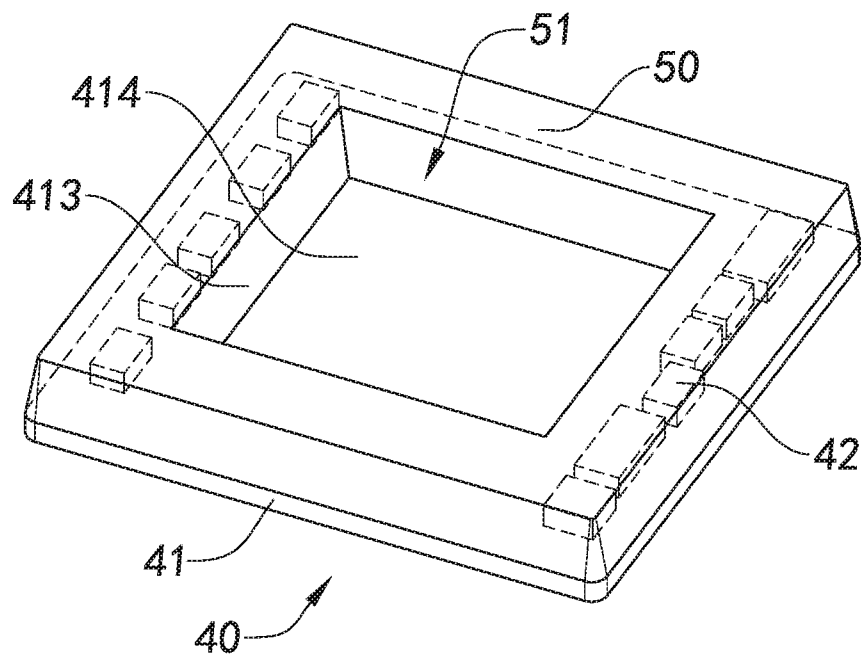


图34B

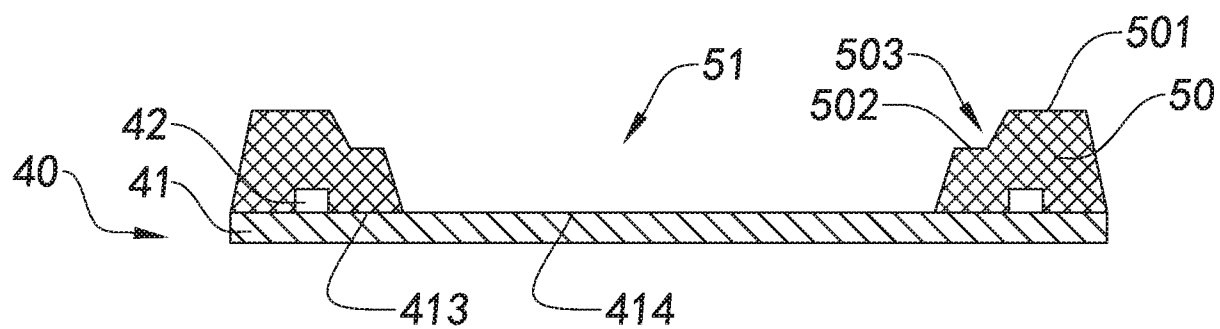


图35

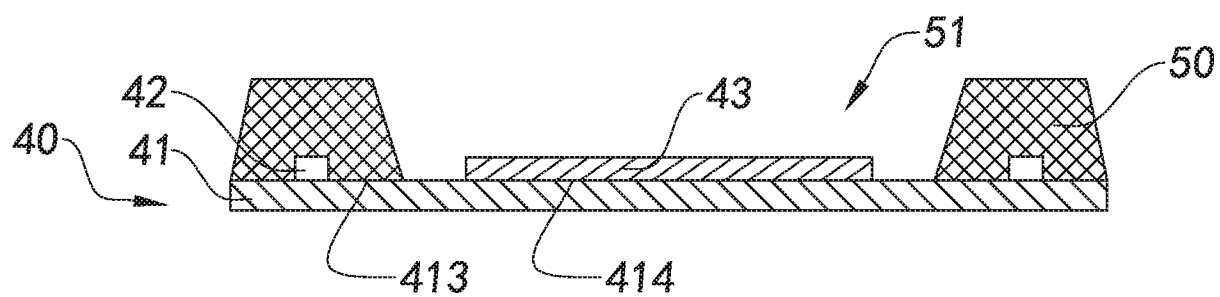


图36

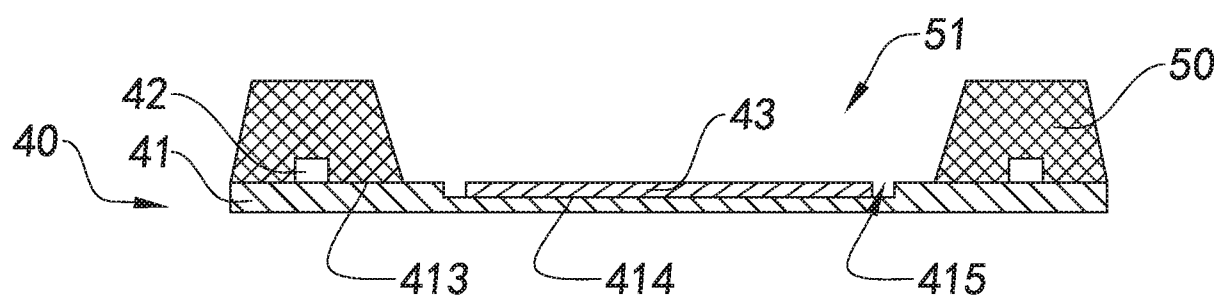


图37

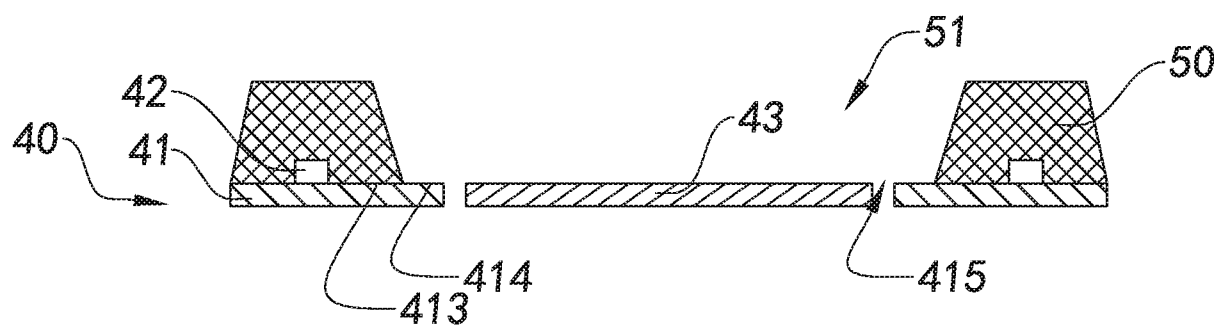


图38

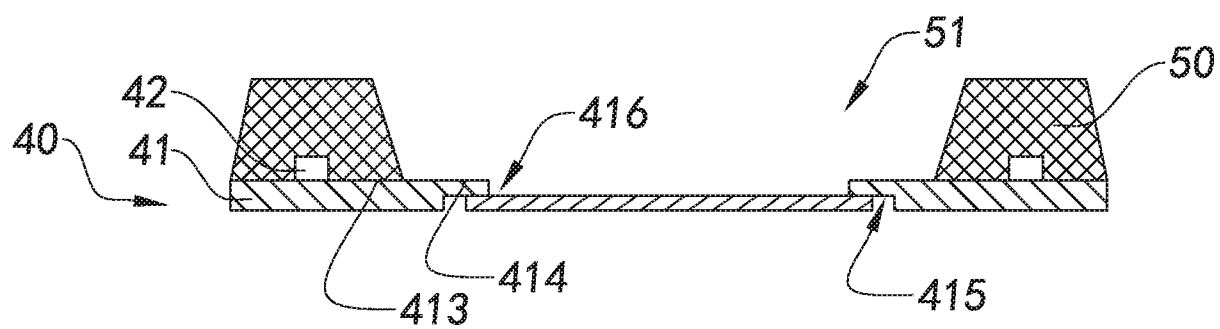


图39

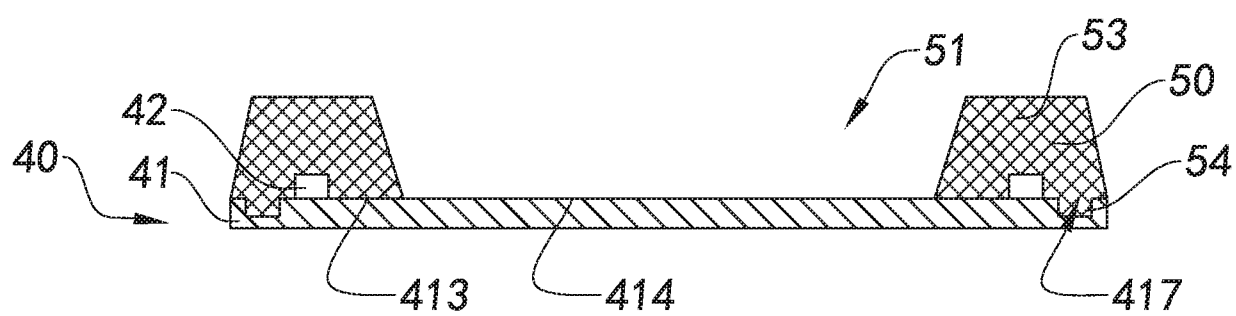


图40

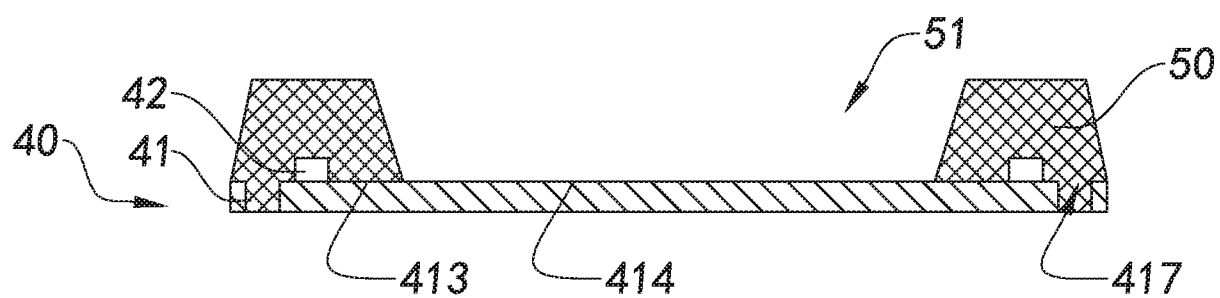


图41

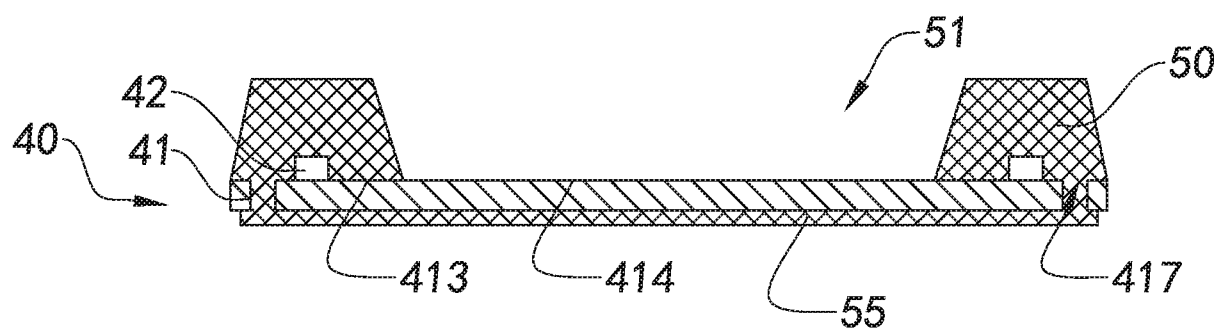


图42

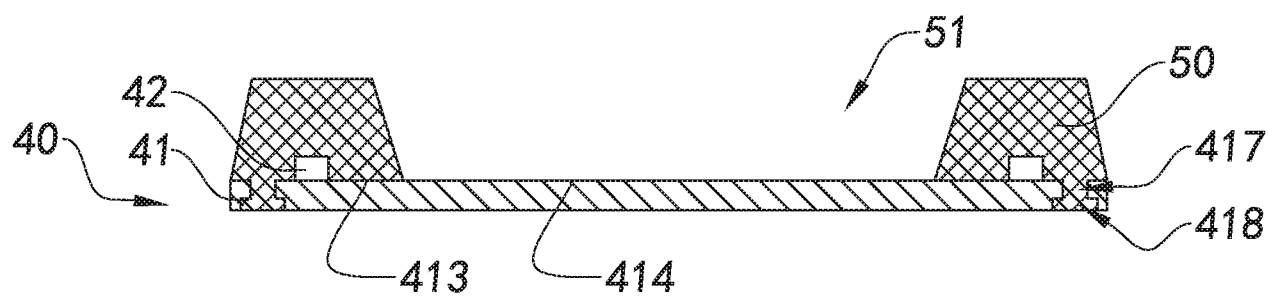


图43

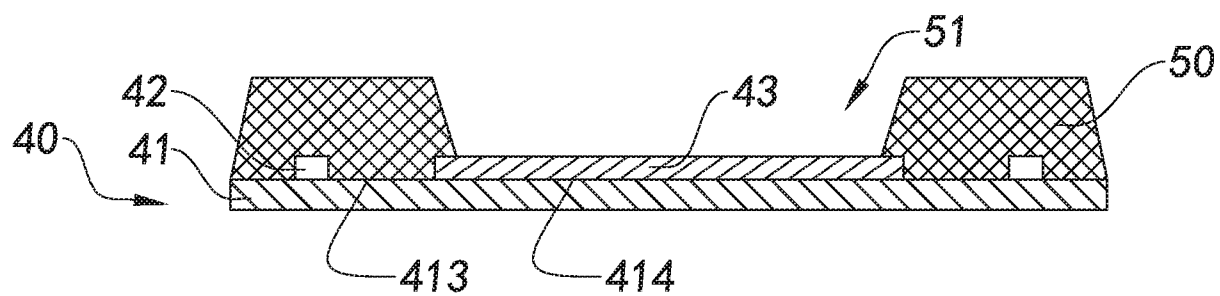


图44

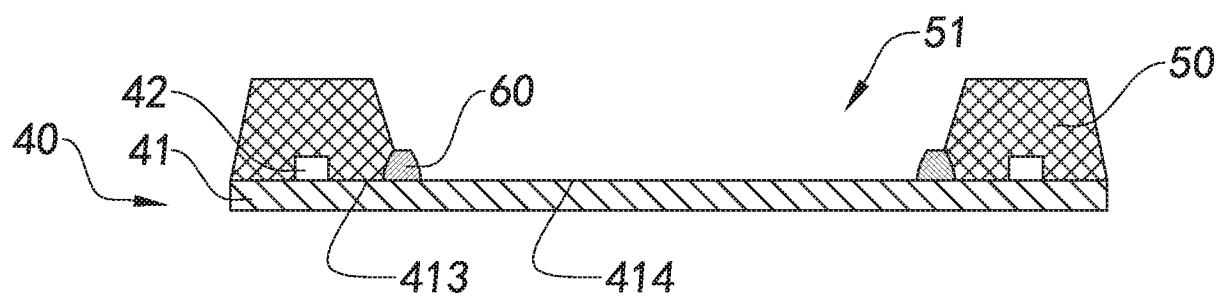


图45

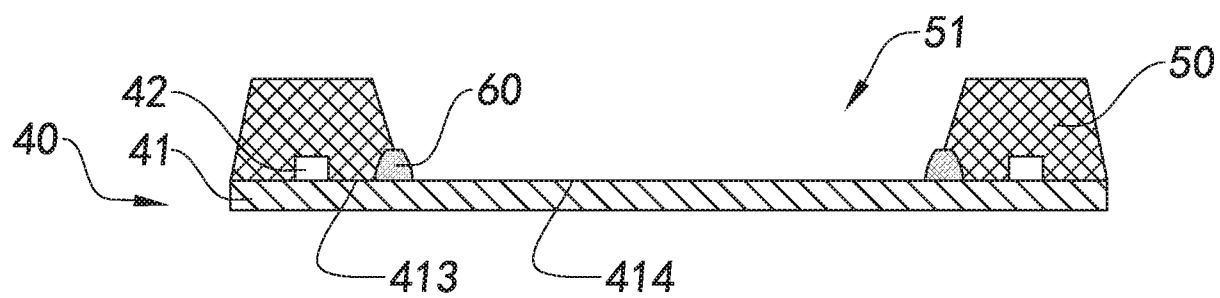


图46

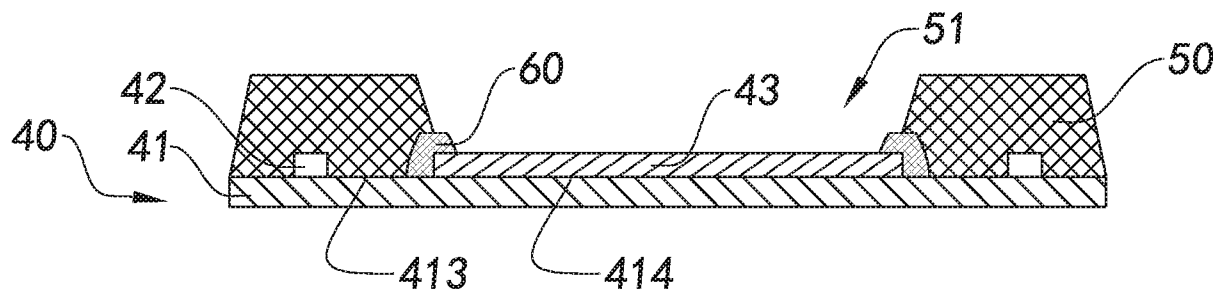


图47

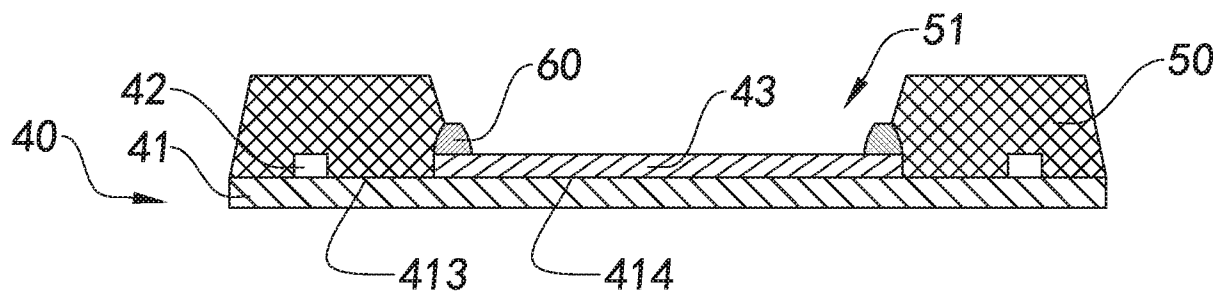


图48

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2018/072101

A. CLASSIFICATION OF SUBJECT MATTER

H05K 1/18 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H05K; H04N

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

WPI; CNKI; CNPAT; IEEE: 电路板, 开窗, 开口, 窗口, 包埋, 包覆, 元件, 芯片, 元器件, 模具, 框, 堤, 坝, 阻, 拦, PCB, board?, window?, opening?, embed+, seal+, +capsulat+, device?, chip?, die?, frame?, dam?, block+

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 105721754 A (NINGBO SUNNY OPTICAL TECHNOLOGY CO., LTD.) 29 June 2016 (29.06.2016), description, paragraphs [0056]-[0066], and figures 3D, 3E and 4B	1-6, 13-22, 27-34, 38-51
Y	CN 105721754 A (NINGBO SUNNY OPTICAL TECHNOLOGY CO., LTD.) 29 June 2016 (29.06.2016), description, paragraphs [0056]-[0066], and figures 3D, 3E and 4B	7-12, 23-26, 35-37, 52, 53
Y	CN 105681640 A (NINGBO SUNNY OPTICAL TECHNOLOGY CO., LTD.) 15 June 2016 (15.06.2016), description, paragraphs [0091]-[0106], and figures 6-8	7-12, 23-26, 35-37, 52, 53
A	US 2016192497 A1 (SAMSUNG ELECTRO-MECHANICS CO., LTD.) 30 June 2016 (30.06.2016), entire document	1-53
A	JP 2007059846 A (MATSUSHITA ELECTRIC WORKS LTD.) 08 March 2007 (08.03.2007), entire document	1-53

☒ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“A” document defining the general state of the art which is not considered to be of particular relevance	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“E” earlier application or patent but published on or after the international filing date	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“&” document member of the same patent family
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 08 April 2018	Date of mailing of the international search report 16 April 2018
Name and mailing address of the ISA State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No. (86-10) 62019451	Authorized officer LAI, Fengping Telephone No. (86-10) 53961228

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2018/072101

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 206698499 U (NINGBO SUNNY OPTICAL TECHNOLOGY CO., LTD.) 01 December 2017 (01.12.2017), description, paragraphs [0009]-[0139], and figures 1-28	1-53

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2018/072101

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 105721754 A	29 June 2016	None	
CN 105681640 A	15 June 2016	US 9781323 B1	03 October 2017
		US 2018048798 A1	15 February 2018
		US 2017280027 A1	28 September 2017
US 2016192497 A1	30 June 2016	KR 20160082286 A	08 July 2016
JP 2007059846 A	08 March 2007	JP 4175351 B2	05 November 2008
CN 206698499 U	01 December 2017	None	

国际检索报告

国际申请号

PCT/CN2018/072101

A. 主题的分类 H05K 1/18(2006.01) i 按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类																							
B. 检索领域 检索的最低限度文献(标明分类系统和分类号) H05K; H04N 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用)) WPI;CNKI;CNPAT;IEEE: 电路板, 开窗, 开口, 窗口, 包埋, 包覆, 元件, 芯片, 元器件, 模具, 框, 堤, 坝, 阻, 拦, PCB, board?, window?, opening?, embed+, seal+, +capsulat+, device?, chip?, die?, frame?, dam?, block+																							
C. 相关文件 <table border="1"> <thead> <tr> <th>类 型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>X</td> <td>CN 105721754 A (宁波舜宇光电子信息有限公司) 2016年 6月 29日 (2016 - 06 - 29) 说明书第[0056]-[0066]段、图3D, 3E, 4B</td> <td>1-6, 13-22, 27-34, 38-51</td> </tr> <tr> <td>Y</td> <td>CN 105721754 A (宁波舜宇光电子信息有限公司) 2016年 6月 29日 (2016 - 06 - 29) 说明书第[0056]-[0066]段、图3D, 3E, 4B</td> <td>7-12, 23-26, 35-37, 52, 53</td> </tr> <tr> <td>Y</td> <td>CN 105681640 A (宁波舜宇光电子信息有限公司) 2016年 6月 15日 (2016 - 06 - 15) 说明书第[0091]-[0106]段、图6-8</td> <td>7-12, 23-26, 35-37, 52, 53</td> </tr> <tr> <td>A</td> <td>US 2016192497 A1 (SAMSUNG ELECTRO-MECHANICS CO., LTD.) 2016年 6月 30日 (2016 - 06 - 30) 全文</td> <td>1-53</td> </tr> <tr> <td>A</td> <td>JP 2007059846 A (MATSUSHITA ELECTRIC WORKS LTD.) 2007年 3月 8日 (2007 - 03 - 08) 全文</td> <td>1-53</td> </tr> <tr> <td>PX</td> <td>CN 206698499 U (宁波舜宇光电子信息有限公司) 2017年 12月 1日 (2017 - 12 - 01) 说明书第[0009]-[0139]段、图1-28</td> <td>1-53</td> </tr> </tbody> </table>			类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求	X	CN 105721754 A (宁波舜宇光电子信息有限公司) 2016年 6月 29日 (2016 - 06 - 29) 说明书第[0056]-[0066]段、图3D, 3E, 4B	1-6, 13-22, 27-34, 38-51	Y	CN 105721754 A (宁波舜宇光电子信息有限公司) 2016年 6月 29日 (2016 - 06 - 29) 说明书第[0056]-[0066]段、图3D, 3E, 4B	7-12, 23-26, 35-37, 52, 53	Y	CN 105681640 A (宁波舜宇光电子信息有限公司) 2016年 6月 15日 (2016 - 06 - 15) 说明书第[0091]-[0106]段、图6-8	7-12, 23-26, 35-37, 52, 53	A	US 2016192497 A1 (SAMSUNG ELECTRO-MECHANICS CO., LTD.) 2016年 6月 30日 (2016 - 06 - 30) 全文	1-53	A	JP 2007059846 A (MATSUSHITA ELECTRIC WORKS LTD.) 2007年 3月 8日 (2007 - 03 - 08) 全文	1-53	PX	CN 206698499 U (宁波舜宇光电子信息有限公司) 2017年 12月 1日 (2017 - 12 - 01) 说明书第[0009]-[0139]段、图1-28	1-53
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求																					
X	CN 105721754 A (宁波舜宇光电子信息有限公司) 2016年 6月 29日 (2016 - 06 - 29) 说明书第[0056]-[0066]段、图3D, 3E, 4B	1-6, 13-22, 27-34, 38-51																					
Y	CN 105721754 A (宁波舜宇光电子信息有限公司) 2016年 6月 29日 (2016 - 06 - 29) 说明书第[0056]-[0066]段、图3D, 3E, 4B	7-12, 23-26, 35-37, 52, 53																					
Y	CN 105681640 A (宁波舜宇光电子信息有限公司) 2016年 6月 15日 (2016 - 06 - 15) 说明书第[0091]-[0106]段、图6-8	7-12, 23-26, 35-37, 52, 53																					
A	US 2016192497 A1 (SAMSUNG ELECTRO-MECHANICS CO., LTD.) 2016年 6月 30日 (2016 - 06 - 30) 全文	1-53																					
A	JP 2007059846 A (MATSUSHITA ELECTRIC WORKS LTD.) 2007年 3月 8日 (2007 - 03 - 08) 全文	1-53																					
PX	CN 206698499 U (宁波舜宇光电子信息有限公司) 2017年 12月 1日 (2017 - 12 - 01) 说明书第[0009]-[0139]段、图1-28	1-53																					
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。																							
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件																							
国际检索实际完成的日期		国际检索报告邮寄日期																					
2018年 4月 8日		2018年 4月 16日																					
ISA/CN的名称和邮寄地址		受权官员																					
中华人民共和国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451		赖风平 电话号码 (86-10)010-53961228																					

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2018/072101

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	105721754	A	2016年 6月 29日	无			
CN	105681640	A	2016年 6月 15日	US	9781323	B1	2017年 10月 3日
				US	2018048798	A1	2018年 2月 15日
				US	2017280027	A1	2017年 9月 28日
US	2016192497	A1	2016年 6月 30日	KR	20160082286	A	2016年 7月 8日
JP	2007059846	A	2007年 3月 8日	JP	4175351	B2	2008年 11月 5日
CN	206698499	U	2017年 12月 1日	无			