



- (21) 申請案號：111146928 (22) 申請日：中華民國 111 (2022) 年 12 月 07 日
- (51) Int. Cl. : *H01L23/522 (2006.01)* *H01L23/28 (2006.01)*
H01L21/56 (2006.01) *H01L21/20 (2006.01)*
- (30) 優先權：2022/01/07 美國 63/266,523
 2022/05/24 美國 17/752,272
- (71) 申請人：台灣積體電路製造股份有限公司 (中華民國) TAIWAN SEMICONDUCTOR
 MANUFACTURING COMPANY, LTD. (TW)
 新竹市力行六路八號
- (72) 發明人：江侑澈 CHIANG, YI-CHE (TW)；陳建勳 CHEN, CHIEN-HSUN (TW)；洪端佑
 HUNG, TUAN-YU (TW)；潘信瑜 PAN, HSIN-YU (TW)；謝濶岡 HSIEH, WEI-
 KANG (TW)；江宗憲 CHIANG, TSUNG-HSIEN (TW)；黃朝先 HUANG, CHAO-
 HSIEN (TW)；黃子松 HUANG, TZU-SUNG (TW)；曾明鴻 TSENG, MING-HUNG
 (TW)；陳韋志 CHEN, WEI-CHIH (TW)；吳邦立 WU, BAN-LI (TW)；蔡豪益 TSAI,
 HAO-YI (TW)；胡毓祥 HU, YU-HSIANG (TW)；劉重希 LIU, CHUNG-SHI (TW)
- (74) 代理人：卓俊傑
- (56) 參考文獻：
 TW 201830639A TW 201836109A
 TW 201911503A
- 審查人員：朱啓信
- 申請專利範圍項數：10 項 圖式數：37 共 110 頁

(54) 名稱

半導體封裝及其製造方法

(57) 摘要

一種製造半導體封裝的方法包括在載體基底之上沈積第一介電層。在第一介電層之上形成第一金屬化圖案。第一金屬化圖案具有暴露出第一介電層的第一開口。在第一金屬化圖案之上沈積第二介電層，從而藉由填充第一開口來形成穿過第一金屬化圖案的介電槽。在第二介電層之上形成第二金屬化圖案及第三介電層。在第三介電層之上形成穿孔，以使得介電槽在側向上位於穿孔下方。

A method of manufacturing a semiconductor package includes depositing a first dielectric layer over a carrier substrate. A first metallization pattern is formed over the first dielectric layer. The first metallization pattern has a first opening exposing the first dielectric layer. A second dielectric layer is deposited over the first metallization pattern, forming a dielectric slot through the first metallization pattern by filling the first opening. A second metallization pattern and a third dielectric layer are formed over the second dielectric layer. A through via is formed over the third dielectric layer, so that the dielectric slot is laterally under the through via.

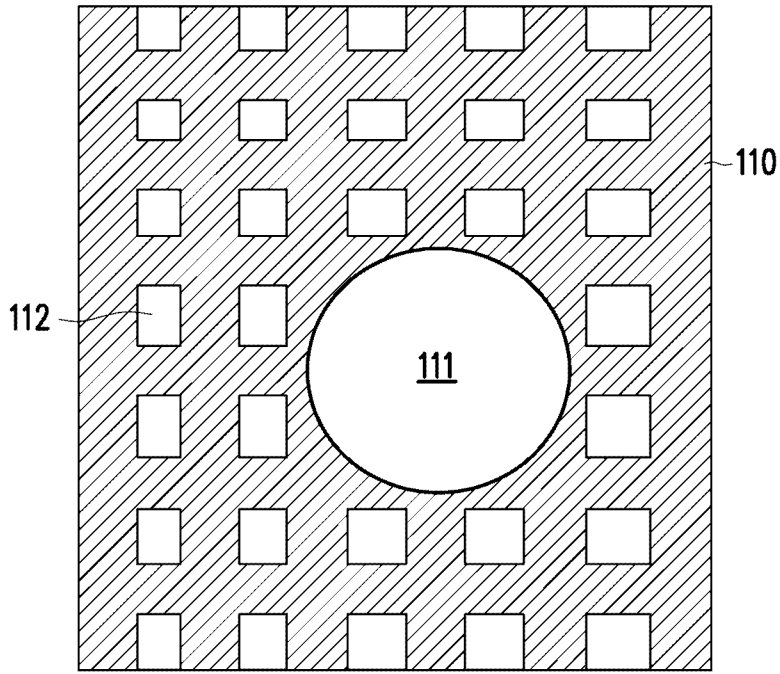
指定代表圖：

符號簡單說明：

110:金屬化圖案

111:介電槽

112:介電層



【圖4C】



公告本

112年01月07日 所提修正

I856446

【發明摘要】

【中文發明名稱】半導體封裝及其製造方法

【英文發明名稱】 SEMICONDUCTOR PACKAGE AND METHOD
OF FABRICATING THE SAME

【中文】一種製造半導體封裝的方法包括在載體基底之上沈積第一介電層。在第一介電層之上形成第一金屬化圖案。第一金屬化圖案具有暴露出第一介電層的第一開口。在第一金屬化圖案之上沈積第二介電層，從而藉由填充第一開口來形成穿過第一金屬化圖案的介電槽。在第二介電層之上形成第二金屬化圖案及第三介電層。在第三介電層之上形成穿孔，以使得介電槽在側向上位於穿孔下方。

【英文】 A method of manufacturing a semiconductor package includes depositing a first dielectric layer over a carrier substrate. A first metallization pattern is formed over the first dielectric layer. The first metallization pattern has a first opening exposing the first dielectric layer. A second dielectric layer is deposited over the first metallization pattern, forming a dielectric slot through the first metallization pattern by filling the first opening. A second metallization pattern and a third dielectric layer are formed over the second dielectric layer. A through via is formed over the third

dielectric layer, so that the dielectric slot is laterally under the through via.

【指定代表圖】圖 4C。

【代表圖之符號簡單說明】

110:金屬化圖案

111:介電槽

112:介電層

【特徵化學式】

無

【發明說明書】

【中文發明名稱】半導體封裝及其製造方法

【英文發明名稱】 SEMICONDUCTOR PACKAGE AND METHOD
OF FABRICATING THE SAME

【技術領域】

【0001】 本揭露實施例是有關於一種積體電路及其製造方法，且特別是有關於一種半導體封裝及其製造方法。

【先前技術】

【0002】 由於各種電子組件（例如，電晶體、二極體、電阻器、電容器等）的積體密度的不斷提高，半導體行業已經歷快速發展。在很大程度上，積體密度的提高源於最小特徵大小（**minimum feature size**）的迭代減小，此使得能夠將更多的組件整合至給定的面積中。隨著對日益縮小的電子裝置的需求的增長，出現了對更小且更具創造性的半導體晶粒封裝技術的需求。此種封裝系統的一個實例是疊層封裝（**Package-on-Package, PoP**）技術。在 **PoP** 裝置中，頂部半導體封裝堆疊於底部半導體封裝頂上，以提供高積體水準及組件密度。**PoP** 技術一般能夠使得在印刷電路板（**printed circuit board, PCB**）上生產具有增強的功能性及小的覆蓋區（**footprint**）的半導體裝置。

【發明內容】

【0003】 根據實施例，一種半導體封裝包括背側重佈線結構、前側重佈線結構、包封體以及穿孔。所述背側重佈線結構包括：第一介電層；第二介電層，位於第一介電層上；第一金屬化圖案，位於第一介電層與第二介電層之間，其中第二介電層延伸穿過第一金屬化圖案以形成介電槽；以及第二金屬化圖案，其中第二介電層位於第一金屬化圖案與第二金屬化圖案之間。所述包封體位於背側重佈線結構與前側重佈線結構之間。所述穿孔延伸穿過包封體，所述穿孔與第二金屬化圖案實體耦合，其中介電槽在俯視圖中與穿孔重疊。

【0004】 根據另一實施例，一種半導體封裝包括前側重佈線結構、背側重佈線結構、積體電路晶粒、包封體以及穿孔。所述背側重佈線結構包括：第一介電層；第一金屬化圖案，位於第一介電層上；黏合層，位於第一金屬化圖案上，其中第一金屬化圖案位於黏合層與第一介電層之間，其中黏合層的一部分在俯視圖中與穿孔重疊；第二介電層，位於黏合層上，其中黏合層位於第二介電層與第一金屬化圖案之間；以及第二金屬化圖案，位於第二介電層上，其中第二介電層位於第二金屬化圖案與黏合層之間。所述積體電路晶粒電性耦合至前側重佈線結構，所述積體電路晶粒位於前側重佈線結構與背側重佈線結構之間。所述包封體圍繞積體電路晶粒延伸。所述穿孔延伸穿過包封體，所述穿孔將前側重佈線結構電性耦合至背側重佈線結構。

【0005】 根據又一實施例，一種製造半導體封裝的方法包括：在

載體基底之上沈積第一介電層；在第一介電層之上形成第一金屬化圖案，其中第一金屬化圖案具有暴露出第一介電層的第一開口；在第一金屬化圖案之上沈積第二介電層，其中沈積第二介電層藉由填充第一開口而形成穿過第一金屬化圖案的介電槽；在第二介電層之上形成第二金屬化圖案；在第二金屬化圖案之上沈積第三介電層；以及在第三介電層之上形成穿孔，其中介電槽在側向上位於穿孔下方。在實施例中，形成穿孔包括形成穿過第三介電層的導通孔，所述導通孔上覆於介電槽之上。在實施例中，介電槽具有第一寬度，導通孔具有第二寬度，且第一寬度大於第二寬度。

【圖式簡單說明】

【0006】

藉由結合附圖閱讀以下詳細說明，會最佳地理解本揭露的態樣。應注意，根據本行業中的標準慣例，各種特徵並非按比例繪製。事實上，為使論述清晰起見，可任意增大或減小各種特徵的尺寸。

圖 1 示出根據一些實施例的積體電路晶粒的剖視圖。

圖 2、圖 3A 至圖 3E、圖 4A 至圖 4E、圖 5A、圖 5B、圖 6A、圖 6B、圖 7A 至圖 7D、圖 8A、圖 8B、圖 9A、圖 9B 及圖 10 至圖 19 示出根據一些實施例的用於形成封裝組件的製程期間的中間步驟的剖視圖及俯視圖。

圖 20、圖 21A、圖 21B 及圖 21C 示出根據一些實施例的裝置堆疊的形成及實施的剖視圖及俯視圖。

圖 22A、圖 22B、圖 23A、圖 23B、圖 24 及圖 25 示出根據一些實施例的用於形成封裝組件的製程期間的中間步驟的剖視圖。

圖 26A、圖 26B 及圖 26C 示出根據一些實施例的裝置堆疊的形成及實施的剖視圖及俯視圖。

圖 27A、圖 27B、圖 28A、圖 28B、圖 29A、圖 29B、圖 30A、圖 30B 及圖 31 示出根據一些實施例的用於形成封裝組件的製程期間的中間步驟的剖視圖。

圖 32A 及圖 32B 示出根據一些實施例的裝置堆疊的形成及實施的剖視圖。

圖 33 至圖 37A 至圖 37C 示出根據一些實施例的裝置堆疊的形成及實施的剖視圖及俯視圖。

【實施方式】

【0007】 以下揭露內容提供用於實施本發明的不同特徵的諸多不同實施例或實例。以下闡述組件及排列的具體實例以簡化本揭露。當然，該些僅為實例且不旨在進行限制。舉例而言，以下說明中將第一特徵形成於第二特徵之上或第二特徵上可包括其中第一特徵與第二特徵被形成為直接接觸的實施例，且亦可包括其中第一特徵與第二特徵之間可形成有附加特徵進而使得所述第一特徵與所述第二特徵可不直接接觸的實施例。另外，本揭露可能在各種實例中重複使用參考編號及/或字母。此種重複使用是出於簡潔及清晰的目的，而不是自身表示所論述的各種實施例及/或配置之間的關係。

【0008】 此外，為易於說明，本文中可能使用例如「位於……之下 (beneath)」、「位於……下方 (below)」、「下部的 (lower)」、「位於……上方 (above)」、「上部的 (upper)」及類似用語等空間相對性用語來闡述圖中所示的一個元件或特徵與另一(其他)元件或特徵的關係。所述空間相對性用語旨在除圖中所繪示的定向外亦囊括裝置在使用或操作中的不同定向。設備可具有其他定向(旋轉 90 度或在其他定向)，且本文中所使用的空間相對性描述語可同樣相應地進行解釋。

【0009】 根據一些實施例，半導體封裝包括具有多層金屬化圖案的背側重佈線結構 (back-side redistribution structure)。具有多層金屬化圖案的背側重佈線結構可有利於提高佈線能力 (routing ability)，例如有利於貼合至背側重佈線結構的系統晶片 (system-on-chip, SoC) 與動態隨機存取記憶體 (dynamic random access memory, DRAM) 封裝之間的佈線。

【0010】 當前揭露的一些實施例會減小在位於穿孔 (through via) 下方的位置處背側重佈線結構的各層之間的應力。實施例可解決由穿孔與相鄰包封體材料的相應熱膨脹係數 (coefficients of thermal expansion) 的不匹配引起的應力。所述實施例可減小在高溫製程 (例如包封體材料的固化 (curing) 或者焊料球連接件的安裝及迴焊 (reflowing)) 期間在背側重佈線結構中的穿孔的相應基座 (base) 下方出現的應力，所述高溫製程導致例如包封體材料的膨脹相對於穿孔的膨脹而言更大。所述實施例會減少背側重佈線

結構的金屬化圖案與介電層之間的應力及不利的分層 (delamination)。在穿孔的相應覆蓋區下方在金屬化圖案中包括介電槽 (dielectric slot) 可減小產生所述分層的應力。亦可藉由調整背側重佈線結構的介電層的相對厚度或者在金屬化圖案之上包括黏合層 (adhesion layer) 來減少分層。

【0011】 圖 1 示出根據一些實施例的積體電路晶粒 50 的剖視圖。積體電路晶粒 50 將在隨後的處理中被封裝以形成積體電路封裝。積體電路晶粒 50 可為邏輯晶粒 (例如, 中央處理單元 (central processing unit, CPU)、圖形處理單元 (graphics processing unit, GPU)、系統晶片 (SoC)、應用處理器 (application processor, AP)、微控制器等)、記憶體晶粒 (例如, 動態隨機存取記憶體 (DRAM) 晶粒、靜態隨機存取記憶體 (static random access memory, SRAM) 晶粒等)、電源管理晶粒 (例如, 電源管理積體電路 (power management integrated circuit, PMIC) 晶粒)、射頻 (radio frequency, RF) 晶粒、感測器晶粒、微機電系統 (micro-electro-mechanical-system, MEMS) 晶粒、訊號處理晶粒 (例如, 數位訊號處理 (digital signal processing, DSP) 晶粒)、前端晶粒 (例如, 類比前端 (analog front-end, AFE) 晶粒)、類似晶粒或其組合。

【0012】 積體電路晶粒 50 可形成於晶圓中, 所述晶圓可包括在隨後的步驟中被單體化以形成多個積體電路晶粒的不同裝置區。積體電路晶粒 50 可根據適用的製造製程進行處理以形成積體電路。舉例而言, 積體電路晶粒 50 包括半導體基底 52 (例如經摻雜或未

經摻雜的矽) 或者絕緣體上半導體 (semiconductor-on-insulator, SOI) 基底的主動層。半導體基底 52 可包含: 其他半導體材料, 例如鍺; 化合物半導體, 包括碳化矽、鎵砷、磷化鎵、磷化銮、砷化銮及/或銻化銮; 合金半導體, 包括 SiGe、GaAsP、AlInAs、AlGaAs、GaInAs、GaInP 及/或 GaInAsP; 或者其組合。亦可使用例如多層式基底 (multi-layered substrate) 或梯度基底 (gradient substrate) 等其他基底。半導體基底 52 具有有時稱為前側的主動表面(例如, 圖 1 中面朝上的表面) 及有時稱為背側的非主動表面(例如, 圖 1 中面朝下的表面)。

【0013】 半導體基底 52 的前表面處可形成有裝置 (以電晶體為代表) 54。裝置 54 可為主動裝置 (例如, 電晶體、二極體等)、電容器、電阻器等。半導體基底 52 的前表面之上有層間介電質 (inter-layer dielectric, ILD) 56。ILD 56 環繞裝置 54 且可覆蓋裝置 54。ILD 56 可包括由例如磷矽酸鹽玻璃 (Phospho-Silicate Glass, PSG)、硼矽酸鹽玻璃 (Boro-Silicate Glass, BSG)、摻雜硼的磷矽酸鹽玻璃 (Boron-Doped Phospho-Silicate Glass, BPSG)、未經摻雜的矽酸鹽玻璃 (undoped Silicate Glass, USG) 或類似物等材料形成的一個或多個介電層。

【0014】 導電插塞 58 延伸穿過 ILD 56, 以電性耦合及實體耦合裝置 54。舉例而言, 當裝置 54 是電晶體時, 導電插塞 58 可耦合電晶體的閘極及源極/汲極區。導電插塞 58 可由鎢、鈷、鎳、銅、銀、金、鋁、類似材料或其組合形成。ILD 56 及導電插塞 58 之上

有內連線結構 60。內連線結構 60 對裝置 54 進行內連以形成積體電路。內連線結構 60 可由例如 ILD 56 上的介電層中的金屬化圖案形成。金屬化圖案包括形成於一個或多個低介電常數 (low-k) 介電層中的金屬線及通孔。內連線結構 60 的金屬化圖案藉由導電插塞 58 電性耦合至裝置 54。

【0015】 積體電路晶粒 50 更包括進行外部連接的接墊 62，例如鋁接墊。接墊 62 位於積體電路晶粒 50 的主動側上，例如位於內連線結構 60 中及/或內連線結構 60 上。積體電路晶粒 50 上（例如內連線結構 60 的部分及接墊 62 的部分上）有一個或多個鈍化膜 64。開口穿過鈍化膜 64 延伸至接墊 62。例如導電柱（例如，由例如銅等金屬形成）等晶粒連接件 66 延伸穿過鈍化膜 64 中的開口，並實體耦合至及電性耦合至接墊 62 中相應的接墊 62。晶粒連接件 66 可藉由例如鍍覆或類似製程形成。晶粒連接件 66 對積體電路晶粒 50 的相應積體電路進行電性耦合。

【0016】 可選地，接墊 62 上可設置有焊料區（例如，焊料球或焊料凸塊）。焊料球可用於對積體電路晶粒 50 實行晶片探針（chip probe，CP）測試。可對積體電路晶粒 50 實行 CP 測試，以判斷積體電路晶粒 50 是否是已知良好晶粒（known good die，KGD）。因此，僅積體電路晶粒 50（其為 KGD）經歷隨後的處理並被封裝，且未通過 CP 測試的晶粒未被封裝。在測試之後，可在隨後的處理步驟中移除焊料區。

【0017】 積體電路晶粒 50 的主動側上（例如鈍化膜 64 及晶粒連

接件 66 上) 可有 (或者可沒有) 介電層 68 。介電層 68 在側向上包封晶粒連接件 66 ，且介電層 68 與積體電路晶粒 50 在側向上相連。最初，介電層 68 可掩埋晶粒連接件 66 ，進而使得介電層 68 的最頂表面位於晶粒連接件 66 的最頂表面上方。在其中晶粒連接件 66 上設置有焊料區的一些實施例中，介電層 68 亦可掩埋焊料區。做為另外一種選擇，可在形成介電層 68 之前移除焊料區。

【0018】 介電層 68 可為：聚合物，例如聚苯並噁唑 (polybenzoxazole ， PBO) 、聚醯亞胺、苯並環丁烯 (benzocyclobutene ， BCB) 或類似聚合物；氮化物，例如氮化矽或類似氮化物；氧化物，例如氧化矽、PSG、BSG、BPSG 或類似氧化物；類似材料；或者其組合。介電層 68 可例如藉由旋轉塗佈 (spin coating) 、疊層、化學氣相沈積 (chemical vapor deposition ， CVD) 或類似製程形成。在一些實施例中，在積體電路晶粒 50 的形成期間，晶粒連接件 66 藉由介電層 68 暴露出。在一些實施例中，晶粒連接件 66 保持被掩埋，並在用於封裝積體電路晶粒 50 的隨後的製程期間被暴露出。暴露出晶粒連接件 66 可移除晶粒連接件 66 上可能存在的任何焊料區。

【0019】 在一些實施例中，積體電路晶粒 50 是包括多個半導體基底 52 的堆疊裝置。舉例而言，積體電路晶粒 50 可為包括多個記憶體晶粒的記憶體裝置，例如混合記憶體立方 (hybrid memory cube ， HMC) 模組、高頻寬記憶體 (high bandwidth memory ， HBM) 模組或類似裝置。在此種實施例中，積體電路晶粒 50 包括藉由基

底穿孔（through-substrate via，TSV）進行內連的多個半導體基底 52。半導體基底 52 中的每一者可（或可不）具有內連線結構 60。

【0020】圖 2 至圖 19 示出根據一些實施例的用於形成第一封裝組件 100 的製程期間的中間步驟的剖視圖及平面圖。示出第一封裝區 100A 及第二封裝區 100B，且積體電路晶粒 50 中的一或多者被封裝以在封裝區 100A 及封裝區 100B 中的每一者中形成積體電路封裝。積體電路封裝亦可稱為積體扇外型（integrated fan-out，InFO）封裝。

【0021】在圖 2 中，提供載體基底 102，且在載體基底 102 上形成釋放層 104。載體基底 102 可為玻璃載體基底、陶瓷載體基底或類似基底。載體基底 102 可為晶圓，進而使得可在載體基底 102 上同時形成多個封裝。

【0022】釋放層 104 可由聚合物系材料形成，所述聚合物系材料可與載體基底 102 一起被自將在隨後的步驟中形成的上覆結構移除。在一些實施例中，釋放層 104 為當受熱時會失去其黏合性質的環氧系熱釋放材料，例如光熱轉換（light-to-heat-conversion，LTHC）釋放塗層。在其他實施例中，釋放層 104 可為當暴露於紫外（ultra-violet，UV）光時會失去其黏合性質的 UV 膠。釋放層 104 可做為液體被分配並被固化，可為疊層至載體基底 102 上的疊層膜（laminated film），或者可為類似形式。釋放層 104 的頂表面可被整平且可具有高的平坦程度。

【0023】在圖 3A 至圖 6B 中，在釋放層 104 上形成背側重佈線

結構 106。如下文所更詳細論述，形成背側重佈線結構 106，且在所述背側重佈線結構之上形成穿孔。背側重佈線結構 106 可包括一個或多個介電層以及位於所述介電層中的相鄰者之間的金屬化圖案（有時稱為重佈線層（redistribution layer）或重佈線線（redistribution line））。背側重佈線結構 106 在穿孔中的一或多者的覆蓋區下方在金屬化圖案中包括介電槽。介電槽可減小各種層之間（例如背側重佈線結構的各層金屬化圖案與介電層之間）的應力，藉此減少分層問題。

【0024】 圖 3A 示出背側重佈線結構 106 的介電層 108 及金屬化圖案 110 的形成。金屬化圖案 110 可包括用於佈線的導電重佈線線及/或虛設圖案。如圖 3A 中所示，對金屬化圖案 110 進行圖案化以包括不具有導電圖案（例如，不具有導電重佈線線及/或虛設圖案）的區 109（其代表位於隨後形成的穿孔下方的區）。圖 3B 示出如圖 3A 中所示的區 101 的詳細剖視圖。如下文所更詳細論述，將在重佈線結構 106 的區 109 之上形成穿孔，且使不具有導電材料的區 109 位於穿孔下方可減小應力。圖 3C 至圖 3E 示出在金屬化圖案 110 的層級（level）處位於環繞區 109 的區中的結構的實施例的平面圖。在圖 3C 至圖 3E 之後的隨後的圖將示出同一層級處的平面圖。

【0025】 如圖 3A 中所示，可在釋放層 104 之上形成介電層 108。介電層 108 的底表面可與釋放層 104 的頂表面接觸。在一些實施例中，介電層 108 由聚合物（例如聚苯並噁唑（PBO）、聚醯亞胺、

苯並環丁烯 (BCB) 或類似聚合物) 形成。在其他實施例中，介電層 108 由以下形成：氮化物，例如氮化矽；氧化物，例如氧化矽、磷矽酸鹽玻璃 (PSG)、硼矽酸鹽玻璃 (BSG)、摻雜硼的磷矽酸鹽玻璃 (BPSG) 或類似氧化物；或者類似材料。可藉由例如旋轉塗佈、CVD、疊層、類似製程或其組合等任何可接受的沈積製程形成介電層 108。

【0026】 可在介電層 108 上形成金屬化圖案 110。在如圖 3C 及圖 3D 中所示的一些實施例中，金屬化圖案 110 包括虛設圖案，例如金屬柵格 (metal grid) 或金屬網格 (metal mesh)。舉例而言，圖 3C 及圖 3D 示出其中金屬化圖案 110 包括虛設圖案的實施例，所述虛設圖案所具有的形狀相似於在 X 方向上具有縱向方向的第一多個條帶 (strip) 與在 Y 方向上具有縱向方向的第二多個條帶相交而成的形式，Y 方向可 (或可不) 垂直於 X 方向。虛設圖案可與金屬化圖案 110 的主動導線 (active conductive line) 及通孔電性隔離。包括所述虛設圖案可為有利的，此乃因會增大背側重佈線結構 106 中的金屬的密度並藉此減少隨後的封裝翹曲 (package warpage)。儘管虛設圖案在圖 3C 及圖 3D 中被示出為連續的金屬柵格，然而在一些實施例中，虛設圖案可被分離成多個電性隔離的區域。

【0027】 在如圖 3E 中所示的一些實施例中，將區 109 定位於金屬化圖案 110 的由主動導線構成的圖案之中，且以使得區 109 不具有金屬化圖案 110 的方式對所述主動導線進行排列。

【0028】 做為形成金屬化圖案 110 的實例，在介電層 108 之上形成晶種層 (seed layer)。在一些實施例中，晶種層是金屬層，其可為單層或包括由不同材料形成的多個子層的複合層。在一些實施例中，晶種層包括鈦層及位於所述鈦層之上的銅層。可使用例如物理氣相沈積 (PVD) 或類似製程形成晶種層。然後在晶種層上形成光阻 (未示出) 且對所述光阻進行圖案化。可藉由旋轉塗佈或類似製程形成光阻，且可將所述光阻暴露於光以用於圖案化。光阻的圖案對應於金屬化圖案 110。所述圖案化會形成穿過光阻的開口以暴露出晶種層。在光阻的開口中及晶種層的被暴露出的部分上形成導電材料。可藉由鍍覆 (例如電鍍 (electroplating) 或無電鍍覆 (electroless plating) 等) 或者類似製程形成導電材料。導電材料可包括金屬，例如銅、鈦、鎢、鋁或類似金屬。然後，移除光阻以及晶種層的上部未形成導電材料的部分。可藉由例如使用氧電漿或類似材料的可接受的灰化製程 (ashing process) 或剝除製程 (stripping process) 移除光阻。一旦光阻被移除，便例如使用可接受的蝕刻製程 (例如藉由濕法蝕刻或乾法蝕刻) 移除晶種層的被暴露出的部分。晶種層的剩餘部分與導電材料形成金屬化圖案 110。

【0029】 如由圖 3B 至圖 3D 所示，區 109 藉由金屬化圖案 110 暴露出介電層 108。圖 3C 示出具有虛設圖案 (例如，金屬柵格圖案) 的金屬化圖案 110，其中所述虛設圖案在區 109 中省略了導電材料。圖 3C 中的所示實施例示出區 109 具有區 109 不與穿過金屬化圖案 110 的虛設圖案的較小開口相交的圓形形狀。圖 3D 示出區

109 具有與金屬化圖案 110 的虛設圖案中的較小開口相交或重疊的圓形形狀。隨後利用介電材料來填充區 109，以在隨後形成的穿孔 116 下方形成介電槽 111（參見下文，圖 4A 至圖 4D）。此可為有利的，此乃因會減少金屬化圖案 110 與隨後形成的介電層 112 之間的分層。在一些實施例中，如由圖 3C 及圖 3D 所示，區 109 在俯視圖中具有圓形形狀。在一些實施例中，區 109 具有其他形狀，例如正方形形狀、六邊形形狀或八邊形形狀。然而，任何適合的形狀均可用於區 109。

【0030】 在圖 4A 至圖 4E 中，在金屬化圖案 110 及介電層 108 上形成介電層 112。在一些實施例中，介電層 112 由聚合物形成，所述聚合物可為可使用微影罩幕來圖案化的感光材料（例如 PBO、聚醯亞胺、BCB 或類似材料）。在其他實施例中，介電層 112 由以下形成：氮化物，例如氮化矽；氧化物，例如氧化矽、PSG、BSG、BPSG；或者類似材料。可藉由旋轉塗佈、疊層、CVD、類似製程或其組合形成介電層 112。

【0031】 如由圖 4B 至圖 4E 所示，介電層 112 填充區 109，從而在金屬化圖案 110 中形成介電槽 111。穿過金屬化圖案 110 的其他開口（例如，虛設圖案中的正方形開口或矩形開口、重佈線線之間間距（space）等）亦被介電層 112 的介電材料填充。在一些實施例中，介電槽的相應表面積大於虛設圖案的正方形區或矩形區的相應表面積。將介電槽 111 定位於隨後形成的穿孔 116 下方，此可減少金屬化圖案 110 與介電層 112 之間的分層。在一些實施

例中，介電槽 111 在俯視圖中由金屬化圖案 110 的導電材料環繞。在一些實施例中，介電槽 111 具有在 55 微米至 65 微米範圍內的相應第一寬度 W_1 ，此有利於減少金屬化圖案 110 與介電層 112 之間的分層。將介電槽 111 形成為小於 55 微米的寬度可能不足以減小來自隨後形成的穿孔 116 與包封體 120（參見下文，圖 9A）的不匹配熱膨脹的應力，從而導致金屬化圖案 110 與介電層 112 之間的不利的分層。將介電槽 111 形成為大於 65 微米的寬度可能會增大金屬化圖案 110 中的電阻，從而降低裝置效能。如圖 4E 中所示，在一些實施例中，相應的第一寬度 W_1 大於金屬化圖案 110 的相鄰導線之間的第一間距 S_1 。

【0032】 在一些實施例中，如由圖 4C 至圖 4E 所示，介電槽 111 在平面圖中具有圓形形狀。在一些實施例中，介電槽 111 具有其他形狀，例如正方形形狀、六邊形形狀或八邊形形狀。然而，任何適合的形狀均可用於介電槽 111。

【0033】 形成介電槽 111 以減少金屬化圖案 110 與介電層 112 之間的分層可提供優點。由於背側重佈線結構 106 的介電層（例如，介電層 112）可能不需要被加厚，因此形成介電槽 111 可降低結構的成本。由於背側重佈線結構 106 的介電層未被加厚，因此可提高大量生產的每小時晶圓（wafer-per-hour, WPH）率。藉由形成介電槽 111 來減少金屬化圖案 110 與介電層 112 之間的分層可使得結構的製程翹曲更低，從而帶來更佳的製程良率損失控制（process yield loss control）以及更佳的可靠度效能及更寬的可靠

度窗口 (reliability window)。在一些實施例中，在隨後形成的穿孔 116 的覆蓋區下方形成介電槽 111 會將金屬化圖案 110 與介電層 112 之間的應力減小 18%至 30%。

【0034】 進一步參照圖 4A，然後，對介電層 112 進行圖案化以形成暴露出金屬化圖案 110 的部分的開口。可藉由可接受的製程（例如當介電層 112 是感光材料時，藉由將介電層 112 暴露於光；或者藉由使用例如非等向性蝕刻進行蝕刻）來進行所述圖案化。若介電層 112 是感光材料，則介電層 112 可在曝光之後顯影。

【0035】 在圖 5A 至圖 5B 中，在介電層 112 上形成金屬化圖案 113。金屬化圖案 113 包括位於介電層 112 的主表面上且沿所述主表面延伸的部分。金屬化圖案 113 更包括延伸穿過介電層 112 以實體耦合至及電性耦合至金屬化圖案 110 的部分。可以與金屬化圖案 110 相似的方式及相似的材料形成金屬化圖案 113。在一些實施例中，金屬化圖案 113 具有與金屬化圖案 110 不同的大小。舉例而言，金屬化圖案 113 的導線及/或通孔可寬於或厚於金屬化圖案 110 的導線及/或通孔。此外，可將金屬化圖案 113 形成為較金屬化圖案 110 大的間距 (pitch)。

【0036】 在圖 6A 至圖 6B 中，在金屬化圖案 113 及介電層 112 上沈積介電層 114。可以與介電層 112 相似的方式形成介電層 114，且可由與介電層 112 相似的材料形成介電層 114。然後對介電層 114 進行圖案化以形成暴露出金屬化圖案 113 的部分的開口 115。可藉由可接受的製程（例如當介電層 114 是感光材料時，藉由將

介電層 114 暴露於光；或者藉由使用例如非等向性蝕刻進行蝕刻）來形成所述圖案化。若介電層 114 是感光材料，則介電層 114 可在曝光之後顯影。隨後利用導電材料來填充開口 115，以形成將金屬化圖案 113 耦合至隨後形成的穿孔 116（參見下文，圖 7A 至圖 7B）的導通孔 117。

【0037】 出於例示性目的，圖 6A 示出具有兩個金屬化圖案 110 及 113 的背側重佈線結構 106。在一些實施例中，背側重佈線結構 106 可包括任意數目的介電層及金屬化圖案。若欲形成更多的介電層及金屬化圖案，則可重複進行以上所論述的步驟及製程。金屬化圖案可包括一個或多個導電元件。可在金屬化圖案的形成期間藉由在下伏介電層的表面之上及下伏介電層的開口中形成晶種層以及金屬化圖案的導電材料來形成導電元件，藉此對各種導線進行內連及電性耦合。

【0038】 在圖 7A 至圖 7B 中，在開口 115 中形成穿孔 116，且穿孔 116 遠離背側重佈線結構 106 的最頂介電層（例如，介電層 112）延伸。穿孔 116 包括位於介電層 114 的上表面下方的通孔 117。將通孔 117 及穿孔 116 形成為上覆於介電槽 111 之上。做為形成穿孔 116 的實例，在背側重佈線結構 106 之上（例如，在介電層 112 上以及金屬化圖案 110 的藉由開口 115 暴露出的部分上）形成晶種層（未示出）。在一些實施例中，晶種層是金屬層，其可為單層或包括由不同材料形成的多個子層的複合層。在特定實施例中，晶種層包括鈦層及位於所述鈦層之上的銅層。可使用例如 PVD 或類

似製程形成晶種層。在晶種層上形成光阻且對所述光阻進行圖案化。可藉由旋轉塗佈或類似製程形成光阻，且可將所述光阻暴露於光以用於圖案化。光阻的圖案對應於導通孔。所述圖案化會形成穿過光阻的開口以暴露出晶種層。在光阻的開口中及晶種層的被暴露出的部分上形成導電材料。可藉由鍍覆（例如電鍍或無電鍍覆）或者類似製程形成導電材料。導電材料可包括金屬，例如銅、鈦、鎢、鋁或類似金屬。移除光阻以及晶種層的上表面未形成導電材料的部分。可藉由例如使用氧電漿或類似材料的可接受的灰化製程或剝除製程移除光阻。一旦光阻被移除，便例如使用可接受的蝕刻製程（例如藉由濕法蝕刻或乾法蝕刻）移除晶種層的被暴露出的部分。晶種層的剩餘部分與導電材料形成穿孔 116，穿孔 116 的位於介電層 114 的上表面下方的部分是穿過介電層 114 延伸至最上金屬化層（例如金屬化圖案 113）的通孔 117。

【0039】 在一些實施例中，穿孔 116 具有在 150 微米至 200 微米範圍內的寬度，且相鄰的穿孔 116 彼此分離在 120 微米至 150 微米範圍內的間距。穿孔 116 的寬度可大於位於穿孔 116 下方的介電槽 111 的相應第一寬度 W_1 。舉例而言，相應第一寬度 W_1 可為穿孔 116 的寬度的 33% 至 43%。在一些實施例中，通孔 117 自下部金屬化圖案的導通孔在側向上分離。舉例而言，圖 7A 示出穿孔 116 的通孔 117 自金屬化圖案 113 的通孔在側向上分離，金屬化圖案 113 的所述通孔延伸以與金屬化圖案 110 實體接觸及電性接觸例如在 17 微米至 18 微米範圍內的距離 D_1 。

【0040】 可將通孔 117 形成為具有相應第二寬度 W_2 ，第二寬度 W_2 小於位於通孔 117 下方的介電槽 111 的相應第一寬度 W_1 。此為有利的，此乃因會減少來自穿孔 116 與隨後形成的包封體 120（參見下文，圖 9A）的不匹配熱膨脹的應力，減少所述應力可防止或減少金屬化圖案 110 與介電層 112 之間的分層。在一些實施例中，第二寬度 W_2 在 40 微米至 50 微米範圍內。

【0041】 在一些實施例中，金屬化圖案 110 的一部分 110'（例如，虛設圖案的一部分、重佈線線的一部分或類似部分）在通孔 117 的覆蓋區下方延伸。舉例而言，根據一些實施例，圖 7C 是示出在金屬化圖案 110 的層級處金屬化圖案 110 的位於通孔 117 的覆蓋區內的部分 110' 的側視圖，而圖 7D 是示出在金屬化圖案 110 的層級處金屬化圖案 110 的位於通孔 117 的覆蓋區內的部分 110' 的平面圖。部分 110'（其可包括重佈線線的導電材料、虛設圖案或類似元件）的上表面積的總量具有小於通孔 117 的表面積的 20% 的上表面積。此有利於防止或減少金屬化圖案 110 與介電層 112 之間的分層。在金屬化圖案 110 的層級處在通孔 117 的相應覆蓋區下方存在上表面積為通孔 117 的表面積的 65% 或大於 65% 的由導電材料構成的部分 110' 可能是不利的，此乃因會導致金屬化圖案 110 與介電層 112 之間的分層。在一些實施例中，部分 110' 的總上表面積小於 1500 平方微米。

【0042】 在圖 8A 至圖 8B 中，藉由黏合劑 118 將積體電路晶粒 50（例如，第一積體電路晶粒 50A 及第二積體電路晶粒 50B）黏

合至介電層 112。封裝區 100A 及封裝區 100B 中的每一者中黏合有所期望類型及數量的積體電路晶粒 50。在所示實施例中，多個積體電路晶粒 50 被黏合成彼此相鄰，包括位於第一封裝區 100A 及第二封裝區 100B 中的每一者中的第一積體電路晶粒 50A 及第二積體電路晶粒 50B。第一積體電路晶粒 50A 可為邏輯裝置，例如中央處理單元 (CPU)、圖形處理單元 (GPU)、系統晶片 (SoC)、微控制器或類似裝置。第二積體電路晶粒 50B 可為記憶體裝置，例如動態隨機存取記憶體 (DRAM) 晶粒、靜態隨機存取記憶體 (SRAM) 晶粒、混合記憶體立方 (HMC) 模組、高頻寬記憶體 (HBM) 模組或類似裝置。在一些實施例中，積體電路晶粒 50A 與積體電路晶粒 50B 可為相同類型的晶粒，例如 SoC 晶粒。第一積體電路晶粒 50A 與第二積體電路晶粒 50B 可在相同技術節點的製程中形成，或者可在不同技術節點的製程中形成。舉例而言，第一積體電路晶粒 50A 可為較第二積體電路晶粒 50B 更先進的製程節點。積體電路晶粒 50A 與積體電路晶粒 50B 可具有不同的大小 (例如，不同的高度及/或表面積)，或者可具有相同的大小 (例如，相同的高度及/或表面積)。第一封裝區 100A 及第二封裝區 100B 中可用於穿孔 116 的間距可能受到限制，當積體電路晶粒 50 包括例如 SoC 等具有大的覆蓋區的裝置時尤為如此。當第一封裝區 100A 及第二封裝區 100B 具有有限的可用於穿孔 116 的間距時，背側重佈線結構 106 的使用使得能夠達成改善的內連線排列方式。

【0043】 黏合劑 118 位於積體電路晶粒 50 的背側上，且將積體

電路晶粒 50 黏合至背側重佈線結構 106，例如黏合至介電層 112。黏合劑 118 可為任何適合的黏合劑、環氧樹脂、晶粒貼合膜（die attach film，DAF）或類似材料。可將黏合劑 118 施加至積體電路晶粒 50 的背側，若未利用背側重佈線結構 106，則可將黏合劑 118 施加於載體基底 102 的表面之上，或者若適用，則可將黏合劑 118 施加至背側重佈線結構 106 的上表面。舉例而言，可在進行單體化以分離積體電路晶粒 50 之前將黏合劑 118 施加至積體電路晶粒 50 的背側。

【0044】 在圖 9A 至圖 9B 中，在所述各種組件上及所述各種組件周圍形成包封體 120。在形成之後，包封體 120 包封穿孔 116 及積體電路晶粒 50。包封體 120 可為模製化合物、環氧樹脂或類似材料。可藉由壓縮模製、轉移模製或類似製程施加包封體 120，且可在載體基底 102 之上形成包封體 120，進而使得穿孔 116 及/或積體電路晶粒 50 被掩埋或被覆蓋。在積體電路晶粒 50 之間の間隙區中進一步形成包封體 120。可以液體或半液體形式施加包封體 120，且隨後對包封體 120 進行固化。

【0045】 包封體 120 的固化可為高溫製程，且可能導致包封體 120 的膨脹相對於穿孔 116 的膨脹而言更大，從而在背側重佈線結構 106 中的穿孔 116 的相應基座下方產生增大的應力。如本文中所闡述，在穿孔 116 的相應覆蓋區下方在金屬化圖案 110 中包括介電槽 111 可防止或減少例如金屬化圖案 110 與介電層 112 之間的分層。

【0046】 在圖 10 中，對包封體 120 實行平坦化製程，以暴露出穿孔 116 及晶粒連接件 66。平坦化製程亦可移除穿孔 116、介電層 68 及/或晶粒連接件 66 的材料，直至暴露出晶粒連接件 66 及穿孔 116 為止。在平坦化製程之後，穿孔 116 的頂表面、晶粒連接件 66 的頂表面、介電層 68 的頂表面及包封體 120 的頂表面在製程變化內實質上共面。平坦化製程可為例如化學機械研磨（chemical-mechanical polish, CMP）、拋光製程（grinding process）或類似製程。在一些實施例中，舉例而言，若穿孔 116 及/或晶粒連接件 66 已被暴露出，則可省略平坦化。

【0047】 在圖 11 至圖 14 中，在包封體 120、穿孔 116 及積體電路晶粒 50 之上形成前側重佈線結構 122。前側重佈線結構 122 可包括一個或多個介電層以及位於所述介電層中的相鄰者之間的金屬化圖案（有時稱為重佈線層或重佈線線）。

【0048】 在圖 11 中，在包封體 120、穿孔 116 及晶粒連接件 66 上沈積介電層 124。在一些實施例中，介電層 124 由可使用微影罩幕來圖案化的感光材料（例如 PBO、聚醯亞胺、BCB 或類似材料）形成。可藉由旋轉塗佈、疊層、CVD、類似製程或其組合形成介電層 124。然後，對介電層 124 進行圖案化。所述圖案化會形成暴露出穿孔 116 的部分及晶粒連接件 66 的部分的開口。可藉由可接受的製程（例如當介電層 124 是感光材料時，藉由將介電層 124 暴露於光並顯影；或者藉由使用例如非等向性蝕刻進行蝕刻）來進行所述圖案化。

【0049】 然後形成金屬化圖案 126。金屬化圖案 126 包括導電元件，所述導電元件沿介電層 124 的主表面延伸並延伸穿過介電層 124 以實體耦合至及電性耦合至穿孔 116 及積體電路晶粒 50。做為形成金屬化圖案 126 的實例，在介電層 124 之上且在延伸穿過介電層 124 的開口中形成晶種層。在一些實施例中，晶種層是金屬層，其可為單層或包括由不同材料形成的多個子層的複合層。在一些實施例中，晶種層包括鈦層及位於所述鈦層之上的銅層。可使用例如 PVD 或類似製程形成晶種層。然後在晶種層上形成光阻且對所述光阻進行圖案化。可藉由旋轉塗佈或類似製程形成光阻，且可將所述光阻暴露於光以用於圖案化。光阻的圖案對應於金屬化圖案 126。所述圖案化會形成穿過光阻的開口以暴露出晶種層。然後在光阻的開口中及晶種層的被暴露出的部分上形成導電材料。可藉由鍍覆（例如電鍍或無電鍍覆）或者類似製程形成導電材料。導電材料可包括金屬，例如銅、鈦、鎢、鋁或類似金屬。導電材料與晶種層的下伏部分的組合會形成金屬化圖案 126。移除光阻以及晶種層的上部未形成導電材料的部分。可藉由例如使用氧電漿或類似材料的可接受的灰化製程或剝除製程移除光阻。一旦光阻被移除，便例如使用可接受的蝕刻製程（例如藉由濕法蝕刻或乾法蝕刻）移除晶種層的被暴露出的部分。

【0050】 在圖 12 中，在金屬化圖案 126 及介電層 124 上沈積介電層 128。可以與介電層 124 相似的方式形成介電層 128，且介電層 128 可由與介電層 124 相似的材料形成。

【0051】 然後形成金屬化圖案 130。金屬化圖案 130 包括位於介電層 128 的主表面上且沿所述主表面延伸的部分。金屬化圖案 130 更包括延伸穿過介電層 128 以實體耦合及電性耦合金屬化圖案 126 的部分。可以與金屬化圖案 126 相似的方式及相似的材料形成金屬化圖案 130。在一些實施例中，金屬化圖案 130 具有與金屬化圖案 126 不同的大小。舉例而言，金屬化圖案 130 的導線及/或通孔可寬於或厚於金屬化圖案 126 的導線及/或通孔。此外，可將金屬化圖案 130 形成為較金屬化圖案 126 大的間距。

【0052】 在圖 13 中，在金屬化圖案 130 及介電層 128 上沈積介電層 132。可以與介電層 124 相似的方式形成介電層 132，且介電層 132 可由與介電層 124 相似的材料形成。

【0053】 然後形成金屬化圖案 134。金屬化圖案 134 包括位於介電層 132 的主表面上且沿所述主表面延伸的部分。金屬化圖案 134 更包括延伸穿過介電層 132 以實體耦合及電性耦合金屬化圖案 130 的部分。可以與金屬化圖案 126 相似的方式及相似的材料形成金屬化圖案 134。金屬化圖案 134 是前側重佈線結構 122 的最頂金屬化圖案。因此，前側重佈線結構 122 的中間金屬化圖案（例如，金屬化圖案 126 及金屬化圖案 130）中的所有者皆設置於金屬化圖案 134 與積體電路晶粒 50 之間。在一些實施例中，金屬化圖案 134 具有與金屬化圖案 126 及金屬化圖案 130 不同的大小。舉例而言，金屬化圖案 134 的導線及/或通孔可寬於或厚於金屬化圖案 126 及金屬化圖案 130 的導線及/或通孔。此外，可將金屬化圖案 134 形

成為較金屬化圖案 130 大的間距。

【0054】 在圖 14 中，在金屬化圖案 134 及介電層 132 上沈積介電層 136。可以與介電層 124 相似的方式形成介電層 136，且介電層 136 可由與介電層 124 相同的材料形成。介電層 136 是前側重佈線結構 122 的最頂介電層。因此，前側重佈線結構 122 的金屬化圖案（例如，金屬化圖案 126、金屬化圖案 130 及金屬化圖案 134）中的所有者皆設置於介電層 136 與積體電路晶粒 50 之間。此外，前側重佈線結構 122 的中間介電層（例如，介電層 124、介電層 128、介電層 132）中的所有者皆設置於介電層 136 與積體電路晶粒 50 之間。

【0055】 前側重佈線結構 122 被示出為具有三層金屬化圖案的實例。可在前側重佈線結構 122 中形成更多或更少的介電層及金屬化圖案。若欲形成更少的介電層及金屬化圖案，則可省略以上所論述的步驟及製程。若欲形成更多的介電層及金屬化圖案（例如，四個介電層及五個金屬化圖案），則可重複進行以上所論述的步驟及製程。

【0056】 在圖 15 中，形成凸塊下金屬（under bump metallurgy，UBM）138 以用於與前側重佈線結構 122 之間的外部連接。在一些實施例中，UBM 138 各自具有凹形的上表面，其上部分位於介電層 136 的主表面上且沿所述主表面延伸，且具有延伸穿過介電層 136 以實體耦合及電性耦合金屬化圖案 134 的下部部分。在一些實施例中，UBM 138 具有位於介電層 136 的主表面上且沿介

電層 136 的主表面延伸的平的上表面或凸形上表面。因此，UBM 138 電性耦合至穿孔 116 及積體電路晶粒 50。UBM 138 可由與金屬化圖案 126 相同的材料形成。在一些實施例中，UBM 138 具有與金屬化圖案 126、金屬化圖案 130 及金屬化圖案 134 不同的大小。

【0057】 在圖 16 中，在 UBM 138 上形成導電連接件 150。導電連接件 150 可為球柵陣列 (ball grid array, BGA) 連接件、焊料球、金屬柱、受控塌陷晶片連接 (controlled collapse chip connection, C4) 凸塊、微凸塊、無電鍍鎳鈀浸金技術 (ENEPIG) 形成的凸塊或類似元件。導電連接件 150 可包含例如焊料、銅、鋁、金、鎳、銀、鈀、錫、類似材料或其組合等導電材料。在一些實施例中，藉由最初透過蒸鍍、電鍍、印刷、焊料轉移、植球或類似製程形成焊料層來形成導電連接件 150。一旦已在所述結構上形成焊料層，便可實行迴焊，以便將所述材料造型成所期望的凸塊形狀。在另一實施例中，導電連接件 150 包括藉由濺鍍、印刷、電鍍、無電鍍覆、CVD 或類似製程形成的金屬柱 (例如銅柱)。金屬柱可不含焊料，且具有實質上垂直的側壁。在一些實施例中，在金屬柱的頂部上形成金屬頂蓋層 (metal cap layer)。金屬頂蓋層可包含鎳、錫、錫-鉛、金、銀、鈀、銮、鎳-鈀-金、鎳-金、類似材料或其組合，且可藉由鍍覆製程形成金屬頂蓋層。

【0058】 在圖 17 中，實行載體基底剝離 (carrier substrate debonding)，以將載體基底 102 自背側重佈線結構 106 (例如，介電

層 108) 拆離 (或「剝離」)。根據一些實施例，剝離包括將例如雷射光或 UV 光等光投射於釋放層 104 上，以使得釋放層 104 在光的熱量下分解，且載體基底 102 可被移除。然後將所述結構上下翻轉並放置於膠帶 (tape) (未示出) 上。

【0059】 在一些實施例中，在背側重佈線結構 106 之上形成背側增強層 (back-side enhancement layer) 140，以減少或防止封裝翹曲。背側增強層 140 可為：聚合物，例如 PBO、聚醯亞胺、BCB 或類似聚合物；氮化物，例如氮化矽或類似氮化物；氧化物，例如氧化矽、PSG、BSG、BPSG 或類似氧化物；類似材料；或者其組合。可例如藉由旋轉塗佈、疊層、化學氣相沈積 (CVD) 或類似製程來形成背側增強層 140。

【0060】 在圖 19 中，形成延伸穿過背側增強層 140 (若存在) 及介電層 108 的導電連接件 152，以接觸金屬化圖案 110。形成穿過背側增強層 140 (若存在) 及介電層 108 的開口，以暴露出金屬化圖案 110 的部分。可例如使用雷射鑽孔、蝕刻或類似製程形成所述開口。可在所述開口的形成期間移除晶種層 (若存在，參見上文，圖 3A) 的被暴露出的部分。在形成所述開口之後，可使用表面清洗製程 (surface clean process) 來移除由雷射鑽孔、蝕刻或類似製程導致的殘留物及副產物。可使用表面清洗化學品、表面清洗混合物或表面清洗溶液，其分別為例如 HF、HCl、 $H_2SO_4:H_2O$ (硫酸-過氧化氫混合物 (Sulfuric acid-hydrogen Peroxide Mixture, SPM))、 $NH_4OH:H_2O_2:H_2O$ (氫氧化氨-過氧化氫-水混合物 (Ammonia

hydroxide-hydrogen Peroxide-water Mixture, APM))、HCl:H₂O₂:H₂O (鹽酸-過氧化氫-水混合物 (Hydrochloric acid-hydrogen Peroxide-water Mixture, HPM))、類似材料或其組合。

【0061】 在所述開口中形成導電連接件 152。在一些實施例中，導電連接件 152 包含焊劑 (flux)，且是在焊劑浸漬製程 (flux dipping process) 中形成。在一些實施例中，導電連接件 152 包含導電膏 (例如焊料膏、銀膏或類似材料)，且是在印刷製程中進行分配。在一些實施例中，以與導電連接件 150 相似的方式形成導電連接件 152，且導電連接件 152 可由與導電連接件 150 相似的材料形成。

【0062】 在一些實施例中，導電連接件 152 在背側重佈線結構 106(包括背側增強層 140(若存在))的被暴露出的表面上方延伸。在一些實施例中，將導電連接件 152 的頂表面形成為位於背側重佈線結構 106 (包括背側增強層 (若存在)) 的被暴露出的表面下方。此外，可對背側重佈線結構 106 (例如，背側增強層 140 (若存在)) 的被暴露出的表面實行雷射標記步驟 (laser marking step)，以形成辨識標記 (未示出)。

【0063】 圖 20 及圖 21 示出根據一些實施例的裝置堆疊的形成及實施。裝置堆疊由在第一封裝組件 100 中形成的積體電路封裝形成。裝置堆疊亦可稱為疊層封裝 (PoP) 結構。

【0064】 在圖 20 中，將第二封裝組件 200 耦合至第一封裝組件 100。將第二封裝組件 200 中的一者耦合於封裝區 100A 及封裝區

100B 中的每一者中，以在第一封裝組件 100 的每一區中形成積體電路裝置堆疊。

【0065】 第二封裝組件 200 包括例如基底 202 以及耦合至基底 202 的一個或多個堆疊晶粒 210（例如，210A 與 210B）。儘管示出一組堆疊晶粒 210（210A 與 210B），然而在其他實施例中，可將多個堆疊晶粒 210（各自具有一個或多個堆疊晶粒）設置成並排地耦合至基底 202 的同一表面。基底 202 可由半導體材料（例如矽、鍺、金剛石或類似材料）製成。在一些實施例中，亦可使用化合物材料，例如矽鍺、碳化矽、鎵砷、砷化銮、磷化銮、碳化矽鍺、磷化鎵砷、磷化鎵銮、該些材料的組合及類似材料。另外，基底 202 可為絕緣體上矽（silicon-on-insulator，SOI）基底。一般而言，SOI 基底包括由例如磊晶矽、鍺、矽鍺、SOI、絕緣體上矽鍺（silicon germanium on insulator，SGOI）或其組合等半導體材料構成的層。在一個替代性實施例中，基底 202 是基於例如玻璃纖維加強型樹脂芯（fiberglass reinforced resin core）等絕緣芯。一種實例性芯材料是例如弗朗克功能調節劑 4（Frankel's function regulator 4，FR4）等玻璃纖維樹脂。芯材料的替代品包括雙馬來醯亞胺-三嗪（bismaleimide-triazine，BT）樹脂，或者做為另外一種選擇包括其他印刷電路板（PCB）材料或膜。可對基底 202 使用例如味之素構成膜（Ajinomoto build-up film，ABF）等構成膜或者其他疊層體。

【0066】 基底 202 可包括主動裝置及被動裝置（未示出）。可使用各種各樣的裝置（例如電晶體、電容器、電阻器、該些的組合及

類似裝置)來產生第二封裝組件 200 的設計的結構要求及功能要求。可使用任何適合的方法來形成所述裝置。

【0067】 基底 202 亦可包括金屬化層(未示出)及導通孔 208。可在主動裝置及被動裝置之上形成金屬化層,且將金屬化層設計成對所述各種裝置進行連接以形成功能電路系統。金屬化層可由介電材料(例如,低介電常數介電材料)與導電材料(例如,銅)構成的交替層形成,其中通孔對導電材料層進行內連,且可藉由任何適合的製程(例如沈積、鑲嵌、雙鑲嵌(dual damascene)或類似製程)形成所述金屬化層。在一些實施例中,基底 202 實質上不具有主動裝置及被動裝置。

【0068】 基底 202 可在基底 202 的第一側上具有接合接墊(bond pad) 204 以耦合至堆疊晶粒 210,且在基底 202 的第二側上具有接合接墊 206 以耦合至導電連接件 152,所述第二側與基底 202 的第一側相對。在一些實施例中,藉由向基底 202 的第一側及第二側上的介電層(未示出)中形成凹陷(未示出)來形成接合接墊 204 及接合接墊 206。可將凹陷形成為使得接合接墊 204 及接合接墊 206 能夠嵌入至介電層中。在其他實施例中,由於接合接墊 204 及接合接墊 206 可形成於介電層上,因此省略了凹陷。在一些實施例中,接合接墊 204 及接合接墊 206 包括由銅、鈦、鎳、金、鈮、類似材料或其組合製成的薄晶種層(未示出)。可在薄晶種層之上沈積接合接墊 204 及接合接墊 206 的導電材料。可藉由電化學鍍覆製程(electro-chemical plating process)、化學鍍覆製程、CVD、

原子層沈積 (atomic layer deposition, ALD)、PVD、類似製程或其組合形成導電材料。在實施例中，接合接墊 204 及接合接墊 206 的導電材料是銅、鎢、鋁、銀、金、類似材料或其組合。

【0069】 在一些實施例中，接合接墊 204 及接合接墊 206 是 UBM，所述 UBM 包括三層導電材料，例如一層鈦、一層銅及一層鎳。可利用材料及層的其他排列形式（例如為鉻/鉻-銅合金/銅/金的排列形式、為鈦/鈦鎢/銅的排列形式或為銅/鎳/金的排列形式）來形成接合接墊 204 及接合接墊 206。可用於接合接墊 204 及接合接墊 206 的任何適合的材料或材料層均完全旨在包含於當前申請案的範圍內。在一些實施例中，導通孔 208 延伸穿過基底 202，且將接合接墊 204 中的至少一者耦合至接合接墊 206 中的至少一者。

【0070】 在所示實施例中，儘管可使用例如導電凸塊等其他連接方式，然而藉由引線接合件 (wire bond) 212 將堆疊晶粒 210 耦合至基底 202。在實施例中，堆疊晶粒 210 是堆疊記憶體晶粒。舉例而言，堆疊晶粒 210 可為記憶體晶粒，例如低功率 (low-power, LP) 雙倍資料速率 (double data rate, DDR) 記憶體模組 (例如 LPDDR1、LPDDR2、LPDDR3、LPDDR4 或類似記憶體模組)。

【0071】 可藉由模製材料 214 來包封堆疊晶粒 210 及引線接合件 212。可例如使用壓縮模製將模製材料 214 模製於堆疊晶粒 210 及引線接合件 212 上。在一些實施例中，模製材料 214 是模製化合物、聚合物、環氧樹脂、氧化矽填料材料、類似材料或其組合。可實行固化製程來對模製材料 214 進行固化；固化製程可為熱固化、

UV 固化、類似製程或其組合。

【0072】 在一些實施例中，將堆疊晶粒 210 及引線接合件 212 掩埋於模製材料 214 中，且在對模製材料 214 的固化之後，實行平坦化步驟（例如磨製）以移除模製材料 214 的過量部分且為第二封裝組件 200 提供實質上平坦的表面。

【0073】 在形成第二封裝組件 200 之後，藉由導電連接件 152、接合接墊 206 以及背側重佈線結構 106 的金屬化圖案將第二封裝組件 200 機械接合至及電性接合至第一封裝組件 100。在一些實施例中，可藉由引線接合件 212、接合接墊 204 及接合接墊 206、導通孔 208、導電連接件 152、背側重佈線結構 106、穿孔 116 及前側重佈線結構 122 將堆疊晶粒 210 耦合至積體電路晶粒 50A 及積體電路晶粒 50B。

【0074】 在一些實施例中，在基底 202 的與堆疊晶粒 210 相對的一側上形成阻焊劑（未示出）。可在阻焊劑的開口中設置導電連接件 152，以電性耦合至及機械耦合至基底 202 中的導電特徵（例如，接合接墊 206）。可使用阻焊劑來保護基底 202 的區域免受外部損傷。

【0075】 在一些實施例中，導電連接件 152 在被迴焊之前具有形成於其上的環氧焊劑（未示出），其中在將第二封裝組件 200 貼合至第一封裝組件 100 之後，環氧焊劑的環氧部分中的至少一些環氧部分保留下來。

【0076】 在一些實施例中，在第一封裝組件 100 與第二封裝組件

200 之間形成環繞導電連接件 152 的底部填充膠（未示出）。底部填充膠可減小應力並保護由對導電連接件 152 的迴焊產生的接頭（joint）。可在貼合第二封裝組件 200 之後藉由毛細流動製程（capillary flow process）形成底部填充膠，或者可在貼合第二封裝組件 200 之前藉由適合的沈積方法形成底部填充膠。在其中形成環氧焊劑的實施例中，所述環氧焊劑可充當底部填充劑。

【0077】 在圖 21A 中，藉由沿例如位於第一封裝區 100A 與第二封裝區 100B 之間的切割道區（scribe line region）進行鋸切來實行單體化製程。所述鋸切會將第一封裝區 100A 與第二封裝區 100B 單體化。所得的經單體化的裝置堆疊來自第一封裝區 100A 或第二封裝區 100B 中的一者。在一些實施例中，在將第二封裝組件 200 耦合至第一封裝組件 100 之後實行單體化製程。在其他實施例（未示出）中，在將第二封裝組件 200 耦合至第一封裝組件 100 之前（例如在剝離載體基底 102 且形成導電連接件 152 之後）實行單體化製程。

【0078】 然後，可使用導電連接件 150 將每一經單體化的第一封裝組件 100 安裝至封裝基底 300。封裝基底 300 包括基底芯 302 及位於基底芯 302 之上的接合接墊 304。基底芯 302 可由半導體材料（例如矽、鍺、金剛石或類似材料）製成。做為另外一種選擇，亦可使用化合物材料，例如矽鍺、碳化矽、鎵砷、砷化銮、磷化銮、碳化矽鍺、磷化鎵砷、磷化鎵銮、該些材料的組合及類似材料。另外，基底芯 302 可為 SOI 基底。一般而言，SOI 基底包括由例如

磊晶矽、鍺、矽鍺、SOI、SGOI 或其組合等半導體材料構成的層。在一個替代性實施例中，基底芯 302 是基於例如玻璃纖維加強型樹脂芯等絕緣芯。一種實例性芯材料是例如 FR4 等玻璃纖維樹脂。芯材料的替代品包括雙馬來醯亞胺-三嗪 BT 樹脂，或者做為另外一種選擇包括其他 PCB 材料或膜。可對基底芯 302 使用例如 ABF 等構成膜或其他疊層體。

【0079】 基底芯 302 可包括主動裝置及被動裝置（未示出）。可使用各種各樣的裝置（例如電晶體、電容器、電阻器、該些的組合及類似裝置）來產生裝置堆疊的設計的結構要求及功能要求。可使用任何適合的方法來形成所述裝置。

【0080】 基底芯 302 亦可包括金屬化層及通孔（未示出），其中接合接墊 304 實體耦合至及/或電性耦合至金屬化層及通孔。可在主動裝置及被動裝置之上形成金屬化層，且將金屬化層設計成對所述各種裝置進行連接以形成功能電路系統。金屬化層可由介電材料（例如，低介電常數介電材料）與導電材料（例如，銅）構成的交替層形成，其中通孔對導電材料層進行內連，且可藉由任何適合的製程（例如沈積、鑲嵌、雙鑲嵌或類似製程）形成所述金屬化層。在一些實施例中，基底芯 302 實質上不具有主動裝置及被動裝置。

【0081】 在一些實施例中，對導電連接件 150 進行迴焊以將第一封裝組件 100 貼合至接合接墊 304。導電連接件 150 將封裝基底 300（包括基底芯 302 中的金屬化層）電性耦合至及/或實體耦合至

第一封裝組件 100。在一些實施例中，在基底芯 302 上形成阻焊劑 306。可在阻焊劑 306 的開口中設置導電連接件 150，以電性耦合至及機械耦合至接合接墊 304。可使用阻焊劑 306 來保護基底 202 的區域免受外部損傷。

【0082】 導電連接件 150 在被迴焊之前可具有形成於其上的環氧焊劑（未示出），其中在將第一封裝組件 100 貼合至封裝基底 300 之後，環氧焊劑的環氧部分中的至少一些環氧部分保留下來。此種保留下來的環氧部分可充當底部填充膠，以減小應力並保護由對導電連接件 150 進行迴焊產生的接頭。在一些實施例中，可在第一封裝組件 100 與封裝基底 300 之間且環繞導電連接件 150 形成底部填充膠 308。可在貼合第一封裝組件 100 之後藉由毛細流動製程形成底部填充膠 308，或者可在貼合第一封裝組件 100 之前藉由適合的沈積方法形成底部填充膠 308。

【0083】 在一些實施例中，亦可將被動裝置（例如，表面安裝裝置（**surface mount device**，**SMD**）（未示出））貼合至第一封裝組件 100（例如，貼合至 **UBM 138**）或貼合至封裝基底 300（例如，貼合至接合接墊 304）。舉例而言，可將被動裝置接合至第一封裝組件 100 或封裝基底 300 的與導電連接件 150 相同的表面。可在將第一封裝組件 100 安裝於封裝基底 300 上之前將被動裝置貼合至封裝組件 100，或者可在將第一封裝組件 100 安裝於封裝基底 300 上之前或之後將被動裝置貼合至封裝基底 300。

【0084】 可在其他裝置堆疊中實施第一封裝組件 100。舉例而言，

示出 PoP 結構，但亦可在倒裝晶片球柵陣列 (Flip Chip Ball Grid Array, FCBGA) 封裝中實施第一封裝組件 100。在此種實施例中，將第一封裝組件 100 安裝至例如封裝基底 300 等基底，但省略第二封裝組件 200。做為替代，可將蓋 (lid) 或散熱器貼合至第一封裝組件 100。當省略第二封裝組件 200 時，亦可省略背側重佈線結構 106 及穿孔 116。

【0085】 亦可包括其他特徵及製程。舉例而言，可包括測試結構以幫助對三維 (three-dimensional, 3D) 封裝或三維積體電路 (three-dimensional integrated circuit, 3DIC) 裝置進行驗證測試。所述測試結構可例如包括在重佈線層中或基底上形成的測試接墊 (test pad)，以便能夠對 3D 封裝或 3DIC 進行測試、對探針及/或探針卡 (probe card) 進行使用以及進行類似操作。可對中間結構以及最終結構實行驗證測試。另外，可將本文中所揭露的結構及方法與包含對已知良好晶粒進行中間驗證的測試方法結合使用，以提高良率並降低成本。

【0086】 圖 21B 示出根據一些實施例的如圖 21A 中所示的區 101 的詳細剖視圖。介電槽 111 位於自穿孔 116 延伸的導通孔 117 之上。介電槽 111 的第一寬度 W_1 大於導通孔 117 的第二寬度 W_2 。

【0087】 圖 21C 示出根據一些實施例的金屬化圖案 110 的層級處的結構的俯視圖。如圖 21C 中所示，介電槽 111 在俯視圖中與穿孔 116 (示出為虛線圓) 及導通孔 117 (示出為虛線圓) 重疊。

【0088】 圖 22A 至圖 25 示出根據一些其他實施例的用於形成第

三封裝組件 400 的製程期間的中間步驟的剖視圖。第三封裝組件 400 的元件可相似於以上參照圖 2 至圖 19 所闡述的第一封裝組件 100，其中相同的參考編號表示使用相同製程形成的相同元件。如下文所更詳細論述，將背側重佈線結構 406 形成為包括黏合層。黏合層可有助於減小因隨後在背側重佈線結構 406 之上形成穿孔而引發的應力，藉此防止或減少背側重佈線結構 406 的各種層之間的分層。

【0089】 首先參照圖 22A 及圖 22B，其中示出在釋放層 104 之上形成介電層 108 以及在介電層 108 之上形成金屬化圖案 110。圖 22B 示出如圖 22A 中所示的區 401 的詳細剖視圖。可使用與以上參照圖 3A 至圖 3C 闡述的方法及材料相似的方法及材料來形成介電層 108 及金屬化圖案 110，且本文中不再予以贅述。在一些實施例中，金屬化圖案 110 的導電特徵在隨後形成的穿孔（參見例如圖 25 中的穿孔 116）下方延伸。

【0090】 在圖 23A 至圖 23B 中，在金屬化圖案 110 之上形成黏合層 402。黏合層 402 會增加金屬化圖案 110 與隨後形成的介電層（參見下文，圖 24）之間的黏合，且可減少或防止背側重佈線結構 406 的各種金屬化圖案與介電層之間的分層。在背側重佈線結構 406 中包括黏合層 402 可使位於穿孔 116 下方的金屬化圖案 110 與介電層 112 之間的分層的面積減小在 50%至 60%範圍內的因數。

【0091】 可藉由任何可接受的沈積製程（例如旋轉塗佈、CVD、疊層、類似製程或其組合）形成黏合層 402。在一些實施例中，黏

合層 402 包含聚合物，所述聚合物含有 1-吡咯啉、咪唑、類似成分或其組合。

【0092】 在一些實施例中，將黏合層 402 形成為在 30 奈米至 80 奈米範圍內的第一厚度 T_1 ，此有利於減少或防止所述各種金屬化圖案與介電層之間的分層。在一些實施例中，如根據圖 23A 所示，黏合層 402 覆蓋金屬化圖案 110 的被暴露出的表面及介電層 108 的被暴露出的表面。

【0093】 在圖 23A 至圖 23B 之後的圖 24 中，藉由形成介電層 112、金屬化圖案 113 及介電層 114 來完成背側重佈線結構 406。在一些實施例中，使用例如可接受的微影製程將黏合層 402 與介電層 112 一起圖案化。穿過介電層 112 及黏合層 402 形成金屬化圖案 113 的導通孔，以與金屬化圖案 110 實體耦合及電性耦合。穿過介電層 114 形成開口 115，以暴露出金屬化圖案 113 的部分。可利用與以上參照圖 4A 至圖 6A 所闡述的方法及材料相似的方法及材料形成介電層 112、金屬化圖案 113、介電層 114 及開口 115，且本文中不再予以贅述。在一些實施例中，在金屬化圖案 113 之上形成附加黏合層 402。在其中背側重佈線結構 406 具有附加層級的金屬化圖案及介電層的實施例中，可在所述金屬化圖案中的任一者之上形成附加的黏合層。

【0094】 在圖 25 中，在開口 115 中形成穿孔 116，且穿孔 116 遠離背側重佈線結構 406 的最頂介電層（例如，介電層 112）延伸。可利用與以上參照圖 7A 至圖 7B 所闡述的方法及材料相似的方法

及材料形成穿孔 116。製造第三封裝組件 400 的隨後的步驟可相似於以上參照圖 8A 至圖 19 所闡述的用於製造第一封裝組件 100 的步驟，且本文中不再予以贅述。

【0095】 圖 26A 示出根據一些實施例的裝置堆疊，所述裝置堆疊由已耦合至第二封裝組件 200 且安裝於封裝基底 300 上的經單體化的第三封裝組件 400 形成。圖 26B 示出根據一些實施例的如圖 26A 中所示的區 401 的詳細剖視圖。圖 26A 至圖 26B 中所示裝置堆疊可使用與以上參照圖 20 至圖 21B 所闡述的方法及材料相似的方法及材料由第三封裝組件 400 形成，且本文中不再予以贅述。背側重佈線結構 406 包括設置於金屬化圖案 110 與介電層 112 之間的黏合層 402。圖 26C 示出根據一些實施例的黏合層 402 的層級處的結構的俯視圖。如圖 26C 中所示，黏合層 402 在俯視圖中與穿孔 116（示出為虛線圓）及導通孔 117（示出為虛線圓）重疊。

【0096】 圖 27A 至圖 31 示出根據一些其他實施例的用於形成第四封裝組件 500 的製程期間的中間步驟的剖視圖。第四封裝組件 500 包括背側重佈線結構 506，背側重佈線結構 506 具有厚度增大或相對厚度經調整的介電層 508 及介電層 512。第四封裝組件 500 可相似於以上參照圖 2 至圖 19 闡述的第一封裝組件 100，其中相同的參考編號表示使用相同的製程形成的相同的元件。

【0097】 在圖 27A 至圖 30 中，在釋放層 104 上形成背側重佈線結構 506。在所示出的實施例中，背側重佈線結構 506 包括一個或多個介電層以及位於所述介電層中的相鄰者之間的金屬化圖案

(有時稱為重佈線層或重佈線線)。背側重佈線結構 506 包括相應厚度增大且相對於彼此的相對厚度經調整的介電層。介電層的相應厚度增大及介電層相對於彼此的相對厚度經調整可減小各種層之間(例如背側重佈線結構的各層金屬化圖案與介電層之間)的應力，藉此減小分層問題。

【0098】 圖 27A 示出在釋放層 104 之上形成介電層 508。圖 27B 示出如圖 27A 中所示的區 501 的詳細剖視圖。可使用與以上參照圖 3A 至圖 3C 針對介電層 108 所闡述的方法及材料相似的方法及材料形成介電層 508，且本文中不再予以贅述。在一些實施例中，將介電層 508 形成為在 7.5 微米至 15 微米範圍內的第二厚度 T_2 。

【0099】 圖 28A 至圖 28B 示出金屬化圖案 110 的形成。可使用與以上參照圖 4A 至圖 4C 所闡述的方法及材料相似的方法及材料形成金屬化圖案 110，且本文中不再予以贅述。在一些實施例中，金屬化圖案 110 未在隨後形成的穿孔 116 (參見下文，圖 31) 下方形成有不具有導電材料的區 109。

【0100】 圖 29A 至圖 29B 示出介電層 512 的形成。可使用與以上參照圖 4A 至圖 4B 針對介電層 112 所闡述的方法及材料相似的方法及材料來形成介電層 512，且本文中不再予以贅述。在一些實施例中，將介電層 512 形成為在 7.5 微米至 15 微米範圍內的第三厚度 T_3 。

【0101】 藉由調整介電層 512 的第二厚度 T_2 對第三厚度 T_3 的比率，可減小在隨後形成的穿孔 116 下方的位置處金屬化圖案 110 與

介電層 512 之間的應力。此可減少或防止在隨後形成的穿孔 116 下方金屬化圖案 110 與介電層 512 之間分層的面積。在一些實施例中，第二厚度 T_2 對第三厚度 T_3 的比率為 1 或大於 1（例如在 1 至 3 範圍內），此有利於減少或防止金屬化圖案 110 與介電層 512 之間的分層。做為實例， $T_2:T_3$ 的比率在 1 至 3 範圍內可在高溫製程期間將介電層 512 上的應力減小高達 18%，所述高溫製程為例如在約 220°C 下實行的對包封體 120（參見上文，圖 9A 至圖 9B）的隨後的固化。 $T_2:T_3$ 的比率小於 1 可能不足以減小金屬化圖案 110 與介電層 512 之間的應力。 $T_2:T_3$ 的比率大於 3 可能是不利的，此乃因會導致增大的封裝翹曲或導致在例如雷射鑽孔（參見上文，圖 18）之後穿過介電層 512 形成的導電連接件的開口的鋸齒狀邊緣（jagged edge）。

【0102】 在圖 30A 及圖 30B 中，藉由形成金屬化圖案 113 及介電層 114 來完成背側重佈線結構 506。穿過介電層 114 形成開口 115，以暴露出金屬化圖案 113 的部分。可利用與以上參照圖 5A 至圖 6A 所闡述的方法及材料相似的方法及材料形成金屬化圖案 113、介電層 114 及開口 115，且本文中不再予以贅述。

【0103】 在圖 31 中，在開口 115 中形成穿孔 116，且穿孔 116 遠離背側重佈線結構 506 的最頂介電層（例如，介電層 112）延伸。可利用與以上參照圖 7A 至圖 7B 所闡述的方法及材料相似的方法及材料形成穿孔 116。製造第四封裝組件 500 的隨後的步驟可相似於以參照圖 8A 至圖 19 所闡述的用於製造第一封裝組件 100 的步

驟，且本文中不再予以贅述。

【0104】 圖 32A 示出根據一些實施例的裝置堆疊，所述裝置堆疊由已耦合至第二封裝組件 200 且安裝於封裝基底 300 上的經單體化的第四封裝組件 500 形成。圖 32B 示出根據一些實施例的如圖 32A 中所示的區 501 的詳細剖視圖。圖 32A 至圖 32B 中所示裝置堆疊可使用與以上參照圖 20 至圖 21B 所闡述的方法及材料相似的方法及材料由第四封裝組件 500 形成，且本文中不再予以贅述。背側重佈線結構 506 包括具有第二厚度 T_2 的介電層 508 及具有第三厚度 T_3 的介電層 512。在一些實施例中，第二厚度 T_2 對第三厚度 T_3 的比率在 1 至 3 範圍內。

【0105】 圖 33 至圖 36 示出在具有介電槽 111、黏合層 402 以及厚度增大或相對厚度經調整的介電層 508 及介電層 512 的組合的實施例中與區 101（參見上文，圖 21A 至圖 21B）、區 401（參見上文，圖 26A 至圖 26B）及區 501（參見上文，圖 32A 至圖 32B）相似的區的剖視圖。圖 33 示出在金屬化圖案 110 之上有黏合層 402 的情況下在金屬化圖案 110 中有介電槽 111 的實施例。圖 34 示出金屬化圖案 110 中的介電槽 111 與厚度增大或相對厚度經調整的介電層 508 及介電層 512 相組合的實施例。圖 35 示出金屬化圖案 110 之上的黏合層 402 與厚度增大或相對厚度經調整的介電層 508 及介電層 512 相組合的實施例。圖 36 示出在金屬化圖案之上有黏合層 402 的情況下在金屬化圖案 110 中有介電槽 111 的實施例，其中介電層 508 及介電層 512 具有增大的厚度或經調整的

相對厚度。

【0106】 圖 37A 示出根據一些實施例的裝置堆疊，所述裝置堆疊由已耦合至第二封裝組件 200 且安裝於封裝基底 300 上的經單體化的第五封裝組件 600 形成。圖 37B 示出根據一些實施例的如圖 37A 中所示的區 601 的詳細剖視圖。第五封裝組件 600 包括具有四個介電層及三個金屬化圖案之背側重佈線結構 606，可使用與以上參照圖 3A 至圖 6B 闡述的背側重佈線結構 106 的方法及材料相似的方法及材料形成背側重佈線結構 606，但添加了一個介電層及一個金屬化圖案 610。圖 37A 至圖 37B 中所示裝置堆疊可使用與以上參照圖 20 至圖 21B 闡述的方法及材料相似的方法及材料由第五封裝組件 600 形成，且本文中不再予以贅述。如圖 32B 中所示，背側重佈線結構 606 包括位於介電層 108 上方的金屬化圖案 610，且金屬化圖案 610 的導電材料可在導通孔 117 的覆蓋區之上位於介電槽 111 上方。圖 37C 示出根據一些實施例的金屬化圖案 610 的層級處的結構的俯視圖。如圖 37C 中所示，金屬化圖案 610 的導電材料在俯視圖中與介電槽 111（示出為虛線圓）、穿孔 116（示出為虛線圓）及導通孔 117（示出為虛線圓）重疊。

【0107】 實施例可達成例如減少或防止背側重佈線結構的金屬化圖案與介電層之間的不利分層等優點。可在金屬化圖案中在穿孔的相應覆蓋區下方包括介電槽。可在金屬化圖案之上形成黏合層，以提高與隨後形成的介電層的黏合。可調整背側重佈線結構的介電層的相對厚度。

【0108】 根據實施例，一種半導體封裝包括背側重佈線結構、前側重佈線結構、包封體以及穿孔。所述背側重佈線結構包括：第一介電層；第二介電層，位於第一介電層上；第一金屬化圖案，位於第一介電層與第二介電層之間，其中第二介電層延伸穿過第一金屬化圖案以形成介電槽；以及第二金屬化圖案，其中第二介電層位於第一金屬化圖案與第二金屬化圖案之間。所述包封體位於背側重佈線結構與前側重佈線結構之間。所述穿孔延伸穿過包封體，所述穿孔與第二金屬化圖案實體耦合，其中介電槽在俯視圖中與穿孔重疊。在實施例中，介電槽位於第一金屬化圖案的虛設圖案中。在實施例中，介電槽在俯視圖中具有第一表面積，虛設圖案中的矩形介電區在俯視圖中具有第二表面積，且第一表面積大於第二表面積。在實施例中，介電槽在俯視圖中具有圓形形狀。在實施例中，穿孔包括延伸至背側重佈線結構中的導通孔，介電槽在俯視圖中與導通孔重疊。在實施例中，介電槽具有第一寬度，導通孔具有第二寬度，且第一寬度大於第二寬度。在實施例中，背側重佈線結構更包括第三金屬化圖案，其中第一介電層位於第三金屬化圖案與第一金屬化圖案之間，其中第三金屬化圖案的導電材料在俯視圖中與介電槽重疊。在實施例中，背側重佈線結構更包括位於第一金屬化圖案與第二介電層之間的黏合層。

【0109】 根據另一實施例，一種半導體封裝包括前側重佈線結構、背側重佈線結構、積體電路晶粒、包封體以及穿孔。所述背側重佈線結構包括：第一介電層；第一金屬化圖案，位於第一介電層上；

黏合層，位於第一金屬化圖案上，其中第一金屬化圖案位於黏合層與第一介電層之間，其中黏合層的一部分在俯視圖中與穿孔重疊；第二介電層，位於黏合層上，其中黏合層位於第二介電層與第一金屬化圖案之間；以及第二金屬化圖案，位於第二介電層上，其中第二介電層位於第二金屬化圖案與黏合層之間。所述積體電路晶粒電性耦合至前側重佈線結構，所述積體電路晶粒位於前側重佈線結構與背側重佈線結構之間。所述包封體圍繞積體電路晶粒延伸。所述穿孔延伸穿過包封體，所述穿孔將前側重佈線結構電性耦合至背側重佈線結構。在實施例中，黏合層包含 1-吡咯啉。在實施例中，第二金屬化圖案的導通孔延伸穿過黏合層以實體接觸第一金屬化圖案。在實施例中，第一介電層具有第一厚度，第二介電層具有第二厚度，且第一厚度對第二厚度的比率為 1 或大於 1。在實施例中，背側重佈線結構更包括穿過第一金屬化圖案的介電槽，所述介電槽在俯視圖中與穿孔重疊。

【0110】 根據又一實施例，一種製造半導體封裝的方法包括：在載體基底之上沈積第一介電層；在第一介電層之上形成第一金屬化圖案，其中第一金屬化圖案具有暴露出第一介電層的第一開口；在第一金屬化圖案之上沈積第二介電層，其中沈積第二介電層藉由填充第一開口而形成穿過第一金屬化圖案的介電槽；在第二介電層之上形成第二金屬化圖案；在第二金屬化圖案之上沈積第三介電層；以及在第三介電層之上形成穿孔，其中介電槽在側向上位於穿孔下方。在實施例中，形成穿孔包括形成穿過第三介電層的導

通孔，所述導通孔上覆於介電槽之上。在實施例中，介電槽具有第一寬度，導通孔具有第二寬度，且第一寬度大於第二寬度。在實施例中，所述方法更包括在第一金屬化圖案之上形成黏合層，其中隨後在黏合層之上沈積第二介電層，其中形成第二金屬化圖案包括形成穿過第二介電層及黏合層的第二開口。在實施例中，黏合層包含聚合物。在實施例中，第一介電層具有第一厚度，第二介電層具有第二厚度，且第一厚度對第二厚度的比率在 1 至 3 範圍內。在實施例中，所述方法更包括：將積體電路晶粒黏合至第三介電層；利用包封體來包封積體電路晶粒及穿孔；以及在積體電路晶粒、穿孔及包封體之上形成前側重佈線結構。

【0111】 以上概述了若干實施例的特徵，以使熟習此項技術者可更佳地理解本揭露的各態樣。熟習此項技術者應理解，他們可容易地使用本揭露做為設計或修改其他製程及結構的基礎來施行與本文中所介紹的實施例相同的目的及/或達成與本文中所介紹的實施例相同的優點。熟習此項技術者亦應認識到，此種等效構造並不背離本揭露的精神及範圍，而且他們可在不背離本揭露的精神及範圍的條件下對其作出各種改變、代替及變更。

【符號說明】

【0112】

50:積體電路晶粒

50A:積體電路晶粒/第一積體電路晶粒

50B:積體電路晶粒/第二積體電路晶粒

52:半導體基底

54:裝置

56:層間介電質 (ILD)

58:導電插塞

60:內連線結構

62:接墊

64:鈍化膜

66:晶粒連接件

68、108、112、114、124、128、132、136、508、512:介電

層

100:封裝組件/第一封裝組件

100A:封裝區/第一封裝區

100B:封裝區/第二封裝區

101、109、401、501、601:區

102、300:載體基底

104:釋放層

106:重佈線結構/背側重佈線結構

110、113、126、130、134、610:金屬化圖案

110':部分

111:介電槽

115:開口

116:穿孔

117:通孔/導通孔

120:包封體

122:前側重佈線結構

138:凸塊下金屬 (UBM)

140:背側增強層

150、152:導電連接件

200:第二封裝組件

202:基底

204、206、304:接合接墊

208:導通孔

210A、210B:堆疊晶粒

212:引線接合件

214:模製材料

302:基底芯

306:阻焊劑

308:底部填充膠

400:第三封裝組件

402:黏合層/附加黏合層

406、506、606:背側重佈線結構

500:第四封裝組件

600:第五封裝組件

D₁:距離

S_1 :第一間距

T_1 :第一厚度

T_2 :第二厚度

T_3 :第三厚度

W_1 :第一寬度

W_2 :第二寬度

【發明申請專利範圍】

【請求項1】 一種半導體封裝，包括：

背側重佈線結構，所述背側重佈線結構包括：

第一介電層；

第二介電層，位於所述第一介電層上；

第一金屬化圖案，位於所述第一介電層與所述第二介電層之間，其中所述第二介電層延伸穿過所述第一金屬化圖案以形成介電槽；以及

第二金屬化圖案，其中所述第二介電層位於所述第一金屬化圖案與所述第二金屬化圖案之間；

前側重佈線結構；

包封體，位於所述背側重佈線結構與所述前側重佈線結構之間；以及

穿孔，延伸穿過所述包封體，所述穿孔與所述第二金屬化圖案實體耦合，其中所述介電槽在俯視圖中與所述穿孔重疊，

其中所述背側重佈線結構更包括第三金屬化圖案，其中所述第一介電層位於所述第三金屬化圖案與所述第一金屬化圖案之間，其中所述第三金屬化圖案的導電材料在所述俯視圖中與所述介電槽重疊。

【請求項2】 如請求項1所述的半導體封裝，其中所述介電槽位於所述第一金屬化圖案的虛設圖案中。

【請求項3】 如請求項1所述的半導體封裝，其中所述介電槽在俯

視圖中具有圓形形狀。

【請求項4】 如請求項 1 所述的半導體封裝，其中所述穿孔包括延伸至所述背側重佈線結構中的導通孔，所述介電槽在所述俯視圖中與所述導通孔重疊。

【請求項5】 如請求項 1 所述的半導體封裝，其中所述背側重佈線結構更包括位於所述第一金屬化圖案與所述第二介電層之間的黏合層。

【請求項6】 一種半導體封裝，包括：

前側重佈線結構；

背側重佈線結構，所述背側重佈線結構包括：

第一介電層；

第一金屬化圖案，位於所述第一介電層上；

黏合層，位於所述第一金屬化圖案上，其中所述第一金屬化圖案位於所述黏合層與所述第一介電層之間，其中所述黏合層的一部分在俯視圖中與穿孔重疊；

第二介電層，位於所述黏合層上，其中所述黏合層位於所述第二介電層與所述第一金屬化圖案之間；以及

第二金屬化圖案，位於所述第二介電層上，其中所述第二介電層位於所述第二金屬化圖案與所述黏合層之間；

積體電路晶粒，電性耦合至所述前側重佈線結構，所述積體電路晶粒位於所述前側重佈線結構與所述背側重佈線結構之間；

包封體，圍繞所述積體電路晶粒延伸；以及

所述穿孔，延伸穿過所述包封體，所述穿孔將所述前側重佈線結構電性耦合至所述背側重佈線結構。

【請求項7】 如請求項6所述的半導體封裝，其中所述第二金屬化圖案的導通孔延伸穿過所述黏合層以實體接觸所述第一金屬化圖案。

【請求項8】 如請求項6所述的半導體封裝，其中所述背側重佈線結構更包括穿過所述第一金屬化圖案的介電槽，所述介電槽在所述俯視圖中與所述穿孔重疊。

【請求項9】 一種製造半導體封裝的方法，所述方法包括：

在載體基底之上沈積第一介電層；

在所述第一介電層之上形成第一金屬化圖案，其中所述第一金屬化圖案具有暴露出所述第一介電層的第一開口；

在所述第一金屬化圖案之上沈積第二介電層，其中沈積所述第二介電層藉由填充所述第一開口而形成穿過所述第一金屬化圖案的介電槽；

在所述第二介電層之上形成第二金屬化圖案；

在所述第二金屬化圖案之上沈積第三介電層；

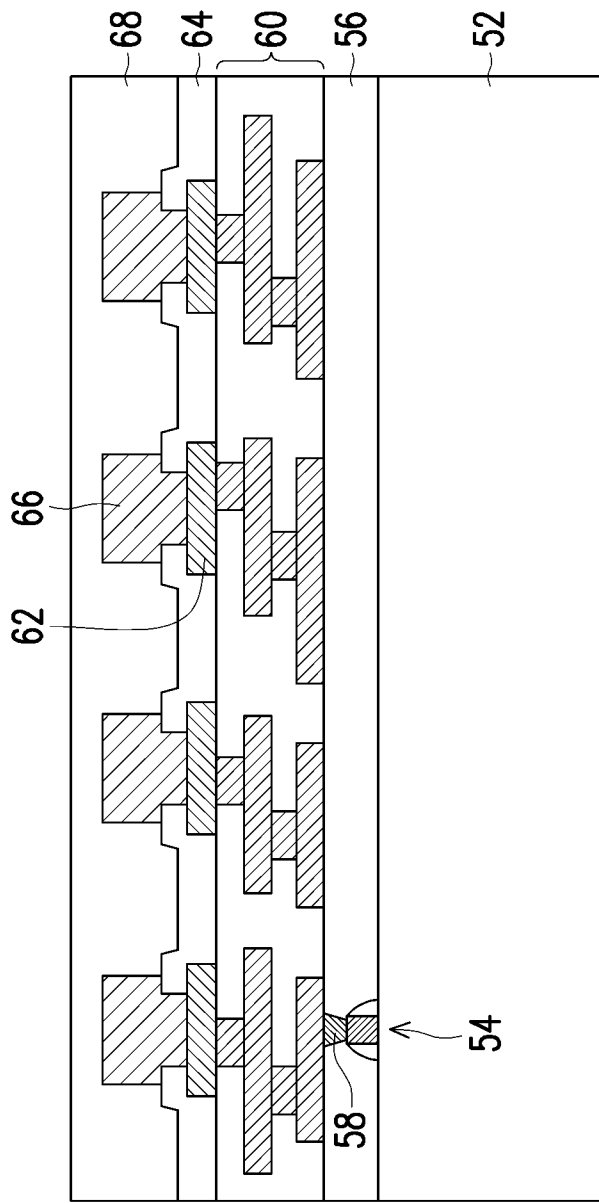
在所述第三介電層之上形成穿孔，其中所述介電槽在側向上位於所述穿孔下方；以及

形成第三金屬化圖案，其中所述第一介電層位於所述第三金屬化圖案與所述第一金屬化圖案之間，其中所述第三金屬化圖案的導電材料在所述俯視圖中與所述介電槽重疊，所述介電槽在俯

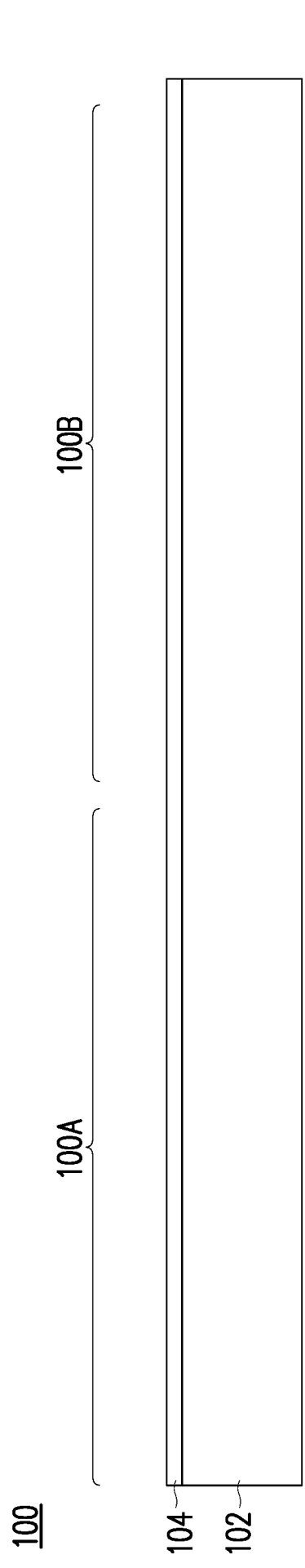
視圖中與所述穿孔重疊。

【請求項10】 如請求項 9 所述製造半導體封裝的方法，其中形成所述穿孔包括形成穿過所述第三介電層的導通孔，所述導通孔上覆於所述介電槽之上。

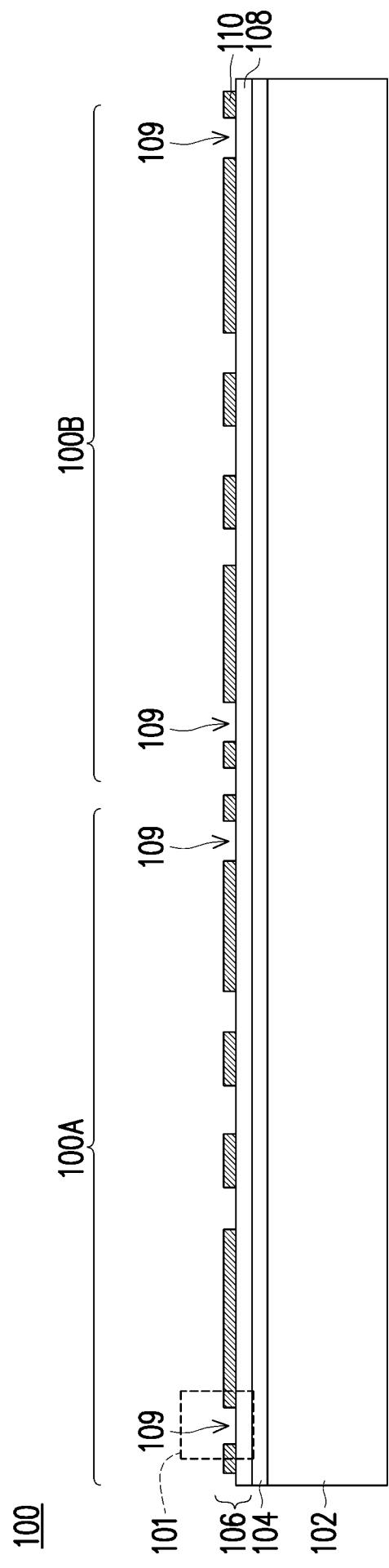
【發明圖式】



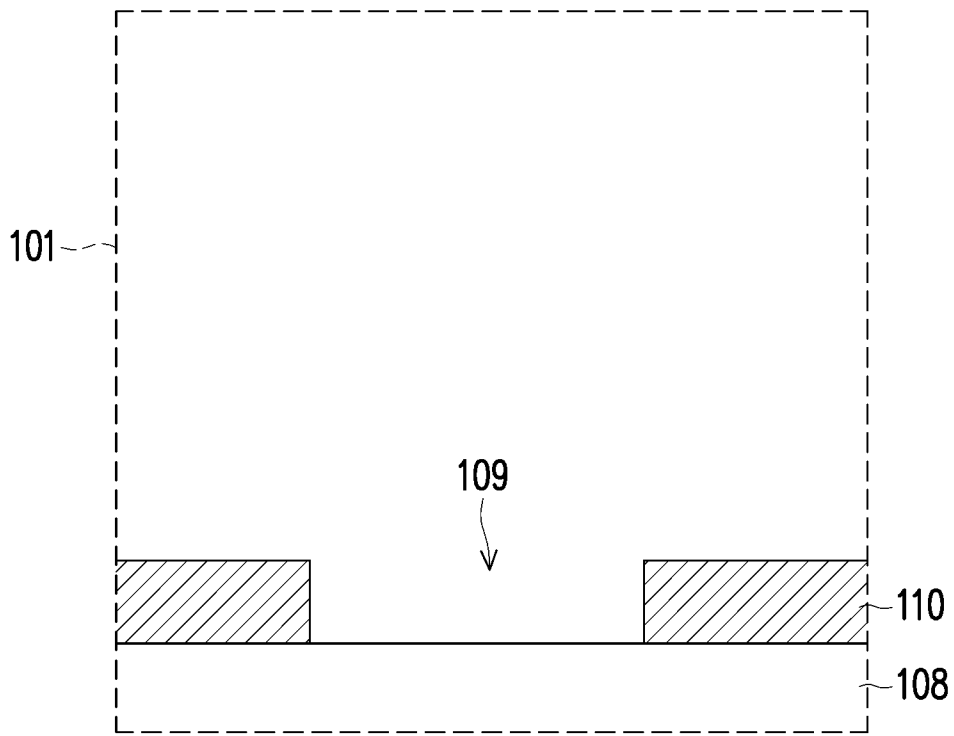
【圖1】



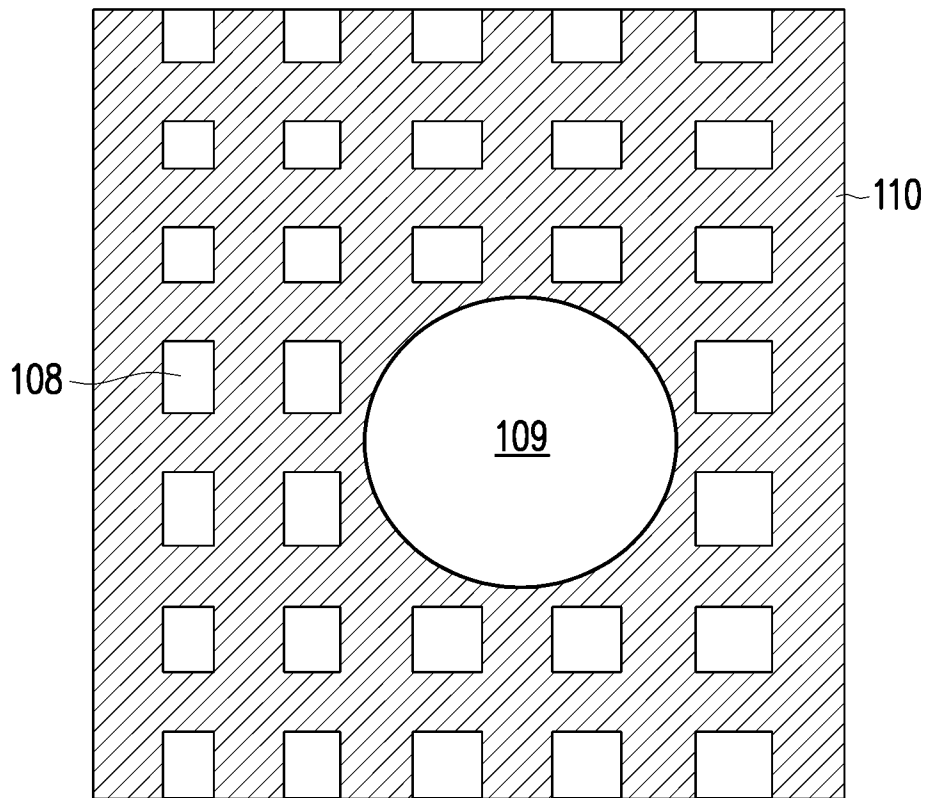
【圖2】



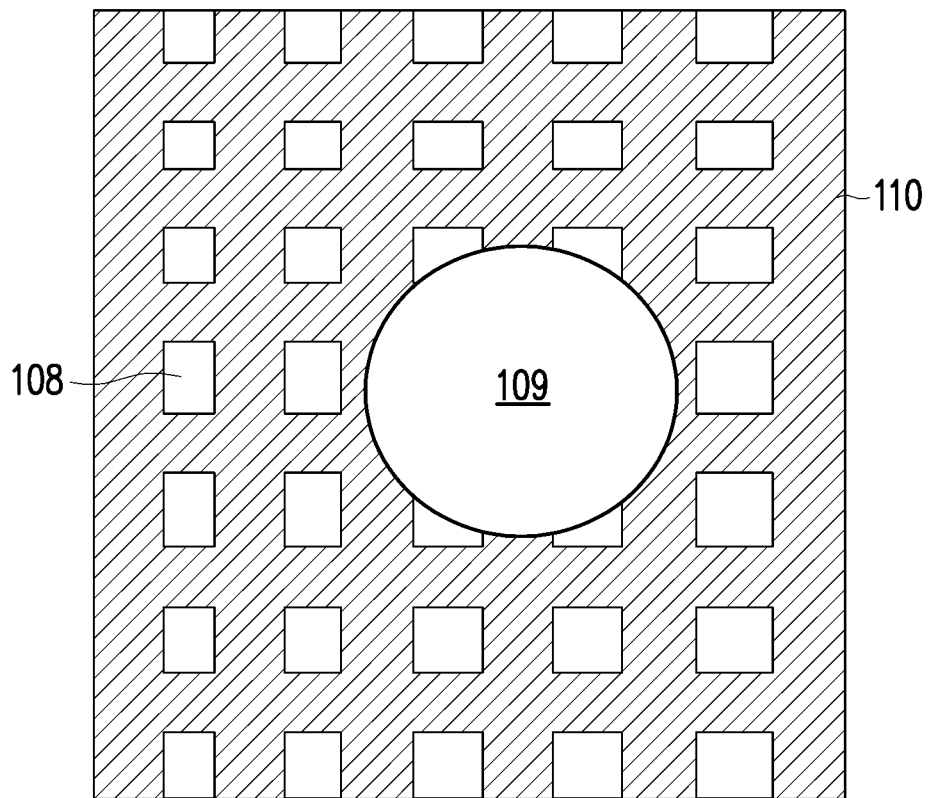
【圖3A】



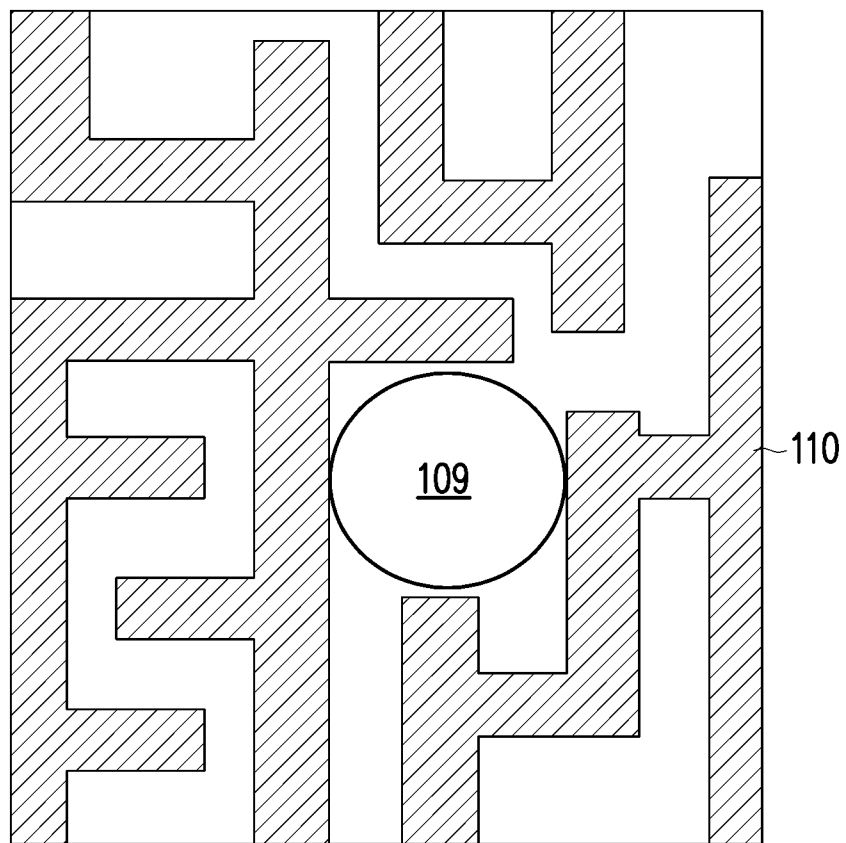
【圖3B】



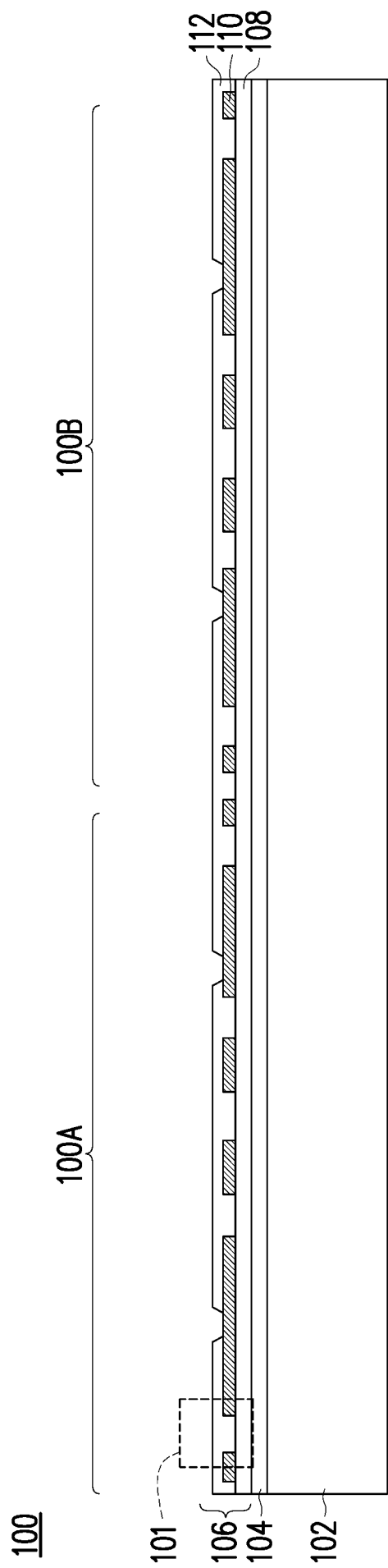
【圖3C】



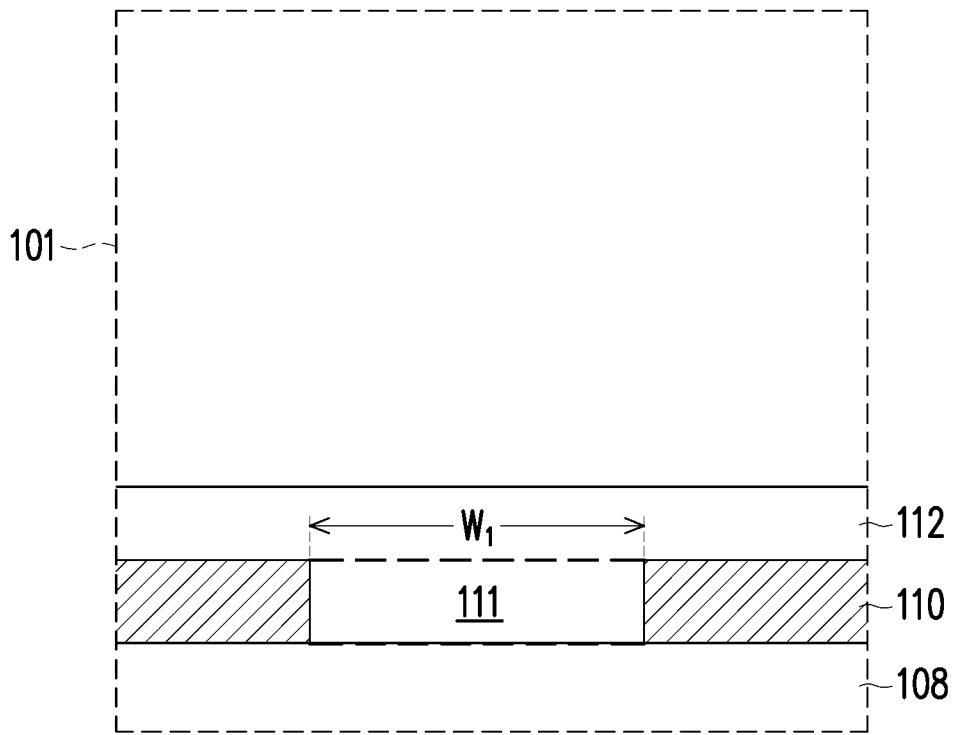
【圖3D】



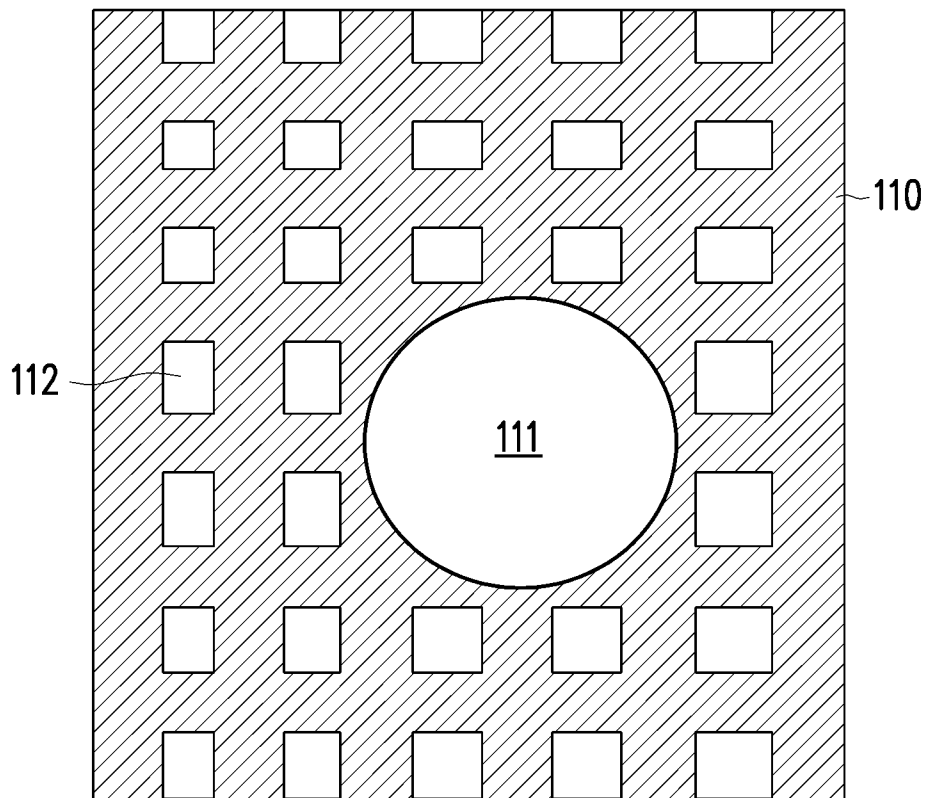
【圖3E】



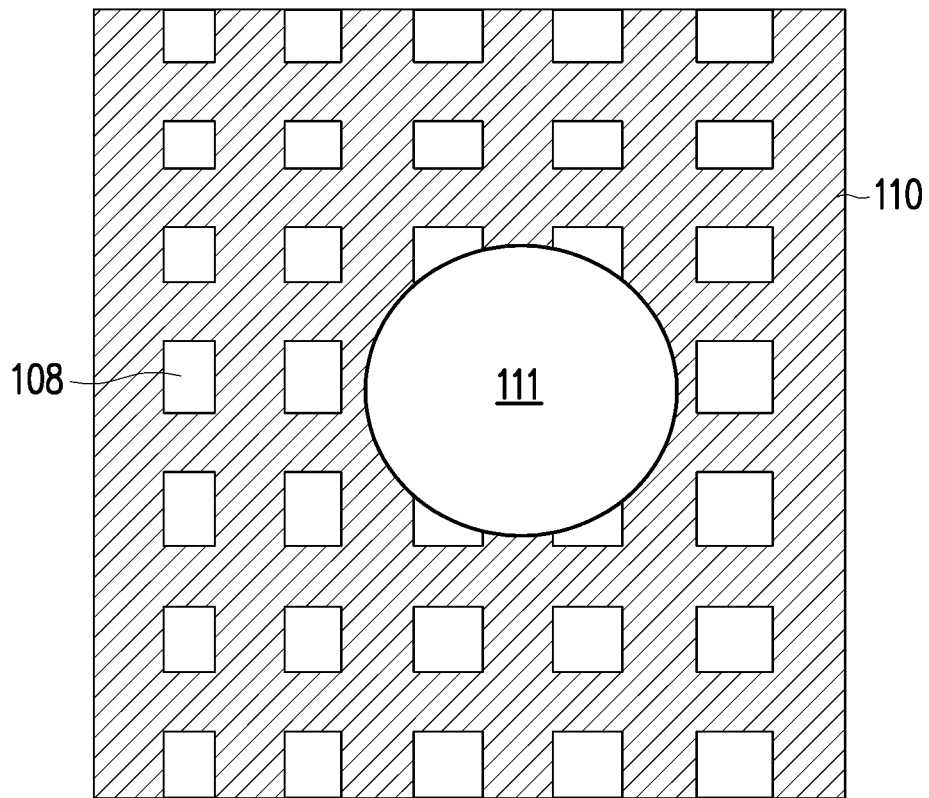
【圖4A】



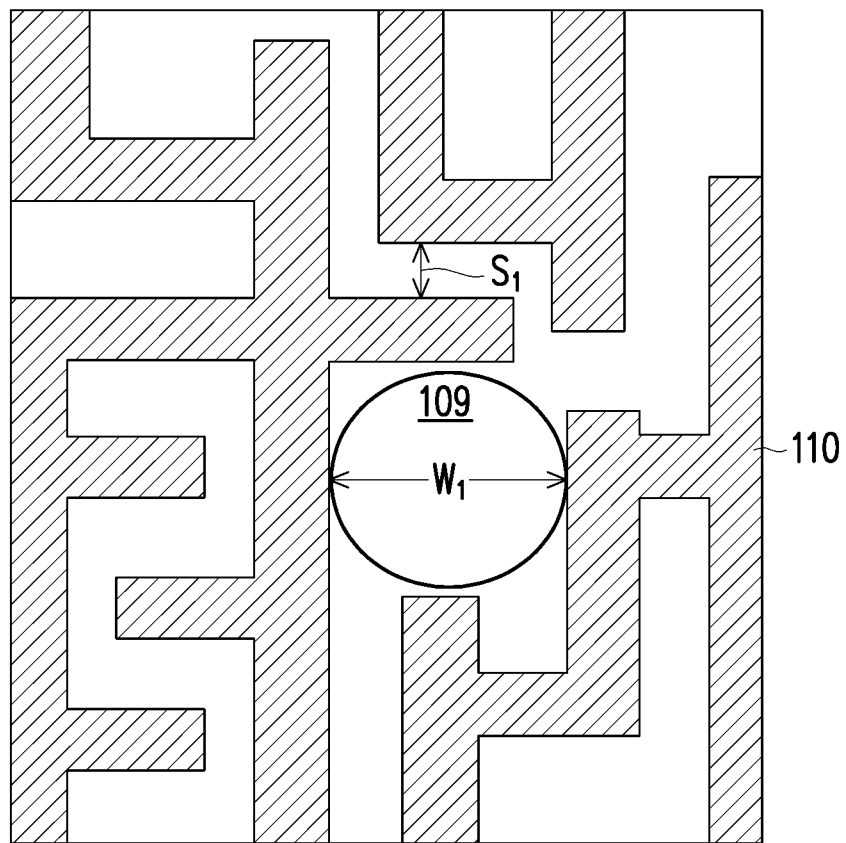
【圖4B】



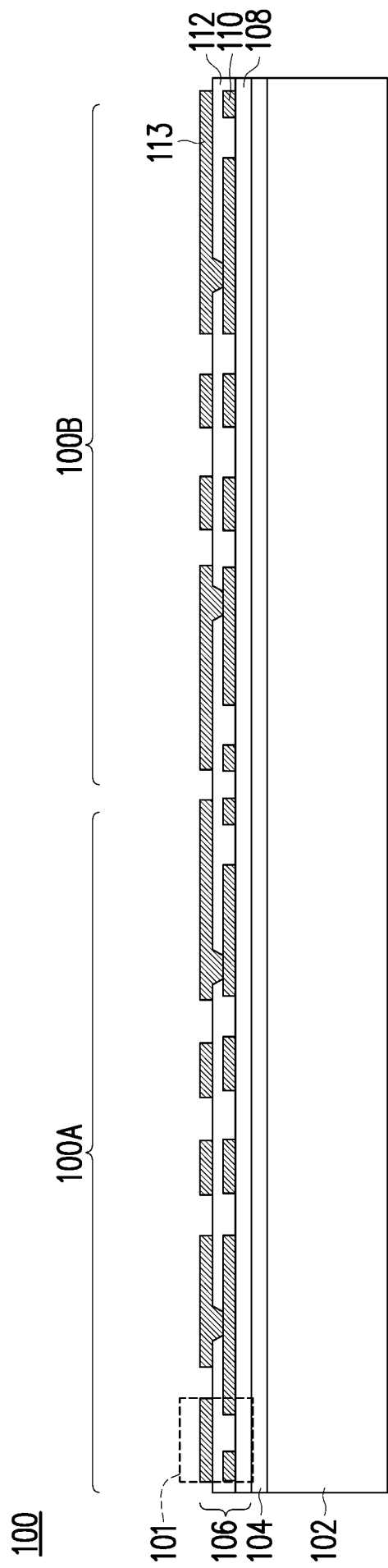
【圖4C】



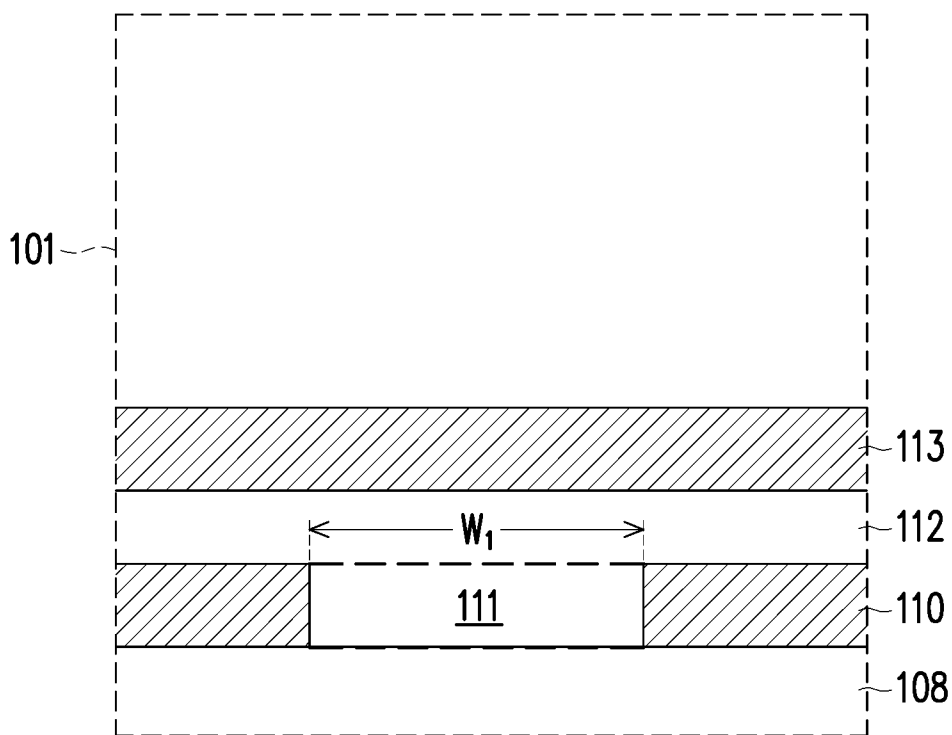
【圖4D】



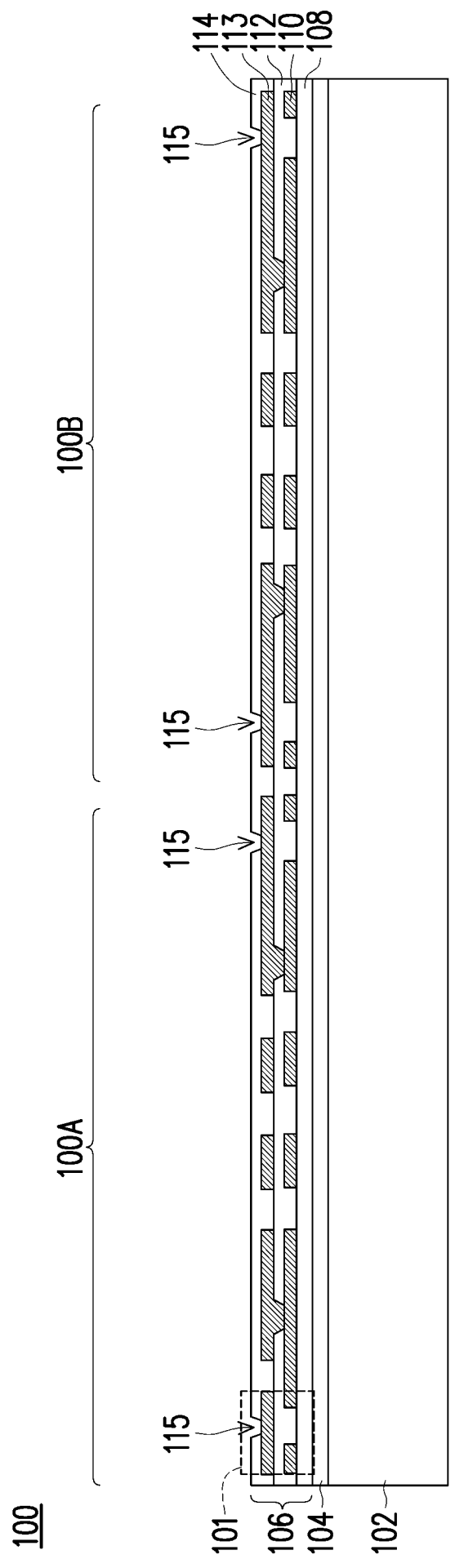
【圖4E】



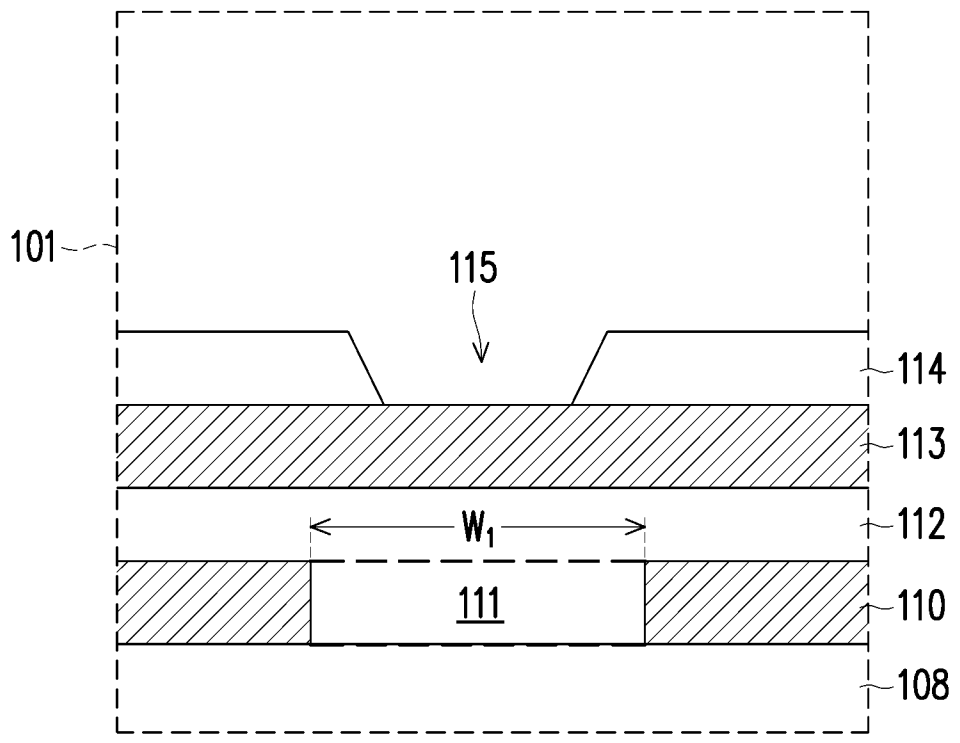
【圖5A】



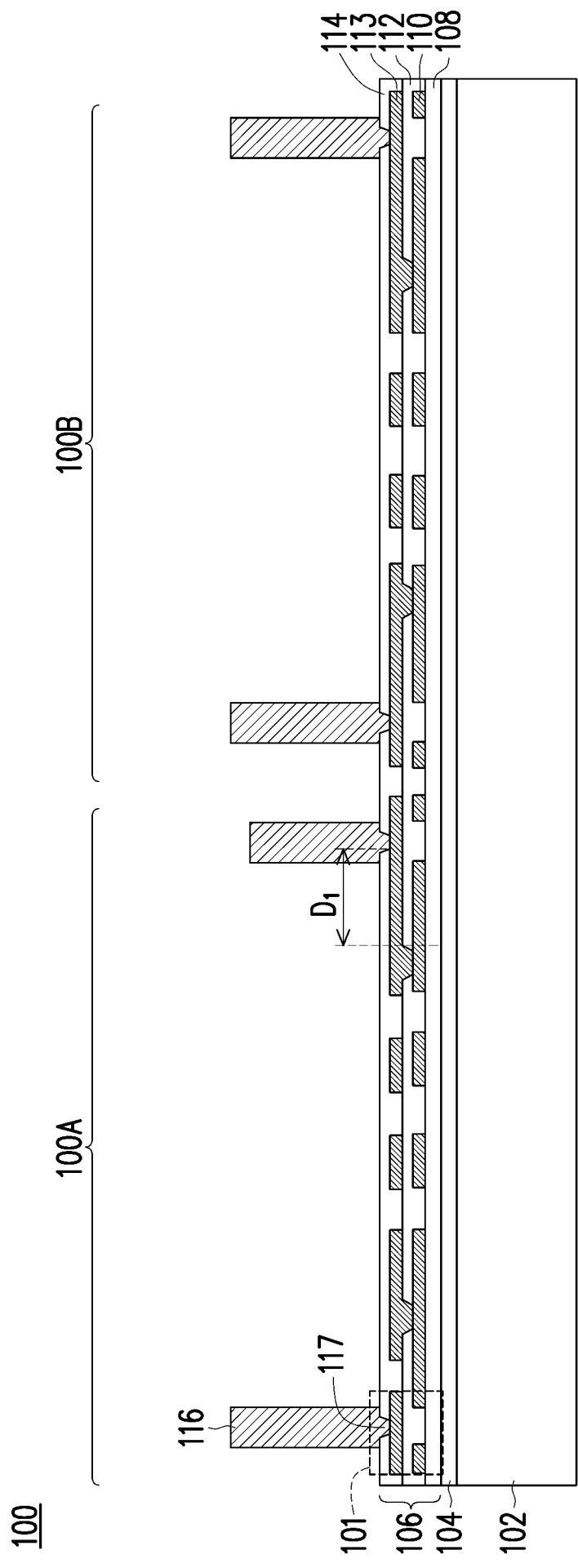
【圖5B】



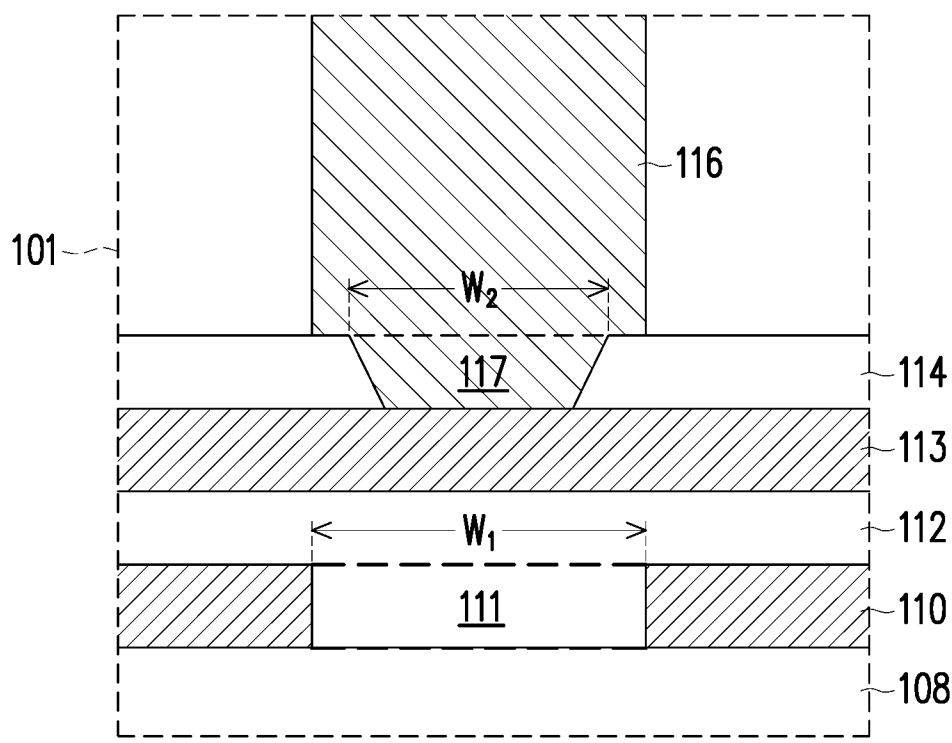
【圖6A】



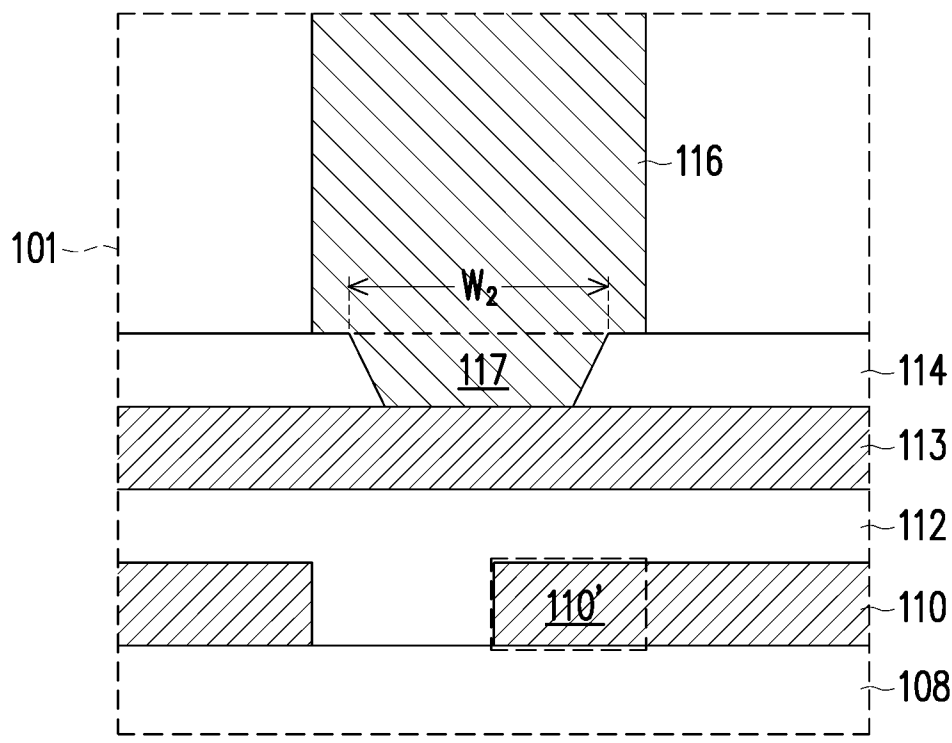
【圖6B】



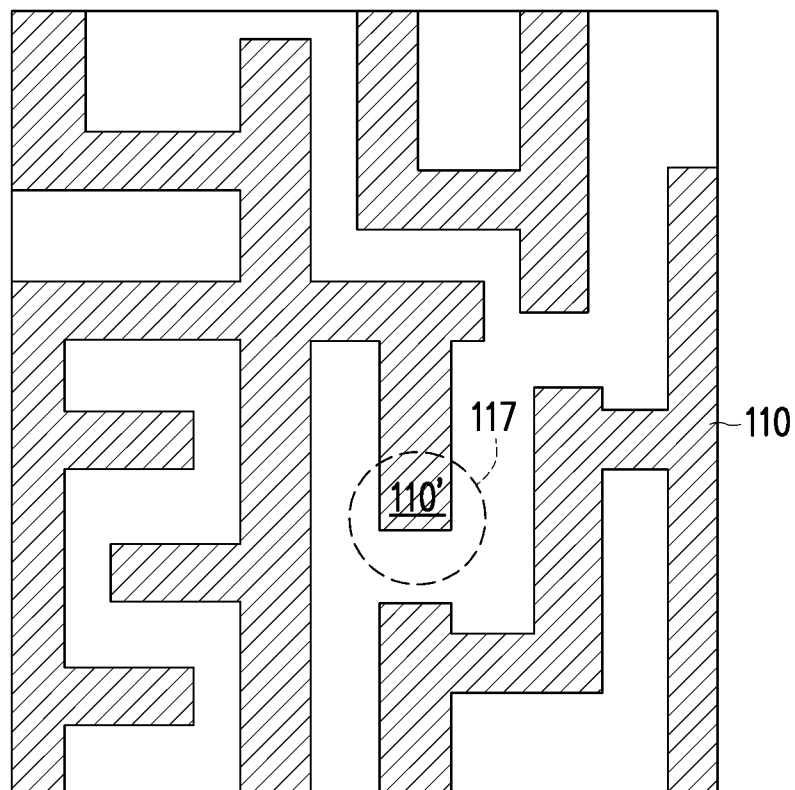
【圖7A】



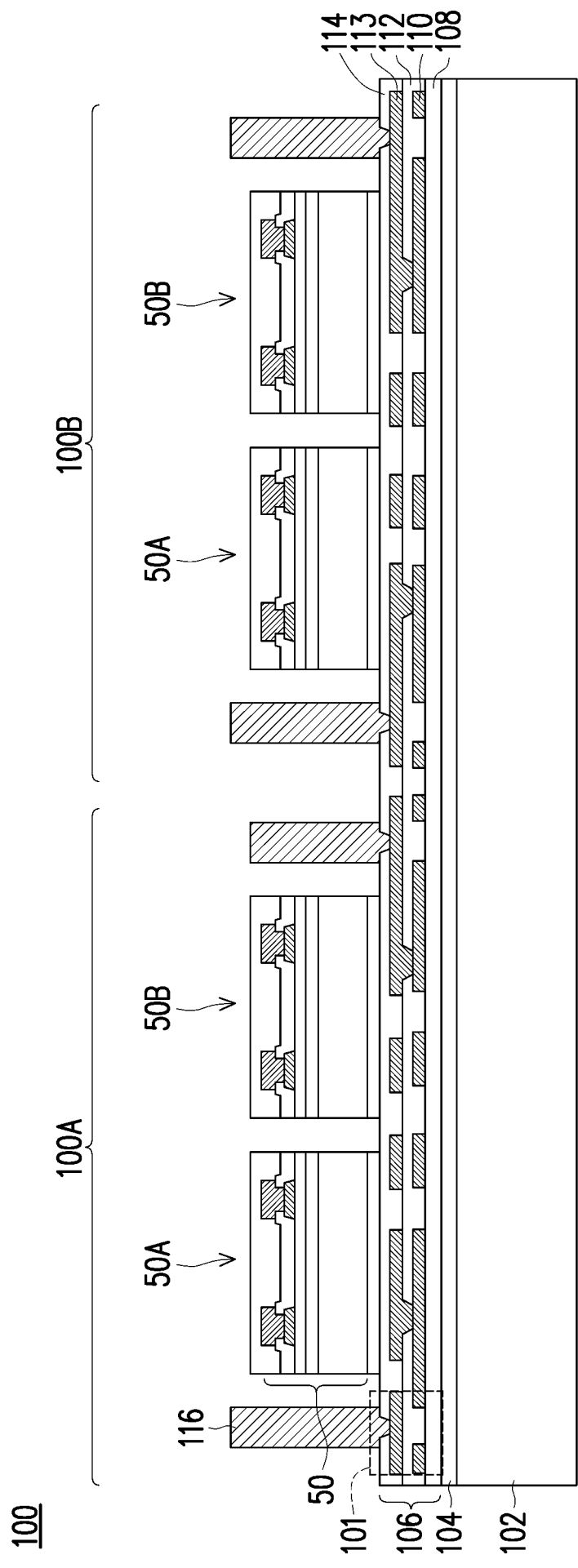
【圖7B】



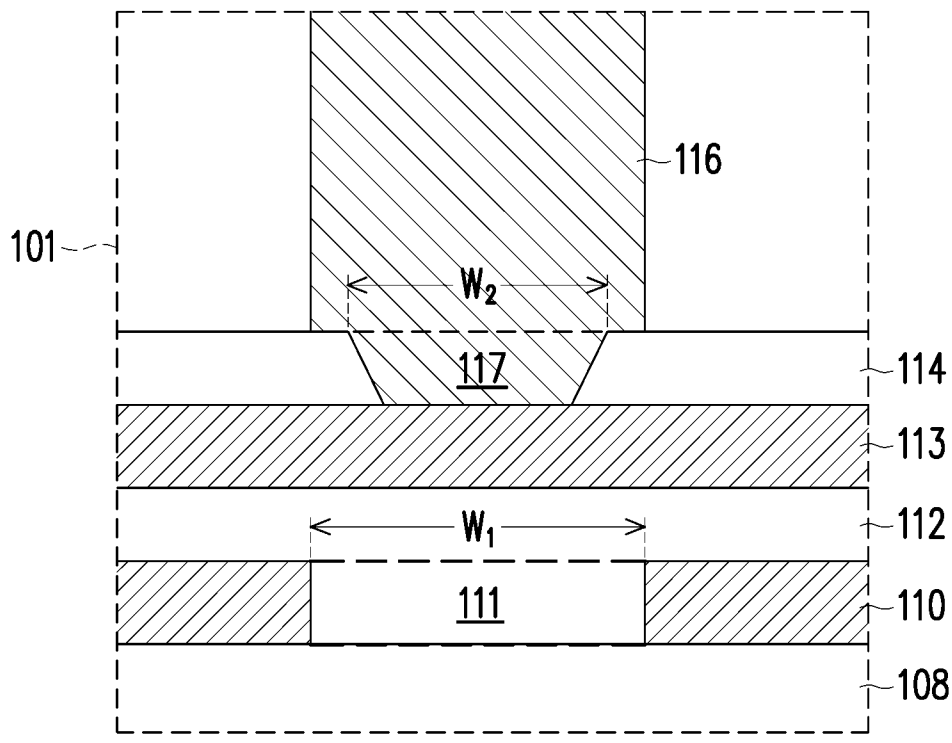
【圖7C】



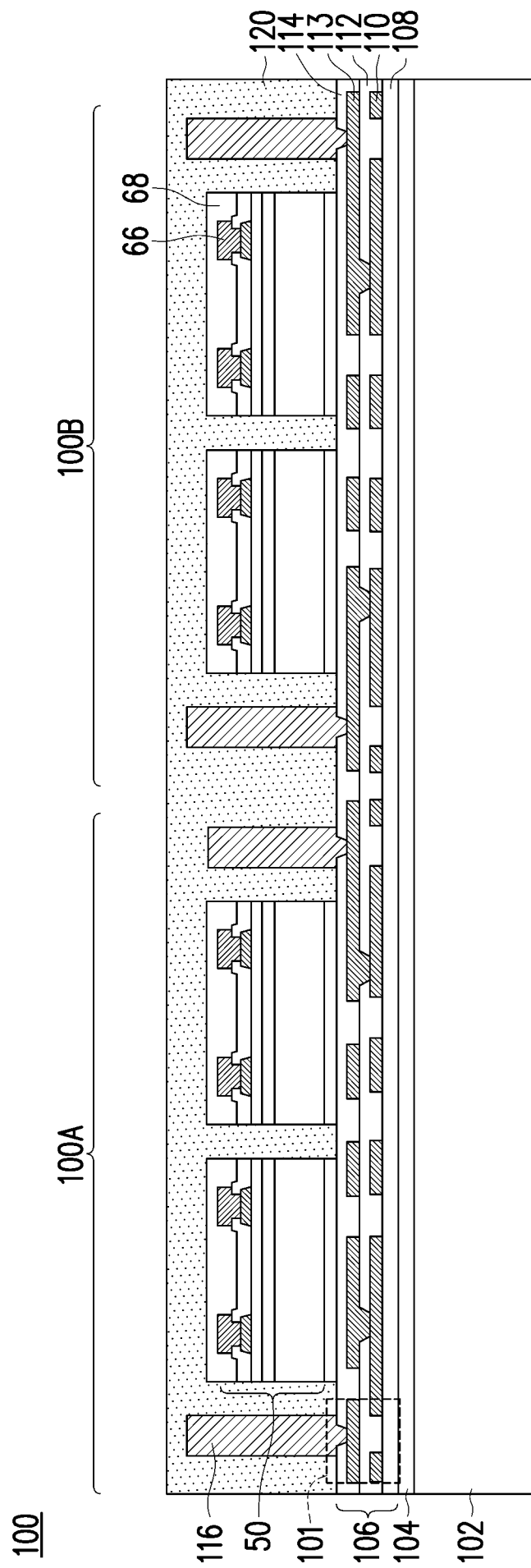
【圖7D】



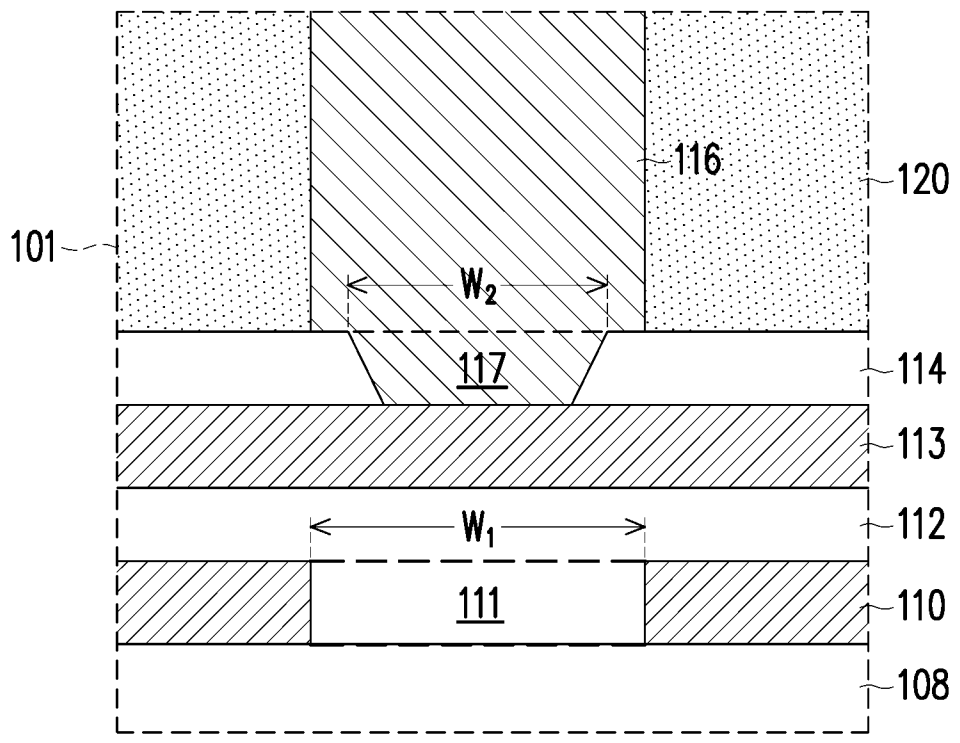
【圖8A】



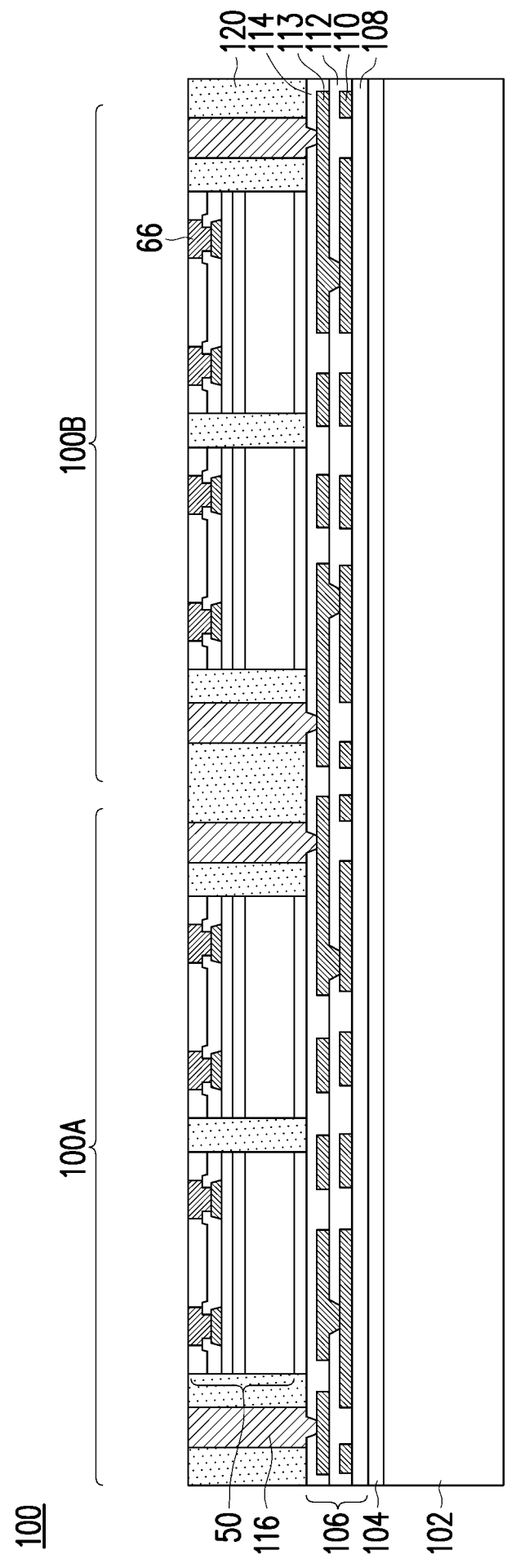
【圖8B】



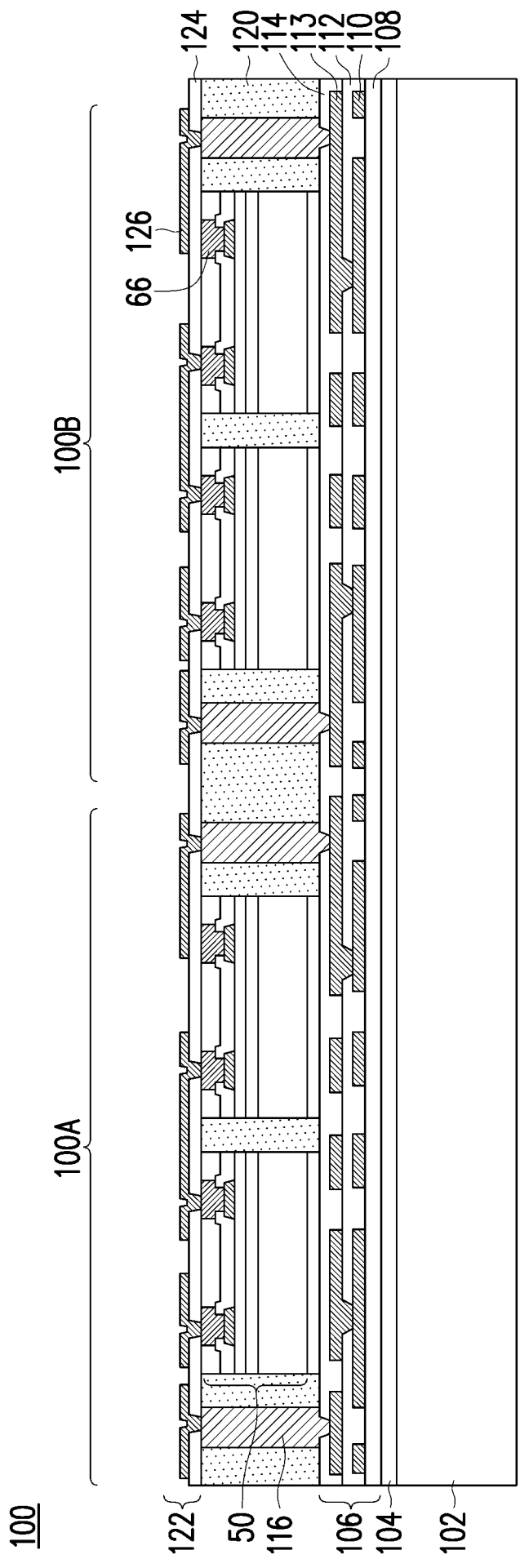
【圖9A】



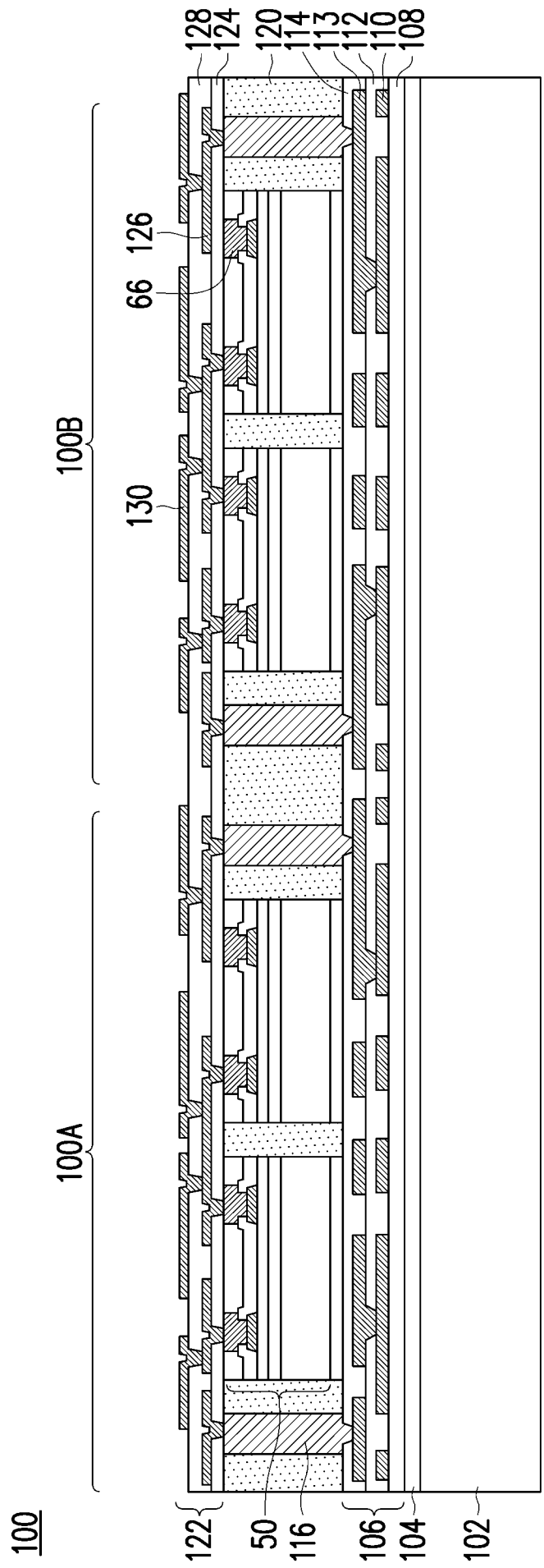
【圖9B】



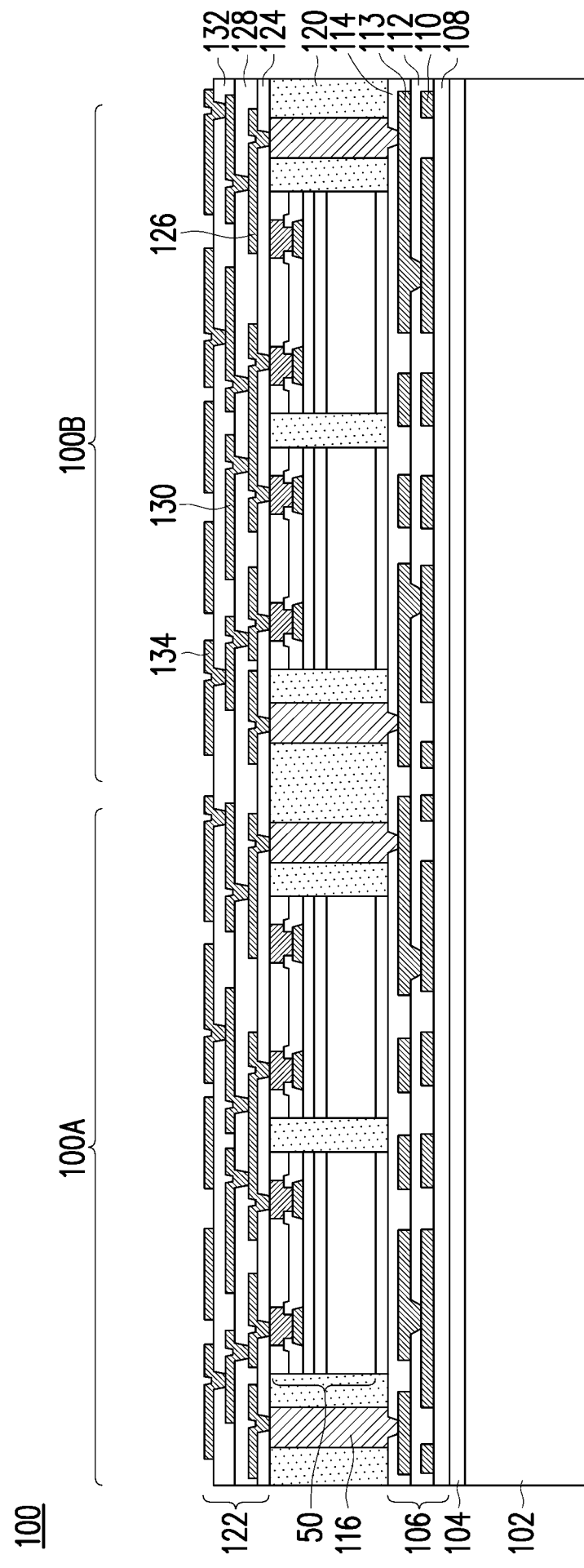
【圖10】



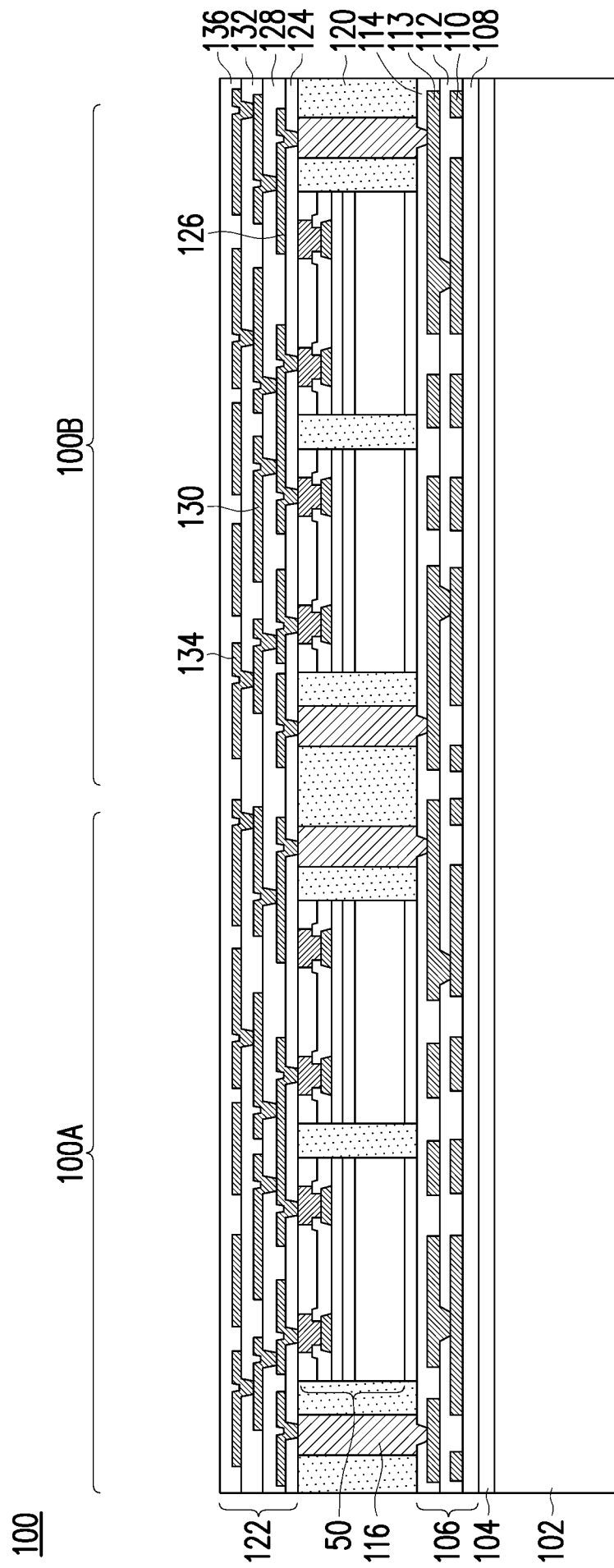
【圖11】



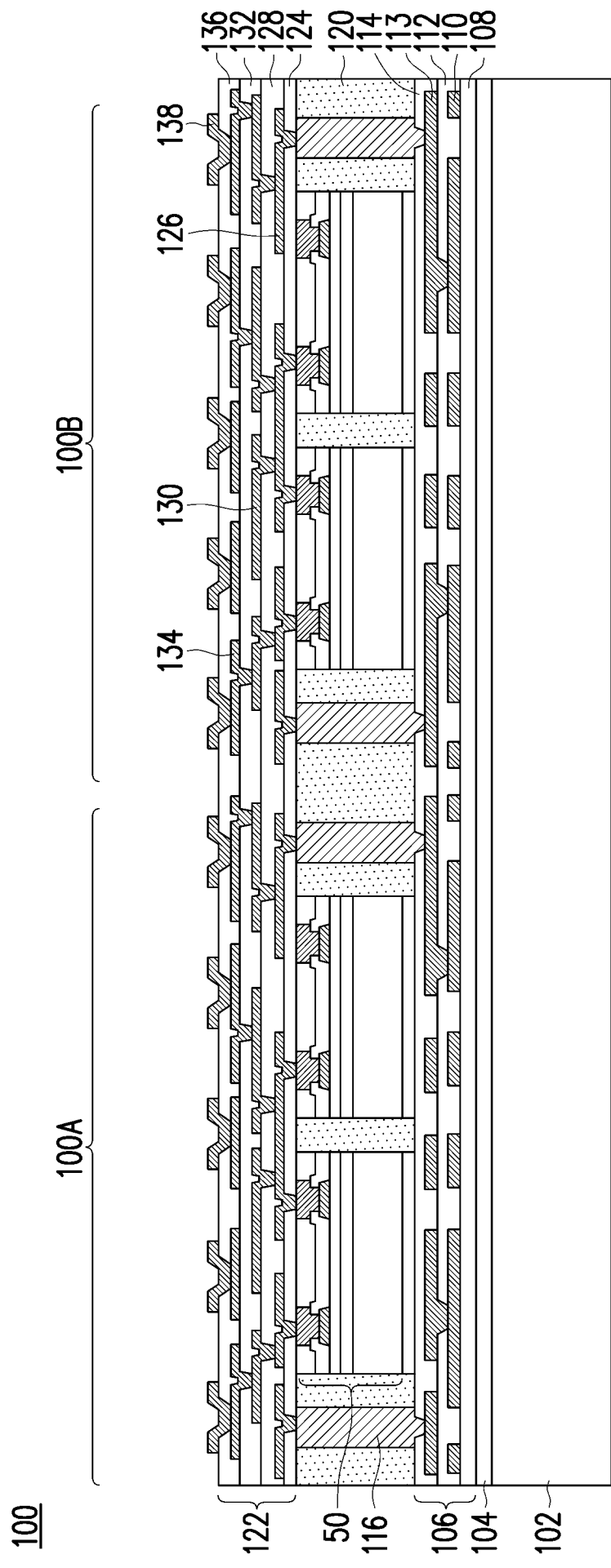
【圖12】



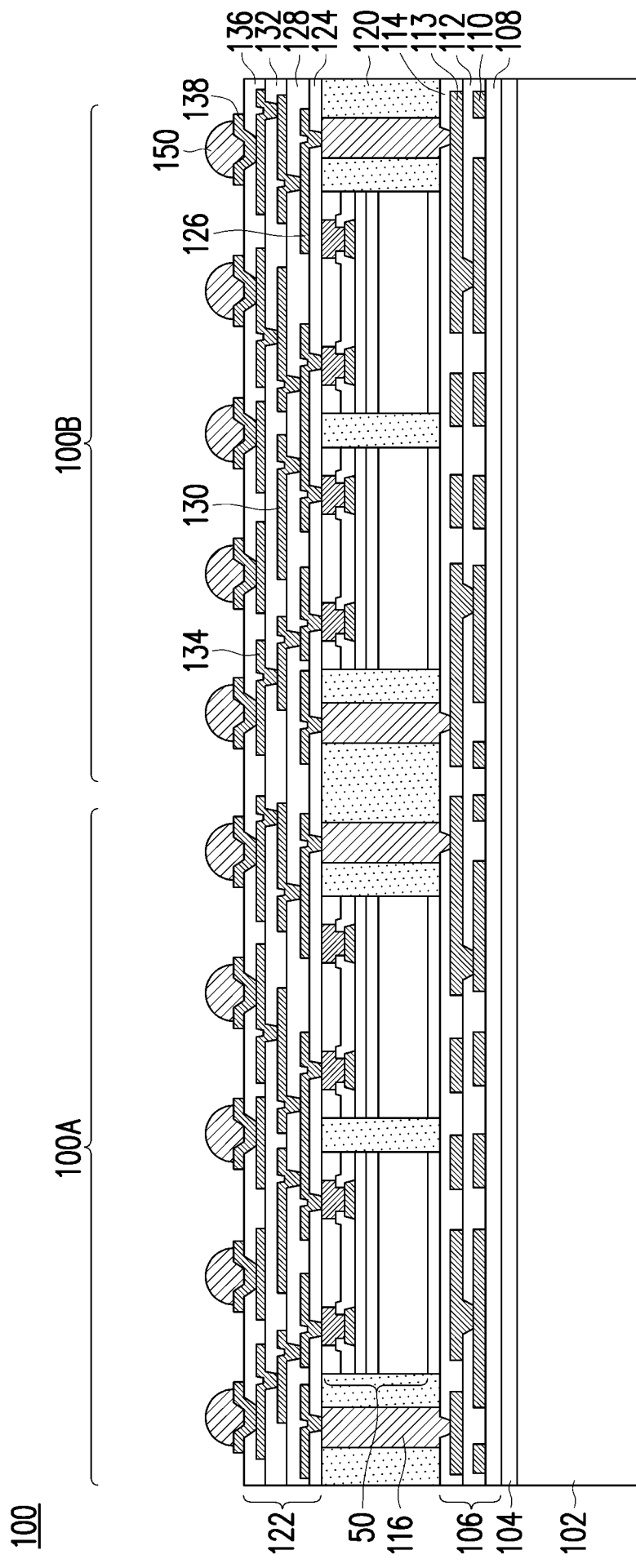
【圖13】



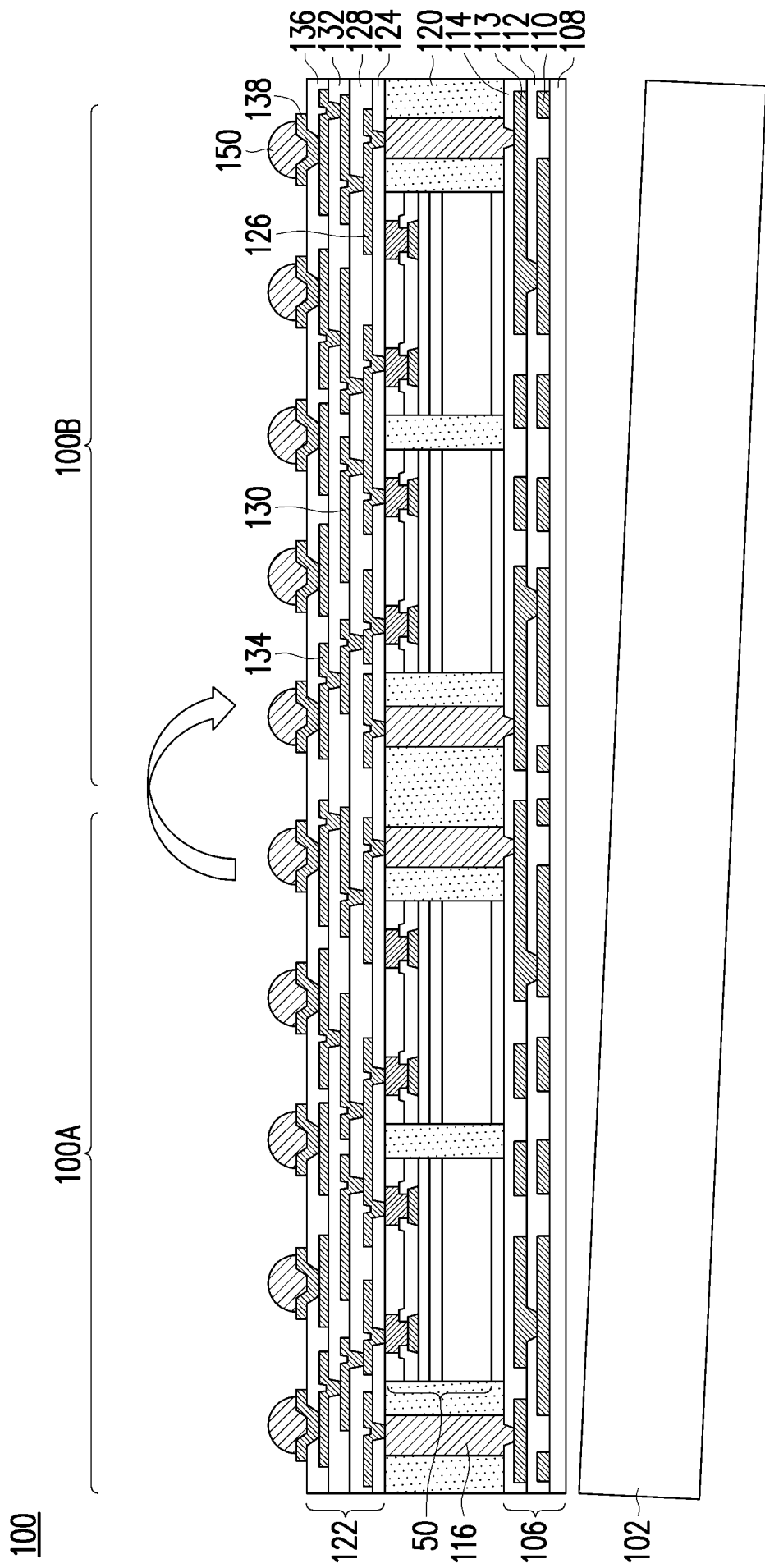
【圖14】



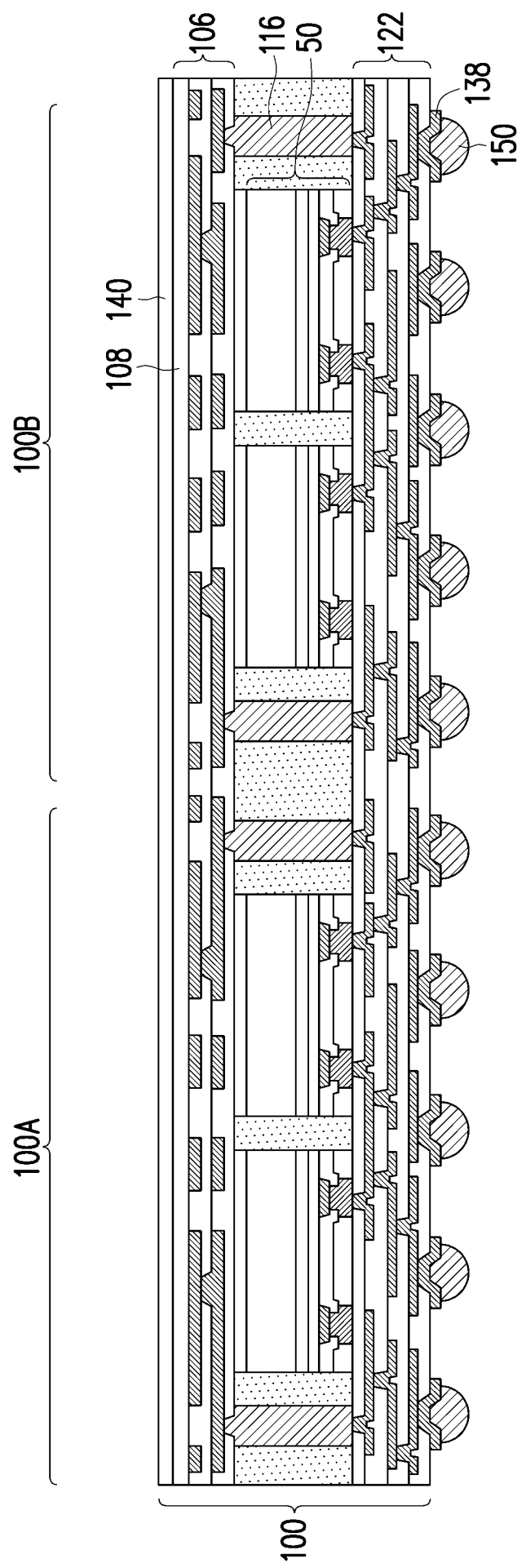
【圖15】



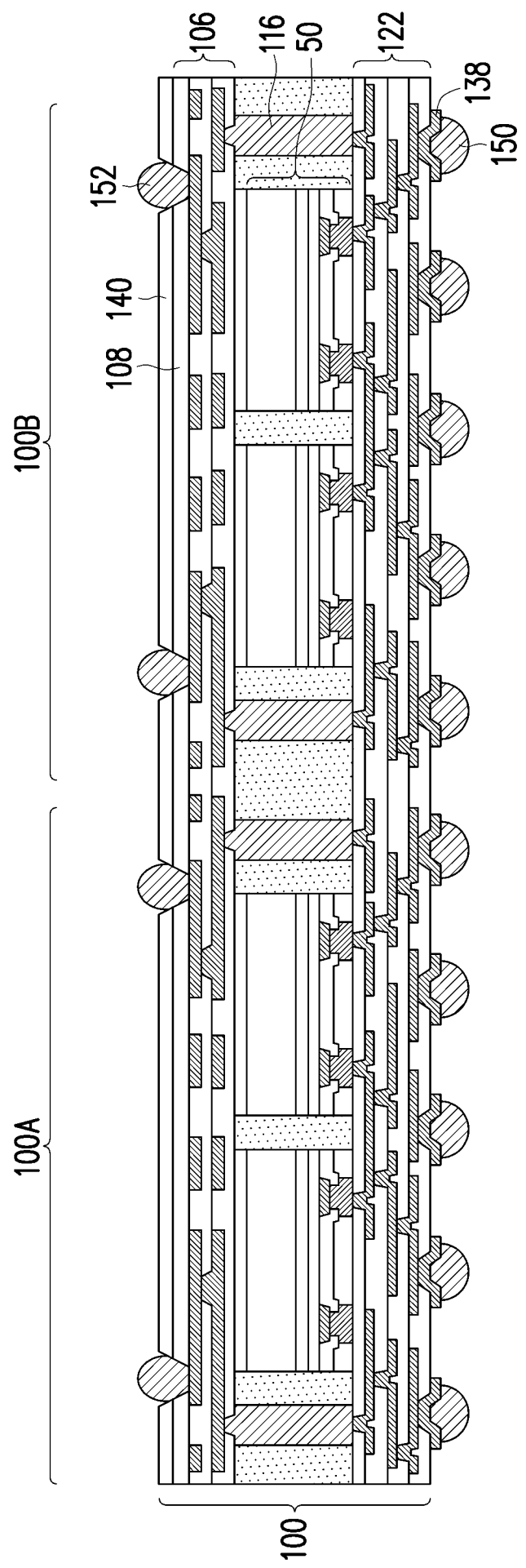
【圖16】



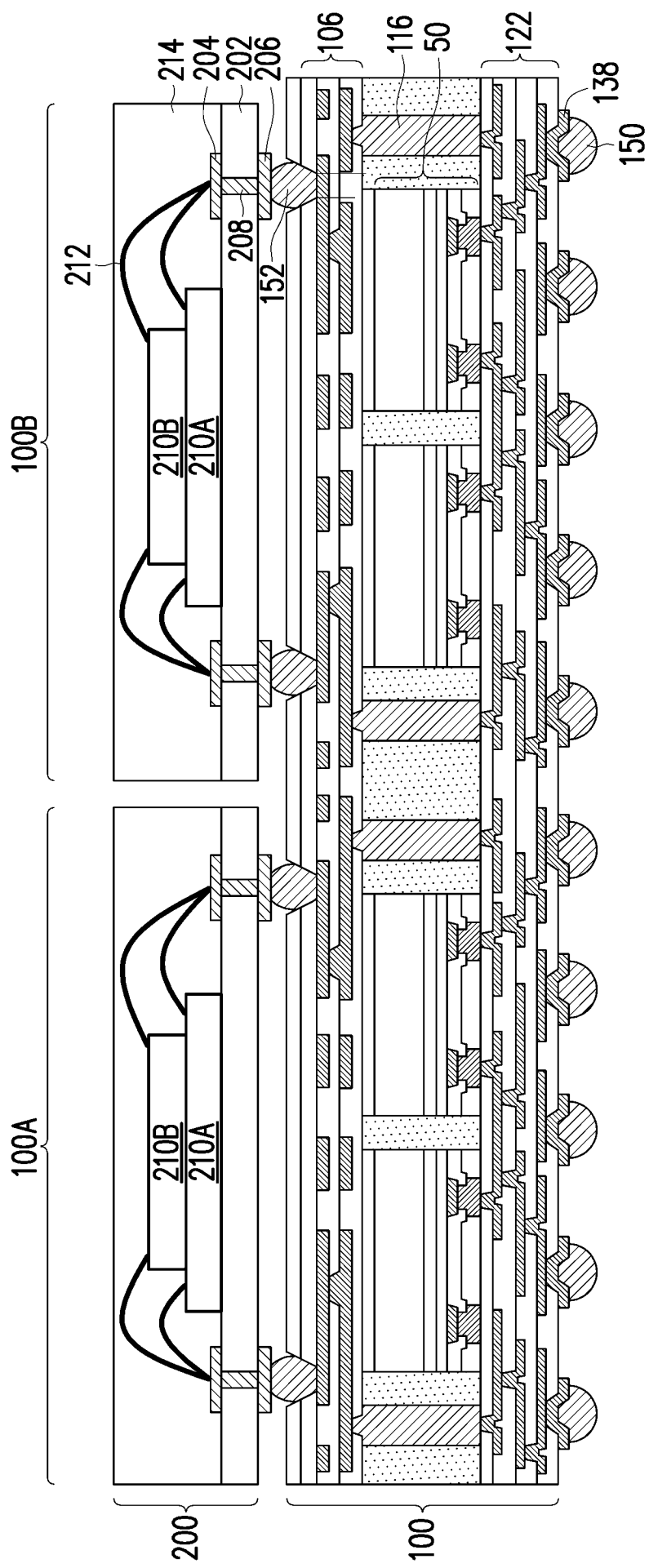
【圖17】



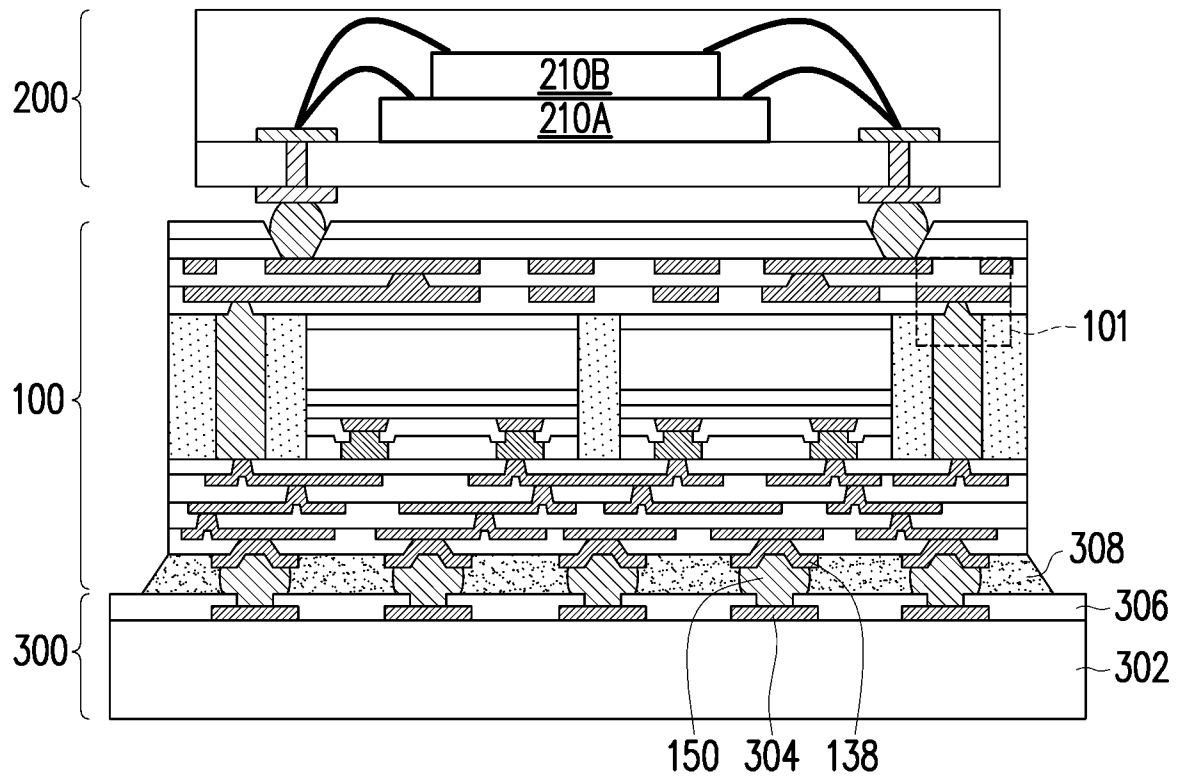
【圖18】



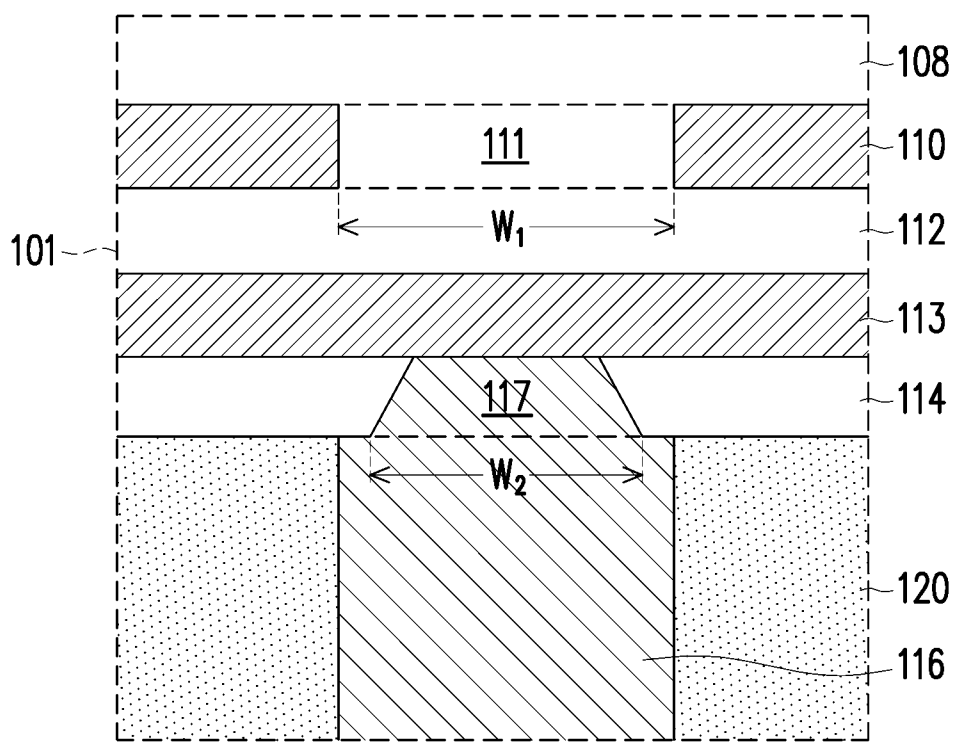
【圖19】



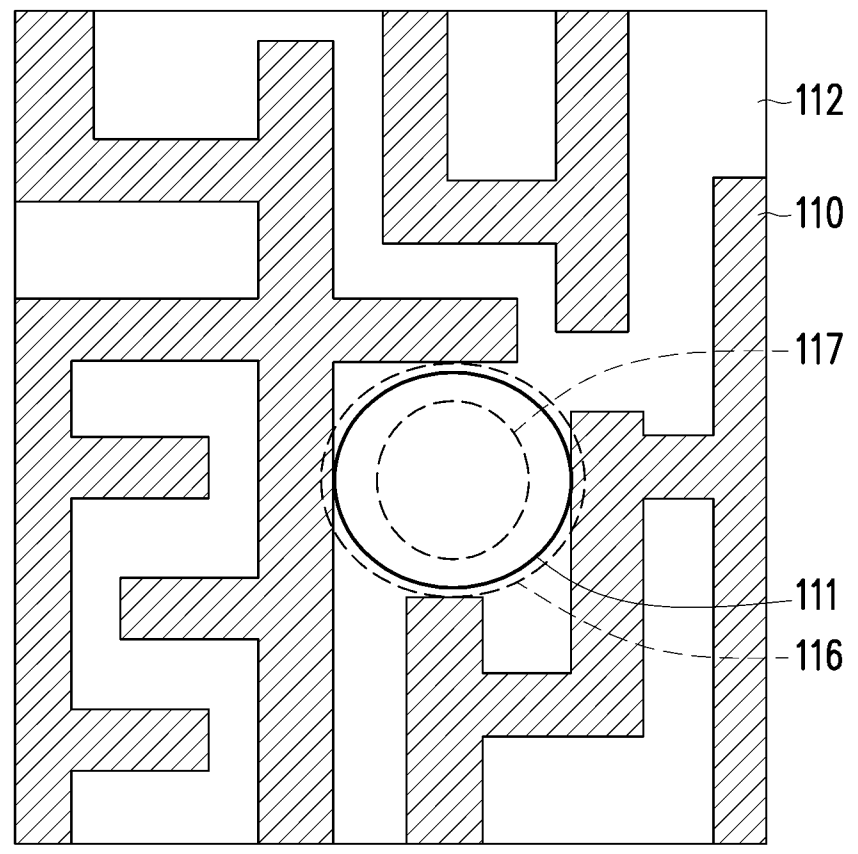
【圖20】



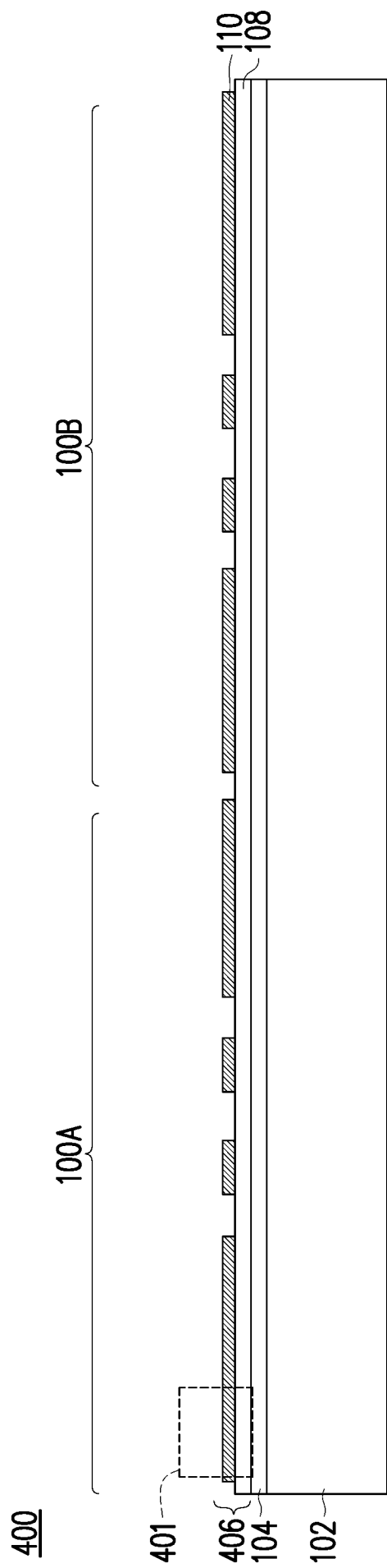
【圖21A】



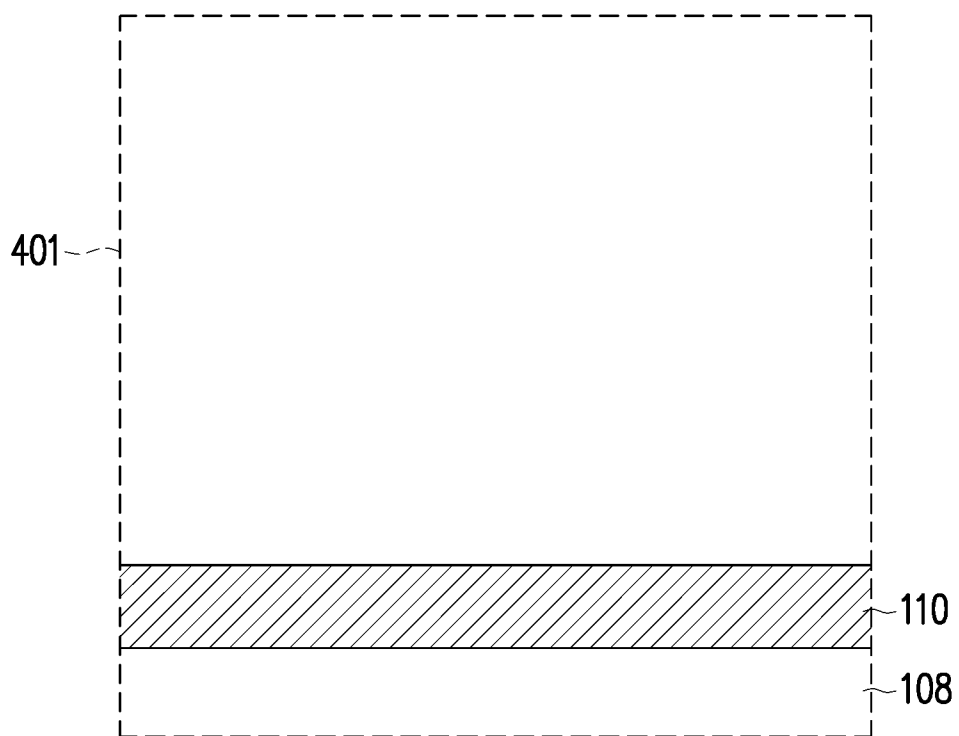
【圖21B】



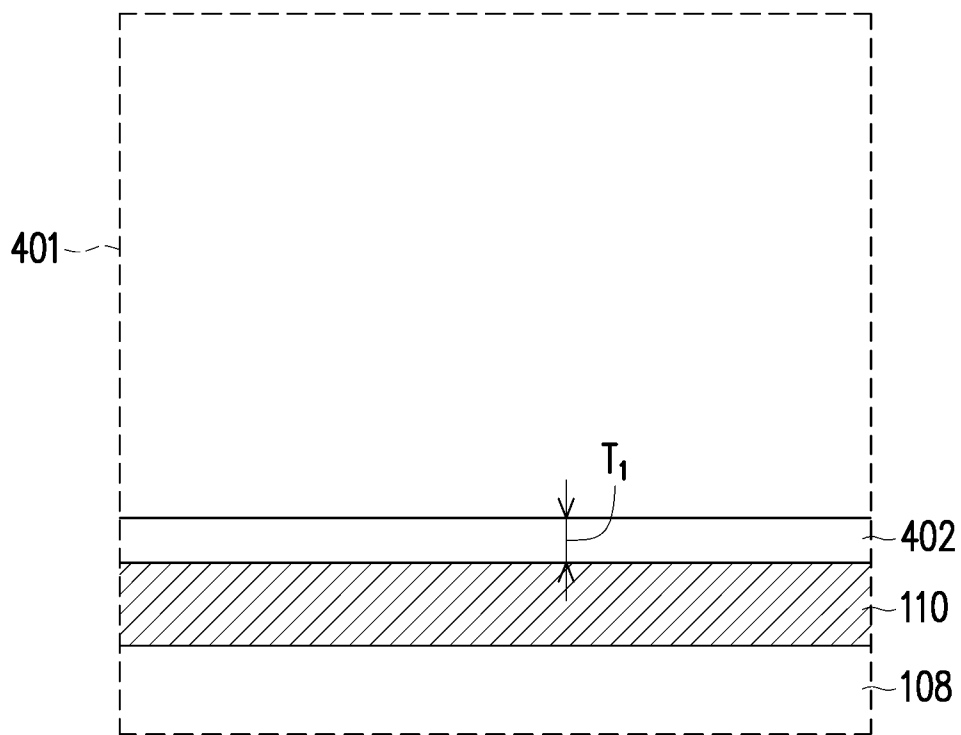
【圖21C】



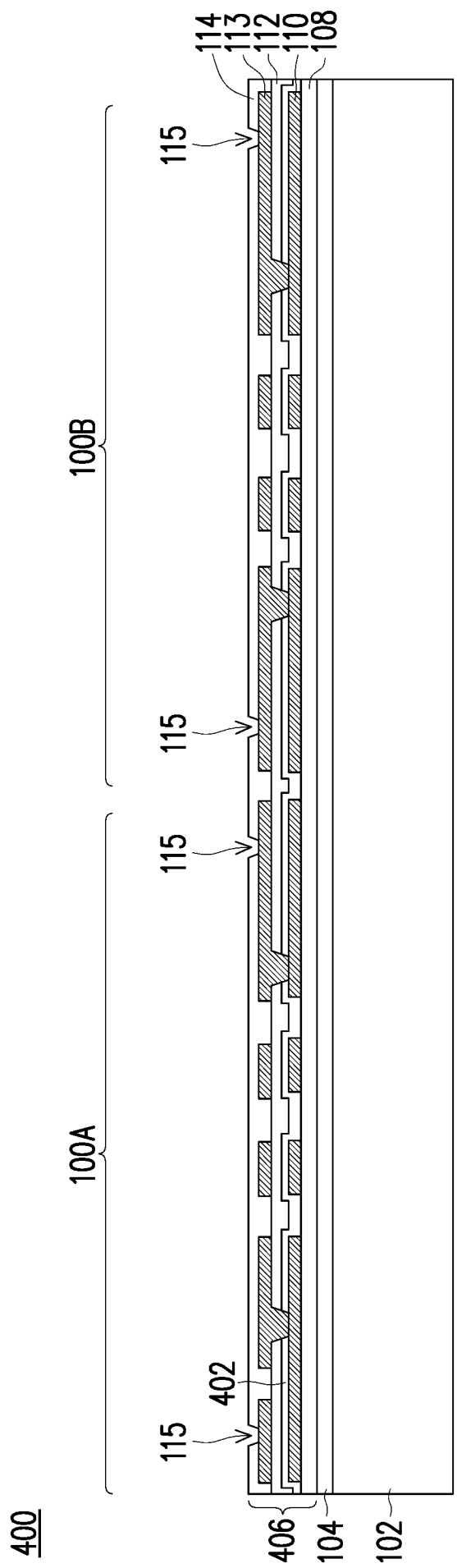
【圖22A】



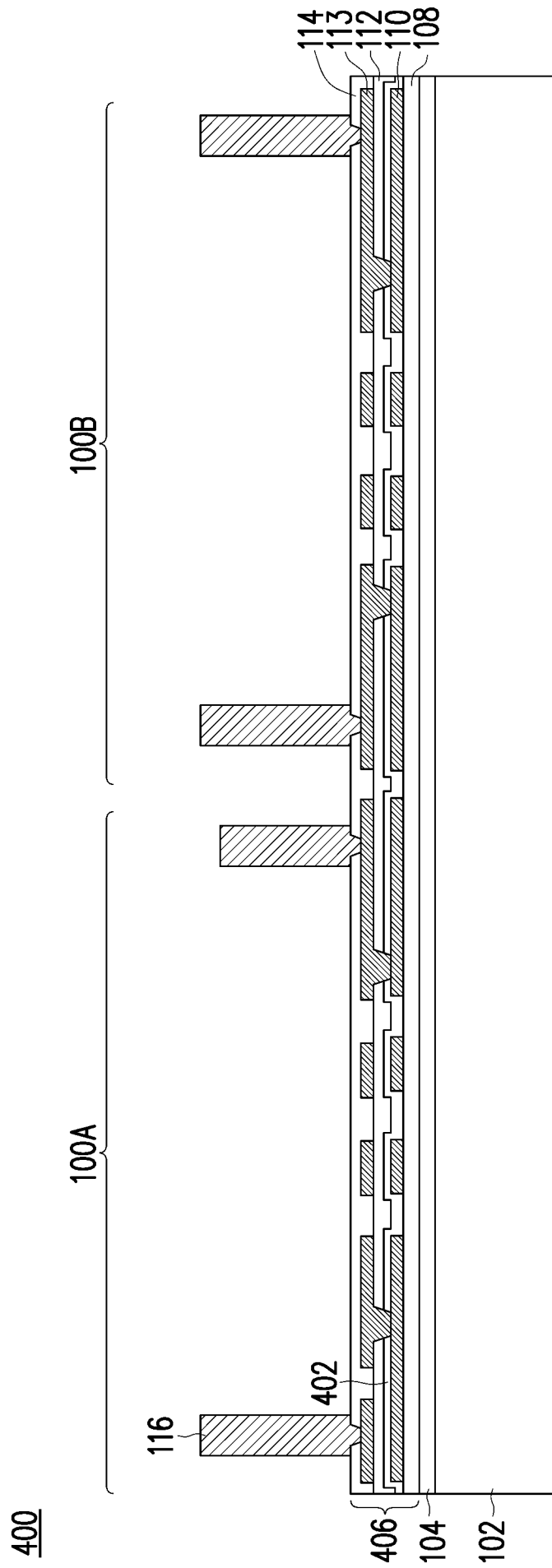
【圖22B】



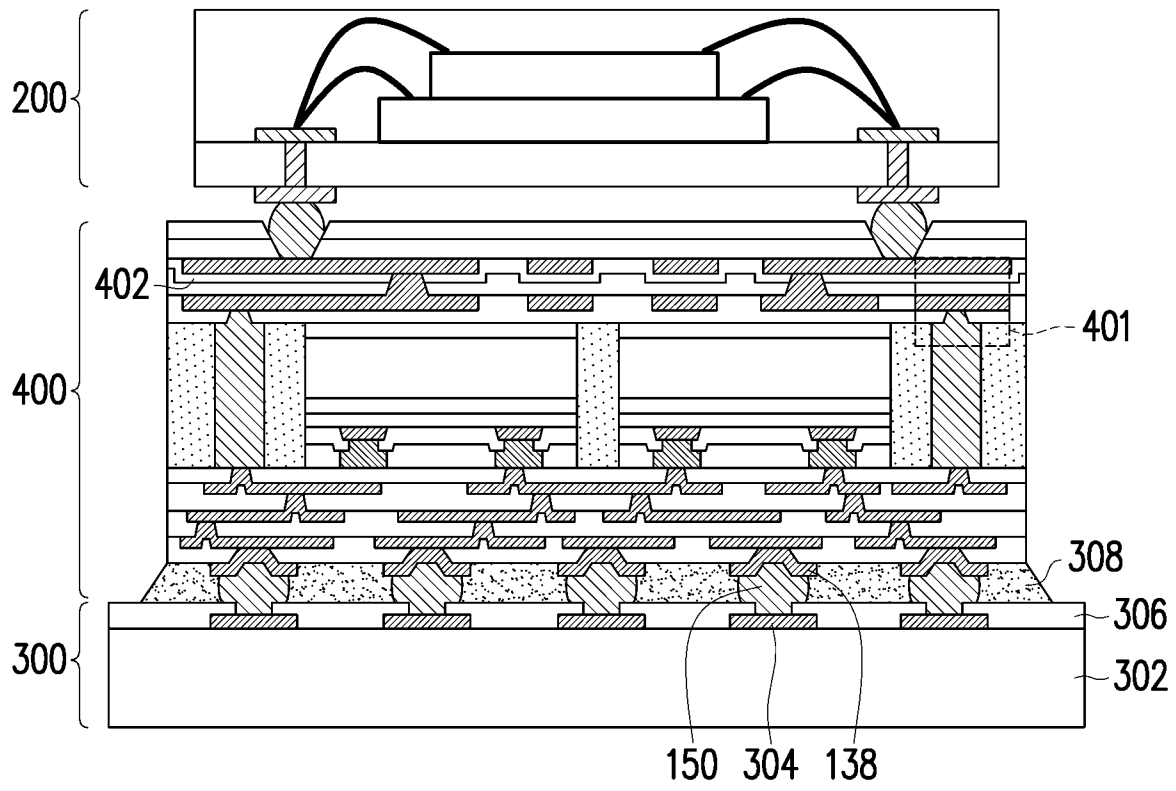
【圖23B】



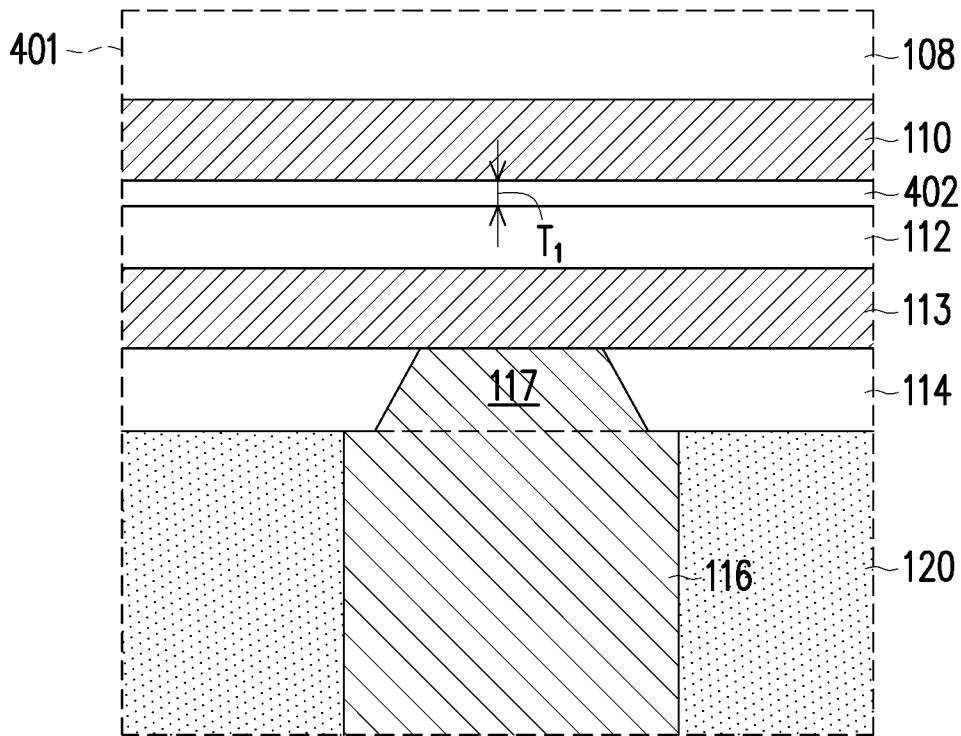
【圖24】



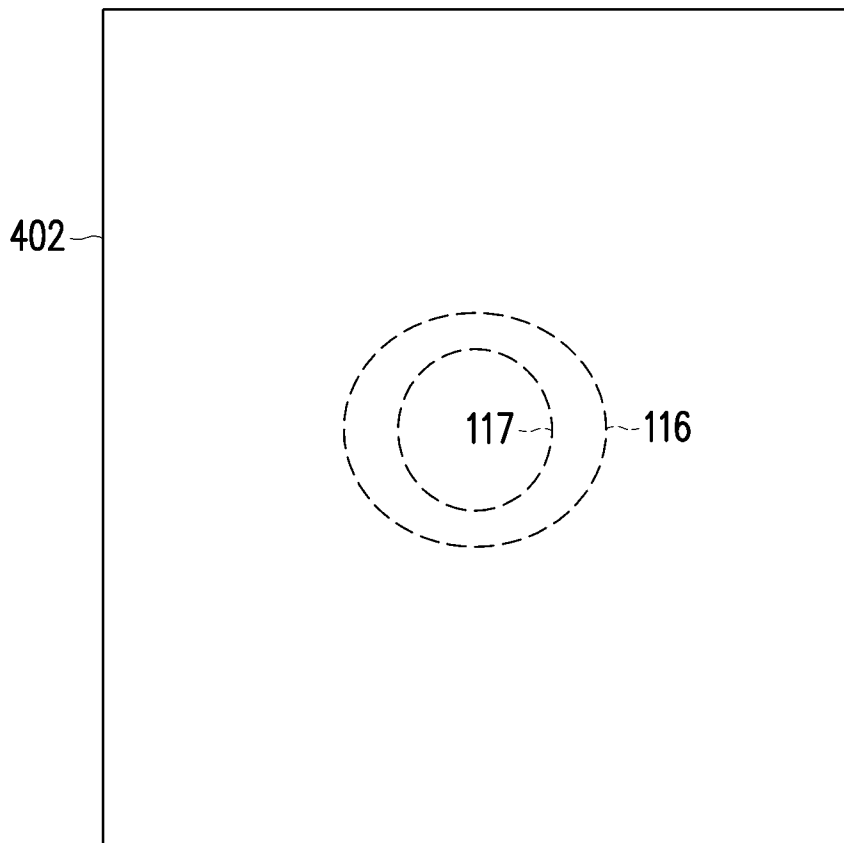
【圖25】



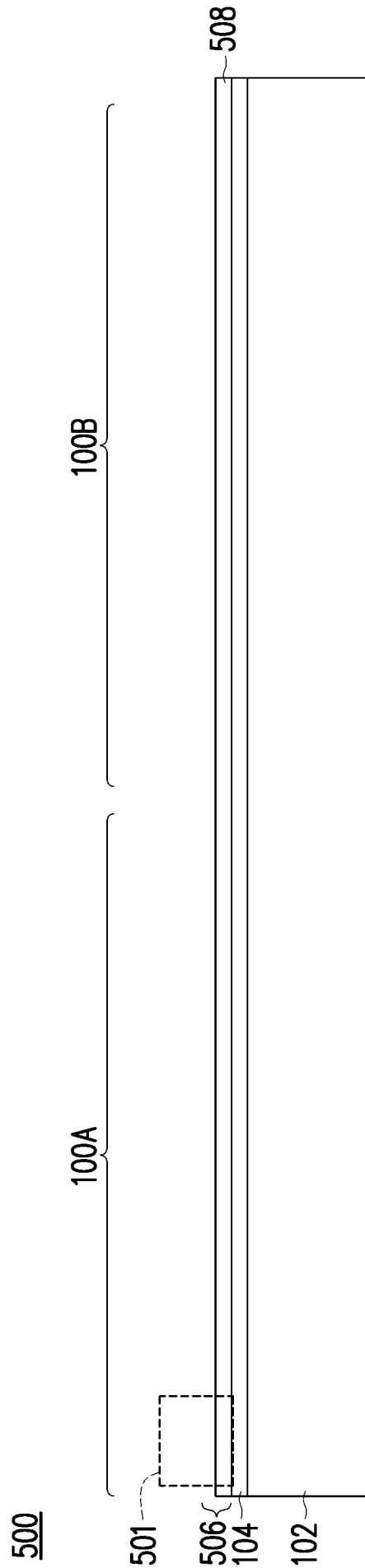
【圖26A】



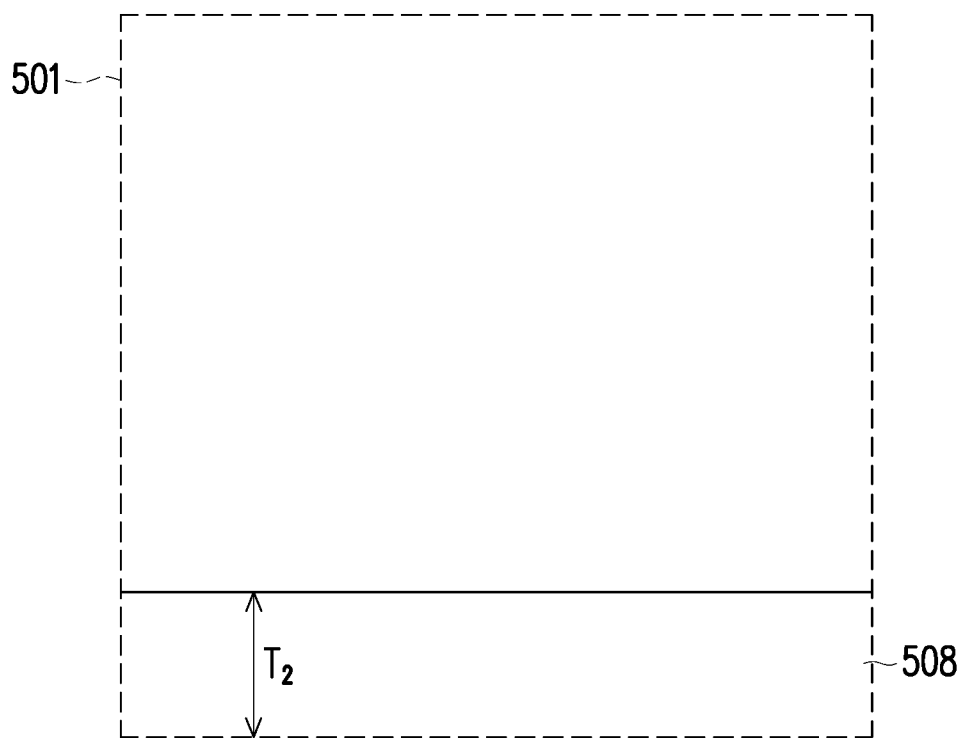
【圖26B】



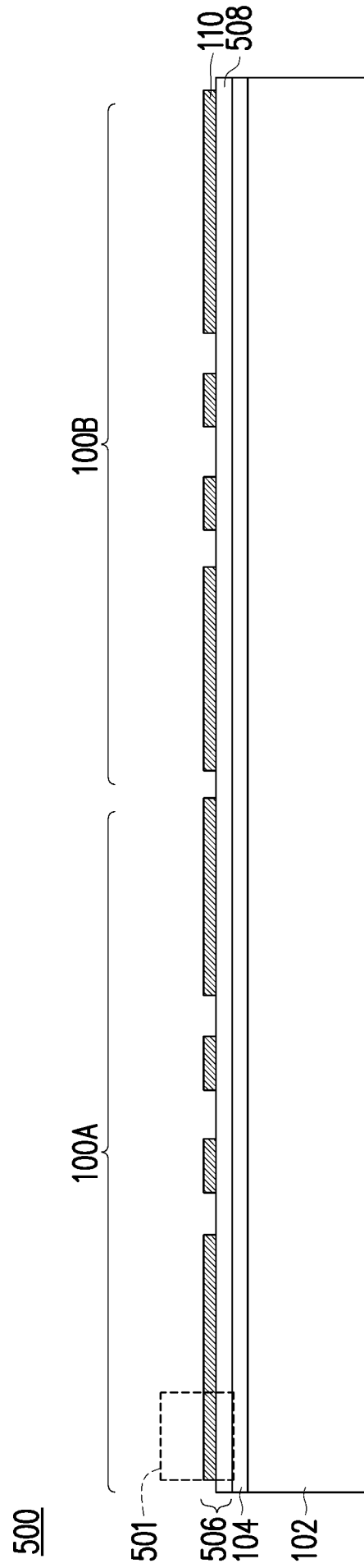
【圖26C】



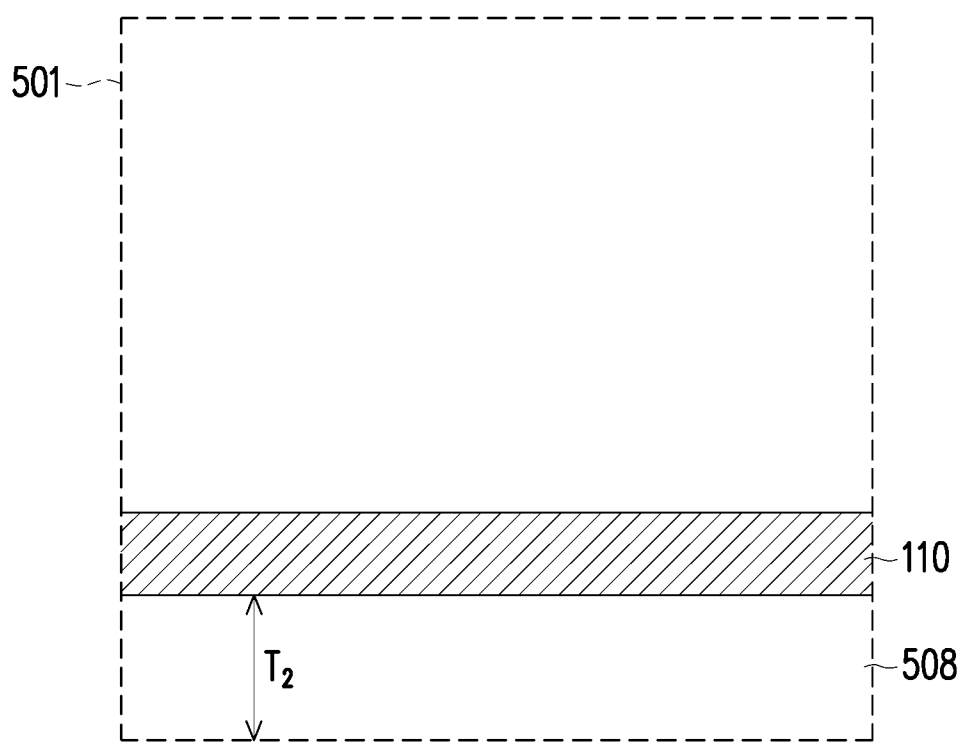
【圖27A】



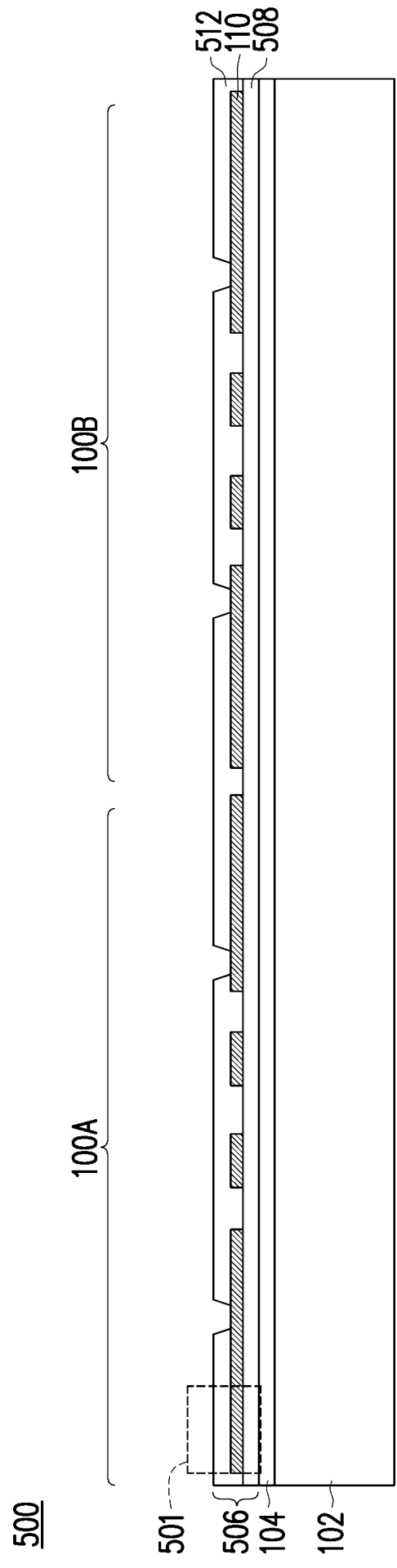
【圖27B】



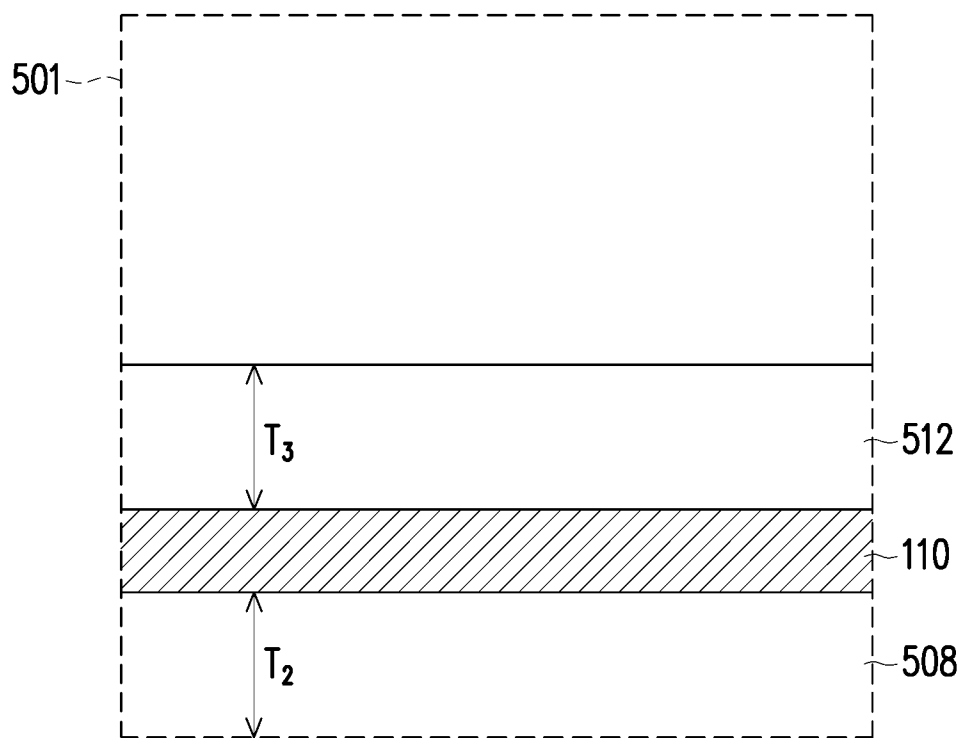
【圖28A】



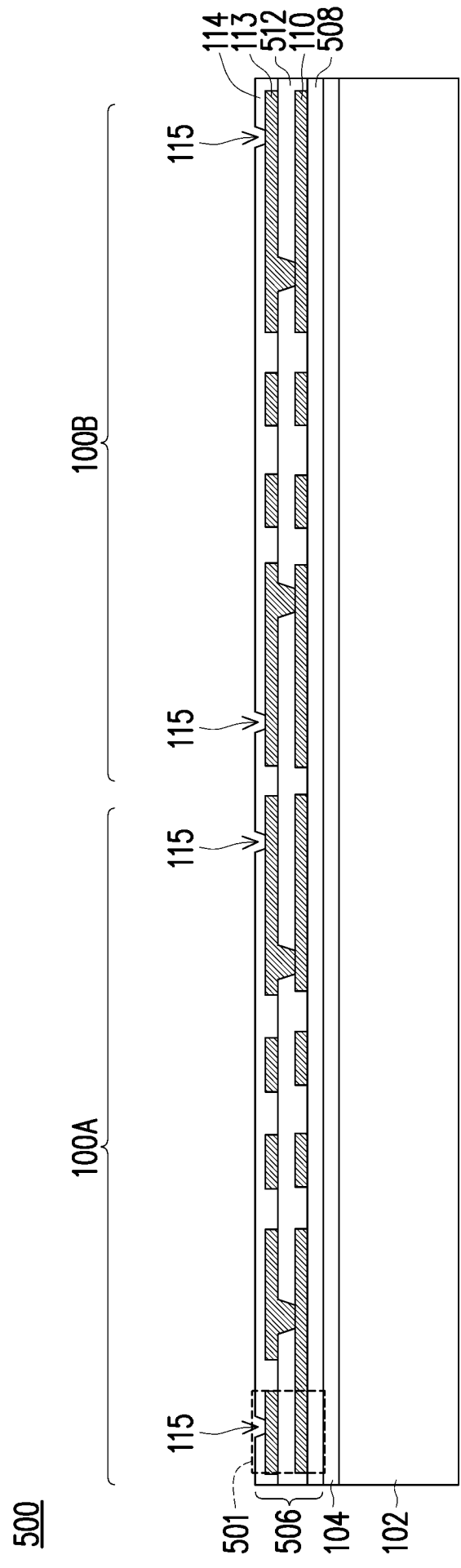
【圖28B】



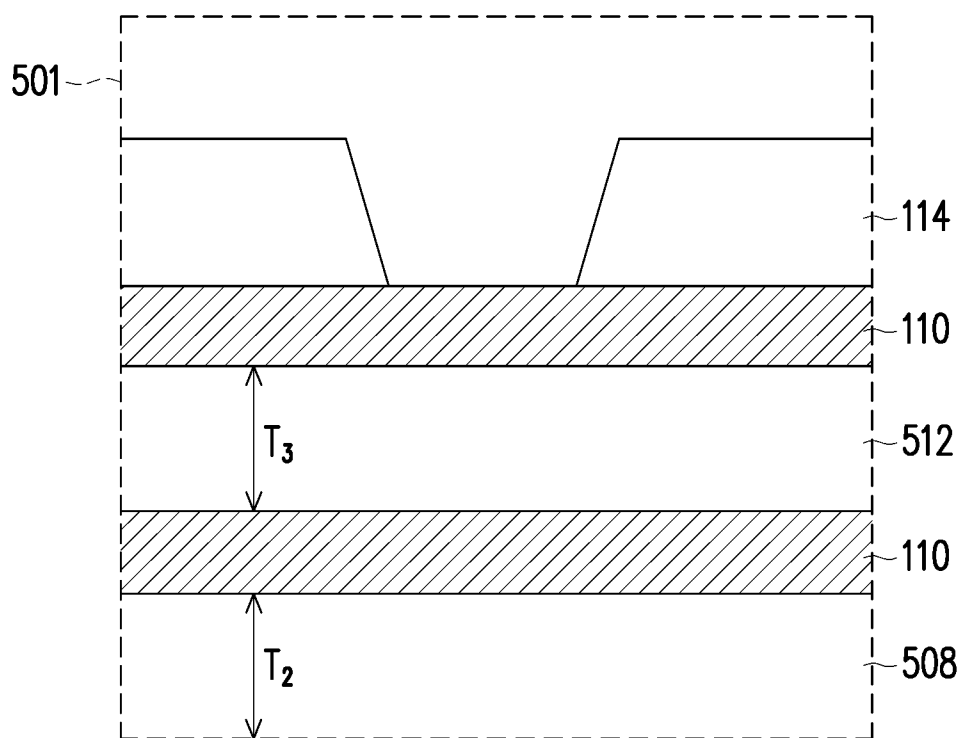
【圖29A】



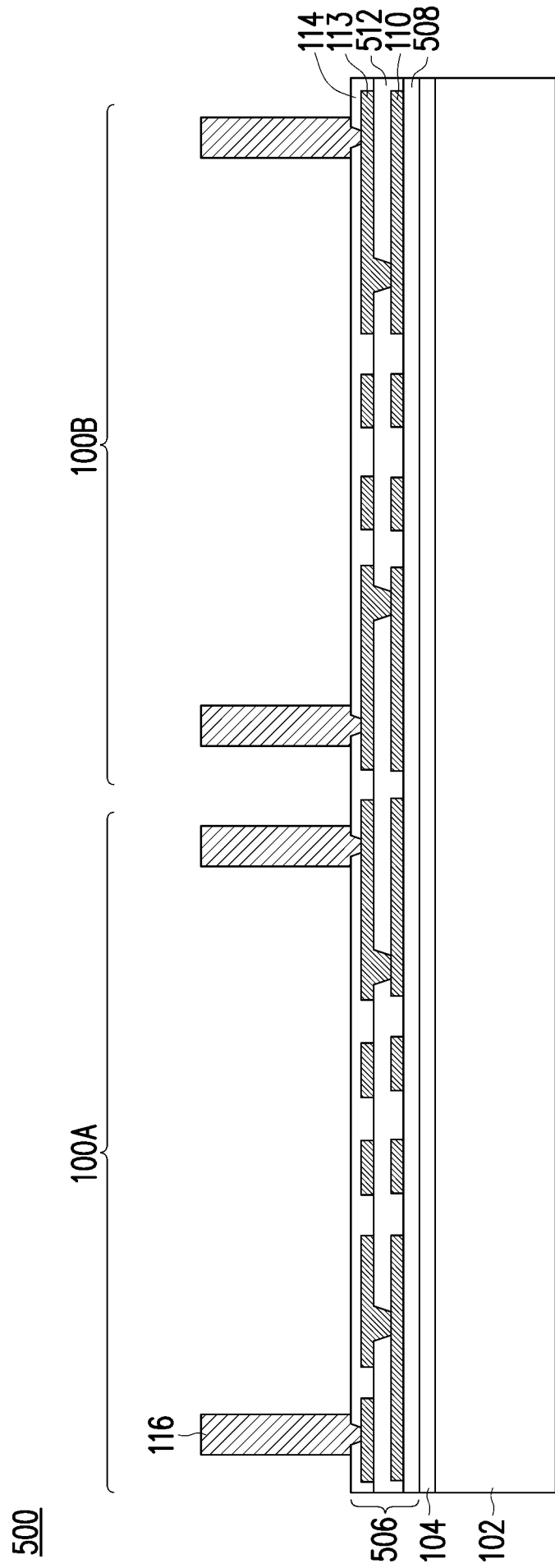
【圖29B】



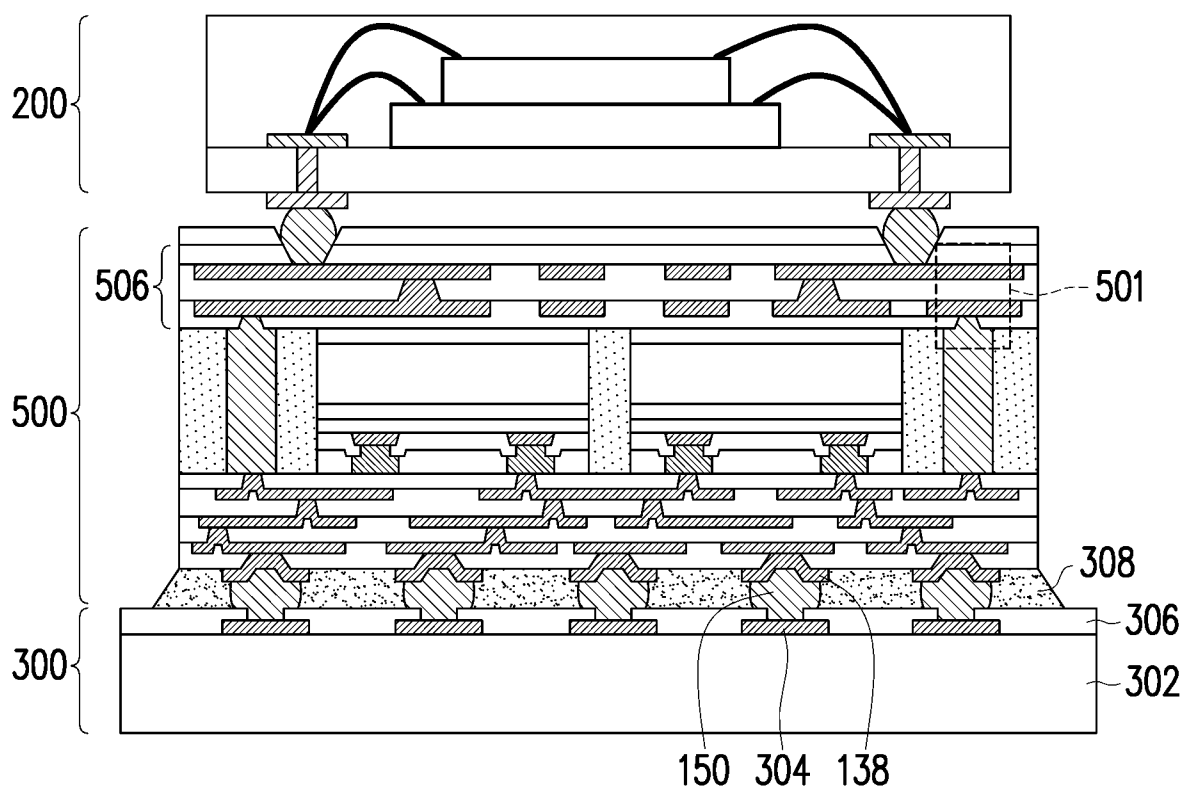
【圖30A】



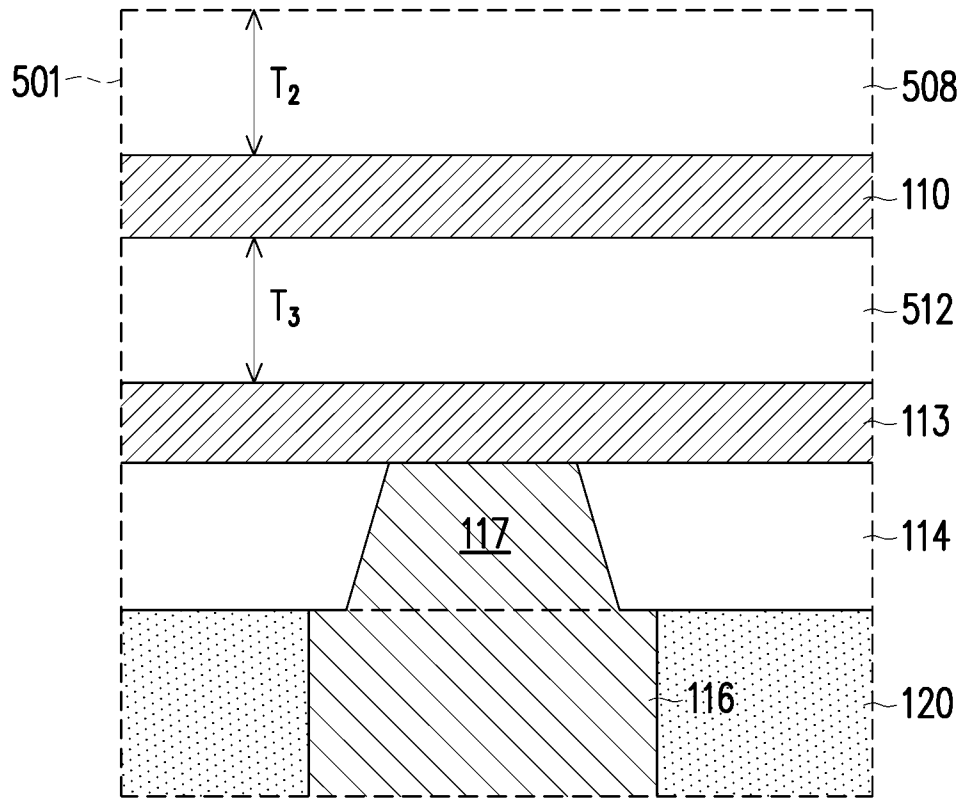
【圖30B】



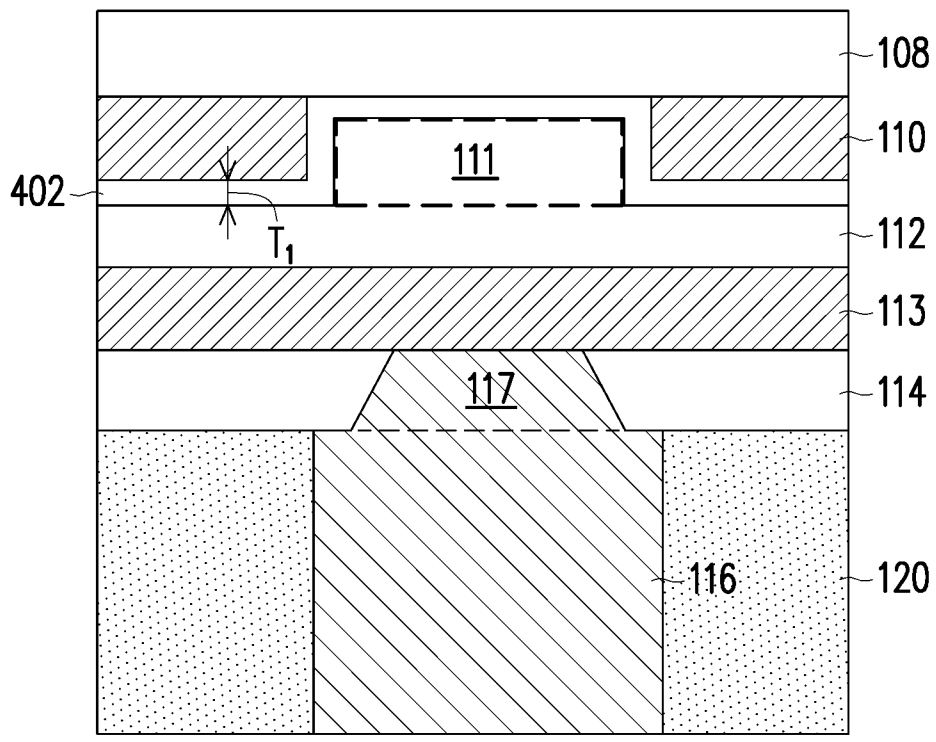
【圖31】



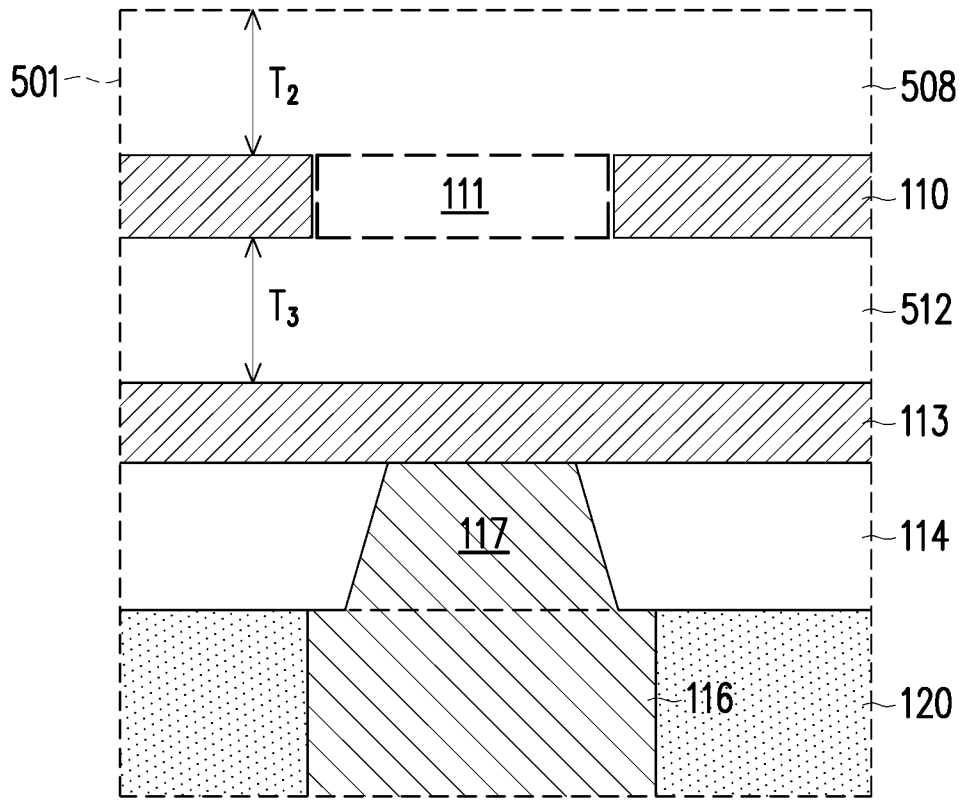
【圖32A】



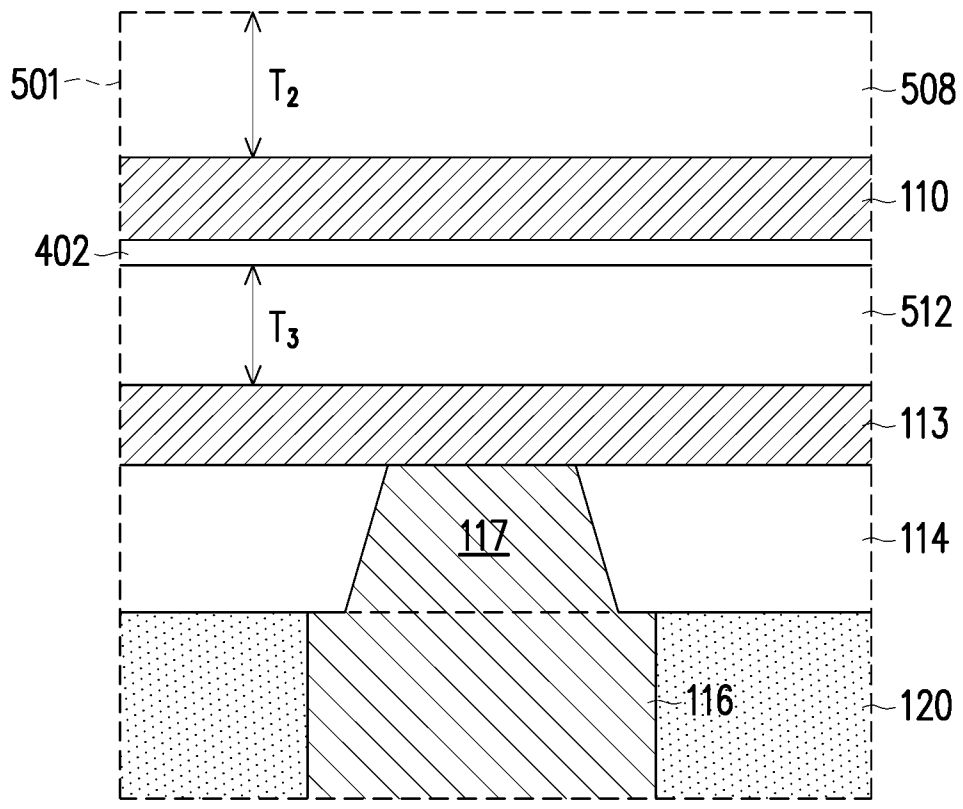
【圖32B】



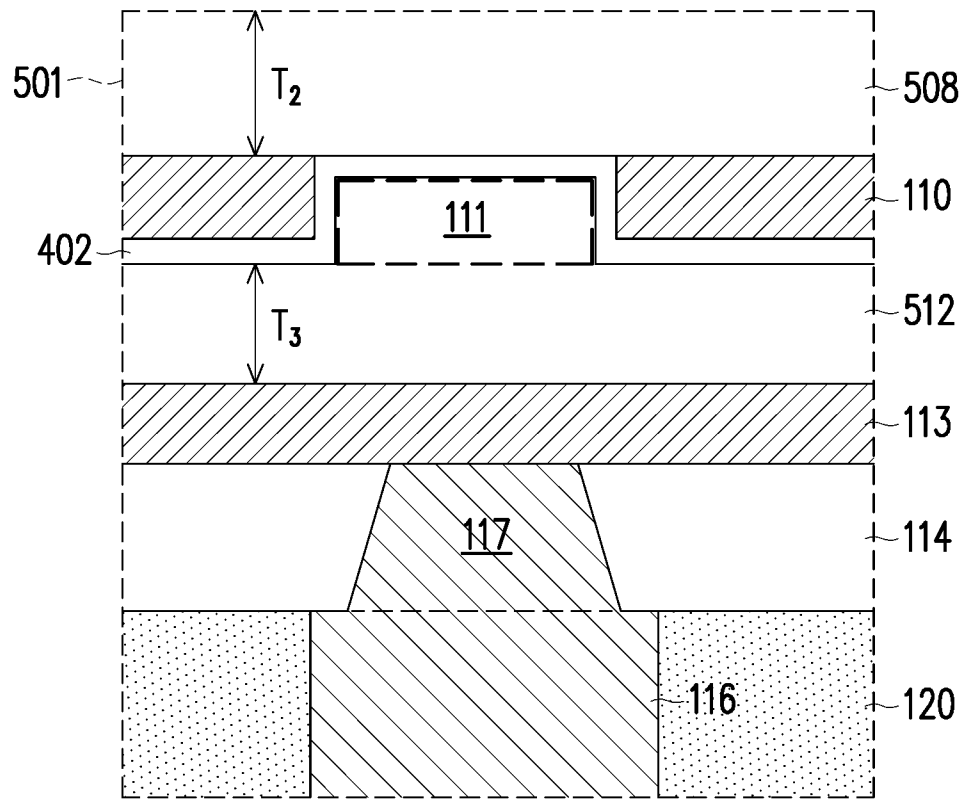
【圖33】



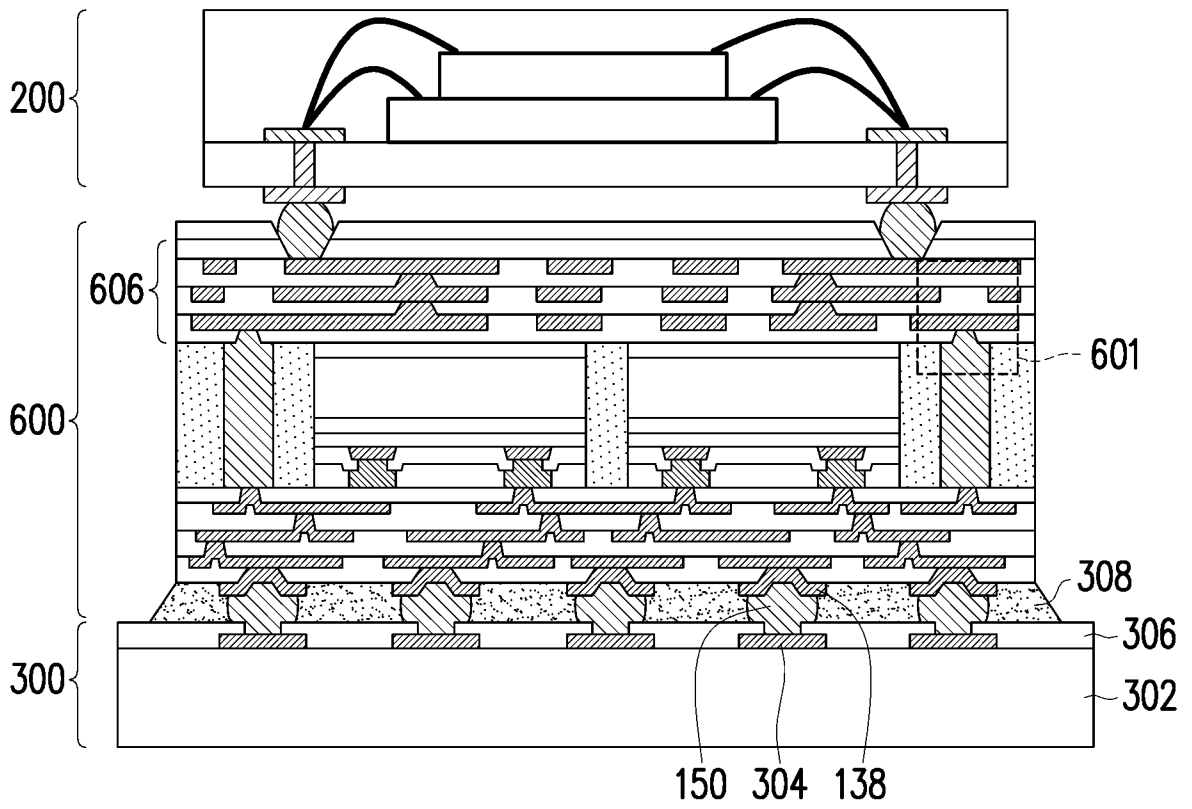
【圖34】



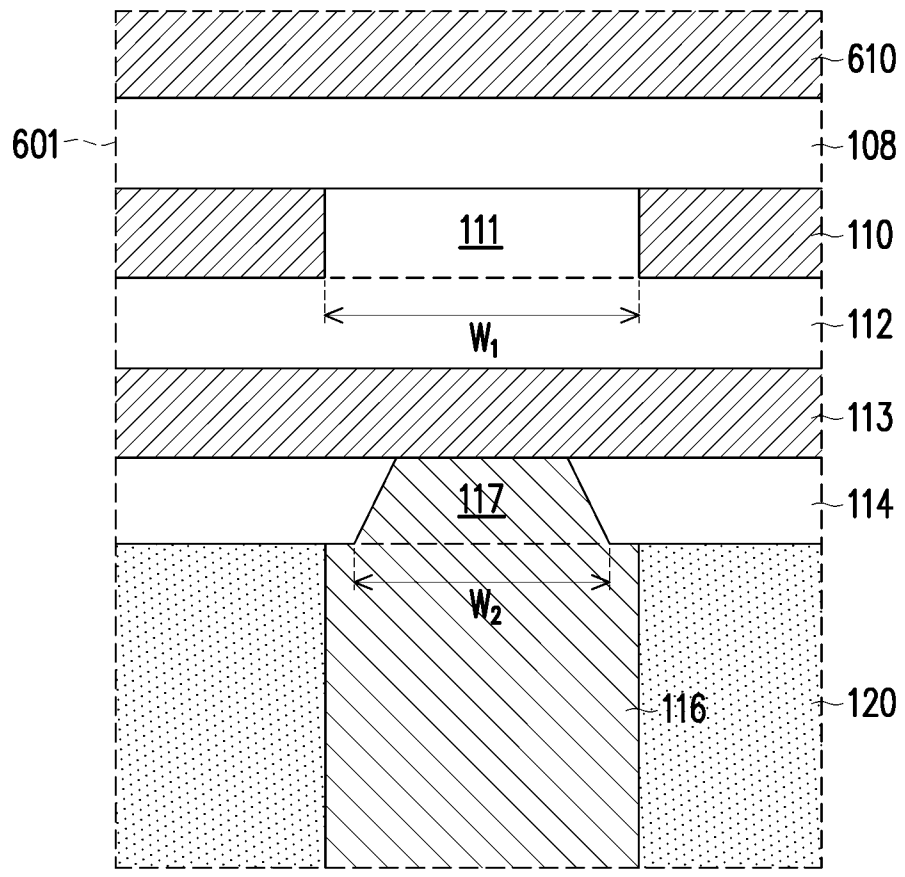
【圖35】



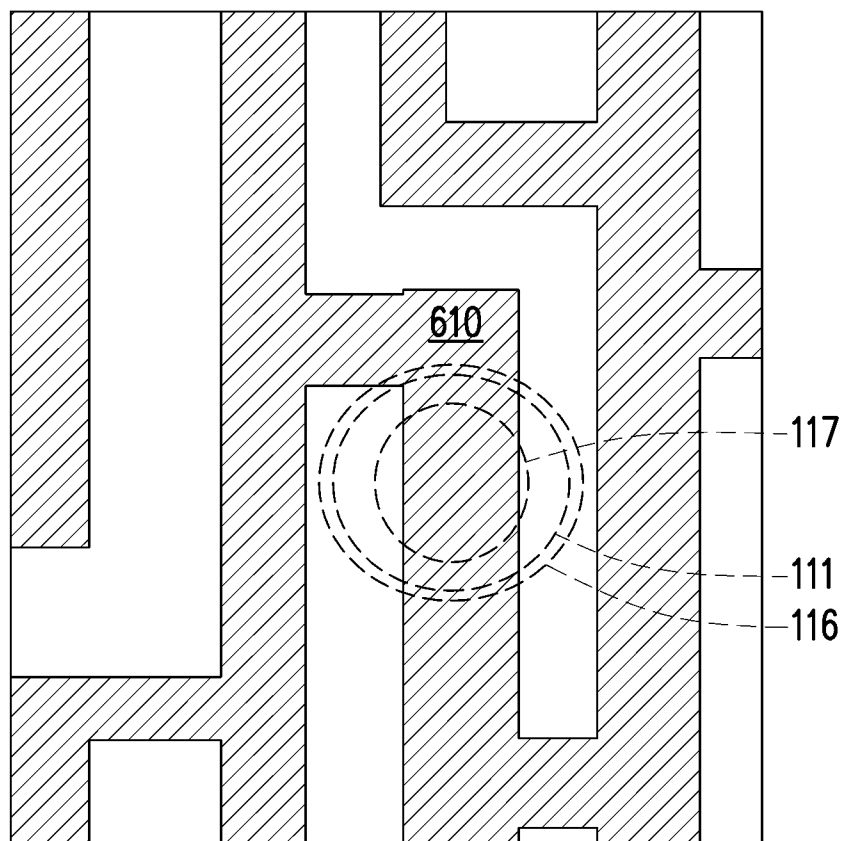
【圖36】



【圖37A】



【圖37B】



【圖37C】