



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0106775
(43) 공개일자 2008년12월09일

(51) Int. Cl.

G06F 12/00 (2006.01) G06F 12/16 (2006.01)

G06F 11/00 (2006.01) G06F 13/00 (2006.01)

(21) 출원번호 10-2007-0054620

(22) 출원일자 2007년06월04일

심사청구일자 2007년06월04일

(71) 출원인

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

조남필

서울 노원구 상계동 406-3번지 세명빌라 303호

심규현

경기 수원시 영통구 영통동 살구골7단지아파트 705동 1604호

(뒷면에 계속)

(74) 대리인

윤재석, 권영규, 한지희

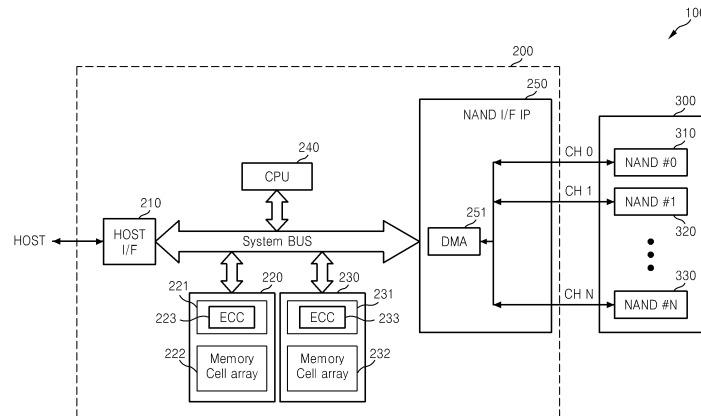
전체 청구항 수 : 총 17 항

(54) ECC 회로를 포함하는 메모리 시스템 및 그 구동 방법

(57) 요약

ECC 회로를 포함하는 메모리 시스템 및 그 구동 방법이 개시된다. 상기 메모리 시스템은 다수의 메모리 장치들; 상기 다수의 메모리 장치들을 제어하기 위한 컨트롤러; 및 상기 다수의 메모리 장치들과 상기 컨트롤러 사이에 접속되는 적어도 하나의 채널을 구비하며, 상기 컨트롤러는 버스; 호스트로부터 입력되는 라이트 데이터를 상기 버스로 인터페이스 하여 출력하고, 상기 버스를 통하여 수신되는 리드 데이터를 상기 호스트로 인터페이스 하여 출력하는 호스트 인터페이스; 상기 다수의 메모리 장치들로부터 라이트 또는 리드되는 데이터를 인터페이스 하기 위한 메모리 인터페이스 블록; 및 상기 호스트로부터 입력된 상기 라이트 데이터를 인코딩하거나, 상기 다수의 메모리 장치들로부터 독출된 리드 데이터를 디코딩하는 제1 버퍼 메모리 블록을 구비한다.

대표도 - 도2



(72) 발명자

손창일

경기 용인시 수지구 동천동 신명아파트 504동 150
6호

박성정

대전 유성구 지족동 열매마을6단지 608동 604호

특허청구의 범위

청구항 1

다수의 메모리 장치들;

상기 다수의 메모리 장치들을 제어하기 위한 컨트롤러; 및

상기 다수의 메모리 장치들과 상기 컨트롤러 사이에 접속되는 적어도 하나의 채널을 구비하며,

상기 컨트롤러는,

버스;

호스트로부터 입력되는 라이트 데이터를 상기 버스로 인터페이스 하여 출력하고, 상기 버스를 통하여 수신되는 리드 데이터를 상기 호스트로 인터페이스 하여 출력하는 호스트 인터페이스;

상기 다수의 메모리 장치들로 라이트하거나 또는 상기 다수의 메모리 장치들로부터 리드되는 데이터를 인터페이스 하기 위한 메모리 인터페이스 블록; 및

상기 호스트로부터 입력된 상기 라이트 데이터를 인코딩하거나, 상기 다수의 메모리 장치들로부터 독출된 리드 데이터를 디코딩하는 제1 버퍼 메모리 블록을 구비하는 메모리 시스템.

청구항 2

제1항에 있어서,

상기 제1 버퍼 메모리 블록은,

호스트로부터 입력된 라이트 데이터 또는 상기 다수의 메모리 장치로부터 출력되는 리드 데이터를 일시 저장하기 위한 메모리 셀 어레이; 및

상기 메모리 셀 어레이로 입출력되는 라이트 데이터 또는 리드 데이터를 제어하기 위한 제1 버퍼 컨트롤러를 구비하며,

상기 제1 버퍼 컨트롤러는,

ECC 회로를 포함하며,

상기 ECC 회로는,

상기 메모리 셀 어레이로부터 출력되는 데이터를 인코딩하여 인코딩된 데이터를 상기 다수의 메모리 장치들로 출력하는 인코더 블록; 및

상기 다수의 메모리 장치들로부터 출력되는 리드 데이터의 오류를 검사하여 정정하기 위한 디코더 블록을 구비하는 메모리 시스템.

청구항 3

제1항에 있어서,

상기 제1 버퍼 메모리 블록은,

인코딩된 라이트 데이터를 저장하거나 상기 다수의 메모리 장치로부터 출력되는 리드 데이터를 일시 저장하기 위한 메모리 셀 어레이; 및

상기 메모리 셀 어레이로 입출력되는 라이트 데이터 또는 리드 데이터를 제어하기 위한 제1 버퍼 컨트롤러를 구비하며,

상기 제1 버퍼 컨트롤러는,

ECC 회로를 포함하며,

상기 ECC 회로는,

상기 호스트로부터 출력되는 데이터를 인코딩하여 상기 메모리 셀 어레이로 출력하는 인코더 블록; 및
상기 다수의 메모리 장치들로부터 출력되는 데이터의 오류를 검사하여 정정하기 위한 디코더 블록을 구비하는 메모리 시스템.

청구항 4

제1항에 있어서,

상기 제1 버퍼 메모리 블록은,

호스트로부터 입력된 라이트 데이터 또는 상기 다수의 메모리 장치로부터 출력되는 리드 데이터를 일시 저장하기 위한 메모리 셀 어레이; 및

상기 메모리 셀 어레이로 입출력되는 라이트 데이터 또는 리드 데이터를 제어하기 위한 제1 버퍼 컨트롤러를 구비하며,

상기 제1 버퍼 컨트롤러는,

ECC 회로를 포함하며,

상기 ECC 회로는,

상기 라이트 데이터를 기초로하여 생성된 패리티 정보를 저장하기 위한 레지스터 블록;

상기 호스트로부터 입력된 라이트 데이터를 인코딩하여 상기 인코딩된 패리티 정보를 상기 레지스터 블록으로 출력하고, 상기 라이트 데이터는 상기 메모리 셀 어레이로 각각 출력하는 인코더 블록; 및

상기 다수의 메모리 장치들로부터 출력되는 데이터의 오류를 검사하여 정정하기 위한 디코더 블록을 구비하는 메모리 시스템

청구항 5

제4항에 있어서,

상기 레지스터는 플립-플롭으로 구현된 메모리 시스템.

청구항 6

제1항 내지 제5항 중 어느 한 항에 있어서,

상기 컨트롤러는,

상기 다수의 메모리 장치들 중 적어도 어느 하나에 저장된 시스템 데이터를 독출하여 그 정보를 업데이트하기 위한 제2 버퍼 메모리 블록을 더 구비하는 메모리 시스템.

청구항 7

제6항에 있어서,

상기 제2 버퍼 메모리 블록은,

상기 독출된 시스템 데이터를 저장하기 위한 메모리 셀 어레이; 및

상기 메모리 셀 어레이로 입출력되는 시스템 데이터를 제어하기 위한 제2 버퍼 컨트롤러를 구비하며,

상기 제2 버퍼 컨트롤러는,

ECC 회로를 포함하며,

상기 ECC 회로는,

상기 다수의 메모리 장치들 중 어느 하나로부터 독출된 상기 시스템 데이터를 수신하여 오류를 검사하여 정정하기 위한 디코더 블록; 및

오류가 정정된 상기 시스템 데이터를 인코딩하여 상기 메모리 장치로 출력하는 인코더 블록을 구비하는 메모리

시스템.

청구항 8

제1항 내지 제5항 중 어느 한 항에 있어서,

상기 디코더 블록은,

상기 수신된 리드 데이터의 오류 유무를 검사하기 위한 오류 검출기; 및

상기 오류 검출기의 오류 검출 결과를 수신하여 상기 리드 데이터의 오류 정보를 파이프 라인 방식으로 계산하는 오류 정정기를 구비하는 메모리 시스템.

청구항 9

제8항에 있어서,

상기 디코더 블록은,

블록 코드(Block code) 디코더, 비터비 코드(viterbi code) 디코더, 컨케이테이티드 코드(concatenated code) 디코더 중 어느 하나인 메모리 시스템.

청구항 10

제1항 내지 제5항 중 어느 한 항에 있어서,

상기 다수의 메모리 장치들 각각은 하나의 메모리 셀에 다수의 데이터 비트를 저장하는 MLC(Multi Level Cell) 메모리 어레이로 구현된 메모리 시스템.

청구항 11

(a) 호스트 인터페이스 블록이 호스트로부터 입력되는 라이트 데이터를 인터페이스하여 버스로 출력하는 단계;

(b) 제1 버퍼 메모리 블록이 상기 버스를 통하여 상기 호스트로부터 입력된 라이트 데이터를 수신하고, 상기 수신된 라이트 데이터를 인코딩하여 다수의 메모리 장치들 중 대응하는 메모리 장치로 출력하는 단계; 및

(c) 메모리 인터페이스 블록이 상기 다수의 메모리 장치들로부터 리드 데이터를 독출하여 상기 제1 버퍼 메모리 블록으로 출력하는 단계; 및

(d) 상기 제1 버퍼 메모리 블록이 상기 다수의 메모리 장치들로부터 출력되는 리드 데이터를 디코딩하여 상기 버스를 통하여 상기 호스트로 출력하는 단계를 구비하는 메모리 시스템의 오류 정정 방법.

청구항 12

제11항에 있어서,

상기 (b) 단계는,

상기 호스트로부터 입력된 데이터가 상기 제1 버퍼 메모리 블록 내의 메모리 셀 어레이로 저장되는 단계;

인코더 블록이 상기 메모리 셀 어레이로부터 출력되는 라이트 데이터를 인코딩하여 상기 다수의 메모리 장치들로 출력하는 단계를 구비하는 메모리 시스템의 오류 정정 방법.

청구항 13

제11항에 있어서,

상기 (b) 단계는,

인코더 블록이 상기 호스트로부터 출력되는 라이트 데이터를 인코딩하여 상기 제1 버퍼 메모리 블록 내의 메모리 셀 어레이로 출력하는 단계;

상기 인코더 블록으로부터 출력되는 인코딩된 라이트 데이터가 상기 메모리 셀 어레이에 저장되는 단계; 및

저장된 인코딩된 라이트 데이터가 상기 다수의 메모리 장치들로 출력되는 단계를 구비하는 메모리 시스템의 오

류 정정 방법.

청구항 14

제11항에 있어서,

상기 (b) 단계는,

인코더 블록이 상기 호스트로부터 출력되는 데이터를 인코딩하여 수신된 데이터와 인코딩된 패리티 정보를 각각 출력하는 단계;

레지스터 블록이 상기 패리티 정보를 저장하고, 메모리 셀 어레이가 상기 수신된 라이트 데이터를 각각 저장하는 단계; 및

저장된 패리티 정보와 상기 라이트 데이터를 상기 다수의 메모리 장치들로 출력하는 단계를 구비하는 메모리 시스템의 오류 정정 방법.

청구항 15

제11항 내지 제14항 중 어느 한 항에 있어서,

상기 (d) 단계는,

디코더 블록이 상기 수신된 리드 데이터의 오류 정보를 검사하고 수정하여 상기 호스트로 출력하는 단계인 메모리 시스템의 오류 정정 방법.

청구항 16

제15항에 있어서,

상기 (d) 단계는,

오류 검출기가 상기 수신된 리드 데이터의 오류 정보를 검사하는 단계; 및

오류 정정기가 상기 오류 검출기의 오류 검출 결과를 수신하여 상기 리드 데이터의 오류 정보를 파이프 라인 방식으로 계산하여 출력하는 단계를 구비하는 메모리 시스템의 오류 정정 방법.

청구항 17

제15항에 있어서,

상기 디코더 블록은,

블록 코드(Block code) 디코더, 비터비 코드(viterbi code) 디코더, 컨케이티네이티드 코드(concatenated code) 디코더 중 어느 하나인 메모리 시스템의 오류 정정 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <12> 본 발명은 ECC(Error Correction Code) 회로를 포함하는 메모리 시스템 및 그 동작 방법에 관한 것으로 보다 상세하게는 상기 ECC 회로의 크기(사이즈)를 줄이고, 상기 메모리 시스템에서의 데이터 전송 능력을 향상시킬 수 있는 메모리 시스템 및 그 동작 방법에 관한 것이다.
- <13> 도 1은 일반적인 메모리 시스템의 개략적인 블록도를 나타낸다. 도 1을 참조하면, 일반적인 메모리 시스템(10)은 컨트롤러(20), 및 다수의 메모리 장치들(31, 32, ..., 33)을 포함하는 메모리 블록(30)을 구비한다. 상기 다수의 메모리 장치들(31, 32, ..., 33)은 적어도 하나의 채널(CH 0, CH 1, ..., 또는 CH N)을 통하여 상기 컨트롤러(20)와 접속한다.

- <14> 상기 컨트롤러(20)는 호스트 인터페이스(21), 제1 버퍼 메모리 블록(22), 제2 버퍼 메모리 블록(23), CPU(24), 및 메모리 인터페이스 블록(25)을 구비한다.
- <15> 일반적으로 상기 메모리 시스템(10)은 호스트로부터 입력되는 라이트 데이터(write data)나 상기 메모리 블록(30)으로부터 독출되는 리드 데이터(read data)의 오류를 검출하고 정정하여 정확한 데이터를 전송하기 위하여 ECC 회로 블록(27)을 포함하여 제작된다.
- <16> 상기 ECC 회로 블록(27)은 상기 메모리 인터페이스 블록(25)에 구비되어 상기 적어도 하나의 채널(CH 0, CH 1, ..., 또는 CH N)을 통하여 송수신되는 리드 데이터 또는 라이트 데이터의 오류를 검출하고 정정하여 출력한다.
- <17> 그런데, 일반적인 메모리 시스템(10)에서의 상기 ECC 회로 블록(27)은 상기 적어도 하나의 채널(CH 0, CH 1, ..., 또는 CH N)에 대응하는 ECC 회로들(ECC #1, ECC #2, ..., ECC #N)을 구비한다. 즉, 상기 메모리 시스템(10)의 채널 수가 증가하게 되면 상기 ECC 회로들(ECC #1, ECC #2, ..., ECC #N)의 수도 그에 상응하여 증가하게 된다.
- <18> 결국, 상기 채널의 수가 증가할수록 상기 ECC 회로 블록(27)이 차지하는 크기도 비례하여 커지게 됨으로써 상기 메모리 시스템의 제조 비용이 상승하게 된다.

발명이 이루고자 하는 기술적 과제

- <19> 따라서, 본 발명이 이루고자 하는 기술적 과제는 메모리 시스템에서 채널의 증가에도 사이즈가 커지지 않고, 비용의 상승을 방지할 수 있는 ECC 회로를 포함하는 메모리 시스템 및 그 구동 방법을 제공하는 것이다.

발명의 구성 및 작용

- <20> 본 발명에 따른 메모리 시스템은 다수의 메모리 장치들; 상기 다수의 메모리 장치들을 제어하기 위한 컨트롤러; 및 상기 다수의 메모리 장치들과 상기 컨트롤러 사이에 접속되는 적어도 하나의 채널을 구비하며, 상기 컨트롤러는 버스; 호스트로부터 입력되는 라이트 데이터를 상기 버스로 인터페이스 하여 출력하고, 상기 버스를 통하여 수신되는 리드 데이터를 상기 호스트로 인터페이스 하여 출력하는 호스트 인터페이스; 상기 다수의 메모리 장치들로 라이트하거나 또는 상기 다수의 메모리 장치들로부터 리드되는 데이터를 인터페이스 하기 위한 메모리 인터페이스 블록; 및 상기 호스트로부터 입력된 상기 라이트 데이터를 인코딩하거나, 상기 다수의 메모리 장치들로부터 독출된 리드 데이터를 디코딩하는 제1 버퍼 메모리 블록을 구비한다.
- <21> 상기 제1 버퍼 메모리 블록은 호스트로부터 입력된 라이트 데이터 또는 상기 다수의 메모리 장치로부터 출력되는 리드 데이터를 일시 저장하기 위한 메모리 셀 어레이; 및 상기 메모리 셀 어레이로 입출력되는 라이트 데이터 또는 리드 데이터를 제어하기 위한 제1 버퍼 컨트롤러를 구비하며, 상기 제1 버퍼 컨트롤러는 ECC 회로를 포함하며, 상기 ECC 회로는 상기 메모리 셀 어레이로부터 출력되는 데이터를 인코딩하여 인코딩된 데이터를 상기 다수의 메모리 장치들로 출력하는 인코더 블록; 및 상기 다수의 메모리 장치들로부터 출력되는 리드 데이터의 오류를 검사하여 정정하기 위한 디코더 블록을 구비한다.
- <22> 상기 제1 버퍼 메모리 블록은 인코딩된 라이트 데이터를 저장하거나 상기 다수의 메모리 장치로부터 출력되는 리드 데이터를 일시 저장하기 위한 메모리 셀 어레이; 및 상기 메모리 셀 어레이로 입출력되는 라이트 데이터 또는 리드 데이터를 제어하기 위한 제1 버퍼 컨트롤러를 구비하며, 상기 제1 버퍼 컨트롤러는 ECC 회로를 포함하며, 상기 ECC 회로는 상기 호스트로부터 출력되는 데이터를 인코딩하여 상기 메모리 셀 어레이로 출력하는 인코더 블록; 및 상기 다수의 메모리 장치들로부터 출력되는 데이터의 오류를 검사하여 정정하기 위한 디코더 블록을 구비한다.
- <23> 상기 제1 버퍼 메모리 블록은 호스트로부터 입력된 라이트 데이터 또는 상기 다수의 메모리 장치로부터 출력되는 리드 데이터를 일시 저장하기 위한 메모리 셀 어레이; 및 상기 메모리 셀 어레이로 입출력되는 라이트 데이터 또는 리드 데이터를 제어하기 위한 제1 버퍼 컨트롤러를 구비하며, 상기 제1 버퍼 컨트롤러는 ECC 회로를 포함하며, 상기 ECC 회로는 상기 라이트 데이터를 기초로하여 생성된 패리티 정보를 저장하기 위한 레지스터 블록; 상기 호스트로부터 입력된 라이트 데이터를 인코딩하여 상기 인코딩된 패리티 정보를 상기 레지스터 블록으로 출력하고, 상기 라이트 데이터는 상기 메모리 셀 어레이로 각각 출력하는 인코더 블록; 및 상기 다수의 메모리 장치들로부터 출력되는 데이터의 오류를 검사하여 정정하기 위한 디코더 블록을 구비한다. 상기 레지스터는 플립-플롭으로 구현될 수 있다.
- <24> 상기 컨트롤러는 상기 다수의 메모리 장치들 중 적어도 어느 하나에 저장된 시스템 데이터를 독출하여 그 정보

를 업데이트하기 위한 제2 버퍼 메모리 블록을 더 구비한다.

- <25> 상기 제2 버퍼 메모리 블록은 상기 독출된 시스템 데이터를 저장하기 위한 메모리 셀 어레이; 및 상기 메모리 셀 어레이로 입력되는 시스템 데이터를 제어하기 위한 제2 버퍼 컨트롤러를 구비하며, 상기 제2 버퍼 컨트롤러는 ECC 회로를 포함하며, 상기 ECC 회로는 상기 다수의 메모리 장치들 중 어느 하나로부터 독출된 상기 시스템 데이터를 수신하여 오류를 검사하여 정정하기 위한 디코더 블록; 및 오류가 정정된 상기 시스템 데이터를 인코딩하여 상기 메모리 장치로 출력하는 인코더 블록을 구비한다.
- <26> 상기 디코더 블록은 상기 수신된 리드 데이터의 오류 유무를 검사하기 위한 오류 검출기; 및 상기 오류 검출기의 오류 검출 결과를 수신하여 상기 리드 데이터의 오류 정보를 파이프 라인 방식으로 계산하는 오류 정정기를 구비한다.
- <27> 상기 디코더 블록은 블록 코드(Block code) 디코더, 비터비 코드(viterbi code) 디코더, 컨케이티비티드 코드(concatenated code) 디코더 중 어느 하나이다.
- <28> 상기 다수의 메모리 장치들 각각은 하나의 메모리 셀에 다수의 데이터 비트를 저장하는 MLC(Multi Level Cell) 메모리 어레이로 구현된다.
- <29> 본 발명에 따른 메모리 시스템의 오류 정정 방법은 (a) 호스트 인터페이스 블록이 호스트로부터 입력되는 라이트 데이터를 인터페이스하여 버스로 출력하는 단계; (b) 제1 버퍼 메모리 블록이 상기 버스를 통하여 호스트로부터 입력된 라이트 데이터를 수신하고, 상기 수신된 라이트 데이터를 인코딩하여 다수의 메모리 장치들 중 대응하는 메모리 장치로 출력하는 단계; (c) 메모리 인터페이스 블록이 상기 다수의 메모리 장치들로부터 리드 데이터를 독출하여 상기 제1 버퍼 메모리 블록으로 출력하는 단계; 및 (d) 상기 제1 버퍼 메모리 블록이 상기 메모리 장치로부터 출력되는 리드 데이터를 디코딩하여 상기 버스를 통하여 상기 호스트로 출력하는 단계를 구비한다.
- <30> 상기 (b) 단계는 상기 호스트로부터 입력된 데이터가 상기 제1 버퍼 메모리 블록 내의 메모리 셀 어레이로 저장되는 단계; 인코더 블록이 상기 메모리 셀 어레이로부터 출력되는 라이트 데이터를 인코딩하여 상기 메모리 장치로 출력하는 단계를 구비한다.
- <31> 상기 (b) 단계는 인코더 블록이 상기 호스트로부터 출력되는 라이트 데이터를 인코딩하여 상기 제1 버퍼 메모리 블록 내의 메모리 셀 어레이로 출력하는 단계; 상기 인코더 블록으로부터 출력되는 인코딩된 라이트 데이터가 상기 메모리 셀 어레이에 저장되는 단계; 및 저장된 인코딩된 라이트 데이터가 상기 다수의 메모리 장치들로 출력되는 단계를 구비한다.
- <32> 상기 (b) 단계는 인코더 블록이 상기 호스트로부터 출력되는 데이터를 인코딩하여 수신된 데이터와 인코딩된 패리티 정보를 각각 출력하는 단계; 레지스터 블록이 상기 패리티 정보를 저장하고, 메모리 셀 어레이가 상기 수신된 라이트 데이터를 각각 저장하는 단계; 및 저장된 패리티 정보와 상기 라이트 데이터를 상기 다수의 메모리 장치들로 출력하는 단계를 구비한다.
- <33> 상기 (d) 단계는 디코더 블록이 상기 수신된 리드 데이터의 오류 정보를 검사하고 수정하여 상기 호스트로 출력하는 단계이다.
- <34> 상기 (d) 단계는 오류 검출기가 상기 수신된 리드 데이터의 오류 정보를 검사하는 단계; 및 오류 정정기가 상기 오류 검출기의 오류 검출 결과를 수신하여 상기 리드 데이터의 오류 정보를 파이프 라인 방식으로 계산하여 출력하는 단계를 구비한다.
- <35> 상기 디코더 블록은 블록 코드(Block code) 디코더, 비터비 코드(viterbi code) 디코더, 컨케이티비티드 코드(concatenated code) 디코더 중 어느 하나이다.
- <36> 본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시예에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시 예를 예시하는 첨부 도면 및 첨부 도면에 기재된 내용을 참조하여야만 한다.
- <37> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시 예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재번호를 나타낸다.
- <38> 도 2는 본 발명의 실시예에 따른 메모리 시스템의 개략적인 블록도이다. 도 2를 참조하면, 상기 메모리 시스템(100)은 컨트롤러(200), 및 다수의 메모리 장치들(310, 320, ..., 330)을 포함하는 메모리 블록(300)을 구비한다.

- <39> 상기 다수의 메모리 장치들(310, 320, ..., 330)은 적어도 하나의 채널(CH 0, CH1, ..., CH N)을 통하여 상기 컨트롤러(200)와 접속된다.
- <40> 상기 다수의 메모리 장치들(310, 320, ..., 330)은 NAND 플래시 칩, 및 NOR 플래시 칩으로 구현될 수 있다. 또한, 상기 다수의 메모리 장치들(310, 320, ..., 330)은 하나의 메모리 셀에 다수의 데이터 비트를 저장하는 MLC(Multi Level Cell) 또는 하나의 메모리 셀에 하나의 데이터 비트를 저장하는 SLC(Single Level Cell) 메모리 어레이로 구현될 수 있다.
- <41> 상기 컨트롤러(200)는 호스트 인터페이스 블록(210), 제1 버퍼 메모리 블록(220), 제2 버퍼 메모리 블록(230), CPU(240), 및 메모리 인터페이스 블록(250)을 구비한다.
- <42> 상기 호스트 인터페이스 블록(210)은 호스트(미도시)와의 인터페이스를 담당하며, 상기 호스트로부터 입력되는 라이트 데이터(write data)와 커맨드들을 수신하고, 상기 다수의 메모리 장치들(310, 320, ..., 330)로부터 독출된 리드 데이터(read data)들을 상기 호스트로 출력한다.
- <43> 상기 CPU(240)는 상기 호스트로부터 입력된 커맨드에 기초하여 상기 컨트롤러(200)에 구비되는 장치들에 액세스하여 상기 리드 데이터 또는 상기 라이트 데이터의 데이터 전송을 제어한다.
- <44> 상기 메모리 인터페이스 블록(250)은 DMA(Direct Memory Access; 251) 블록을 구비한다. 상기 DMA 블록(251)은 상기 CPU(240)의 명령에 기초하여 상기 호스트로부터 입력되어 상기 제1 버퍼 메모리 블록(220)에 저장된 라이트 데이터를 독출하여 상기 다수의 메모리 장치들(310, 320, ..., 330)로 출력하거나, 상기 다수의 메모리 장치들(310, 320, ..., 330)로부터 리드 데이터를 독출하여 상기 제1 버퍼 메모리 블록(220)으로 출력한다.
- <45> 상기 제1 버퍼 메모리 블록(220)은 제1 버퍼 메모리 컨트롤러(221), 및 제1 메모리 셀 어레이(222)를 구비한다. 상기 제1 버퍼 메모리 컨트롤러(221)는 상기 시스템 버스를 통하여 상기 호스트로부터 입력되는 라이트 데이터, 또는 상기 다수의 메모리 장치들(310, 320, ..., 330)로부터 독출되어 상기 메모리 인터페이스 블록(250)으로부터 출력되는 리드 데이터를 상기 제1 메모리 셀 어레이(222)로 저장하는 것을 제어한다.
- <46> 상기 제1 버퍼 메모리 컨트롤러(221)는 제1 ECC 회로 블록(223)을 포함한다. 상기 제1 ECC 회로 블록(223)은 상기 라이트 데이터를 인코딩하여 상기 다수의 메모리 장치들(310, 320, ..., 330)로 출력하거나, 상기 다수의 메모리 장치들(310, 320, ..., 330)로부터 독출되어 상기 호스트로 출력하기 위한 리드 데이터를 디코딩하여 출력한다.
- <47> 상기 제2 버퍼 메모리 블록(230)은 제2 버퍼 메모리 컨트롤러(231), 및 제2 메모리 셀 어레이(232)를 구비한다. 상기 제2 버퍼 메모리 컨트롤러(231)는 상기 다수의 메모리 장치들(310, 320, ..., 330)로부터 독출된 시스템 데이터를 상기 제2 메모리 셀 어레이(232)로 저장하고, 상기 저장된 시스템 데이터를 상기 다수의 메모리 장치들(310, 320, ..., 330)로 출력하는 것을 제어한다.
- <48> 상기 제2 버퍼 메모리 컨트롤러(231)는 제2 ECC 회로 블록(233)을 포함한다. 상기 제2 ECC 회로 블록(233)은 상기 수신되는 시스템 데이터를 디코딩하여 상기 시스템 데이터의 오류를 정정한다. 또한, 상기 제2 ECC 회로 블록(233)은 상기 제2 메모리 셀 어레이(232)에 저장된 정정된 시스템 데이터를 인코딩하여 상기 다수의 메모리 장치들(310, 320, ..., 330)로 출력한다.
- <49> 결국, 도 1에 도시된 메모리 시스템과 비교해 보면, 본 발명의 따른 메모리 시스템(100)은 상기 컨트롤러(200)의 버퍼 메모리 블록(220, 230) 내에 ECC 회로(223, 233)를 구비함으로써, 상기 컨트롤러(200)와 상기 다수의 메모리 장치들(310, 320, ..., 330) 간의 채널 수에 영향을 받지 않고, 상기 메모리 시스템(100)에서의 리드 데이터 또는 라이트 데이터의 오류를 검출하고 정정할 수 있다.
- <50> 도 3은 도 2에 도시된 제1 버퍼 메모리 블록의 실시예를 나타내는 도면이다. 도 2와 도 3을 참조하면, 상기 제1 버퍼 메모리 블록(220)은 제1 ECC 회로 블록(223)을 포함하는 제1 버퍼 메모리 컨트롤러(221), 및 제1 메모리 셀 어레이(222)를 구비한다.
- <51> 상기 제1 메모리 셀 어레이(222)는 호스트로부터 입력된 라이트 데이터 또는 상기 다수의 메모리 장치들(310, 320, ..., 330)로부터 독출된 리드 데이터를 일시 저장한다.
- <52> 상기 제1 ECC 회로 블록(223)은 제1 인코더 블록(224), 및 제1 디코더 블록(225)을 구비한다. 상기 제1 인코더 블록(224)은 상기 제1 버퍼 메모리 블록(220)의 출력 스테이지에 구비되어, 상기 메모리 시스템(100)이 라이트 모드일 경우, 상기 제1 메모리 셀 어레이(222)로부터 출력되는 라이트 데이터를 인코딩하여, 인코딩된 데이터

(Encoded_data)를 출력한다.

- <53> 상기 인코딩된 데이터(Encoded_data)는 상기 수신된 라이트 데이터(Write_data)를 기초로 하여 계산된 패리티 정보를 포함하는 데이터이다.
- <54> 상기 디코더 블록(225)은 오류 검출기(226), 및 오류 정정기(227)를 구비한다. 상기 오류 검출기(226)는 상기 수신된 리드 데이터의 오류 유무를 검사하여 그 결과를 출력한다.
- <55> 상기 오류 정정기(227)는 상기 오류 검사 결과를 수신하고, 수신된 오류 검사 결과에 기초하여 상기 오류가 발생한 리드 데이터의 오류를 정정하여 출력한다.
- <56> 상기 인코더 블록(224)은 블록 코드(Block code) 인코더, 컨볼루션 코드(Convolution code) 인코더, 또는 컨케이티비티드 코드(concatenated code) 인코더로 구현될 수 있고, 상기 디코더 블록(225)은 블록 코드(Block code) 디코더, 비터비 코드(Viterbi code) 디코더, 또는 컨케이티비티드 코드(concatenated code) 디코더로 구현될 수 있다.
- <57> 도 4는 도 2에 도시된 제1 버퍼 메모리 블록의 다른 실시예를 나타낸다. 도 2와 도 4를 참조하면, 상기 제1 버퍼 메모리 블록(220-1)은 제1 ECC 회로(223-1)를 포함하는 제1 버퍼 메모리 컨트롤러(221-1), 및 제1 메모리 셀 어레이(222-1)를 구비한다.
- <58> 상기 제1 메모리 셀 어레이(222-1)는 호스트로부터 입력된 라이트 데이터 또는 상기 다수의 메모리 장치들(310, 320, ..., 330)로부터 독출된 리드 데이터를 일시 저장한다.
- <59> 상기 제1 ECC 회로 블록(223-1)은 제1 인코더 블록(224-1), 및 제1 디코더 블록(225-1)을 구비한다. 상기 제1 인코더 블록(224-1)은 상기 제1 버퍼 메모리 블록(220-1)의 입력 스테이지에 구비되어, 상기 메모리 시스템(100)이 라이트 모드일 경우, 상기 호스트로부터 입력되는 라이트 데이터를 인코딩하여, 인코딩된 라이트 데이터를 출력한다.
- <60> 상기 제1 메모리 셀 어레이(222-1)는 상기 제1 인코더 블록(223-1)으로부터 출력된 인코딩된 라이트 데이터를 저장한다. 즉, 상기 제1 메모리 셀 어레이(222-1)는 상기 호스트로부터 입력된 라이트 데이터(Write_data) 및 상기 라이트 데이터에 기초하여 계산된 패리티 정보(Parity)를 포함하는 데이터를 저장할 수 있다.
- <61> 상기 디코더 블록(225-1)은 오류 검출기(226-1), 및 오류 정정기(227-1)를 구비한다. 상기 오류 검출기(226-1)는 상기 메모리 시스템(100)이 리드 동작을 수행할 경우 상기 다수의 메모리 장치들(310, 320, ..., 330)로부터 독출된 리드 데이터의 오류 유무를 검사하여 그 결과를 출력한다.
- <62> 상기 오류 정정기(227-1)는 상기 오류 검사 결과를 수신하고, 수신된 오류 검사 결과에 기초하여 상기 오류가 발생한 리드 데이터의 오류를 정정하여 출력한다.
- <63> 상기 인코더 블록(224-1)은 블록 코드(Block code) 인코더, 컨볼루션 코드(Convolution code) 인코더, 또는 컨케이티비티드 코드(concatenated code) 인코더로 구현될 수 있고, 상기 디코더 블록(225-1)은 블록 코드(Block code) 디코더, 비터비 코드(Viterbi code) 디코더, 또는 컨케이티비티드 코드(concatenated code) 디코더로 구현될 수 있다.
- <64> 도 5는 본 발명에 따른 제1 버퍼 메모리 블록의 또 다른 실시예를 나타낸다. 도 2와 도 5를 참조하면, 상기 제1 버퍼 메모리 블록(220-2)은 제1 ECC 회로(223-2)를 포함하는 제1 버퍼 메모리 컨트롤러(221-2), 및 제1 메모리 셀 어레이(222-2)를 구비한다.
- <65> 상기 제1 메모리 셀 어레이(222-2)는 호스트로부터 입력된 라이트 데이터(Write_data) 또는 상기 다수의 메모리 장치들(310, 320, ..., 330)로부터 독출된 리드 데이터(Read_data)를 일시 저장한다.
- <66> 상기 제1 ECC 회로 블록(223-2)은 제1 인코더 블록(224-2), 레지스터 블록(228), 및 제1 디코더 블록(225-2)을 구비한다.
- <67> 본 발명의 실시예에서는 상기 레지스터 블록(228)을 상기 제1 ECC 회로 블록(223-2)에 구현하였으나, 상기 레지스터 블록(228)은 상기 1 ECC 회로 블록(223-2) 외부의 제1 버퍼 메모리 컨트롤러(221-2)에 구현될 수 있다.
- <68> 상기 제1 인코더 블록(224-2)은 상기 제1 버퍼 메모리 블록(220-2)의 입력 스테이지에 구비되어, 상기 메모리 시스템(100)이 라이트 동작을 수행할 경우, 상기 호스트로부터 입력되는 라이트 데이터(Write_data)를 인코딩하여, 인코딩된 라이트 데이터(Encoded_data)를 출력한다.

- <69> 상기 레지스터 블록(228)은 상기 인코더 블록(224-2)으로부터 출력되는 인코딩된 라이트 데이터(Encoded_data) 중에서 패리티 정보(Parity)만을 수신하여 저장한다. 상기 레지스터 블록(228)은 플립-플롭(Flip-Flop)으로 구현될 수 있다.
- <70> 상기 제1 메모리 셀 어레이(222-2)는 상기 제1 인코더 블록(224-2)으로부터 출력되는 인코딩된 데이터 중에서 라이트 데이터(Write_data)만을 수신하여 저장한다.
- <71> 상기 레지스터 블록(228)에 저장된 상기 패리티 정보(Parity)는 상기 제1 메모리 셀 어레이(222-2)에 저장된 상기 라이트 데이터(Write_data)가 상기 다수의 메모리 장치들(310, 320, ..., 330)로 출력될 때 동시에 출력된다.
- <72> 상기 디코더 블록(225-2)은 오류 검출기(226-2), 및 오류 정정기(227-2)를 구비한다. 상기 오류 검출기(226-2)는 상기 메모리 시스템(100)이 리드 동작을 수행할 경우 상기 다수의 메모리 장치들(310, 320, ..., 330)로부터 독출된 리드 데이터(Read_data)의 오류 유무를 검사하여 그 결과를 출력한다.
- <73> 상기 오류 정정기(227-2)는 상기 오류 검사 결과를 수신하고, 수신된 오류 검사 결과에 기초하여 상기 오류가 발생한 리드 데이터의 오류를 정정하여 출력한다.
- <74> 상기 인코더 블록(224-2)은 블록 코드(Block code) 인코더, 컨볼루션 코드(Convolution code) 인코더, 또는 컨케이테이티드 코드(concatenated code) 인코더로 구현될 수 있고, 상기 디코더 블록(225-2)은 블록 코드(Block code) 디코더, 비터비 코드(Viterbi code) 디코더, 또는 컨케이테이티드 코드(concatenated code) 디코더로 구현될 수 있다.
- <75> 도 6은 도 2에 도시된 제2 버퍼 메모리 블록의 일 실시예이다. 도 2와 도 6을 참조하면, 도 2 내지 도 6에 도시된 제2 버퍼 메모리 블록은(230)은 제2 ECC 회로 블록(233)을 포함하는 제2 버퍼 메모리 컨트롤러(231), 및 제2 메모리 셀 어레이(232)를 구비한다.
- <76> 상기 메모리 시스템(100)은 상기 다수의 메모리 장치들(310, 320, ..., 330) 중 적어도 어느 하나에 시스템 데이터(System data)를 저장한다.
- <77> 상기 메모리 시스템(100)은 상기 시스템 데이터를 독출하여 상기 제2 버퍼 메모리 블록(230)에 저장하여 상기 시스템 데이터의 업데이트를 수행하고, 상기 업데이트가 완료되면 다시 상기 다수의 메모리 장치들 중 어느 하나로 출력하여 저장한다. 즉, 상기 제2 버퍼 메모리 블록(230)은 상기 시스템 데이터를 일시 저장하기 위한 시스템 버퍼 메모리 블록이다.
- <78> 상기 제2 버퍼 메모리 컨트롤러(231)는 상기 다수의 메모리 장치들(310, 320, ..., 330)로부터 독출된 시스템 데이터를 상기 제2 메모리 셀 어레이(232)로 저장하고, 상기 저장된 시스템 데이터를 상기 다수의 메모리 장치들(310, 320, ..., 330)로 출력하는 것을 제어한다.
- <79> 상기 제2 ECC 회로 블록(233)은 제2 디코더 블록(235), 및 제2 인코더 블록(234)을 구비한다. 상기 제2 디코더 블록(235)은 상기 다수의 메모리 장치들(310, 320, ..., 330) 중 어느 하나로부터 출력되는 상기 리드 시스템 데이터(Read_System_Data)를 수신하여 상기 시스템 데이터의 오류를 검사하고 정정한다.
- <80> 상기 제2 디코더 블록(235)은 제2 오류 검출기(236), 및 제2 오류 정정기(237)를 구비한다. 상기 오류 검출기(236)는 상기 메모리 시스템(100)이 리드 동작 시 상기 다수의 메모리 장치들(310, 320, ..., 330)로부터 독출된 리드 시스템 데이터(Read_System_data)의 오류 유무를 검사하여 그 결과를 출력한다.
- <81> 상기 오류 정정기(237)는 상기 오류 검사 결과에 기초하여 상기 리드된 시스템 데이터(Read_System_data)의 오류를 정정하여 상기 제2 메모리 셀 어레이(232)로 출력한다.
- <82> 상기 오류 정정이 완료되면 상기 메모리 시스템(100)은 상기 제2 메모리 셀 어레이(232)에 저장된 상기 시스템 데이터를 업데이트하고, 업데이트된 시스템 데이터를 상기 다수의 메모리 장치들(310, 320, ..., 330) 중 어느 하나로 출력하여 다시 저장한다.
- <83> 상기 제2 인코더 블록(234)은 상기 제2 버퍼 메모리 컨트롤러(231)의 출력 스테이지에 구비되어 상기 제2 메모리 셀 어레이(232)로부터 출력되는 상기 업데이트된 시스템 데이터를 인코딩하여 상기 메모리 장치들(310, 320, ..., 330)로 인코딩된 시스템 데이터(Encoded_System_data)를 출력한다.
- <84> 상기 제2 인코더 블록(234)은 블록 코드(Block code) 인코더, 컨볼루션 코드(Convolution code) 인코더, 또는

컨케이트네이티드 코드(concatenated code) 인코더로 구현될 수 있고, 상기 디코더 블록(235)은 블록 코드(Block code) 디코더, 비터비 코드(Viterbi code) 디코더, 또는 컨케이트네이티드 코드(concatenated code) 디코더로 구현될 수 있다.

- <85> 도 7은 도 3 내지 도 6에 도시된 디코더 블록의 일 실시예를 나타내는 도면이다. 좀더 자세히 말하면, 상기 디코더 블록이 블록 코드 디코더로 구현된 예를 나타내는 도면이다. 도 3 내지 도 6에 도시된 디코더 블록들(225, 225-1, 225-2, 및 235)은 도 7에 도시된 디코더 블록과 동일하게 구현될 수 있으므로 설명의 간략함을 위하여 도 3에 도시된 디코더 블록의 실시예를 참조하여 설명하고자 한다.
- <86> 도 3과 도 7을 참조하면, 상기 디코더 블록(225)은 오류 검출기(51, 52), 선택 블록(53), 및 오류 정정기(54)를 구비한다.
- <87> 상기 오류 검출기들(51, 52) 각각은 입력된 리드 데이터의 오류를 검사한다. 즉, 블록 코드(Block code) 디코더 방식에서 상기 리드 데이터의 신드롬을 계산하고 계산된 신드롬 결과에 기초하여 상기 리드 데이터의 오류 발생 유무를 판단한다.
- <88> 상기 리드 데이터에 오류가 발생하면, 상기 메모리 시스템(100)은 상기 제1 버퍼 메모리에 저장된 데이터의 호스트로의 전송을 중지하고, 상기 오류 정정 모드로 진입하게 된다.
- <89> 상기 선택 블록(53)은 상기 다수의 오류 검출기(예컨대, 신드롬 계산 블록)들 각각으로부터 계산되어 출력되는 신드롬 계산 결과를 수신하고, 수신된 계산 결과 중에서 어느 하나를 선택하여 순차적으로 출력한다.
- <90> 상기 디코더 블록(225)은 상기 선택 블록(53)으로부터 출력되는 신드롬 계산 결과를 수신하고, 상기 수신된 신드롬 계산 결과에 기초하여 상기 리드 데이터의 오류 정보를 계산하여 오류를 정정한다.
- <91> 상기 오류 정정기(54)는 KES 블록(55), CS 블록(56), 및 EE 블록(57)을 구비한다. 상기 KES 블록(55), CS 블록(56), 및 EE 블록(57)은 파이프 라인 모드로 동작함으로써 상기 다수의 채널(CH 0, CH 1, ...CH N)을 통하여 수신되는 데이터를 빠른 동작 속도로 오류를 계산하여 정정하게 된다.
- <92> 도 8은 도 7에 도시된 디코더 블록의 파이프 라인 동작을 설명하기 위한 도면이다. 도 7과 도 8을 참조하면, 상기 다수의 오류 검출기들(51, 52) 각각은 다수의 메모리 장치들(310, 320)로부터 출력되어 다수의 채널들(CH0, CH1)을 통하여 수신되는 리드된 데이터를 수신하여 상기 리드된 데이터의 오류 여부를 검사하기 위한 신드롬을 계산하여 출력한다.
- <93> 설명의 용이함을 위하여 본 발명의 실시예에서는 상기 메모리 시스템이 2개의 채널(CH0, CH1)로 구현되고, 상기 각각의 채널을 통하여 리드된 데이터에 모두 오류가 발생한 경우를 예로 들어 설명하고자 한다.
- <94> 상기 2개의 채널(CH0, CH1)을 통하여 리드된 데이터에서 모두 오류가 발생하게 되면, 상기 선택 블록(53)은 상기 제1 오류 검출기(51), 및 상기 제2 오류 검출기(52)로부터 출력되는 신드롬 계산 결과(신드롬 데이터)를 수신하여 먼저 제1 데이터(#1)에 대한 신드롬 데이터를 상기 디코더 블록(54)으로 출력한다.
- <95> 상기 디코더 블록(54)은 상기 신드롬 데이터를 수신하여 오류 수정 모드로 진입하게 된다. 상기 디코더 블록(54)이 오류 수정 모드로 진입하게 되면, 상기 KES(55) 블록은 도 2에 도시된 제1 버퍼 메모리 블록(220)에 미리 저장된 제1 데이터(#1)에 대하여 산출된 신드롬 데이터를 이용하여 미리 결정된 오류 위치 방정식의 계수를 산출하는 'key equation'을 수행한다.
- <96> 상기 KES 블록(55)의 동작이 완료되면, 상기 CS 블록(56)은 상기 'key equation' 결과를 이용하여 상기 제1 데이터(#1)에 대한 오류 위치 방정식의 해를 구하는 'chien search' 알고리즘을 수행한다.
- <97> 이때, 상기 CS 블록(56)이 제1 데이터(#1)에 대한 'chien search' 알고리즘을 수행하는 동안, 상기 선택 블록(53)은 상기 제2 데이터(#2)에 대한 신드롬 계산 결과를 상기 KES 블록(55)으로 출력하게 된다.
- <98> 상기 KES 블록(55)은 상기 제2 데이터(#2)에 대한 신드롬 데이터에 기초하여 제2 데이터(#2)에 대한 오류 위치 방정식의 계수를 산출하는 'key equation'을 수행한다.
- <99> 상기 CS 블록(56)의 동작이 완료되면, 상기 EE 블록(57)은 상기 제1 데이터(#1)에 대한 'chien search' 알고리즘 결과를 이용하여 제1 데이터(#1)에 대한 오류 위치를 표시하기 위한 'error evaluate' 알고리즘을 수행하여 그 결과를 출력한다.
- <100> 상기 제1 버퍼 메모리 컨트롤러(221)는 상기 EE 블록(57)으로부터 출력되는 제1 데이터(#1)에 대한 오류 정보

(즉, 오류 위치 정보)에 기초하여 상기 제1 버퍼 메모리 블록(220)에 저장된 제1 데이터(#1)에 대한 오류를 수정하고, 상기 제1 버퍼 메모리 블록(220)은 수정된 리드 데이터를 호스트로 출력하게 된다.

- <101> 이때, 상기 CS 블록(56)이 상기 제1 데이터(#1)에 대한 'chien search' 동작이 완료되면, 상기 CS 블록(56)은 상기 제2 데이터(#2)에 대한 'key equation' 결과를 수신하고, 상기 제1 버퍼 메모리(220)에 저장되어 있는 제2 데이터(#2)에 대한 'chien search' 알고리즘을 수행한다.
- <102> 상기 CS 블록(56)이 제2 데이터(#2)에 대한 'chien search' 동작을 수행하는 하계 되면, 상기 KES 블록(55)은 상기 제1 채널(CH 0)로부터 출력되는 제3 데이터(#3)에 대한 신드롬 데이터를 수신하여 제3 데이터(#3)에 대한 오류 방정식의 계수를 구하기 위한 'key equation'을 수행한다.
- <103> 상기 CS 블록(56)의 동작이 완료되면, 상기 EE 블록(57)은 상기 제2 데이터(#2)에 대한 'chien search' 결과에 기초하여 'error evaluate' 알고리즘을 수행함으로써 상기 제2 데이터(#2)에 대한 오류 정보를 계산하여 출력하고, 상기 오류 정보에 기초하여 상기 제1 버퍼 메모리 컨트롤러(221)는 상기 제1 버퍼 메모리 블록(220)에 저장된 제2 데이터(#2)에 대한 오류를 수정하고, 상기 제1 버퍼 메모리 블록(220)은 수정된 리드 데이터를 호스트로 출력하게 된다.
- <104> 상기 제1 데이터(#1) 및 제3 데이터(#3)는 제1 채널(CH0)을 통하여 제1 메모리 장치(310)로부터 리드된 데이터일 수 있고, 상기 제2 데이터(#2)는 제2 채널(CH1)을 통해 제2 메모리 장치(320)로부터 리드된 데이터일 수 있다.
- <105> 도 9는 도 3 내지 도 6에 도시된 디코더 블록의 다른 실시예를 나타내는 도면이다. 좀더 자세히 설명하면, 상기 디코더 블록이 비터비 코드 디코더로 구현된 예를 나타내는 도면이다.
- <106> 도 3 내지 도 6에 도시된 디코더 블록들은(225, 225-1, 225-2, 및 235))은 동일한 방법으로 구현될 수 있으므로 설명의 간략함을 위하여 도 3에 도시된 디코더 블록의 실시예를 참조하여 설명하고자 한다.
- <107> 도 3과 도 9를 참조하면, 상기 디코더 블록(225)은 오류 검출기(61, 62), 선택 블록(63), 및 오류 정정기(64)를 구비한다.
- <108> 상기 디코더 블록(225)이 비터비 코드 디코더로 구현된 경우, 상기 오류 검출기(61, 62)는 BMC(Branch Matrics Calculator) 블록으로 구현되고, 상기 오류 정정기(64)는 ACS(Add-Compare-Select) 블록(65), SMM(State Matrics Memory) 블록(66), 및 SPM(Survivor Path Memory) 블록(67)을 포함하여 구현된다.
- <109> 상기 BMC 블록들(61, 62) 각각은 상기 다수의 메모리 장치들(310, 320, 330)로부터 출력되는 리드 데이터의 브랜치 매트릭스를 계산하여 출력한다.
- <110> 상기 선택 블록(63)은 상기 오류 검출기들(예컨대, 브랜치 매트릭스 계산 블록(BMC)들) 각각으로부터 계산되어 출력되는 브랜치 매트릭스 계산 결과를 수신하고, 수신된 계산 결과 중에서 어느 하나를 선택하여 순차적으로 출력한다.
- <111> 상기 ACS 블록(65)은 브랜치 매트릭스 계산 결과를 수신하고, SMM 블록(66)에 미리 저장된 상태 매트릭스 값을 더하여 원래의 데이터 패스에 근접한 값을 새로운 상태 매트릭스 값으로 출력한다.
- <112> 상기 SMM 블록(66)은 상기 ACS 블록(65)으로부터 출력되는 새로운 상태 매트릭스 값을 수신하여, 저장된 상태 매트릭스를 업데이트 한다.
- <113> 상기 SPM 블록(67)은 상기 ACS 블록(65)으로부터 출력되는 상태 매트릭스 중에서 살아남은 경로(즉, 서바이벌 패스)만을 저장하여 출력함으로써 상기 리드 데이터의 오류를 정정하여 출력한다.
- <114> 도 10은 도 9에 도시된 디코더 블록의 파이프 라인 동작을 설명하기 위한 타이밍 도이다. 도 9와 도 10을 참조하면, 상기 BMC 블록은 상기 메모리 장치들로부터 출력되어 상기 다수의 채널을 통하여 수신되는 리드 데이터의 브랜치 매트릭스(Branch Matrics)를 계산하여 출력한다.
- <115> 설명의 용이함을 위하여 본 발명의 실시예에서는 상기 메모리 시스템이 2개의 채널(CH0, CH1)로 구현되고, 상기 각각의 채널을 통하여 리드된 데이터에 모두 오류가 발생한 경우를 예로 들어 설명하고자 한다.
- <116> 상기 각각의 채널(CH 0, CH 1)을 통하여 리드된 데이터에서 오류가 발생하게 되면, 상기 선택 블록(63)은 상기 각각의 BMC 블록들(61, 62)로부터 출력되는 브랜치 매트릭스 계산 결과를 수신하여 먼저 제1 데이터(#1)에 대한 브랜치 매트릭스 계산 결과를 상기 오류 정정기(64)로 출력한다.

- <117> 상기 오류 정정기(64)는 상기 브랜치 매트릭스 계산 결과를 수신하여 오류 정정 모드로 진입하게 된다. 상기 오류 정정기(64)가 오류 정정 모드로 진입하게 되면, 상기 ACS 블록(65)은 수신된 제1 데이터(#1)에 대한 브랜치 매트릭스 계산 결과와 상기 SMM 블록(66)에 미리 저장된 상태 매트릭스 값을 더하여 원래의 데이터 패스에 근접한 값을 새로운 상태 매트릭스 값으로 출력한다.
- <118> 상기 ACS 블록(65)와 SMM 블록(66)의 동작이 완료되면, 상기 SPM 블록(67)은 상기 제1 데이터(#1)에 대한 서바이벌 패스를 구하기 시작한다.
- <119> 이때, 상기 ACS 블록(65)과 상기 SMM 블록(66)은 제2 데이터(#2)에 대한 브랜치 매트릭스 값을 수신하여 ACS 블록(65)과 상기 SMM 블록(66)이 제2 데이터(#2)에 대한 브랜치 매트릭스 계산 결과와 상기 SMM 블록(66)에 저장된 제2 데이터(#2)에 대한 상태 매트릭스 값을 더하여 원래의 데이터 패스에 근접한 값을 새로운 상태 매트릭스 값을 출력한다.
- <120> 상기 SPM 블록(67)이 제1 데이터(#1)에 대한 서바이벌 패스를 구하여 출력을 완료하면, 상기 SPM 블록(67)은 제2 데이터(#2)에 대한 서바이벌 패스를 구하여 출력한다.
- <121> 즉, 상기 디코더 블록(225)은 제1 채널(CH 0)과 제2 채널(CH 1)을 통하여 수신되는 리드 데이터를 파이프 라인 모드로 오류를 검출하고 정정하여 출력하게 된다.
- <122> 이상 도 7 내지 도 10을 참조하여 상기 디코더 블록(225)이 블록 코드 디코더 또는 비터비 코드 디코더로 구현된 예를 들어 설명하였으나, 상기 디코더 블록(225)은 상기 블록 코드 방식과 비터비 코드 방식을 함께 사용하는 컨테이트네이티드 코드 방식을 사용하여 구현될 수 있다.
- <123> 이상 상술한 본 발명에 따른 메모리 시스템은 메모리 카드, 플래시 카드, 플래시 하드 디스크 드라이브로 구현될 수 있다.
- <124> 본 발명은 도면에 도시된 일 실시 예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시 예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 등록청구범위의 기술적 사상에 의해 정해져야 할 것이다.

발명의 효과

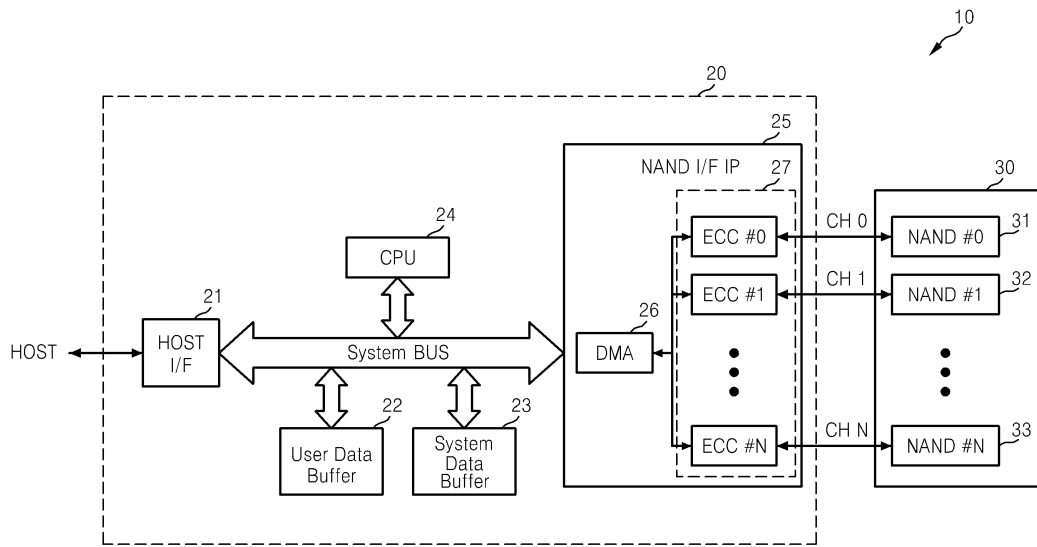
- <125> 상술한 바와 같이 본 발명에 따른 메모리 시스템은 오류를 검출하고 정정하기 위한 ECC 회로 블록을 버퍼 메모리 블록에 구현함으로써 채널 증가에 따른 상기 메모리 시스템의 크기가 증가하는 것을 방지할 수 있고, 고속으로 데이터를 처리할 수 있는 효과가 있다.

도면의 간단한 설명

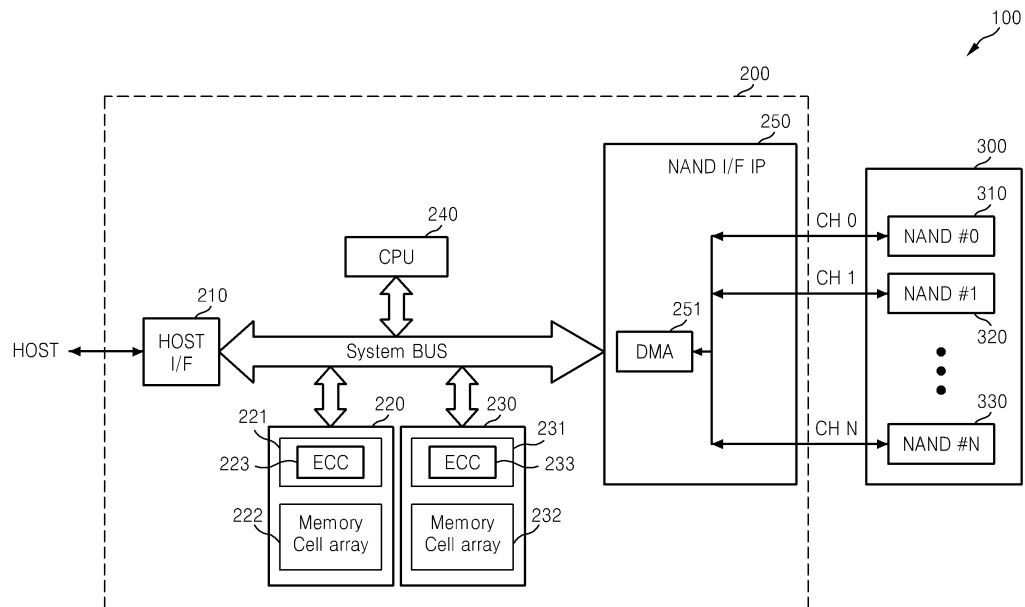
- <1> 본 발명의 상세한 설명에서 인용되는 도면을 보다 충분히 이해하기 위하여 각 도면의 간단한 설명이 제공된다.
- <2> 도 1은 일반적인 메모리 시스템의 개략적인 블록도를 나타낸다.
- <3> 도 2는 본 발명의 실시예에 따른 메모리 시스템의 개략적인 블록도이다.
- <4> 도 3은 도 2에 도시된 제1 버퍼 메모리 블록의 실시예를 나타내는 도면이다.
- <5> 도 4는 도 2에 도시된 제1 버퍼 메모리 블록의 다른 실시예를 나타내는 도면이다.
- <6> 도 5는 도 2에 도시된 제1 버퍼 메모리 블록의 또 다른 실시예를 나타내는 도면이다.
- <7> 도 6은 도 2에 도시된 제2 버퍼 메모리 블록의 실시예를 나타내는 도면이다.
- <8> 도 7은 도 3 내지 도 6에 도시된 디코더 블록의 실시예를 나타내는 도면이다.
- <9> 도 8은 도 7에 도시된 디코더 블록의 파이프 라인 동작을 설명하기 위한 도면이다.
- <10> 도 9는 도 3 내지 도 6에 도시된 디코더 블록의 다른 실시예를 나타내는 도면이다.
- <11> 도 10은 도 9에 도시된 디코더 블록의 파이프 라인 동작을 설명하기 위한 도면이다.

도면

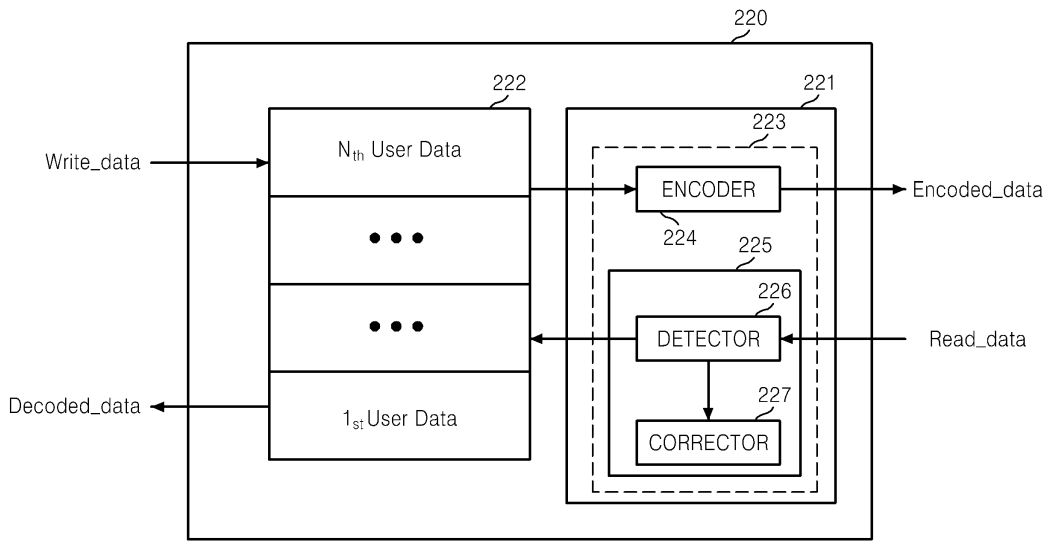
도면1



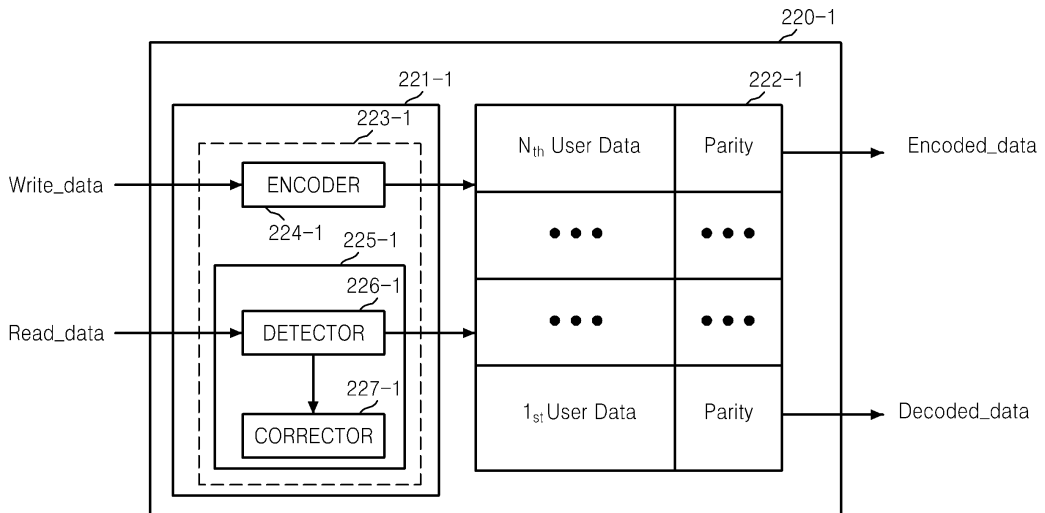
도면2



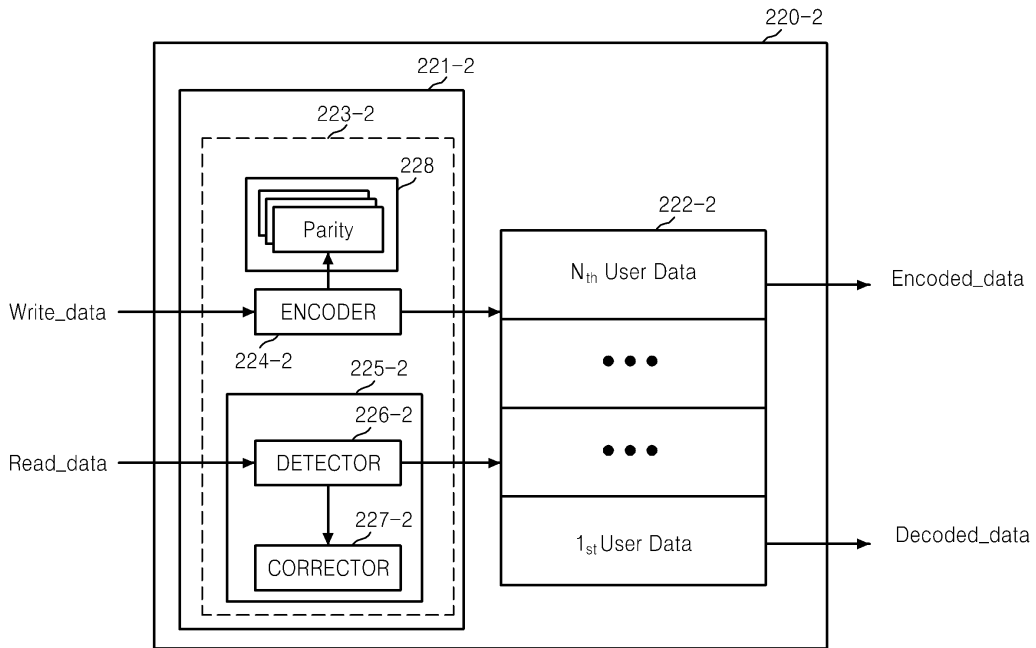
도면3



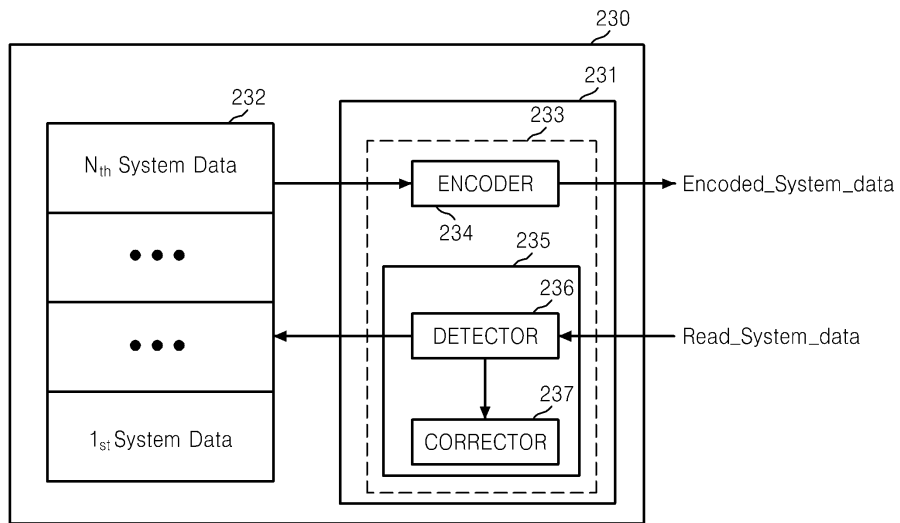
도면4



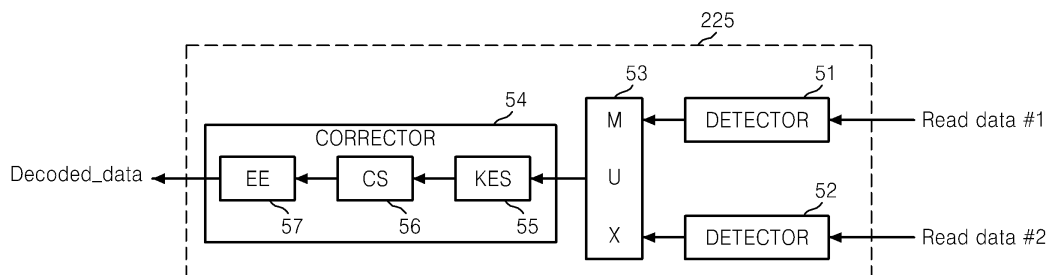
도면5



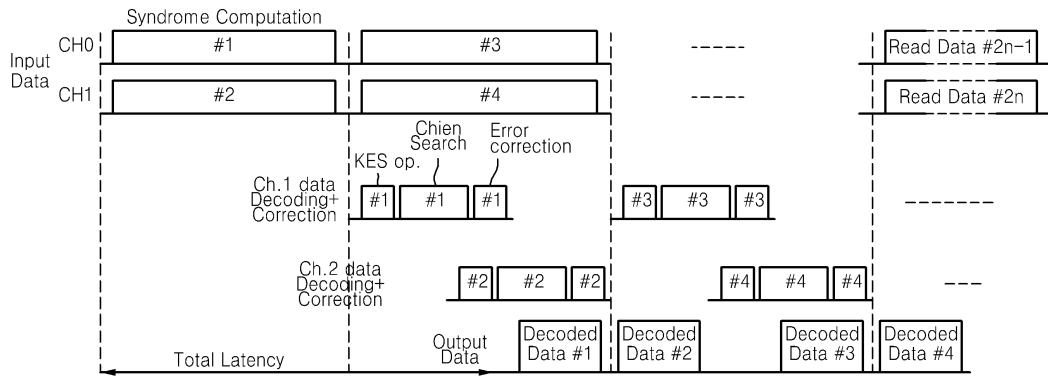
도면6



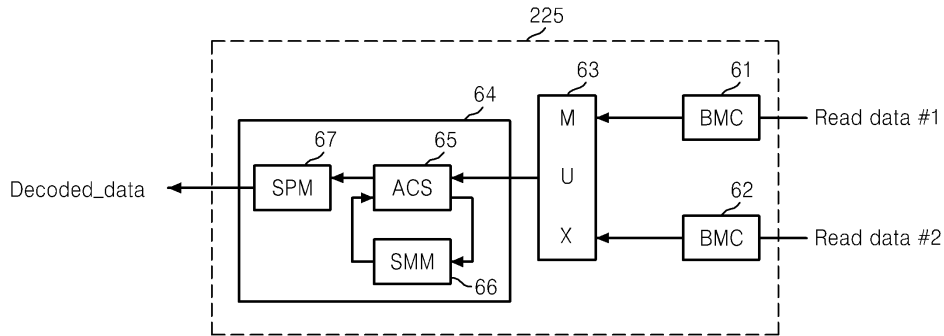
도면7



도면8



도면9



도면10

