



## [12] 发明专利说明书

[21] ZL 专利号 01122840.7

[45] 授权公告日 2005 年 1 月 5 日

[11] 授权公告号 CN 1183659C

[22] 申请日 2001.7.10 [21] 申请号 01122840.7

[30] 优先权

[32] 2000.9.26 [33] KR [31] 56425/2000

[71] 专利权人 三星电子株式会社

地址 韩国京畿道

[72] 发明人 金正镐

审查员 李晴晖

[74] 专利代理机构 北京市柳沈律师事务所

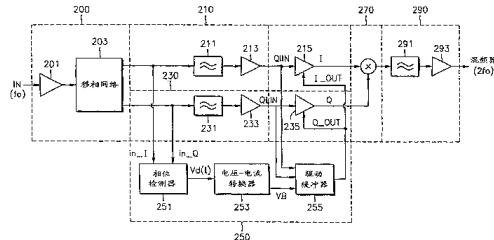
代理人 马莹

权利要求书 2 页 说明书 7 页 附图 4 页

[54] 发明名称 具有用于改善倍频性能的检测控制单元的倍频器电路

## [57] 摘要

一种倍频性能改善的、在集成电路中实现的倍频器电路，包括：移相器、第一缓冲器、第二缓冲器、检测控制单元、第三缓冲器、第四缓冲器、乘法器、输出缓冲器。移相器响应具有预定频率的输入信号输出与输入信号同相的第一信号和与输入信号异相的第二信号。第一和第二缓冲器分别对第一和第二信号进行滤波和缓冲。检测控制单元响应第一和第二信号、第一和第二缓冲器的输出信号，检测第一和第二信号之间的相位差并输出第一和第二控制信号。第三缓冲器响应第一控制信号对第一缓冲器的输出信号进行缓冲。第四缓冲器响应第二控制信号对第二缓冲器的输出信号进行缓冲。乘法器将第三和第四缓冲器的输出信号相乘。第一和第二信号相位相差约 90°。



1. 一种倍频器电路，包括：  
移相器，用于响应具有预定频率的输入信号，输出与输入信号同相的第一信号和与输入信号异相的第二信号；  
检测控制单元，用于检测第一信号与第二信号之间的相位差，并输出第一和第二控制信号；  
第一信号控制器，用于接收第一信号，并根据第一控制信号调整第一信号；  
10 第二信号控制器，用于接收第二信号，并根据第二控制信号调整第二信号；和  
乘法器，用于将第一信号控制器的输出信号与第二信号控制器的输出信号相乘，以便生成具有预定频率的二倍频率的输出信号。
2. 根据权利要求 1 的倍频器电路，其中检测控制单元包括：  
15 相位检测器，用于输出与第一信号和第二信号之间的相位差成正比的相位检测电压；  
转换器，用于生成与相位检测电压成正比的转换器信号；和  
驱动缓冲器，用于响应第一和第二信号，对转换器信号进行缓冲，并输出用于控制第一信号控制器的第一控制信号和用于控制第二信号控制器的第二控制信号。  
20
3. 根据权利要求 1 的倍频器电路，还包括用于对第一信号进行滤波的滤波器和用于对该滤波器输出信号进行缓冲的放大器。
4. 根据权利要求 1 的倍频器电路，还包括用于对第二信号进行滤波的滤波器和用于对该滤波器输出信号进行缓冲的放大器。
- 25 5. 根据权利要求 1 的倍频器电路，还包括输出缓冲器，其包括用于对乘法器的输出进行滤波的输出滤波器和用于对该输出滤波器的输出信号进行缓冲的放大器。
6. 根据权利要求 1 的倍频器电路，其中第二信号与第一信号的相位相差约 90°。
- 30 7. 根据权利要求 1 的倍频器电路，其中第一信号控制器的输出信号与第二信号控制器的输出信号不同相，相位相差约 90°。

8. 根据权利要求 3 的倍频器电路，其中滤波器是高通滤波器。
9. 根据权利要求 4 的倍频器电路，其中滤波器是高通滤波器。
10. 根据权利要求 5 的倍频器电路，其中输出滤波器是带通滤波器。
11. 根据权利要求 2 的倍频器电路，其中转换器包括：
  - 5 第一 MOS 晶体管，其漏极接电流源，栅极接收参考电压；
  - 第二 MOS 晶体管，其漏极和栅极共接第一 MOS 晶体管的源极，源极与地电压相连接；
  - 第三 MOS 晶体管，其漏极接电流源，栅极接收相位检测器的输出电压；
  - 和
- 10 第四 MOS 晶体管，其漏极和栅极共接第三 MOS 晶体管的源极，源极与地电压相连接，其中转换器的输出节点接第三 MOS 晶体管的源极。
12. 根据权利要求 11 的倍频器电路，其中驱动缓冲器包括：
  - 第一差动比较器，输出用于控制第一信号控制器的第一差动控制信号；
  - 和
- 15 第二差动比较器，输出用于控制第二信号控制器的第二差动控制信号；

## 具有用于改善倍频性能的检测控制单元的倍频器电路

5

### 技术领域

本发明涉及一种集成电路，特别涉及一种在集成电路中实现的倍频器电路。

### 背景技术

倍频电路通常用在锁相环中用于合成与输入信号相位有关的时钟信号。  
10 低频时对输入信号的倍频可通过使用开关电容、差动放大器、具有不同发射区比率(W/L)的发射极耦合的晶体管对和使用由逻辑门与触发器实现的信号延迟来实现。

高频时对输入信号的倍频的实施就变得困难。

传统的对具有高频区内预定频率的输入信号进行倍频的方法包括：使用  
15 输入信号 IN 与输入信号 IN 经四分之一周期相移后的信号的乘积的方法，  
和，使用长度为输入信号 IN 的波长的四分之一的微带线(micro strip line)和  
输入信号 IN 的二次谐波频率的方法。

然而，微带线并不能很容易地置入 IC 还不影响 IC 中其他元器件的工作  
作和布局。

20 图 1 显示了传统的倍频电路，该倍频电路具有：多个放大器 11、13 和  
19；移相器 17；和乘法器 15。放大器 11 和 13 放大输入信号 IN，其工作在  
预定频率  $f_0$ 。信号 IN 从锁相环(PLL)的压控振荡器(VCO)输出。放大器 13  
的输出信号 I 进入移相器 17，该移相器对信号 I 移相  $\pi/2$  或  $90^\circ$  形成信号 Q。  
乘法器 15 将信号 I 与  $\pi/2$  相移后的信号 Q 相乘。乘法器 15 的输出是其频率  
25 为输入信号频率  $f_0$  的两倍即  $2f_0$  的信号。该信号经放大器 19 放大，放大后的  
信号施加到混频器的本机振荡器(LO)。

当 I 与 Q 的增益不匹配或两个信号 I 与 Q 在相位上不匹配时，图 1 中的  
电路就会存在问题。处理条件或温度的变化能导致上述不匹配。

而且，有源元件的非线性还会导致频率  $f_0$  的谐波和调制频率分量。提  
30 供给混频器的 LO(未示出)时，倍频信号的谐波可能对系统的灵敏度特性产  
生不利影响。

因此，需要有在高频区拥有改良倍频性能并且易于在集成电路(IC)中实现的倍频器电路。

还需要有即使在处理环境和温度发生变化时也能改善倍频性能的检测控制单元。

5

### 发明内容

提供了一种倍频器电路，该电路包括：移相器、第一缓冲器、第二缓冲器、检测控制单元、第三缓冲器、第四缓冲器、乘法器和输出缓冲器。移相器响应于具有预定频率的输入信号输出与输入信号同相的第一信号和与输入信号有相位差的第二信号。第一缓冲器对第一信号进行滤波和缓冲，第二缓冲器对第二信号进行滤波和缓冲。检测控制单元响应第一信号、第二信号、第一缓冲器的输出信号和第二缓冲器的输出信号，检测第一信号与第二信号之间的相位差，并输出第一控制信号和第二控制信号。

第三缓冲器响应第一控制信号对第一缓冲器的输出信号进行缓冲。第四缓冲器响应第二控制信号对第二缓冲器的输出信号进行缓冲。

15

乘法器将第三缓冲器的输出信号与第四缓冲器的输出信号相乘。输出缓冲器对乘法器的输出信号进行缓冲。

第二信号与第一信号之间的相位差最好是 $90^{\circ}$ 左右，第四缓冲器的输出信号与第三缓冲器的输出信号之间的相位差最好是 $90^{\circ}$ 左右。

20

而且，第一与第二缓冲器的滤波器最好是高通滤波器，输出缓冲器的输出滤波器最好是带通滤波器。

25

为实现第二个目标提供了一种检测控制设备，用于响应具有预定频率的输入信号来控制与输入信号相位相同的第一信号和与输入信号存在相位差的第二信号参与乘法运算。该检测控制器包括：相位检测器、转换器和驱动缓冲器。相位检测器响应第一和第二信号输出与第一信号和第二信号之间的相位差成正比的电压。转换器响应相位检测网络的输出电压产生与上述电压成正比的电流。驱动缓冲器响应第一与第二缓冲器的输出信号对转换器的输出信号进行缓冲，并输出用于控制第三缓冲器的第一控制信号和用于控制第四缓冲器的第二控制信号。

### 附图说明

30

通过对下列附图的简介能更好地理解本发明，其中：

图1显示了传统的倍频电路；

图 2 是根据本发明实施例的倍频器电路的原理框图；

图 3 显示了图 2 中的相位检测器输出的波形图；

图 4 是图 2 中电压-电流转换器的原理电路图；和

图 5 是图 2 中驱动缓冲器的原理电路图。

5

### 具体实施方式

要充分理解上述目的与本发明的优点，参照以下结合附图对优选实施例的阐述。

下面将通过参照附图对优选实施例的记述来详细说明本发明。图中相同的标号表示相同的元器件。

10 图 2 是根据本发明实施例的倍频器电路的原理框图。该倍频器电路包括：移相器 200、第一缓冲器 210、第二缓冲器 230、检测控制单元 250、第三缓冲器 215、第四缓冲器 235、乘法器 270 和输出缓冲器 290。

15 移相器 200 包括放大器 201 和移相网络 203。放大器 201 放大输入信号 IN 的信号电平。信号 IN 以从 VCO(未显示)输出的频率  $f_0$  操作。通常，输入信号应保持在 500mV 或更高以便得到最小相位误差特征。

为使对频率等于或小于参考频率的噪声的传输最小，移相网络 203 输出第一信号  $in\_I$  和第二信号  $in\_Q$ ，信号  $in\_I$  与输入信号 IN 同相，这里称为“同相信号”，信号  $in\_Q$  与输入信号 IN 不同相，这里称为“异相信号”。

20 第一缓冲器 210 对第一信号  $in\_I$  进行滤波和缓冲。第一缓冲器 210 包括滤波器 211 和放大器(或限幅器)213。滤波器 211 最好是高通滤波器(HPF)，用于消除第一信号  $in\_I$  中包含的低频噪声，经过高通滤波的信号输出给放大器 213。

第二缓冲器 230 对与第一信号  $in\_I$  有四分之一周期相移的第二信号  $in\_Q$  进行滤波和缓冲。第二缓冲器 230 包括滤波器 231 和放大器(或限幅器)233。

25 滤波器 231 最好也是高通滤波器，用于消除第二信号  $in\_Q$  中包含的低频噪声，经过高通滤波的信号输出给放大器 233。

图 2 中的检测控制单元 250 包括相位检测器 251、电压-电流转换器 253 和驱动缓冲器 255。

30 相位检测器 251 检测输入信号  $in\_I$  与  $in\_Q$  之间的相位差并提供电压  $Vd(t)$ ，电压  $Vd(t)$  与上述两个信号之间的相位差成正比。电压  $Vd(t)$  输入给电压-电流转换器 253，电流转换器 253 产生与电压  $Vd(t)$  成正比的电流。

根据本发明的本实施例，检测器检测第一信号  $in\_I$  与第二信号  $in\_Q$  的相位和频率。响应第一缓冲器 210 的差动输出信号  $QIIN$  和第二缓冲器 230 的差动输出信号  $QLIN$ ，驱动缓冲器 255 输出第一差动控制信号  $I\_OUT$  以控制第三缓冲器 215 和第二差动控制信号  $Q\_OUT$  以控制第四缓冲器 235。

5 根据本发明的另一实施例，检测控制单元可能包括用于检测相位和频率的相位-频率检测器(未显示)和驱动缓冲器 255。

第三缓冲器 215 在驱动缓冲器 255 的第一差动控制信号  $I\_OUT$  的控制下对第一缓冲器 210 的输出信号  $QIIN$  进行缓冲，并输出与输入信号  $IN$  同相的信号  $I$ 。

10 第四缓冲器 235 在驱动缓冲器 255 的第二差动控制信号  $Q\_OUT$  的控制下对第二缓冲器 230 的输出信号  $QLIN$  进行缓冲，并输出与输入信号  $IN$  存在  $\pi/2$  左右相位差的异相的信号  $Q$ 。

15 这样，第一差动控制信号  $I\_OUT$  或第二差动控制输出信号  $Q\_OUT$  控制信号  $I$  或  $Q$ ，以使两者之间存在  $\pi/2$  的相位差。第三缓冲器 215 和第四缓冲器 235 最好是放大器或限幅器。

20 为了使当由乘法器 270 的晶体管开关导致产生噪声时的谐波失真的增加或由输入信号  $in\_I$ 、 $in\_Q$  或  $QIIN$  与  $QLIN$  的电平过大导致的谐波失真的增加最小，第一缓冲器 210 的放大器 213、第三缓冲器 215、第二缓冲器 230 的放大器 233 和第四缓冲器 235 将输入信号  $in\_I$  与  $in\_Q$  或  $QIIN$  与  $QLIN$  转换为电平补偿后的信号  $I$  和  $Q$ 。乘法器 270 的输入信号  $I$  与  $Q$  的幅值匹配使与乘法器 270 的晶体管功率匹配时的负载影响最小。

乘法器 270 将第三缓冲器 215 的信号  $I$  即  $\cos\omega t$  和与信号  $I$  存在  $\pi/2$  相移的第四缓冲器 235 的信号  $Q$  即  $\cos(\omega t-\pi/2)$  相乘。 $\cos\omega t \cdot \cos(\omega t-\pi/2)$  的积为  $\cos 2\omega t$ 。亦即，该信号的频率为输入信号  $IN$  的频率  $f_0$  的两倍，即  $2f_0$ 。

25 20 输出缓冲器 290 对乘法器 270 的输出信号  $\cos 2\omega t$  进行缓冲，并将频率为  $2f_0$  的信号输出给混频器。输出驱动器 290 包括输出滤波器 291 和放大器 293。输出信号  $\cos 2\omega t$  除包括输入信号频率  $f_0$  的倍频  $2f_0$  外还包含一些谐波。因而，输出滤波器 291 包括中心频率为  $2f_0$  的带通滤波器(BPF)291，用于滤除寄生谐波。通过 BPF 291 的信号  $2f_0$  是混频器的 LO 信号，该信号输入给匹配放大器 293 采激(pumping)。

图 3 显示了图 2 中相位检测器 251 的输出波形图。图 3(a)显示了第一信

号  $in\_I$  的波形，其中  $\Phi$  表示图 3(b) 中第一信号  $in\_I$  与第二信号  $in\_Q$  之间的相位差。图 3(c) 显示了相位差  $\Phi$  为  $\pi/2$  时相位检测器 251 的输出  $Vd(t)$ ，输出表示为 DC 电压改变/ $Vd(t)$ 。DC 电压的变化/ $Vd(t)$  可由相位检测器 251 的输出电压  $Vd(t)$  的改变控制。相移值通过驱动缓冲器 255 提供给乘法器 270 作为输入控制信号  $I\_OUT$  和  $Q\_OUT$ 。

图 3(d) 显示相位差  $\Phi$  小于参考相位  $\pi/2$  的情况，图 3(e) 显示相位差  $\Phi$  大于参考相位  $\pi/2$  的情况。同样， $/Vd(t)$  表示相位检测器 251 的直流电平。

图 4 是图 2 中电压-电流转换器 253 的原理电路图。电压-电流转换器 253 包括：漏极接电流源 40、栅极接参考电压  $Vref$  的 nMOS 晶体管 43；漏极与栅极都接 nMOS 晶体管 43 的源极、源极与地电压相连的 nMOS 晶体管 47；漏极接电流源 40、栅极输入为相位检测器 251 的输出电压  $Vd(t)$  的 nMOS 晶体管 41；漏极与栅极都接 nMOS 晶体管 41 的源极、源极接地的 nMOS 晶体管 45。电压-电流转换器 253 的输出节点 49 与 nMOS 晶体管 41 的源极和 nMOS 晶体管 45 的漏极相连。

晶体管 41 和 43 的通断取决于  $Vd(t)$  或参考电压  $Vref$ ，晶体管 41 和 43 根据其状态允许恒定电流流过。输出节点 49 的电压  $VB$  也根据输出电压  $Vd(t)$  的电平变化。

图 5 是图 2 中驱动缓冲器 255 的原理电路图。驱动缓冲器包括第一差动比较器 60 和第二差动比较器 70。

第一差动比较器 60 响应电压-电流转换器 253 的输出信号  $VB$  和第一缓冲器 210 中放大器 213 的差动输出信号  $QIIN$  和  $QIINB$ ，输出用于控制第三缓冲器 215 的第一差动控制信号  $I\_OUT$  和  $I\_OUTB$ 。第二差动比较器 70 响应电压-电流转换器 253 的输出信号  $VB$  和第二缓冲器 230 中放大器 233 的差动输出信号  $QLIN$  和  $QLINB$ ，输出用于控制第四缓冲器 235 的第二差动控制信号  $Q\_OUT$  和  $Q\_OUTB$ 。

第一差动比较器 60 包括：一端接电源电压  $VCC$  的电阻  $R1$ ；一端接电源电压  $VCC$  的电阻  $R2$ ；其集电极接电阻  $R1$  的另一端、栅极接收第一缓冲器 210 中放大器(或限幅器)213 的差动输出信号  $QIIN$  和  $QIINB$  的第一晶体管 51；其集电极接电阻  $R2$  的另一端、栅极接收接第一缓冲器 210 中放大器 213 的差动输出信号  $QIIN$  和  $QIINB$  的第二晶体管 53；其栅极接收电压-电流转换器 253 的输出电压  $VB$ 、漏极同时接第一晶体管 51 和第二晶体管 53

的发射极、源极与地电源 VSS 相连的 nMOS 晶体管 55。第一晶体管 51 的集电极和第二晶体管 53 的集电极输出第一控制信号 I\_OUT 和 I\_OUTB 给第三缓冲器 215。

第二差动比较器 70 包括：一端接电源电压 VCC 的电阻 R3；一端接电  
5 阻 R3 另一端的电阻 R4；一端接电阻 R3 另一端的电阻 R5；其集电极接电阻  
R4 的另一端、栅极接收第二缓冲器 230 中放大器 233 的差动输出信号 QLIN  
和 QLINB 的第三晶体管 58；其集电极接电阻 R5 的另一端、其栅极接收第  
10 二缓冲器 230 中放大器 233 的差动输出信号 QLIN 和 QLINB 的第四晶体管  
59；其栅极接收电压-电流转换器 253 的输出电压 VB、漏极同时接第三晶体  
管 58 和第四晶体管 59 的发射极、源极与地电源 VSS 相连的 nMOS 晶体管  
15 57。第三晶体管 58 的集电极和第四晶体管 59 的集电极输出第二控制信号  
Q\_OUT 和 Q\_OUTB 给第四缓冲器 215。

第一差动比较器 60 的差动输出信号 I\_OUT 和 I\_OUTB 响应于施加给  
nMOS 晶体管 55 栅极的电压-电流转换器 253 的输出信号 VB 和第一缓冲器  
15 210 的差动输出信号 QIIN 与 QIINB 确定。第一差动比较器 60 的差动输出信号  
I\_OUT 和 I\_OUTB 输入给第三缓冲器 215 用于控制第三缓冲器 215。

另外，第二差动比较器 70 的差动输出信号 Q\_OUT 和 Q\_OUTB 响应于  
施加给 nMOS 晶体管 57 栅极的电压-电流转换器 253 的输出信号 VB 和第二  
缓冲器 230 的差动输出信号 QLIN 与 QLINB 确定。第二差动比较器 70 的差  
20 动输出信号 Q\_OUT 和 Q\_OUTB 输入给第四缓冲器 235 用于控制第三缓冲器  
235。

这样，第三缓冲器 215 响应第一控制信号 I\_OUT 和 I\_OUTB 而输出与  
输入信号 IN 同相的信号 I。

第四缓冲器 235 响应第二控制信号 Q\_OUT 和 Q\_OUTB 而输出与输入  
25 信号 IN 相位相差约 $\pi/2$  的异相的信号 Q。

这样，第三缓冲器 215 的输出信号 I 和第四缓冲器 235 的输出信号 Q 被  
调整为具有约 $\pi/2$  的相位差，然后输入给乘法器 270。乘法器将信号 I 和信号  
Q 相乘并输出频率为输入信号频率(fo)二倍(2fo)的信号给混频器。

因此，移相网络 203 的信号 in\_I 和 in\_Q 的频率、温度或参数等条件的  
30 改变会导致信号 I 和信号 Q 在相位上的相应变化，这将使乘法器 270 在产生  
输入信号 IN 的倍频信号时的特性变坏。

为了补偿乘法器 270 的特性，相位检测器 251 输出与第一信号  $in\_I$  和第二信号  $in\_Q$  之间的相位差成正比的电压  $Vd(t)$  给电压-电流转换器 253。

当有不同于参考相位  $\pi/2$  的相位差改变时，如图 3 所示，取决于相位改变的 DC 电压变化使相位检测器 251 的  $Vd(t)$  改变， $Vd(t)$  的改变导致控制 5 信号  $I\_OUT$  和  $Q\_OUT$  的改变，从而补偿输入给乘法器 270 的信号  $I$  和信号  $Q$  的改变。这样，不管经过移相的信号的诸如频率、温度及参数等条件如何改变，都能得到恒定的倍频特性。

因此，根据本发明实施例的倍频器电路改善了与混频器 LO 信号有关的谐波即  $2f_0$  信号的载波噪声比(CNR)。

10 如上所述，根据本发明优选实施例的说明性的倍频器电路由 IC 实现，并且不管温度及其他诸如处理等参数如何变化，都通过精密地将信号  $I$  与信号  $Q$  之间的相位差调整为  $\pi/2$ ，来改善倍频性能。

尽管本文出于说明本发明的目的使用了一些特殊术语，但并不是要将本发明限制在该范围。因此，本技术领域的普通技术人员都能理解到，这些实施例的一些变型都包括在本发明的实质和范围内。相应地，本领域的技术人员可在不背离由所附权利要求书限定的范围和实质的情况下，对这些实施例作出修改。  
15

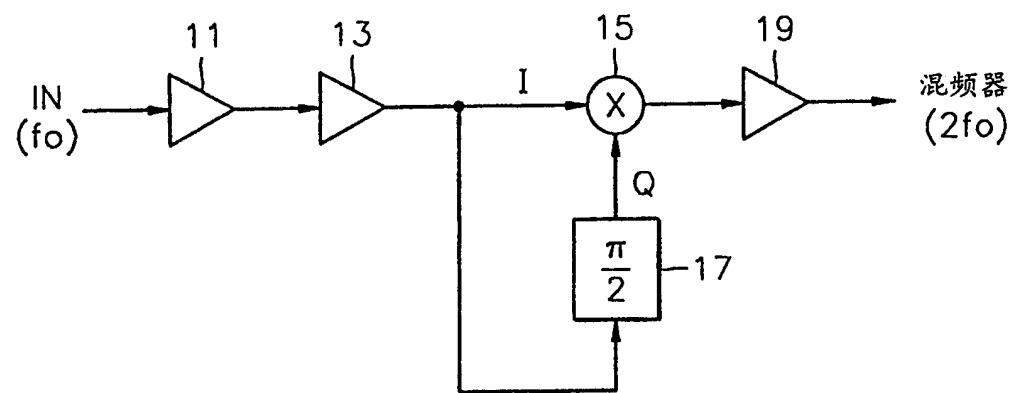


图 1

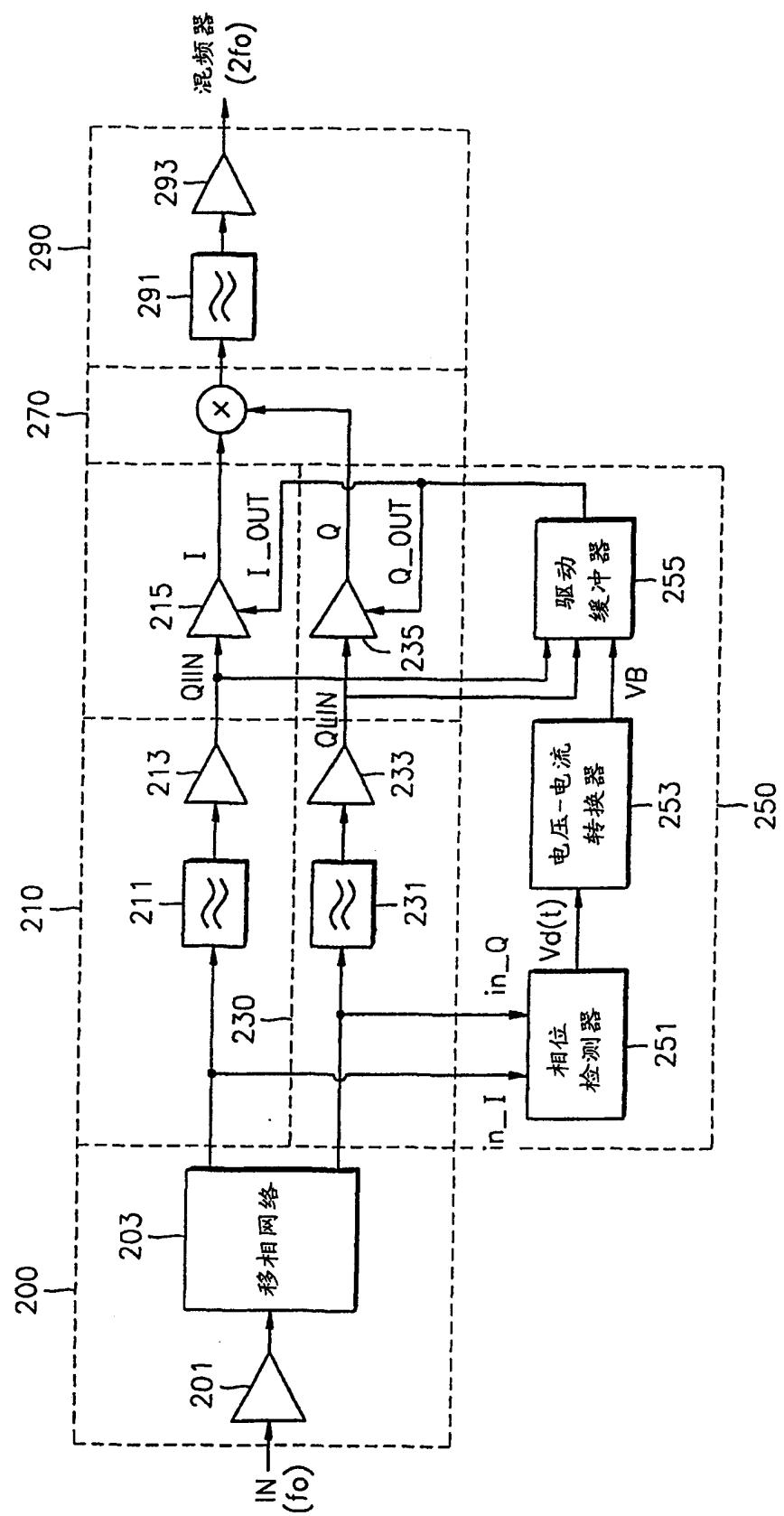


图 2

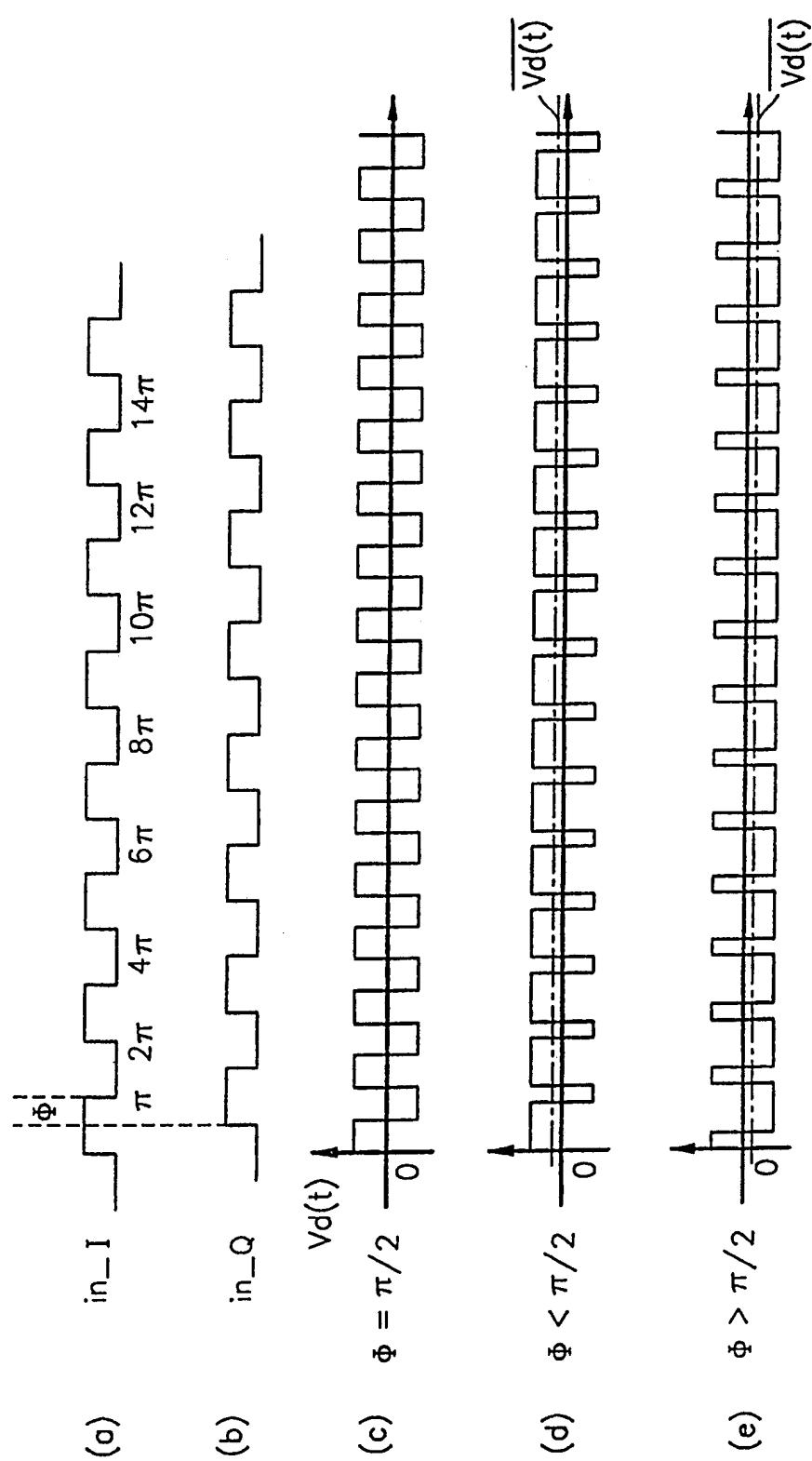


图 3

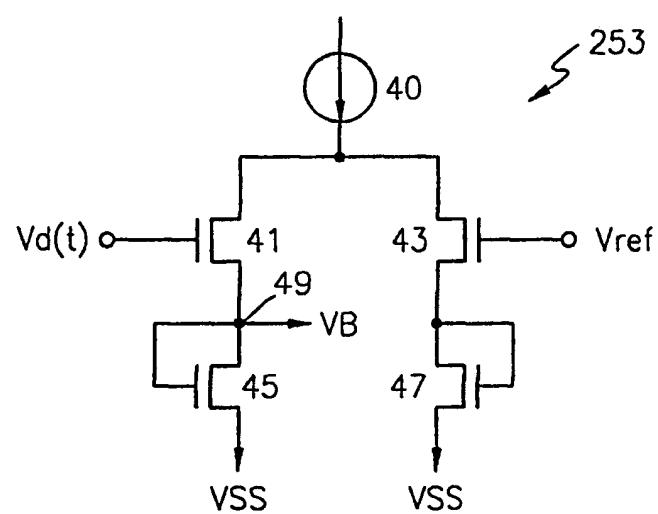


图 4

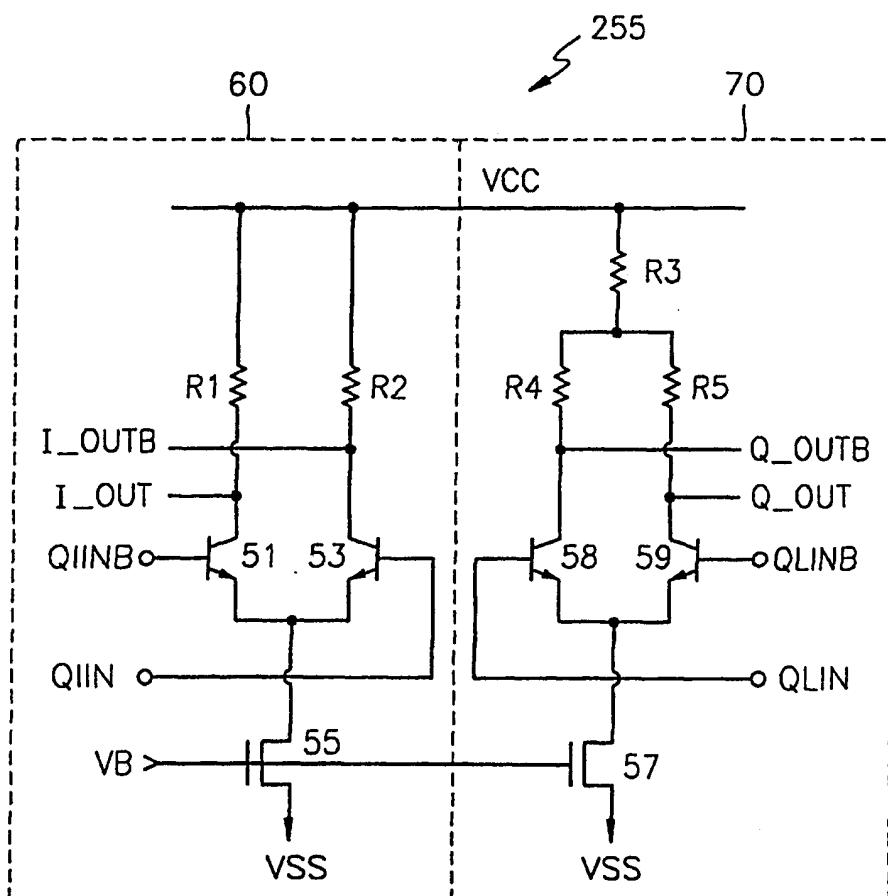


图 5