

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012 年 9 月 27 日(27.09.2012)



(10) 国際公開番号

WO 2012/127692 A1

- (51) 国際特許分類:
G06F 11/22 (2006.01)
- (21) 国際出願番号: PCT/JP2011/057253
- (22) 国際出願日: 2011 年 3 月 24 日(24.03.2011)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人 (米国を除く全ての指定国について): 富士通株式会社(FUJITSU LIMITED) [JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 Kanagawa (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 三島 正博 (MISHIMA, Masahiro) [JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内 Kanagawa (JP).
- (74) 代理人: 松倉 秀実, 外(MATSUKURA, Hidemi et al.); 〒1030004 東京都中央区東日本橋 3 丁目 4 番 10 号 アクロポリス 21ビル 6 階 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,

BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

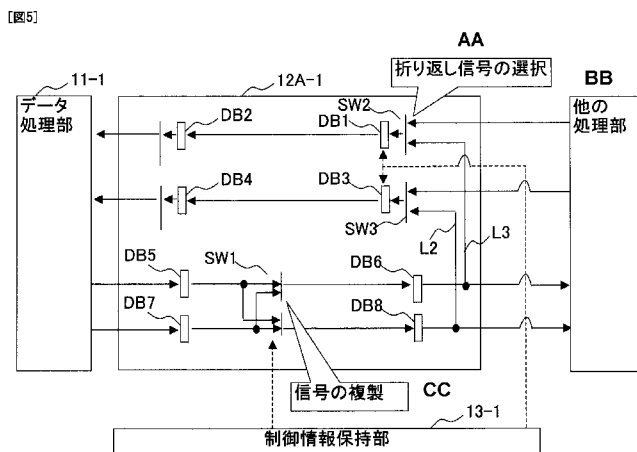
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ユーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

(54) Title: INFORMATION PROCESSING DEVICE, TRANSMISSION DEVICE, AND INFORMATION PROCESSING DEVICE CONTROL METHOD

(54) 発明の名称: 情報処理装置、送信装置、および情報処理装置の制御方法



11-1 Data processing unit
13-1 Control information holding unit
AA Selection of return signal
BB Other processing unit
CC Signal replication

(57) Abstract: A transmission device has a first input unit that inputs data, a second input unit that inputs data, and a first information processing unit that outputs data resulting from information processing of data input by the first input unit or data input by the second input unit. Further, this transmission device has a first holding unit that holds data output by the first information processing unit, a second holding unit that holds data output by the first information processing unit, and a control information holding unit that holds control information. Additionally, this transmission device has a first selection unit that selects, on the basis of the control information held by the control information holding unit, either the data held by the first holding unit or the data held by the second holding unit, and a first output unit that returns data selected by the first selection unit to the first input unit, on the basis of the control information held by the control information holding unit.

(57) 要約: 送信装置は、データを入力する第 1 の入力部と、データを入力する第 2 の入力部と、第 1 の入力部が入力したデータ又は第 2 の入力部が入力したデータに対して情報処理を行ったデータ outputs する第 1 の情報処理部とを有する。さらに、この送信装置は、第 1 の情報処理部が出力したデータを保持する

第 1 の保持部と、第 1 の情報処理部が出力したデータを保持する第 2 の保持部と、制御情報を保持する制御情報保持部と、を有する。さらにまた、この送信装置は、制御情報保持部が保持した制御情報に基づき、第 1 の保持部が保持したデータと第 2 の保持部が保持したデータのいずれかを選択する第 1 の選択部と、制御情報保持部が保持した制御情報に基づき、第 1 の選択部が選択したデータを第 1 の入力部に折り返す第 1 の出力部を有する。

WO 2012/127692 A1

明 細 書

発明の名称：

情報処理装置、送信装置、および情報処理装置の制御方法

技術分野

[0001] 本発明は、情報処理装置、送信装置、および情報処理装置の制御方法に関する。

背景技術

[0002] 情報処理装置には、種々のニーズに応じて、搭載する演算処理装置であるCPU（Central Processing Unit）の種類、個数、あるいは基板の種類、枚数等で規定されるシステム構成を変えて製品出荷されるものがある。このようなシステム構成が多様な情報処理装置の試験、例えば、製品出荷のため試験、あるいは、量産試験においては、構成部品、例えば、CPU等のチップの不良、あるいは、基板の不良を摘出するために、システム構成に含まれる回路を活性化させた上で動作確認することが求められる。

[0003] 図1から図3に情報処理装置のシステム構成を例示する。図1から図3に示す情報処理装置は、CPUの増設、あるいは、基板の増設によりシステム構成を変えることができる製品の例である。図1では、基板（board 0）上に、CPU00と、CPU01という2つのCPUが搭載されている。CPU00と、CPU01とは、例えば、複数のインターフェースを持ち、相互に接続されている。

[0004] 図2では、基板（board 0）上に、CPU00からCPU03という4つのCPUが搭載されている。CPU00からCPU03のそれぞれは、例えば、複数のインターフェースを持ち、他のCPUと接続されている。

[0005] 図3の情報処理装置は、複数の基板（board 0、board 1）を有する。基板（board 0）上には、CPU00からCPU03という4つのCPUが搭載されている。CPU00からCPU03のそれぞれは、例えば、複数のインターフェースを持ち、他のCPUと接続されている。また、

基板（board 1）上にも、CPU 10からCPU 13という4つのCPUが搭載されている。CPU 10からCPU 13のそれぞれは、例えば、複数のインターフェースを持ち、他のCPUと接続されている。さらに、基板（board 0）上のCPU 00からCPU 03と、基板（board 1）上のCPU 10からCPU 13とは、クロスバースイッチ（XB 0、XB 1）を介して、相互に接続される。例えば、クロスバースイッチ（XB 0）は、CPU 00およびCPU 02の組みとCPU 10およびCPU 12の組みとの間で、接続を切り替えることによりデータ転送を行なう。また、クロスバースイッチ（XB 1）は、CPU 01およびCPU 03の組みとCPU 11およびCPU 13の組みとの間で、接続を切り替えることによりデータ転送を行なう。

[0006] したがって、図3の例では、8個のCPUが、相互に接続可能となっている。図1、図2の情報処理装置は、図3の情報処理装置の部分的な構成を有する。ここでは、例えば、図3の構成が最大構成であると仮定する。

[0007] 図1から3のようなシステム構成の情報処理装置を試験する場合、それぞれのCPUに含まれるインターフェースの回路を活性化させた上で、情報処理装置の動作確認をすることが求められる。ところで、図1、図2のような最大構成ではない情報処理装置では、使用されない回路が含まれることがある。例えば、図1の情報処理装置が図2の構成を採ることが可能な場合に、図1の構成のCPU 00、あるいは、CPU 01は、CPU 02、CPU 03等と通信するための未使用のインターフェースを有している。また、例えば、図2の構成では、CPU 00からCPU 03はそれぞれ、クロスバースイッチ（XB 0、XB 1）と通信するための未使用のインターフェースを有している。

[0008] 情報処理装置の出荷時の構成が最大構成でない場合であっても、出荷後にCPUあるいは基板が増設される場合がある。例えば、図1の情報処理装置が図2のように拡張される場合がある。また、図1、図2の情報処理装置が図3のように拡張される場合もある。増設の結果、増設前に使用されてい

かったインターフェース回路が使用されるようになる。このような場合に、未使用であったインターフェース回路の使用開始に伴って、情報処理装置の不良が顕在化する可能性がある。

- [0009] そのような増設時の不良低減のため、量産試験では一般的に、極力最大構成に近い状態で試験が実行される。ただし、最大構成での量産試験等で不良を検出した場合には、解析、修理等の手間とコストが増加する。そのため、CPU等の部品は、極力、部品単体に近い検査によって可能な限り多くの不良品を摘出することが望ましい。この場合の検査では、短期間で効率的に検査を行う必要があるため、極力簡易な構成で検査を実施することが望まれる。一方、極力簡易な構成での情報処理装置の検査であっても、増設後の複雑な構成での情報処理装置と同等に近い動作確認が実施できることが望まれる。

先行技術文献

特許文献

- [0010] 特許文献1：特開2002-222921号公報
特許文献2：特開平10-132902号公報
特許文献3：特開平9-128349号公報

発明の概要

発明が解決しようとする課題

- [0011] 開示の技術の課題は、増設可能な情報処理装置において、極力簡易な構成での検査を可能にするとともに、実際に使用するインターフェース以外のインターフェースに対しても動作確認が実施できるようにすることである。

課題を解決するための手段

- [0012] 上記課題を解決するために、開示の技術の一態様は、情報処理装置が有する第1の受信装置に接続される送信装置として例示できる。この送信装置は、データを入力する第1の入力部と、データを入力する第2の入力部と、第1の入力部が入力したデータ又は第2の入力部が入力したデータに対して情

報処理を行なったデータを出力する第1の情報処理部とを有する。さらに、この送信装置は、第1の情報処理部が出力したデータを保持する第1の保持部と、第1の情報処理部が出力したデータを保持する第2の保持部と、制御情報を保持する制御情報保持部と、を有する。さらにまた、この送信装置は、制御情報保持部が保持した制御情報に基づき、第1の保持部が保持したデータと第2の保持部が保持したデータのいずれかを選択する第1の選択部と、制御情報保持部が保持した制御情報に基づき、第1の選択部が選択したデータを第1の入力部に折り返す第1の出力部を有する。

発明の効果

- [0013] 本情報処理装置によれば、極力簡易な構成での検査を可能にするとともに、実際に使用されるインターフェース以外のインターフェースの部分に対しても動作確認が実施できる。

図面の簡単な説明

- [0014] [図1] 情報処理装置のシステム構成を例示する図である。
[図2] 情報処理装置のシステム構成を例示する図である。
[図3] 情報処理装置のシステム構成を例示する図である。
[図4] 第1実施例に係る情報処理装置の構成を例示する図である。
[図5] データ転送部の詳細を例示する図である。
[図6] 信号を無効化する構成を例示する図である。
[図7] 第2実施例に係る情報処理装置の構成を例示する図である。
[図8] CPU内のルータの詳細構成を周辺回路とともに例示する図である。
[図9] TEST_MODE[0:3]の設定に対応する論理的な接続関係を例示する図である。
。
[図10] 送信制御部の処理シーケンスを例示する図である。
[図11] 受信制御部の処理シーケンスを例示する図である。
[図12] バスセレクタのバス選択論理を例示する図である。
[図13] バスセレクタのバス選択論理を例示する図である。
[図14] バスセレクタのバス選択論理を例示する図である。

[図15] バスセクタのバス選択論理を例示する図である。

[図16] パケット伝送時のタイムチャートを例示する図である。

発明を実施するための形態

[0015] 以下、図面を参照して、一実施形態に係る情報処理装置について説明する。本実施形態の構成は例示であり、本情報処理装置は実施形態の構成には限定されない。

[0016] <第1実施例>

図4に、第1実施例に係る情報処理装置1の構成を例示する。情報処理装置1は、例えば、コンピュータ、サーバ等の様々な装置として例示できる。図4の例では、情報処理装置1は、処理部10-1と処理部10-2を有している。処理部10-1、10-2を総称する場合には、処理部10という。処理部10は、コンピュータ、サーバに含まれるプロセッサ、プロセッサを含むシステムボード等の基板等として例示できる。ただし、処理部10は、コンピュータ、サーバ等の装置であってもよい。処理部10がコンピュータ、サーバ等である場合には、情報処理装置1は、複数のコンピュータ、サーバを含むシステムとなる。

[0017] また、処理部10-1は、データ処理部11-1、データ転送部12A-1、12B-1、制御情報保持部13-1を有している。処理部10-2の構成も、処理部10-1と同様である。処理部10-2は、データ処理部11-2、データ転送部12A-2、12B-2、制御情報保持部13-2を有している。データ処理部11-1、11-2を総称する場合には、データ処理部11という。また、データ転送部12A-1、12B-1、12A-2、12B-2等を総称する場合には、データ転送部12という。制御情報保持部13-1、13-2を総称する場合には、制御情報保持部13という。

[0018] 処理部10-1が送信装置の一例である。また、処理部10-2が受信装置の一例である。また、データ転送部12A-1が第1の出力部の一例である。また、データ転送部12B-1が第2の出力部の一例である。さらに、

データ処理部 11-1 が第 1 の情報処理部の一例である。さらにまた、データ処理部 11-2 が第 2 の情報処理部の一例である。

[0019] データ処理部 11 は、例えば、演算処理装置としてのプロセッサ、あるいはプロセッサを含む基板等におけるデータ処理を実行する回路部分、あるいは部品として例示できる。データ処理部 11 は、例えば、CPU (Central Processing Unit)、主記憶装置等の部品を含む。

[0020] また、データ転送部 12 は、例えば、データ転送装置としてのクロスバースイッチ、プロセッサ、あるいはプロセッサを含む基板等におけるデータ転送を実行する回路部分、あるいは部品として例示できる。データ転送部 12 は、例えば、転送されるデータを一時的に保持するバッファ、レジスタ等を含む。また、データ転送部 12 は、バッファあるいはレジスタ上のデータを、伝送路を通じて送信するための駆動回路を含む。また、データ転送部 12 は、データを一時的に保持するバッファ、レジスタ、あるいはデータを転送する駆動回路等を制御する制御回路を含む。制御回路は、例えば、スイッチのようなデータの切り替え回路を含む。

[0021] 図 4 の構成では、処理部 10-1 と処理部 10-2 とは、データ転送部 12A-1 とデータ転送部 12A-2 とを通じて伝送路 L1 で接続される。なお、伝送路 L1 は、有線の伝送路でも、無線の伝送路でもよい。また、伝送路 L1 は、パラレルの伝送路でもよいし、シリアル伝送路でもよい。また、図 14 の構成では、データ転送部 12B-1 は、処理部 10-1 の外部の装置と接続されていない。同様に、データ転送部 12B-2 は、処理部 10-2 の外部の装置と接続されていない。すなわち、図 4 で、データ転送部 12B-1、12B-2 は、例えば、予備のために備えられている。データ転送部 12B-1、12B-2 は、いずれも情報処理装置 1 にさらなる処理部 10 が増設されるときに使用されることになる。

[0022] 制御情報保持部 13 は、データ転送部 12 を制御するための制御情報を記憶する。制御情報保持部 13 は、ラッチ、レジスタ等と呼ばれる記憶回路を含む。データ転送部 12 は、制御情報保持部 13 が記憶する情報にしたがっ

て、データ転送を実行する。

- [0023] なお、図4では、2つの処理部10-1、10-2が例示されているが、処理部の数に限定がある訳ではない。また、図4では、処理部10-1に、2つのデータ転送部12A-1、12B-1が設けられている。また、処理部10-2に、2つのデータ転送部12A-2、12B-2が設けられている。しかし、処理部10内のデータ転送部12の数に限定がある訳ではない。すなわち、処理部10内に、3以上のデータ転送部12を設けてもよい。
- [0024] 図5に、データ転送部12A-1の詳細を例示する。ここでは、処理部10-1に含まれるデータ転送部12A-1の構成を例にして説明するが、他のデータ転送部12の構成も、データ転送部12A-1と同様である。
- [0025] データ転送部12A-1は、他の処理部（10-2等）から受信したデータを保持するデータバッファDB1、DB3を有する。ここで、他の処理部とは、図4に示した処理部10-2の他、さらに1以上の処理部を含めてもよい。すなわち、データ転送部12A-1には、図5の他の処理部が複数接続されてもよい。例えば、データバッファDB1は、処理部10-2からの受信データを受信し、一方、データバッファDB3は、製品出荷後の将来の増設のために用意されている。ただし、図5では、データバッファDB1、DB3は、スイッチSW2、SW3を介して他の処理部10-2等と接続される。
- [0026] さらに、データ転送部12A-1は、データバッファDB1、DB3のデータをデータ処理部11-1に入力するためにデータを一時保持するデータバッファDB2、DB4を有する。ただし、データバッファDB2は、データバッファDB1と兼用されてもよい。また、データバッファDB4は、データバッファDB3と兼用されてもよい。
- [0027] また、データ転送部12A-1は、データ処理部11-1で処理されたデータを一時的に保持するデータバッファDB5、DB7を有する。また、データ転送部12A-1は、データバッファDB5、DB7のデータを他の処理部10-2等に転送するためにデータを一時保持するデータバッファDB

6、DB 8を有する。ただし、図5では、データバッファDB 6、DB 8は、スイッチSW 1を介してデータバッファDB 5、DB 7と接続される。

[0028] スイッチSW 1は、データバッファDB 5、DB 7のいずれか一方をデータバッファDB 6に接続する。また、スイッチSW 1は、データバッファDB 5、DB 7のうち的一方をデータバッファDB 8にも接続する。例えば、第1の接続として、スイッチSW 1は、データバッファDB 5をデータバッファDB 6に接続するとともに、データバッファDB 7をデータバッファDB 8に接続する。データ処理部11-1がデータバッファDB 5、DB 7のそれぞれに、他の処理部10-2等へ転送されるデータを出力する構成では、第1の接続が適用される。

[0029] また、第2の接続として、スイッチSW 1は、データバッファDB 5をデータバッファDB 6、DB 8の両方に接続する。データ処理部11-1が他の処理部10-2等へ転送されるデータをデータバッファDB 5に出力し、データ処理部11-1がデータバッファDB 7にデータを出力しない構成では、情報処理装置1の試験時に第2の接続が適用される。すなわち、第2の接続の場合には、データバッファDB 5のデータがデータバッファDB 6に転送されるとともに、複製されて、データバッファDB 8にも転送される。すなわち、図5では、スイッチSW 1は、信号の複製機能を提供する。スイッチSW 1が第1の選択部の一例である。また、データバッファDB 5が第1の保持部の一例である。さらに、データバッファDB 7が第2の保持部の一例である。

[0030] なお、図示しないが、データ転送部12B-1の構成は、データ転送部12A-1の構成と同様である。例えば、データ転送部12B-1も、スイッチSW 1、データバッファDB 5、およびデータバッファDB 7と同様の構成を有する。そして、データ転送部12B-1のスイッチSW 1に相当するスイッチが第2の選択部の一例である。

[0031] また、第3の接続として、スイッチSW 1は、データバッファDB 7をデータバッファDB 6、DB 8の両方に接続する。データ処理部11-1が他

の処理部 10-2 等へ転送されるデータをデータバッファ DB 7 に出力し、データ処理部 11-1 がデータバッファ DB 5 にデータを出力しない構成では、情報処理装置 1 の試験時に第 3 の接続が適用される。すなわち、第 2 の接続の場合には、データバッファ DB 7 のデータがデータバッファ DB 8 に転送されるとともに、複製されて、データバッファ DB 6 にも転送される。すなわち、スイッチ SW 1 は、信号の複製機能を提供する。

[0032] さらに、データ転送部 12A-1 において、データバッファ DB 6、DB 7 から出力されるデータは、他の処理部 10-2 等に転送されるとともに、折り返しライン L 2、L 3 で分岐されて、それぞれスイッチ SW 2、SW 3 に入力される。スイッチ SW 2 は、他の処理部 10-2 等からのデータと折り返しライン L 2（データバッファ DB 6）からのデータのうち、いずれか一方をデータバッファ DB 1 に出力する。また、スイッチ SW 2 は、他の処理部 10-2 等からのデータと折り返しライン L 3（データバッファ DB 8）からのデータのうち、いずれか一方をデータバッファ DB 3 に出力する。

[0033] 制御情報処理部 13-1 は、スイッチ SW 1、SW 2、SW 3 の切り替えを制御する指示ビットを保持する。図 5 の例では、制御情報処理部 13-1 は、指示ビットとして 4 ビットのビットパターンを保持すればよい。例えば、第 1 の指示ビットは、スイッチ SW 1 に対して、データバッファ DB 6 への出力信号を制御するビットである。第 1 のビットに応じて、スイッチ SW 1 は、データバッファ 5 およびデータバッファ 7 のいずれか一方からのデータをデータバッファ DB 6 に出力する。

[0034] また、第 2 の指示ビットは、スイッチ SW 1 に対して、データバッファ DB 8 への出力信号を制御するビットである。第 2 のビットに応じて、スイッチ SW 1 は、データバッファ 5 およびデータバッファ 7 のいずれか一方からのデータをデータバッファ DB 8 に出力する。

[0035] また、第 3 の指示ビットは、スイッチ SW 2 に対して、データバッファ DB 1 への出力信号を制御するビットである。第 3 のビットに応じて、スイッチ SW 2 は、他の処理部 10-2 等およびデータバッファ 6 のいずれか一方

からのデータをデータバッファDB 1に出力する。

[0036] また、第4の指示ビットは、スイッチSW 3に対して、データバッファDB 3への出力信号を制御するビットである。第4のビットに応じて、スイッチSW 3は、他の処理部10-2等およびデータバッファ8のいずれか一方からのデータをデータバッファDB 3に出力する。

[0037] このような構成によって、処理部10-1は、制御情報保持部13-1の指示ビットの設定により、データ転送部12A-1は次のように動作する。

(1) 処理部が最大構成の場合；

最大構成の場合とは、データバッファDB 1、DB 3のいずれもが、他の処理部からデータを入力され、データバッファDB 6、DB 8のいずれもが、他の処理部にデータを出力する場合である。図5では、データ入力用に、2つのデータバッファDB 1、DB 3を設けているが、もちろん、データ入力用に、3以上のデータバッファを設けてもよい。また、図5では、データ出力用に、2つのデータバッファDB 6、DB 8を設けているが、もちろん、データ出力用に、3以上のデータバッファを設けてもよい。ただし、基本的には、データ入力用のデータバッファの数とデータ出力用のデータバッファの数は同数である。

[0038] 最大構成の場合には、データ入力用のデータバッファとデータ出力用のデータバッファは、いずれも他の処理部10-2等と接続されることになる。この場合には、スイッチSW 1は、データバッファDB 5をデータバッファDB 6に接続すればよい。また、スイッチSW 1は、データバッファDB 7をデータバッファDB 8に接続すればよい。また、スイッチSW 2は、他の処理部10-2からのデータをデータバッファDB 1に入力すればよい。また、スイッチSW 3は、他の処理部10-2からのデータをデータバッファDB 3に入力すればよい。したがって、この場合には、折り返しラインL 2、L 3で分岐されたデータはスイッチSW 2、SW 3で廃棄され、使用されない。

(2) 処理部の数が最大構成の数よりも少ない場合；

処理部の数が最大構成の数よりも少ない場合には、データ入力用のデータバッファDB 1、DB 3の少なくとも1つが他の処理部10-2等と接続されないこととなる。図5では、データ入力用に、2つのデータバッファDB 1、DB 3を設けているが、もちろん、データ入力用に、3以上のデータバッファを設けている場合も同様である。さらに、処理部の数が最大構成の数よりも少ない場合には、データ出力用のデータバッファDB 6、DB 8の少なくとも1つが他の処理部10-2と接続されないこととなる。図5では、データ出力用に、2つのデータバッファDB 6、DB 8を設けているが、もちろん、データ入力用に、3以上のデータバッファを設けている場合も同様である。

[0039] ここでは、一例として、データ入力用のデータバッファDB 3およびデータ出力用のデータバッファDB 8が他の処理部10-2等と接続されない場合について説明する。この場合には、データバッファDB 3、DB 4を含むデータ入力用の経路が使用されないことになる。また、例えば、データバッファDB 5、スイッチSW 1、データバッファDB 6を含む経路がデータ出力用として使用されとする。この場合には、データバッファDB 7、スイッチSW 1、データバッファDB 8を含む経路が使用されないことになる。

[0040] この場合に、情報処理装置1を試験する際に、制御情報保持部13-1の第1の指示ビットは、データバッファDB 5をデータバッファDB 7に接続するように設定される。さらに、第2の指示ビットは、データバッファDB 5をデータバッファDB 8に接続するように設定される。すなわち、データバッファDB 5のデータが複製されてデータバッファDB 8に出力される。

[0041] また、第3の指示ビットは、他の処理部10-2からのデータをデータバッファDB 1に入力するように設定される。また、第4の指示ビットは、データバッファDB 8からのデータをデータバッファDB 3に入力するように設定される。したがって、データバッファDB 5に保持されたデータは、データバッファDB 6を通じて他の処理部10-2に転送されるとともに、スイッチSW 1によって複製され、SW 3を通じてデータバッファDB 3に折

り返される。データバッファDB 8およびスイッチSW 3が第1の出力部の一例である。

[0042] すでに述べたように、データ転送部12B-1の構成は、データ転送部12A-1の構成と同様である。したがって、例えば、データ転送部12B-1も、データバッファDB 8およびスイッチSW 3と同様の構成を有する。そして、データ転送部12B-1のデータバッファDB 8およびスイッチSW 3に相当するスイッチが第2の出力部の一例である。

[0043] したがって、データバッファDB 3、DB 4を含む経路は、他の処理部10-2等に接続されない場合であっても、データ処理部11-1で処理され、データバッファDB 5に出力されるデータを用いて、模擬的又は擬似的にデータを入力することができる。データバッファDB 3、DB 4を含む経路に入力されたデータは、既存のデータ検証部、例えば、CRC (Cyclic Redundancy Check : 巡回冗長検査) 用チェッカ、パリティチェッカ、プロトコルチェッカ等によって、検証される。

[0044] また、データ出力用のデータバッファDB 8に保持されるデータも、上記データバッファDB 3、DB 4を含む経路の既存のデータ検証部によって検証される。さらに、データバッファDB 7については、データバッファDB 5の代わりに、他の処理部10-2等に接続するように、制御情報保持部13-1の設定を変更することにより、上記データバッファDB 5の場合と同様に、他の処理部10-2等との間で試験できる。

[0045] 以上は、データ入力用のデータバッファDB 3およびデータ出力用のデータバッファDB 8が他の処理部10-2等と接続されない場合について説明した。しかし、データ入力用のデータバッファDB 1およびデータ出力用のデータバッファDB 6が他の処理部10-2等と接続されない場合についても、上記と同様の試験を実行できる。

[0046] また、以上は、主として、データ転送部12A-1を例に説明した。しかし、第2の出力部としてのデータ転送部12B-1の処理、機能、作用もデータ転送部12A-1と同様である。また、以上は、主として、送信装置と

して処理部 10-1 を例に説明した。しかし、受信装置としての処理部 10-2 の処理、機能、作用も処理部 10-1 と同様である。例えば、処理部 10-2 は、第 2 の情報処理部として、データ処理部 11-2 を有し、処理部 10-1 と同様の機能を提供する。

[0047] 図 6 は、信号を無効化する構成を例示する図である。第 1 実施例では、図 5 のように、処理部 10 の数が最大構成時の処理部 10 の数よりも少ない場合に、データバッファ DB 5 等の他の処理部 10-2 等に出力されるデータを折り返して、データバッファ DB 3 を含む経路に入力する。しかし、このような処理を行うと、データ処理部 11-1 は、データバッファ DB 3 を含む経路から本来受け取らないデータを入力されることになる。その結果、試験実行時に、データ処理部 11-1 の処理が矛盾を生じる可能性がある。そこで、折り返した経路から受信したデータをデータ処理部 11-1 の手前で無効化する機構を用いる。

[0048] 図 6 の例では、制御情報保持部 13-1 の信号がデータバッファ DB 2、データバッファ DB 4 にも入力される。制御情報保持部 13-1 には、上記第 1 の指示ビットから第 4 の指示ビットに加えて、さらに、第 5、第 6 の指示ビットを設ける。

[0049] 第 5 の指示ビットは、例えば、データバッファ DB 2 の出力をイネーブルまたはディスエーブルに制御する。例えば、第 5 の指示ビットは、データバッファ DB 2 の入出力間を高インピーダンス状態で遮断するトライステートバッファや AND ゲート等の遮断回路を制御するようにすればよい。あるいは、第 5 の指示ビットは、例えば、データバッファ DB 2 の出力の有効／無効を指示するバリッドフラッグとして機能させてもよい。

[0050] 同様に、第 6 の指示ビットは、例えば、データバッファ DB 4 の出力をイネーブルまたはディスエーブルに制御する。また、第 6 の指示ビットは、例えば、データバッファ DB 4 の出力の有効／無効を指示するバリッドフラッグとして機能させてもよい。

[0051] このような構成によって、例えば、データバッファ DB 5、DB 7 等のデ

ータを折り返して、データバッファDB 3を含む経路に入力した場合に、第6の指示ビットによってデータバッファDB 4のデータを無効化すればよい。同様に、例えば、データバッファDB 5、DB 7等のデータを折り返して、データバッファDB 1を含む経路に入力した場合に、第5の指示ビットによってデータバッファDB 3のデータを無効化すればよい。

[0052] データバッファDB 2あるいはDB 4等の入出力間を高インピーダンス状態で遮断する遮断回路、あるいは、データバッファDB 2、DB 4等の出力の有効／無効を指示するバリッドフラグ等が無効化部の例である。

[0053] 以上述べたように、第1実施例に係る情報処理装置1は、処理部10の数が最大構成の数ではない構成で、未使用のインターフェース回路、例えば、図5のデータバッファDB 3、DB 7、DB 8等を含む場合であっても、処理部の増設なしに処理部が増設した場合に近い状態の試験を行うことができる。例えば、データ入力用として、データバッファDB 1、DB 2が使用され、データ出力用としてデータバッファDB 5、DB 6が使用される場合には、データバッファDB 5のデータを複製する。そして、複製されたデータは、未使用のデータバッファDB 8に出力され、さらに、転送先となる処理部10-2への経路から分岐した折り返し経路L 2を通じて、未使用のデータバッファDB 3に入力される。その結果、データバッファDB 3、DB 4を含む未使用の経路を通じて転送されたデータを既存のデータ検証部によって、検証すればよい。さらに、折り返されたデータは、例えば、データ処理部11-1に入力前に、データバッファDB 4において無効化することによって、データ処理部11-1内での矛盾の発生を抑制できる。

[0054] このような構成は、図4に示したそれぞれの処理部10-1、10-2のそれぞれのデータ転送部12A-1、12B-1、12A-2、12B-2等に備えられている。したがって、情報処理装置1、送信装置としての処理部10-1、受信装置としての処理部10-2は、最大構成ではない将来の増設可能な構成、あるいは、極力単体に近い構成で、極力多数の部分を活性化した試験を実行することが可能となる。

[0055] さらに、以上のような試験は、制御情報保持部 13-1 の指示ビットの設定によって、スイッチ SW1 から SW3 の切り替え、およびデータバッファ DB2、DB4 等の無効化等を通じて簡易に制御できる。

[0056] (変形例)

上記第 1 実施例では、図 5、図 6 において、スイッチの接続を示す第 1 の指示ビット～第 6 の指示ビットによってスイッチ SW1～3 の切り替え、およびデータバッファ DB2、DB4 等の無効化の有無を制御情報保持部 13 が指示する例を示した。第 1 実施例の構成では、いわば、スイッチ SW1～3 等、あるいは、データバッファ DB2 等のような指示対象ごとに制御情報が設定された。このような構成に代えて、接続先の他の処理部 10-2 等に応じて制御情報保持部 13 に指示ビットを保持するようにしてもよい。例えば、処理部 10-1 に対して、他の処理部 10 が合計 4 個接続可能である場合に、4 個の他の処理部 10 と接続されているか否かを 4 個の指示ビットとして、IEEE1149.1 の JTAG (Joint Test Architecture Group) 規格に規定される試験状態を表す制御信号である TEST_MODE[0:3] に設定してもよい。例えば、TEST_MODE[i]=0 は、処理部 10-1 が他の処理部 10-i と接続されていることを示し、TEST_MODE[i]=1 は、処理部 10-1 が他の処理部 10-i と接続されていないことを示す。図 4、図 5、図 6 では、処理部 10-1 と 10-2 とが例示されているが、以下の説明では、処理部 10 の数は 2 以上として説明する。また、データバッファ DB5 と DB6 とを含む出力信号のライン、データバッファ DB7 と DB8 とを含む出力信号のライン以外に、さらに出力信号のラインがあるとして説明する。また、スイッチ SW2、データバッファ DB1、DB2 を含む入力信号のライン、スイッチ SW3、データバッファ DB3、DB4 を含む入力信号のライン以外にさらに入力信号のラインがあるとして説明する。さらに、出力信号のライン、および入力信号のラインに対応して、折り返しライン L2、L3 以外にも、折り返しラインがあるとして説明する。

[0057] このような制御情報保持部 13 の指示ビットにしたがって、スイッチ SW

1～3の切り替え、およびデータバッファDB2、DB4等の無効化の有無を制御情報保持部13が予め定められた試験を実行するようにすればよい。例えば、TEST_MODE[0:3]のすべてが0の場合、処理部10-1は、他の処理部10-i (i=2, 3, 4, 5)すべてと接続されていることを示す。この場合には、スイッチSW1は、信号の複製を行わず、データDB5をそのままデータバッファB6に、そしてデータバッファDB7をそのままデータバッファDB8に接続すればよい。

[0058] また、スイッチSW2、SW3等は、折り返しラインL2、L3等からの信号ではなく、他のデータ処理部10からの信号をそのままデータバッファDB1、DB3等に接続すればよい。また、データバッファDB2、DB4等では、信号の無効化を行わないようにすればよい。

[0059] 一方、例えば、TEST_MODE[0:3]のいずれか1以上のビットが1の場合、データ処理部10-1は、いずれか1以上の他のデータ処理部10と接続されないことになる。その場合、データ出力側のデータバッファDB6、DB8等のいずれかは、他のデータ処理部10とは接続されない。また、データ入力側のデータバッファDB1、DB3等のいずれかは、他のデータ処理部10とは接続されない。この場合には、スイッチSW1は、TEST_MODE[0]からTEST_MODE[3]までの間で、ビット0が設定されているビット位置に対応するデータバッファの信号を複製して、ビット0が設定されているビット位置に対応するデータバッファに複製すればよい。例えば、TEST_MODE[0]=0で、TEST_MODE[1:3]がいずれも1の場合には、TEST_MODE[0]のビットに対応するデータバッファDB5の信号をデータバッファDB6に入力する他、さらに他のデータバッファDB8等にも複製するようにすればよい。

[0060] 一方、TEST_MODE[1:3]等に対応するスイッチSW3等は、折り返しラインL2等の信号を選択すればよい。また、TEST_MODE[1:3]等に対応するデータバッファDB4等は、信号の無効化を行えばよい。以上のように、他のデータ処理部10と接続されているかいないかを示すTEST_MODE[i]によって、(1)他のデータ処理部10からの信号を受信するか(2)信号の複製、折り

返し、無効化という一連の経路からの信号を用いるかを切り替えるようにすればよい。

[0061] <第2実施例>

図7から図16を参照して第2実施例に係る情報処理装置1について説明する。第2実施例においても、情報処理装置1の構成は、基本的には、第1実施例と同様である。そこで、第2実施例において、第1実施例と同一の構成要素には同一の符号を付してその説明を省略する。

[0062] 図7は、第2実施例に係る情報処理装置1の構成を例示する図である。第2実施例に係る情報処理装置1は、最大構成では、例えば、図3に示したように、CPU00からCPU03、CPU10からCPU13、クロスバースイッチXB0、XB1を含む。図7では、最大構成の情報処理装置1のうち、CPU00からCPU03、およびクロスバースイッチXB0が例示されている。また、CPU00に対して、DIMM (Dual Inline Memory Module) 30が接続されている。DIMM30は、例えば、SDRAM (Synchronous Dynamic Random Access Memory) である。DIMM30は、CPU00内のDIMMコントローラ23を介して、MC (Memory Controller) 22に接続されている。DIMM30は、CPU00内の主記憶装置の容量をさらに増設するためのメモリとして用いられる。

[0063] 図7のように、CPU00は、例えば、2つのコア、すなわちCPU CORE0、CPU CORE1を有する。ただし、CPU00の有するコアが2つに限定される訳ではない。以下、複数のコアを単にCPU CORE0等という。

また、図7に示すように、CPU00等は、MC22、ルータ21、DIMMコントローラ23を有する。

[0064] CPU CORE0等は、主記憶装置あるいはDIMM30に実行可能に展開されたコンピュータプログラムによりCPU00におけるデータ処理を実行する。データ処理において、CPU CORE0等は、MC22を通じて主記憶装置にアクセスする。例えば、CPU CORE0等は、図示しな

いキャッシュ上に処理対象のデータが存在しない場合に、MC 2 2にデータの取得を要求する。

[0065] MC 2 2は、取得要求されたデータの格納先を保持している。そこで、MC 2 2は、取得要求されたデータの格納先をデータ取得要求先としてデータの読み出し処理を実行する。例えば、MC 2 2は、CPU CORE 0等のからのデータ取得要求先が、CPU 0 0内の主記憶装置あるいはDIMM 3 0である場合には、取得要求されたアドレスからデータを読み出し、要求元のCPU CORE 0等へ引き渡す。また、MC 2 2は、CPU CORE 0等のからのデータ取得要求先が、他のCPU 0 1からCPU 0 3あるいはX B 0を介して接続される他のCPUである場合には、データ取得要求をルータ 2 1に引き渡す。

[0066] ルータ 2 1は、MCからのデータ取得要求中でデータ取得先として指定されたCPUの論理情報を基に、指定されたCPUに接続される入出力インターフェースを特定する。例えば、データ取得先としてCPU 1が指定されている場合には、ルータ 2 1は、出力インターフェースDL OUT 0に、CPU 1宛のデータ取得要求を出力する。データ取得要求されるデータは、例えば、CPU 0 1から入力インターフェースDL IN 0に入力されるので、ルータ 2 1は、入力インターフェースDL IN 0に入力されたデータをMC 2 2に引き渡す。

[0067] また、例えば、CPU CORE 0等は、処理したデータの主記憶装置あるいは他のCPUの主記憶装置への保存をMC 2 2に要求する。MC 2 2は、保存を要求されたデータの格納先を保持している。そこで、MC 2 2は、保存を要求されたデータの格納先をデータ書き込み要求先としてデータの書き込み処理を実行する。例えば、MC 2 2は、CPU CORE 0等のからのデータ書き込み要求先が、CPU 0 0内の主記憶装置あるいはDIMM 3 0である場合には、書き込み要求されたアドレスにデータを書き込む。また、MC 2 2は、CPU CORE 0等のからのデータ書き込み要求先が、他のCPU 0 1からCPU 0 3あるいはX B 0を介して接続される他のCPU

である場合には、データ書き込み要求をルータ 21 に引き渡す。

[0068] ルータ 21 は、MC からのデータ書き込み要求中で指定された CPU の論理情報を基に、指定された CPU に接続される入出力インターフェースを特定する。例えば、データ書き込み要求先として CPU 1 が指定されている場合には、ルータ 21 は、出力インターフェース D L O U T 0 に、CPU 1 宛のデータ書き込み対象のデータを出力する。

[0069] 他の入力インターフェース D L I N 1 から D L I N 3、出力インターフェース D L O U T 1 から D L O U T 3 についても、処理は、D L I N 0、D L O U T 0 と同様である。出力インターフェース D L O U T 0 から D L O U T 3、入力インターフェース D L I N 0 から D L I N 3 は、例えば、通信プロトコル階層のデータリンク層の機能に相当する。

[0070] 図 7 では、出力インターフェース D L O U T 0 から D L O U T 3、入力インターフェース D L I N 0 から D L I N 3 には、それぞれパラレル／シリアル変換部（以下、単に変換部という）S e r D e s 0 から S e r D e s 3 が接続されている。変換部 S e r D e s 0 等は、出力インターフェース D L O U T 0 等からパラレル信号を受けて、シリアル信号に変換し、他の CPU 0 1 等に転送する。また、変換部 S e r D e s 0 等は、他の CPU 0 1 等からシリアル信号を受信し、パラレル信号に変換し、入力インターフェース D L I N 0 等に入力する。変換部 S e r D e s 0 等は、例えば、2 分の 1 の周波数にクロックを分周して 1 : 2 の周波数比の 2 種類のクロックを生成する回路と、2 : 1 にデータを多重化するマルチプレクサとを複数段組み合わせた構成を有する。ただし、変換部 S e r D e s 0 等の構成については省略する。

[0071] 図 8 に、CPU 00 内のルータ 21 の詳細構成をルータ 21 の周辺回路とともに例示する。以下、第 2 実施例では、CPU 00 から CPU 03、CPU 10 から CPU 13 等の間で授受されるデータをパケットと呼ぶ。以下、CPU 00 から CPU 03 を CPU 00 ~ 03 のように記述する。CPU 10 から CPU 13 も同様に、CPU 10 ~ 13 のように記述する。S e r D

e s、DLIN、DLOUT等も同様である。

- [0072] すでに、図7で説明したように、例えば、CPU00は、変換部SerDes0～3、入力インターフェースDLIN0～3、および出力インターフェースDLOUT0～3を有する。なお、入力インターフェースDLIN0～3、および出力インターフェースDLOUT0～3は、変換部SerDes0～3とルータ21とのインターフェース制御を担当する。
- [0073] 図8では、入力インターフェースDLIN0、出力インターフェースDLOUT0、および変換部SerDes0の詳細が例示されている。入力インターフェースDLIN0は、例えば、入力バッファDIOおよびCRCチェッカ(CRC Checker)を有する。したがって、入力バッファDLIN0は、入力バッファDIOに格納された入力データにCRCチェックを実行する。入力バッファDLIN0は、ハードウェア回路であってもよいし、あるいは、DSPがコンピュータプログラムを実行して提供する処理部であってもよい。
- [0074] 出力インターフェースDLOUT0～3は、バッファを含むハードウェア回路であってもよいし、DSPがコンピュータプログラムを実行することによって提供する機能であってもよい。図8では、例えば、出力インターフェースDLOUT0は、リトライバッファDOOを有する。リトライバッファDOOのパケットは、変換部SerDes0に引き渡される。
- [0075] 変換部SerDes0は、スイッチSW20と、他のCPUに転送される出力データODをスイッチSW20に分岐して折り返す折り返しラインL20を有する。すなわち、変換部SerDes0は、図7ですでに説明したパラレルシリアル変換を実行する他、折り返し線L20を介して、出力データODを折り返す。
- [0076] また、スイッチSW20は、他のCPUから入力される入力データIDおよび折り返しラインL20からの折り返しデータODのいずれかを選択し、入力インターフェースDLIN0に引き渡す。変換部SerDes0が第1の出力部の一例である。同様に、変換部SerDes1が第2の出力部の一

例である。

[0077] 他の入カインターフェースDLIN1～3、出カインターフェースDLOUT1～3、変換部SerDes1～3の処理は、入カインターフェースDLIN0、出カインターフェースDLOUT0、変換部SerDes0と同様である。

[0078] 図8のように、ルータ21はパケットの発行を制御するMC22から外部、例えば、他のCPUに発行するパケットを受信するための出力バッファOB0～3、出力バッファOB0～3のそれぞれからパケットを読み出し、出カインターフェースDLOUT0～3に対してパケットを送信するための送信制御部SEND-CTRL0～3を有する。また、ルータ21は、出力バッファOB0～3のそれぞれから読み出したパケットを格納するレジスタR0～3、テストモード時にバスを選択するためのバスセクタS0～3を含む。バスセクタS0が、第1の選択部の一例である。また、バスセクタS1が、第2の選択部の一例である。

[0079] さらにまた、ルータ21は、入カインターフェースDLIN0～3からのパケットを受信するレジスタR4～7、受信したパケットを書き込む為のバッファIBUF0～3、IBUFへのパケット書き込み、およびMC22へのパケット送信を制御するための受信制御部RCV-CTRL0～3、IBUF0～3からのパケットの読み出しの競合を処理する調停回路ARを有する。さらに、ルータ21は、テストモードか否かを設定するための制御情報保持部13を有する。制御情報保持部13は、テストモードビットTEST_MODE[0:3]を格納したラッチを含む。

[0080] レジスタR4～7は、入カインターフェースDLIN0～3に対してそれぞれ設けられ、入カインターフェースDLIN0～3からのデータをそれぞれ保持する。レジスタR4～7は、いずれも例えば、1パケット分のデータを保持するラッチである。

[0081] さらに、例えば、レジスタR4に対して次段にバッファIBUF0が接続される。レジスタR4が1パケット分のデータを保持し、一方、バッファI

BUF0は、複数パケットのデータを保持するようにすればよい。ここで、1パケットは、所定のビット数例えば、8ビット、16ビット、32ビット、64ビット等のデータ部（ペイロード）を含む。

[0082] さらに、バッファIBUF0の次段には、データ検証部PCC（Parity & Protocol checker）が設けられている。データ検証部PCCは、バッファIBUF0からMC22に引き渡されるデータのCRC、パリティ、所定のプロトコルにしたがったデータ形式及びデータ送信手順であるか否か等のチェック等を実行する。データ検証部PCCは、CRC、パリティ、プロトコルチェック等の演算を実行するハードウェア回路として例示できる。ただし、DSP（Data Signal Processor）等がコンピュータプログラムを実行し、データ検証部PCCとして機能してもよい。

[0083] さらに、図8のように、レジスタR4、バッファIBUF0、およびデータ検証部PCCの経路と並んで受信制御部RCV-CTRL0が設けられている。受信制御部RCV-CTRL0は、バッファIBUF0にデータが1パケット以上存在する場合に、アービタARを通じて、MC22にデータ入力を要求する。受信制御部RCV-CTRL0の処理は、例えば、ラッチ、カウンタ等のハードウェア回路で実現されてもよいし、DSPがコンピュータプログラムを実行して提供してもよい。なお、受信制御部RCV-CTRL0、レジスタR4、バッファIBUF0、データ検証部PCCを含む回路部分は入力部と呼ばれ、第1の入力部の一例である。同様に、受信制御部RCV-CTRL1、レジスタR5、バッファIBUF1、データ検証部PCCを含む回路部分も入力部と呼ばれ、第2の入力部の一例である。なお、受信制御部RCV-CTRL2等を含む回路部分、受信制御部RCV-CTRL3等を含む回路部分も入力部と呼ばれる。

[0084] 図8のアービタARは、MC22と、複数の入力部との間で、データの入力処理を調停する調停部である。すなわち、アービタARは、受信制御部RCV-CTRL0～3のうちの複数からデータの入力要求があった場合に、どの入力要求を優先するかを所定の基準で決定する。入力要求の優先順の基

準に特に限定はない。例えば、ラウンドロビンで入力要求を決定してもよい。また、例えば、それぞれの入力部がアービタ A R に、保持するパケット数を通知するようにしてもよい。例えば、受信制御部 R C V - C T R L 0 ~ 3 が、入力要求とともに、バッファ I B U F 0 ~ 3 に保持するパケット数を通知すればよい。そして、アービタ A R が、保持するパケット数の多い入力部を優先して、データの入力を調停すればよい。

[0085] また、図 8 のように、データ検証部 P C C と受信制御部 R C V - C T R L 0 等からアービタ A R に入力される伝送路には、A N D ゲート列 A 0 ~ 7 が設けられている。これらの A N D ゲート列 A 0 ~ 7 は、受信制御部 R C V - C T R L 0 等からアービタ A R へのデータ入力要求をイネーブルまたはディスエーブルにする。また、これらの A N D ゲート列 A 0 ~ 7 は、データ検証部 P C C から入力される検証済みデータのアービタ A R へのデータの入力をイネーブルまたはディスエーブルにする。例えば、入力インターフェース D L I N 0 のデータを有効にして M C 2 2 に引き渡す場合には、受信制御部 R C V - C T R L 0 に接続される A N D ゲート A 0、および、レジスタ R 4、バッファ I B U F 0、およびデータ検証部 P C C に接続される A N D ゲート A 1 に対して、制御情報保持部 1 3 から、イネーブル信号、すなわち、A N D ゲート A 0、A 1 に論理値 0 が供給される。また、入力インターフェース D L I N 0 のデータを無効化して M C 2 2 に引き渡さない場合には、これらの A N D ゲート A 0、A 1 に対して、ディスエーブル信号、すなわち、A N D ゲート A 0、A 1 に論理値 1 が供給される。

[0086] 他の A N D ゲート、例えば、受信制御部 R C V - C T R L 1 に接続される A N D ゲート 2、およびレジスタ R 5、I B F 1、P C C を含む経路に接続される A N D ゲート 3 についても同様である。また、受信制御部 R C V - C T R L 2 に接続される A N D ゲート 4、およびレジスタ R 6、I B F 2、P C C を含む経路に接続される A N D ゲート 5 についても同様である。また、受信制御部 R C V - C T R L 3 を含む A N D ゲート 6、およびレジスタ R 7、I B F 3、P C C を含む経路に接続される A N D ゲート 7 についても同様

である。図8においては、ANDゲートA0～7が無効化部の一例である。ただし、ANDゲートに代えて、アービタARへの入力を遮断可能なトランジスタを用いてもよい。

[0087] 出力バッファOB0～3は、レジスタR0～3に供給されるデータを保持する。そして、例えば、送信制御部SEND-CTRL0は、出力バッファOB0に出力データが存在する場合に、レジスタR0に1パケット分のデータを読み出す制御を実行する。送信制御部SEND-CTRL0の処理は、ハードウェア回路で実行されてもよいし、DSPがコンピュータプログラムによって実行してもよい。

[0088] バスセクタS0からS3は、レジスタR0からR3のいずれかからのデータを選択し、それぞれ、出力インターフェースDOUT0～3に出力する。レジスタR0が第1の保持部の一例である。また、レジスタR1が第2の保持部の一例である。

[0089] 次に、図8に示したCPU00の通常動作時におけるパケット伝送の処理を以下説明する。通常動作とは、試験時ではない、通常の運用時をいう。CPU00からCPU01に対してパケットを伝送する場合、CPU01のMC22から出力バッファOB0にパケットが書き込まれる。次にCPU00のパケット送信制御部SEND-CTRL0は、図10に示されるフローにしたがい、パケットをDOUT0に送出する。DOUT0に転送されたパケットはバッファDO0、CPU00のSerDes0を通してCPU01のSerDes0に転送される。

[0090] CPU1のSerDes0で受け取ったパケットはCPU1のDLIN0に転送され、CRCチェック等によりパケットが正常であることが確認されるとCPU1のR4に送信される。CPU1のR4に送信されたパケットは図11に示されるフローにしたがってIBUF0に書き込まれ、MC22に送信される。CPU00からCPU02、CPU03、XB0に対するパケット伝送も同様にして実行される。

[0091] 次に、CPU00の試験動作時におけるパケット伝送の処理を以下説明す

る。CPU00の試験動作は、制御情報保持部13のテストモードビット TEST_MODE[0:3]に値を設定することによって有効となる。TEST_MODE[0:3]の値はバスセクタS0~S3, SerDes0~3, RECV-CTRL0~3に通知され、各機能ブロックはTEST_MODE[0:3]の値にしたがって動作を変更する。制御情報保持部13に対する値の設定はJTAGやI2C (Inter-Integrated Circuit) 等LSIに備わっている試験用機能のインターフェースを利用して外部から実施する。ただし、制御情報保持部13に対する値の設定が、JTAGやI2Cに限定される訳ではない。

[0092] JTAGは、LSIチップの内部回路とLSIチップ外の装置とが通信する規格である。JTAG規格にしたがったLSIチップ内には、クロック、データ入力、データ出力、状態制御を指示する信号端子が用意され、この信号端子を通じてLSIチップに対してバウンダリスキャンテスト (Boundary Scan Test) と呼ばれるテストが実行される。I2Cは、LSI内部等とLSIチップ外の装置等とがシリアル通信を行う規格である。なお、第2実施例では、制御情報保持部13が保持するビット数として4ビットが例示される。しかし、制御情報保持部13が保持するビット数が4ビットに限定される訳ではない。すなわち、CPUが接続される相手先CPUの数に応じて、TEST_MODEのビット数を定めればよい。

[0093] TEST_MODE[0:3]はインターフェースごとの設定値であり、接続先に実際にチップ (相手CPU) が存在するインターフェースに対しては'0'、それ以外のインターフェースに対しては'1'を設定する。

[0094] 通常動作時はTEST_MODE[0:3]=0000に設定する。今、例えば、DLIN0とDLOUT0を含むCPU0-CPU1経路をインターフェース0と呼ぶ。また、一般的に、DLIN*i*とDLOUT*i*を含むCPU0-CPU*i*間の経路をインターフェース*i*と呼ぶ。ここで、*i*は、1、2または3である。インターフェース0を通常動作にして残りのインターフェース1、2、3をテストモードに設定する場合TEST_MODE[0:3]=0111にする。ただし、インターフェースの数は、接続可能な相手CPUの数に依存するので、インターフェ

ースの数が4に限定される訳ではない。

[0095] 以下、TEST_MODE[0:3]=0111時の動作を例示する。TEST_MODE[0:3]=0111は、図1の構成で例示される。図1では、CPU0、CPU1を接続した状態で、他のCPU、および中継チップ（クロスバースイッチXB0、XB1等）は接続されていない。したがって、情報処理装置1がCPU0、CPU1を有し、他のCPUとの通信を含めて試験を実行することを想定している。

[0096] 図9に、TEST_MODE[0:3]=0111設定時の論理的な接続関係を例示する。TEST_MODE[0]=0であるので、CPU00とCPU01の両方において、レジスタR0の信号は、バスセクタS0において、そのまま出力インターフェースDLOUT0に伝送される。また、CPU00とCPU01の間で、インターフェース0、すなわち、入力インターフェースDLIN0、出力インターフェースDLOUT0の信号は、変換部SerDes0でパラレルシリアル変換され、相互に接続される。すなわち、CPU00の出力インターフェースDLOUT0の信号がCPU01の入力インターフェースDLIN0に接続される。また、CPU01の出力インターフェースDLOUT0の信号がCPU00の入力インターフェースDLIN0に接続される。

[0097] 一方、TEST_MODE[1:3]=111であるので、バスセクタS1、S2、およびS3では、レジスタR0の信号が複写され、出力インターフェースDLOUT1、DLOUT2、DLOUT3に引き渡される。さらに、出力インターフェースDLOUT1の信号は、変換部SerDes1において折り返されて入力インターフェースDLIN1に戻される。同様に、出力インターフェースDLOUT2の信号は、変換部SerDes2において折り返されて入力インターフェースDLIN2に戻される。同様に、出力インターフェースDLOUT3の信号は、変換部SerDes3において折り返されて入力インターフェースDLIN3に戻される。

[0098] CPU00からCPU01に対してパケットを転送する場合、最初にCPU00のMC22から出力バッファOB0にパケットが書き込まれる。次にCPU0のパケット送信制御部SEND-CTRL0は図10に示されるフ

ローにしたがい、レジスタR0を通してパケットをD L O U T 0に送出する。ここで、バスセクタS0～S3は、図12-15に示されるバス選択論理にしたがう。通常動作(TEST_MODE=0000)のときには、バスセクタS0はレジスタR0を選択し、バスセクタS1はレジスタR1を選択し、バスセクタS2はレジスタR2を選択し、バスセクタS3はレジスタR3を選択する。しかし、TEST_MODE[0:3]=0111のときには、上述のように、バスセクタS0からS3のすべてがR0からの信号を選択する。結果として、D L O U T 0にC P U 0 0からのパケットが転送されるとともに複製されたパケットがD L O U T 1、D L O U T 2、D L O U T 3に転送される。

[0099] D L O U T 0～3のそれぞれに転送されたパケットは、変換部S e r D e s 0～3に伝送される。上述のように、変換部S e r D e s 0～3は、TEST_MODE[0:3]の自身のインターフェース番号に対応するビットが'1'であるときは自身の送出信号を折り返すモードとなる。折り返し機能は一般的に備わっている変換部の回路を使用すればよい。ただし、折り返し機能の回路がない場合はテストモード時にD L O U T からD L I N に折り返すための分岐と折り返し線を含む回路を組み込めばよい。結果として、C P U 0 0のS e r D e s 0に伝送されたパケットはC P U 0 1の変換部S e r D e s 0に伝送される。一方、C P U 0 0の変換部S e r D e s 1～3に伝送されたパケットはC P U 0 1のD L I N 1～3に伝送される。

[0100] C P U 0 1の変換部S e r D e s 0に伝送されたパケットは通常動作時と同様にC P U 0 1の入力インターフェースD L I N 0、バッファI B U F 0を通じてM C 2 2に伝送される。C P U 0 0の入力インターフェースD L I N 1～3に伝送されたパケットはC P U 0 0のレジスタR5～R7に伝送され、図11のフローチャートにしたがいバッファI B U F 1～3へ書き込まれる。

[0101] このときバッファI B U F 1～3に書き込まれたパケットは本来C P U 0 0がC P U 0 1に送信したパケットであるため、C P U 0 0からすれば受け取ることのないパケットである。そのままC P U 0 0で処理しようとするれば

動作異常と判定される可能性がある。そこで、TEST_MODE[1:3]=111にしたがい、図7のMC22の入り口側のANDゲートA2からA7がディスエーブルとされ、MC22へのパケット送信は行われず処理が完了する。すなわち、制御情報保持部13が保持するTEST_MODEの指定にしたがったANDゲートA0からA7の動作によって、不要なパケットのMC22への入力を抑止できる。なお、ANDゲートをイネーブル／ディスエーブルにする処理は、図11によって後述する。

[0102] (処理フロー)

以下、図7および図8で例示した試験実行時のハードウェア回路の動作シーケンスをフローチャートにしたがって説明する。図10は、送信制御部SEND-CTRL0の処理シーケンスを例示する図である。なお、他の送信制御部SEND-CTRL1～3についても、処理は、図10と同様である。以下の送信制御部SEND-CTRL0の処理シーケンスは、ハードウェア回路で実現してもよい。また、FPGA(Field Programmable Gate Array)等のプログラマブルロジック回路のシーケンサで実現してもよい。また、DSPがコンピュータプログラムを実行することで実現してもよい。

[0103] この処理では、送信制御部SEND-CTRL0は、出力バッファ(OB1等)に送信待ちパケットが存在するか否かを判定する(S11)。出力バッファ(OB1等)に送信待ちパケットが存在する場合、リトライバッファおよび送信先のバッファIBUFの容量が十分か否かを判定する(S12)。ここで、送信先のバッファIBUFは、例えば、CPU00からCPU01にデータを送信する場合に、図9に示したCPU01のバッファIBUF0の容量である。ここで、送信先のバッファIBUFの容量についての情報はクレジットと呼ばれ、図示しない信号線を通じて、接続されたCPU間(CPU00～03、CPU10～13等の間)で授受される。

[0104] S11およびS12の判定結果がいずれも真(YES)であった場合、送信制御部SEND-CTRL0は、レジスタR0にパケットを読み出し、出力インターフェースDOUT0および変換部SerDes0を通じて、C

P U O 1 にパケットを送信する（S 1 3）。

[0105] 一方、S 1 1 および S 1 2 の判定結果のいずれか一方が偽（NO）であった場合、送信制御部 S E N D - C T R L 0 は、S 1 3 の処理を実行せずに終了する。

[0106] 図 1 1 は、受信制御部 R C V - C T R L 0 の処理シーケンスを例示する図である。なお、他の受信制御部 R C V - C T R L 1 ~ 3 についても、処理は、同様である。以下の受信制御部 R C V - C T R L 0 の処理シーケンスは、ハードウェア回路で実現してもよい。また、プログラマブルロジックコントローラ等のシーケンサで実現してもよい。また、D S P がコンピュータプログラムを実行することで実現してもよい。

[0107] この処理では、受信制御部 R C V - C T R L 0 は、レジスタ R 4 にパケットが到着したか否かを判定する（S 2 1）。なお、受信制御部 R C V - C T R L 1 ~ 3 においては、レジスタ R 5 ~ 7 が判定対象となる。

[0108] レジスタ R 4 にパケットが到着すると、受信制御部 R C V - C T R L 0 は、R 4 で受信したパケットをバッファ I B U F 0 に書き込む（S 2 2）。なお、受信制御部 R C V - C T R L 1 ~ 3 においては、バッファ I B U F 1 ~ 3 が書き込み先となる。

[0109] そして、受信制御部 R C V - C T R L 0 は、バッファ I B U F 0 にパケットが存在するか否かを判定する（S 2 3）。なお、受信制御部 R C V - C T R L 1 ~ 3 においては、バッファ I B U F 1 ~ 3 が判定対象となる。

[0110] バッファ I B U F 0 にパケットが存在する場合、受信制御部 R C V - C T R L 0 は、制御情報保持部 1 3 のテストモード TEST_MODE[0] が 1 か否かを判定する（S 2 4）。なお、受信制御部 R C V - C T R L 1 ~ 3 においては、TEST_MODE[1:3] が判定対象となる。

[0111] S 2 4 の判定で TEST_MODE[0] が 1 の場合、受信制御部 R C V - C T R L 0 は、データ検証部 P C C によってパケットを取り出し、正常かどうかをチェックする（S 2 6）。パケットが正常でない場合（S 2 7 で N）、情報処理装置 1 での通常のエラー処理が実行される（S 2 8）。エラー処理では、例

例えば、受信制御部RCV-CTRL0がCPU00のJTAGコマンドへの戻り値等を通じて、図示しないシステム制御用のコンピュータ等にエラーを通知する。また、正常な場合には、そのまま処理が終了する。この場合に、図8に示したように、受信制御部RCV-CTRL0の出力側のANDゲートA0およびバッファIBUF0からデータ検証部PCCを通してアービタARに至る経路のANDゲートA1に、TEST_MODE[0]=1が入力されている。したがって、受信制御部RCV-CTRL0の出力は、ANDゲートA0で遮断される。また、バッファIBUF0からの出力はANDゲートA1で遮断される。したがって、IBUF0の packets がデータ検証部で検証された後に、アービタARおよびMC22に入力されない。

[0112] また、S24の判定でTEST_MODE[0]が0の場合、図8のANDゲートA0およびA1に、TEST_MODE[0]=0が入力される。この場合、受信制御部RCV-CTRL0からアービタARへのアクセスが許容される。そこで、受信制御部RCV-CTRL0は、アービタARにデータ入力（パケット送信権）を要求する。そして、受信制御部RCV-CTRL0は、アービタARにおいてパケット送信権が獲得できたか否かを判定する（S25）。

[0113] そして、パケット送信権が獲得できた場合、受信制御部RCV-CTRL0は、通常の手順にしたがって、IBUF0からパケットを取り出す。そして、受信制御部RCV-CTRL0は、データ検証部PCCによって、取り出したパケットが正常かどうかをチェックする（S29）。そして、パケットが正常であった場合には（S2AでY）、受信制御部RCV-CTRL0は、アービタARを通じてMC22にパケットを送信する（S2B）。パケットが正常でない場合（S2AでN）、情報処理装置1での通常のエラー処理が実行される（S28）。

[0114] 図12に、バスセクタS0のバス選択論理を例示する。図12は、例えば、CPU00のバスセクタS0内の論理回路のテストモードTEST_MODE[0:3]に応じた論理をフローチャートの形式で示したものである。

[0115] バスセクタS0は、TEST_MODE[0]=0か否かを優先して判定する（S31

）。そして、TEST_MODE[0]=0の場合に（S 3 1でY）、バスセクタS 0は、レジスタR 0からの経路を選択する（S 3 2）。この場合は、インターフェース0、すなわち、DLIN 0およびDLOUT 0を通じて、相手CPU 0 1と接続されている場合である。

[0116] 一方、S 3 1の判定でTEST_MODE[0]=0でない場合に、次に、バスセクタS 0は、TEST_MODE[1]=0か否かを判定する（S 3 3）。そして、TEST_MODE[1]=0の場合に（S 3 3でY）、バスセクタS 0は、レジスタR 1からの経路を選択する（S 3 4）。この場合は、インターフェース1、すなわち、DLIN 1およびDLOUT 1を通じて、相手CPU 0 1と接続されている場合である。

[0117] さらに、S 3 3の判定でTEST_MODE[1]=0でない場合に、次に、バスセクタS 0は、TEST_MODE[2]=0か否かを判定する（S 3 5）。そして、TEST_MODE[2]=0の場合に（S 3 5でY）、バスセクタS 0は、レジスタR 2からの経路を選択する（S 3 6）。この場合は、インターフェース2、すなわち、DLIN 2およびDLOUT 2を通じて、相手CPU 0 2と接続されている場合である。

[0118] さらに、S 3 5の判定でTEST_MODE[2]=0でない場合に、バスセクタS 0は、レジスタR 3からの経路を選択する（S 3 7）。この場合は、インターフェース3、すなわち、DLIN 3およびDLOUT 3を通じて、相手CPU 0 3と接続されている場合である。

[0119] なお、図1 2では、TEST_MODE[0]=0、TEST_MODE[1]=0、TEST_MODE[2]=0、TEST_MODE[3]=0の順で判定した。しかし、バスセクタS 0の選択論理は、TEST_MODE[0]=0の判定を優先すればよく、TEST_MODE[1]=0、TEST_MODE[2]=0、TEST_MODE[3]=0の3つの判定に関しては、図1 2の通りでなくてもよい。

[0120] 図1 3に、バスセクタS 1のバス選択論理を例示する。図1 3は、例えば、CPU 0 0のバスセクタS 1内の論理回路のテストモードTEST_MODE[0:3]に応じた論理をフローチャートの形式で示したものである。図1 3に示すバスセクタS 1の論理は、TEST_MODE[1]=0か否かの判定を優先する点を除

いて、図 1 2 でのバスセクタ S 0 の論理と同様である。

[0121] すなわち、バスセクタ S 1 は、TEST_MODE[1]=0か否かを優先して判定する（S 4 1）。そして、TEST_MODE[1]=0の場合に（S 4 1でY）、バスセクタ S 1 は、レジスタ R 1 からの経路を選択する（S 4 2）。

[0122] 一方、S 4 1 の判定でTEST_MODE[1]=0でない場合に、次に、バスセクタ S 1 は、TEST_MODE[0]=0か否かを判定する（S 4 3）。そして、TEST_MODE[0]=0の場合に（S 4 3でY）、バスセクタ S 1 は、レジスタ R 0 からの経路を選択する（S 4 4）。

[0123] さらに、S 4 3 の判定でTEST_MODE[0]=0でない場合に、次に、バスセクタ S 1 は、TEST_MODE[2]=0か否かを判定する（S 4 5）。そして、TEST_MODE[2]=0の場合に（S 4 5でY）、バスセクタ S 1 は、レジスタ R 2 からの経路を選択する（S 4 6）。さらに、S 4 5 の判定でTEST_MODE[2]=0でない場合に、バスセクタ S 1 は、レジスタ R 3 からの経路を選択する（S 4 7）。

[0124] 図 1 4 に、バスセクタ S 2 のバス選択論理を示す。図 1 4 は、例えば、CPU 0 0 のバスセクタ S 2 内の論理回路のテストモードTEST_MODE[0:3] に応じた論理をフローチャートの形式で示したものである。図 1 4 に示すバスセクタ S 2 の論理は、TEST_MODE[2]=0か否かの判定を優先する点を除いて、図 1 2 でのバスセクタ S 0 の論理と同様である。

[0125] すなわち、バスセクタ S 2 は、TEST_MODE[2]=0か否かを優先して判定する（S 5 1）。そして、TEST_MODE[2]=0の場合に（S 5 1でY）、バスセクタ S 2 は、レジスタ R 2 からの経路を選択する（S 5 2）。

[0126] 一方、S 5 1 の判定でTEST_MODE[2]=0でない場合に、次に、バスセクタ S 2 は、TEST_MODE[0]=0か否かを判定する（S 5 3）。そして、TEST_MODE[0]=0の場合に（S 5 3でY）、バスセクタ S 2 は、レジスタ R 0 からの経路を選択する（S 5 4）。

[0127] さらに、S 5 3 の判定でTEST_MODE[0]=0でない場合に、次に、バスセクタ S 2 は、TEST_MODE[1]=0か否かを判定する（S 5 5）。そして、TEST_MODE

[1]=0の場合に（S 5 5でY）、バスセクタ S 2は、レジスタ R 1からの経路を選択する（S 5 6）。さらに、S 5 5の判定でTEST_MODE[1]=0でない場合に、バスセクタ S 2は、レジスタ R 3からの経路を選択する（S 5 7）。

[0128] 図 1 5に、バスセクタ S 3のバス選択論理を示す。図 1 5は、例えば、CPU 0 0のバスセクタ S 3内の論理回路のテストモードTEST_MODE[0:3]に応じた論理をフローチャートの形式で示したものである。図 1 5に示すバスセクタ S 3の論理は、TEST_MODE[3]=0か否かの判定を優先する点を除いて、図 1 2でのバスセクタ S 0の論理と同様である。

[0129] すなわち、バスセクタ S 2は、TEST_MODE[3]=0か否かを優先して判定する（S 6 1）。そして、TEST_MODE[3]=0の場合に（S 6 1でY）、バスセクタ S 3は、レジスタ R 3からの経路を選択する（S 6 2）。

[0130] 一方、S 6 1の判定でTEST_MODE[3]=0でない場合に、次に、バスセクタ S 3は、TEST_MODE[0]=0か否かを判定する（S 6 3）。そして、TEST_MODE[0]=0の場合に（S 6 3でY）、バスセクタ S 3は、レジスタ R 0からの経路を選択する（S 6 4）。

[0131] さらに、S 6 3の判定でTEST_MODE[0]=0でない場合に、次に、バスセクタ S 3は、TEST_MODE[1]=0か否かを判定する（S 6 5）。そして、TEST_MODE[1]=0の場合に（S 6 5でY）、バスセクタ S 3は、レジスタ R 1からの経路を選択する（S 6 6）。さらに、S 6 5の判定でTEST_MODE[1]=0でない場合に、バスセクタ S 2は、レジスタ R 2からの経路を選択する（S 6 7）。

[0132] （動作シーケンス）

図 1 6に、TEST_MODE[0:3]=0111設定時におけるCPU 0 0からCPU 0 1へのパケット伝送時のタイムチャートを例示する。ここで、図 1 6の横軸は、例えば、CPU 0 0—CPU 0 3等を駆動するクロックのサイクルである。また、図 1 6の縦軸は、CPU 0 0の出力バッファOB 1、レジスタR 0、リトライバッファOD 0、CPU 0 1の入力バッファDI 0、レジスタR

4、バッファIBUF0、MC22等である。さらに、図16では、CPU00のインターフェース1～3の構成要素が列挙されている。すなわち、CPU00のリトライバッファDO1～3、入力バッファDI1～3、レジスタR5～7、バッファIBUF1～3が図16の縦軸に示されている。

[0133] 図16においては3サイクル目でパケットAがレジスタR0からリトライバッファDO0に伝送されるとともにリトライバッファDO1、DO2、DO3に複製されていることが示されている。4サイクル目にはDO1、DO2、DO3にあるパケットは折り返しによりCPU00のDI1、DI2、DI3に転送される。CPU1に転送されたパケットは11サイクル目でMCに伝送されるがCPU0で折り返されたパケットは6サイクル目にて処理が完了する。

[0134] 折り返されたパケットや各機能ブロックの動作の正当性は(1)DLIN1～3のもつCRCチェッカ(2)IBUF1～3や受信制御部RCV-CTRL0～3が持つパリティチェッカ、プロトコルチェッカ等によって実施される。これらのチェッカは通常動作時であってもハードが故障していないかのチェックをするため動作する。結果、CPU00とCPU01を接続して試験を実行した状態であってもCPU02、CPU03、XB0、XB1等のインターフェース回路部を同時に試験することが可能となる。試験は、例えば、CPU00とCPU01間のデータ転送を実行するテストプログラムを用いて行えばよい。

[0135] <効果>

以上の構成により、情報処理装置1が採り得る構成中で、簡易な構成であっても、実際に使用されるインターフェース以外のインターフェースの部分に対しても動作確認が実施できる。例えば、図9に示したように、CPU00とCPU01とが、インターフェース0を通じて接続され、CPU00がCPU01、CPU02に接続するためのインターフェースが未接続であっても、CPU00からCPU01への伝送される信号を用いて、未接続のインターフェースの試験が可能となる。

- [0136] 例えば、図8に示したように、バスセクタS1からS3が、CPU00からCPU01に伝送されるレジスタR0の packets を複製し、変換部SerDes1~3で折り返して、DLIN1~3に入力すればよい。折り返された信号について、例えば、DLIN1~3においてCRCチェック等を実行すればよい。また、受信制御部RCV-CTRL1~3がデータ検証部PCCを用いて、折り返された信号のパリティチェック、プロトコルチェック等を実行すればよい。また、折り返された信号は、アービタAR等への入力をディスエーブルにすることで、信号が折り返されるCPU00内での矛盾を回避すればよい。
- [0137] また、上記第2の実施例では、バスセクタS0~3の選択、変換部SerDes0~3の折り返しの有無、およびアービタARへの入力に対するイネーブル／ディスエーブルの設定等が、制御情報保持部13のテストモードTEST_MODE[0:3]で指定した。したがって、情報処理装置1の試験を行うオペレータ等は、情報処理装置1を制御するシステム管理用のコンピュータから、例えば、JTAGコマンド等によって、制御情報保持部13のテストモードTEST_MODE[0:3]に制御情報を設定し、簡易に試験を実行できる。また、試験の結果をJTAGコマンド等で読み出し確認すればよい。
- [0138] 第2実施例で説明した情報処理装置1で伝送される packets はCPU上でテストプログラムを流した際にCPU間の実通信で使われる packets となる。又、 packets 発行タイミングはCPU上のキャッシュの状態、バッファのBUSY、資源の競合といった各種ハードウェアの状態に影響される。そのため、実運用の環境に近いタイミングやデータパターンで試験を実施することができる。
- [0139] 以上のような構成は、図7に示したCPU00~03、XB0を通じて接続される他のCPU、あるいは、図1の構成で例示されるXB1等を通じて接続されるCPU10~13等、情報処理装置1に含まれるそれぞれのCPUに備えられる。したがって、情報処理装置1、送信装置としてのCPU00、受信装置としての他のCPUは、最大構成ではない将来の増設可能な構

成、あるいは、極力単体に近い構成で、極力多数の部分を活活化した試験を実行することが可能となる。

符号の説明

- [0140] 1 情報処理装置
- 1 0 処理部
- 1 1 データ処理部
- 1 2 A、1 2 B データ転送部
- 1 3 制御情報保持部
- 2 1 ルータ
- 2 2 メモリコントローラ
- 3 0 D I M M
- D B 1、D B 2、D B 3、D B 4 D B 5、D B 6、D B 7、D B 8 データ
 バッファ
- S 0、S 1、S 2、S 3 バスセクタ
- S W 1、S W 2、S W 3 スイッチ

請求の範囲

- [請求項1] 送信装置と、前記送信装置に接続された第1の受信装置を有する情報処理装置において、
- 前記送信装置は、
- データを入力する第1の入力部と、
- データを入力する第2の入力部と、
- 前記第1の入力部が入力したデータ又は前記第2の入力部が入力したデータに対して情報処理を行ったデータを出力する第1の情報処理部と、
- 前記第1の情報処理部が出力したデータを保持する第1の保持部と、
- 前記第1の情報処理部が出力したデータを保持する第2の保持部と、
- 制御情報を保持する制御情報保持部と、
- 前記制御情報保持部が保持した制御情報に基づき、前記第1の保持部が保持したデータと前記第2の保持部が保持したデータのいずれかを選択する第1の選択部と、
- 前記制御情報保持部が保持した制御情報に基づき、前記第1の選択部が選択したデータを前記第1の入力部に折り返す第1の出力部を有することを特徴とする情報処理装置。
- [請求項2] 前記送信装置はさらに、
- 前記制御情報保持部が保持した制御情報に基づき、前記第1の保持部が保持したデータと前記第2の保持部が保持したデータのいずれかを選択する第2の選択部と、
- 前記第2の選択部が選択したデータを第2の受信装置に出力する第2の出力部を有し、
- 前記第2の受信装置は、
- 前記送信装置の前記第1の出力部から入力されるデータに対して情報処理を行う第2の情報処理部を有することを特徴とする請求項1

記載の情報処理装置。

[請求項3]

前記送信装置において、

前記第1の選択部は、前記制御情報保持部が保持した制御情報に基づき、前記第2の保持部が保持したデータを選択し、

前記第2の選択部は、前記制御情報保持部が保持した制御情報に基づき、前記第2の保持部が保持したデータを選択し、

前記第1の出力部は、前記制御情報保持部が保持した制御情報に基づき、前記第1の選択部が選択したデータを前記第1の入力部に折り返す折り返し部を有することを特徴とする請求項2記載の情報処理装置。

[請求項4]

前記送信装置において、

前記第2の出力部は、

前記制御情報保持部が保持した制御情報に基づき、前記第2の選択部が選択したデータを前記第2の入力部に折り返すことを特徴とする請求項2記載の情報処理装置。

[請求項5]

前記情報処理装置において、

前記制御情報保持部が保持した制御情報に基づき、前記送信装置の前記第1の出力部から入力されるデータを無効化する無効化部を有することを特徴とする請求項2～4のいずれか1項に記載の情報処理装置。

[請求項6]

情報処理装置が有する第1の受信装置に接続される送信装置において、

データを入力する第1の入力部と、

データを入力する第2の入力部と、

前記第1の入力部が入力したデータ又は前記第2の入力部が入力したデータに対して情報処理を行ったデータを出力する第1の情報処理部と、

前記第1の情報処理部が出力したデータを保持する第1の保持部

と、

前記第 1 の情報処理部が出力したデータを保持する第 2 の保持部

と、

制御情報を保持する制御情報保持部と、

前記制御情報保持部が保持した制御情報に基づき、前記第 1 の保持部が保持したデータと前記第 2 の保持部が保持したデータのいずれかを選択する第 1 の選択部と、

前記制御情報保持部が保持した制御情報に基づき、前記第 1 の選択部が選択したデータを前記第 1 の入力部に折り返す第 1 の出力部を有することを特徴とする送信装置。

[請求項7]

前記送信装置はさらに、

前記制御情報保持部が保持した制御情報に基づき、前記第 1 の保持部が保持したデータと前記第 2 の保持部が保持したデータのいずれかを選択する第 2 の選択部と、

前記第 2 の選択部が選択したデータを第 2 の受信装置に出力する第 2 の出力部を有することを特徴とする請求項 6 記載の送信装置。

[請求項8]

前記送信装置において、

前記第 1 の選択部は、前記制御情報保持部が保持した制御情報に基づき、前記第 2 の保持部が保持したデータを選択し、

前記第 2 の選択部は、前記制御情報保持部が保持した制御情報に基づき、前記第 2 の保持部が保持したデータを選択し、

前記第 1 の出力部は、前記制御情報保持部が保持した制御情報に基づき、前記第 1 の選択部が選択したデータを前記第 1 の入力部に折り返す折り返し部を有することを特徴とする請求項 7 記載の送信装置。

[請求項9]

前記送信装置において、

前記第 2 の出力部は、

前記制御情報保持部が保持した制御情報に基づき、前記第 2 の選

択部が選択したデータを前記第2の入力部に折り返すことを特徴とする請求項7記載の送信装置。

[請求項10] 送信装置と、前記送信装置に接続された第1の受信装置を有する情報処理装置の制御方法において、

前記送信装置が有する第1の入力部が、データを入力するステップと、

前記送信装置が有する第2の入力部が、データを入力するステップと、

前記送信装置が有する第1の情報処理部が、前記第1の入力部が入力したデータ又は前記第2の入力部が入力したデータに対して情報処理を行ったデータを出力するステップと、

前記送信装置が有する第1の保持部に、前記第1の情報処理部が出力したデータを保持するステップと、

前記送信装置が有する第2の保持部に、前記第1の情報処理部が出力したデータを保持するステップと、

前記送信装置が有する制御情報保持部が、制御情報を保持するステップと、

前記送信装置が有する第1の選択部が、前記制御情報保持部が保持した制御情報に基づき、前記第1の保持部が保持したデータと前記第2の保持部が保持したデータのいずれかを選択するステップと、

前記送信装置が有する第1の出力部が、前記制御情報保持部が保持した制御情報に基づき、前記第1の選択部が選択したデータを前記第1の入力部に折り返すステップを有することを特徴とする情報処理装置の制御方法。

[請求項11] 前記情報処理装置の制御方法はさらに、

前記送信装置が有する第2の選択部が、前記制御情報保持部が保持した制御情報に基づき、前記第1の保持部が保持したデータと前記第2の保持部が保持したデータのいずれかを選択するステップと、

前記送信装置が有する第２の出力部が、前記第２の選択部が選択したデータを第２の受信装置に出力するステップを有することを特徴とする請求項１０記載の情報処理装置の制御方法。

[請求項12]

前記情報処理装置の制御方法において、

前記第１の選択部は、前記制御情報保持部が保持した制御情報に基づき、前記第２の保持部が保持したデータを選択し、

前記第２の選択部は、前記制御情報保持部が保持した制御情報に基づき、前記第２の保持部が保持したデータを選択し、

前記第１の出力部は、前記制御情報保持部が保持した制御情報に基づき、前記第１の選択部が選択したデータを前記第１の入力部に折り返すことを特徴とする請求項１１記載の情報処理装置の制御方法。

[請求項13]

前記情報処理装置の制御方法において、

前記第２の出力部は、

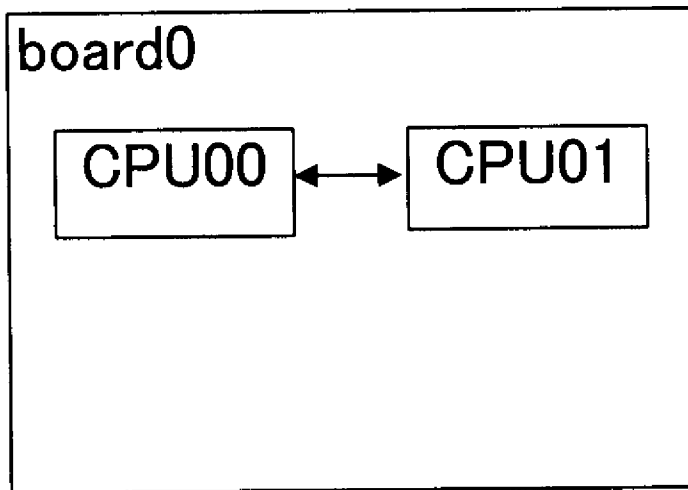
前記制御情報保持部が保持した制御情報に基づき、前記第２の選択部が選択したデータを前記第２の入力部に折り返すことを特徴とする請求項１１記載の制御方法。

[請求項14]

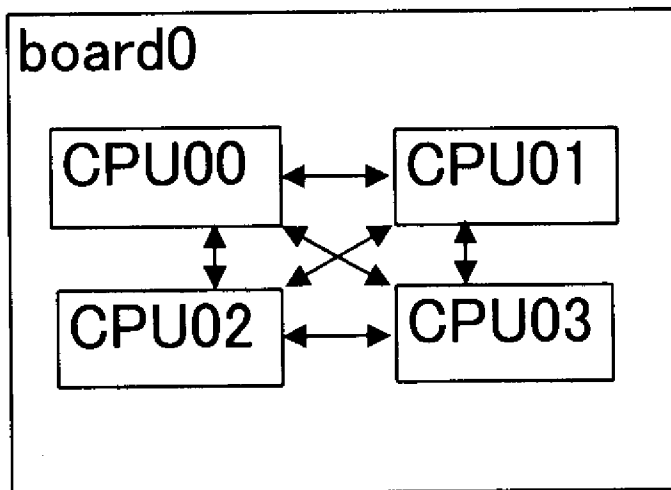
前記情報処理装置の制御方法において、

前記制御情報保持部が保持した制御情報に基づき、前記送信装置が有する無効化部が前記送信装置の前記第１の出力部から入力されるデータを無効化するステップを有することを特徴とする請求項１０～１３のいずれか１項に記載の情報処理装置の制御方法。

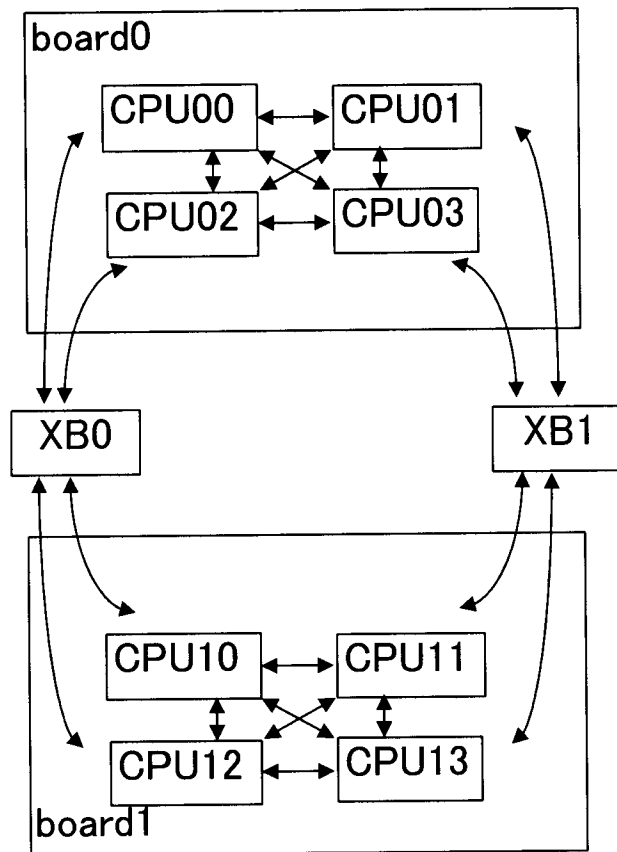
[図1]



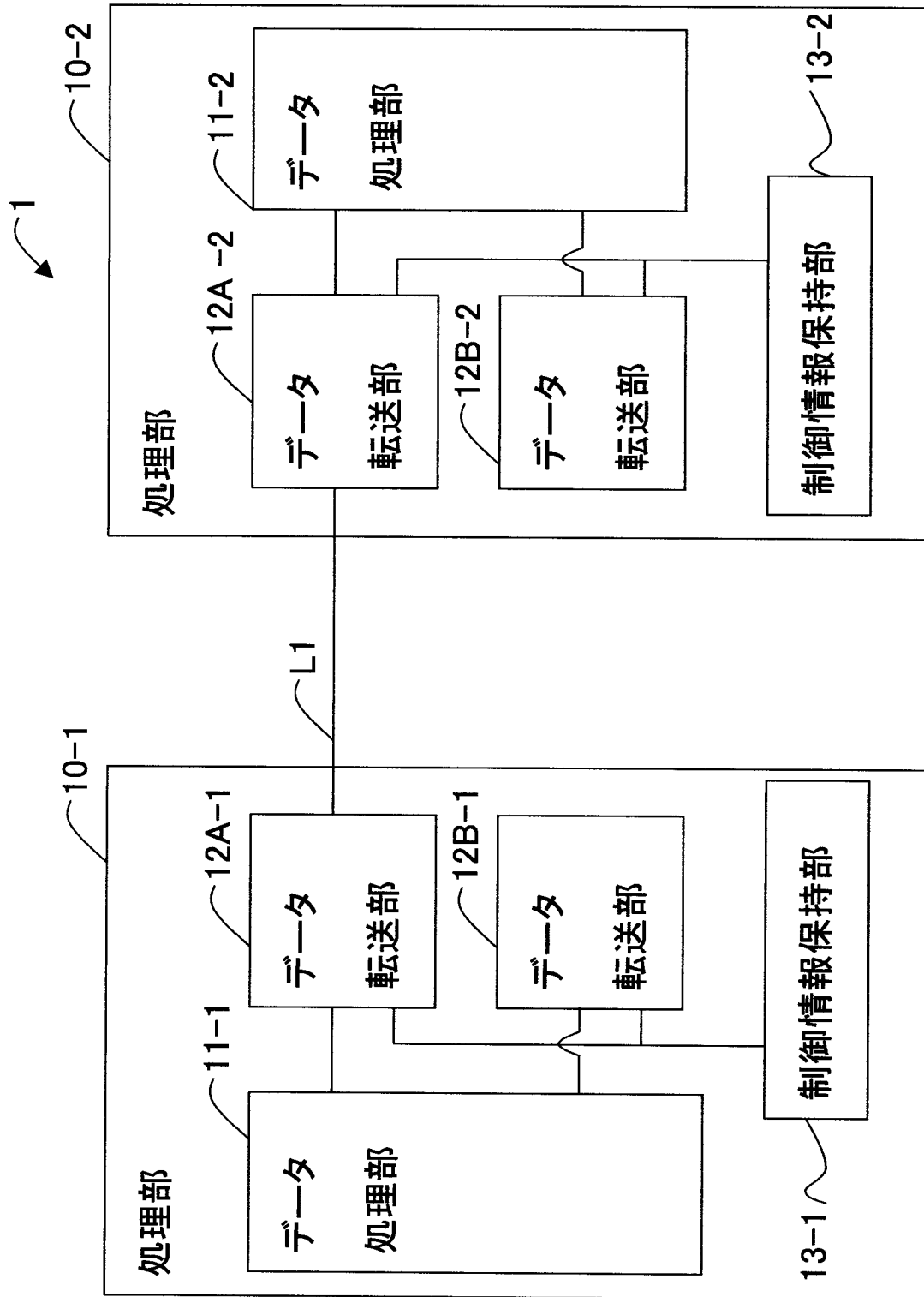
[図2]



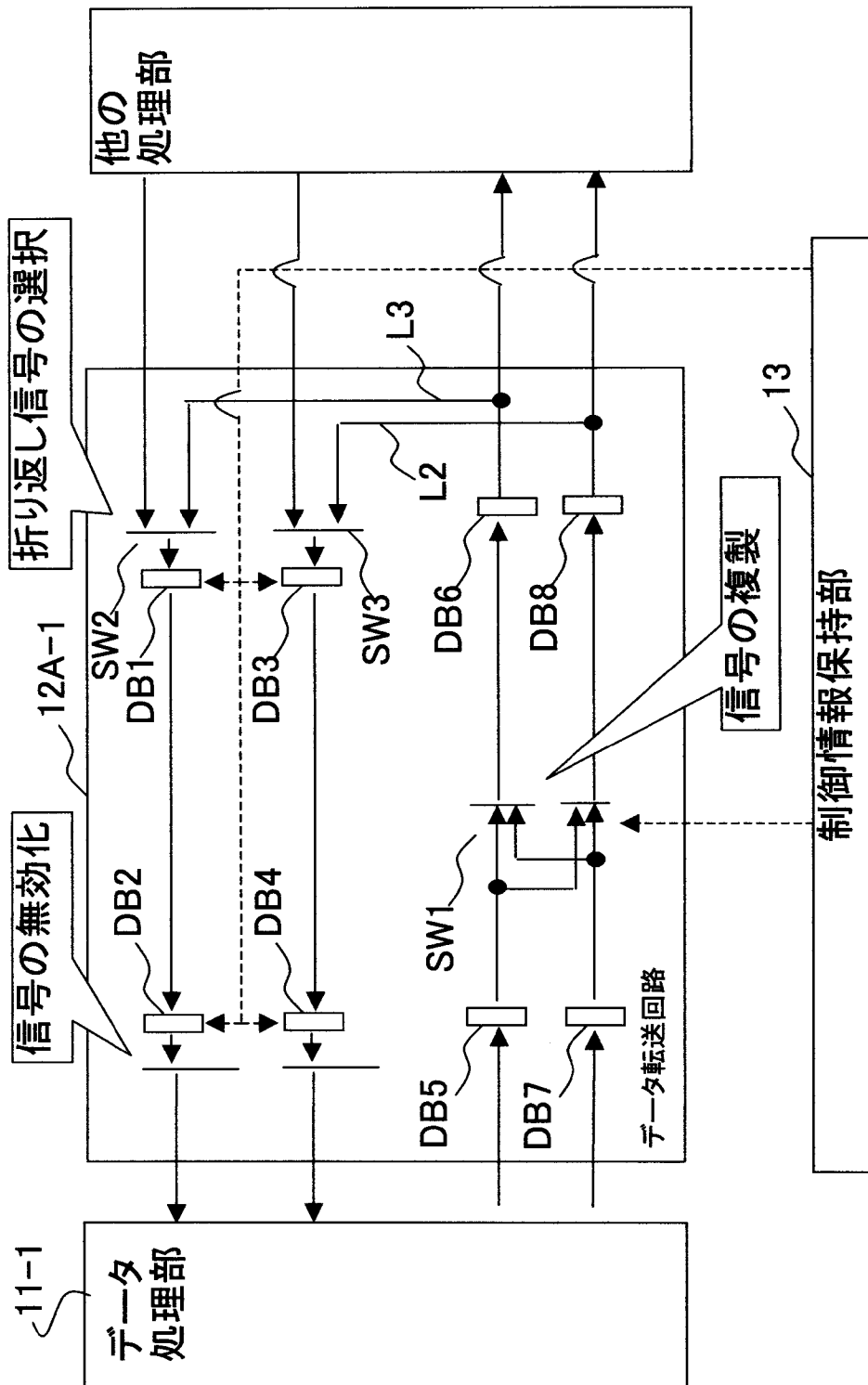
[図3]



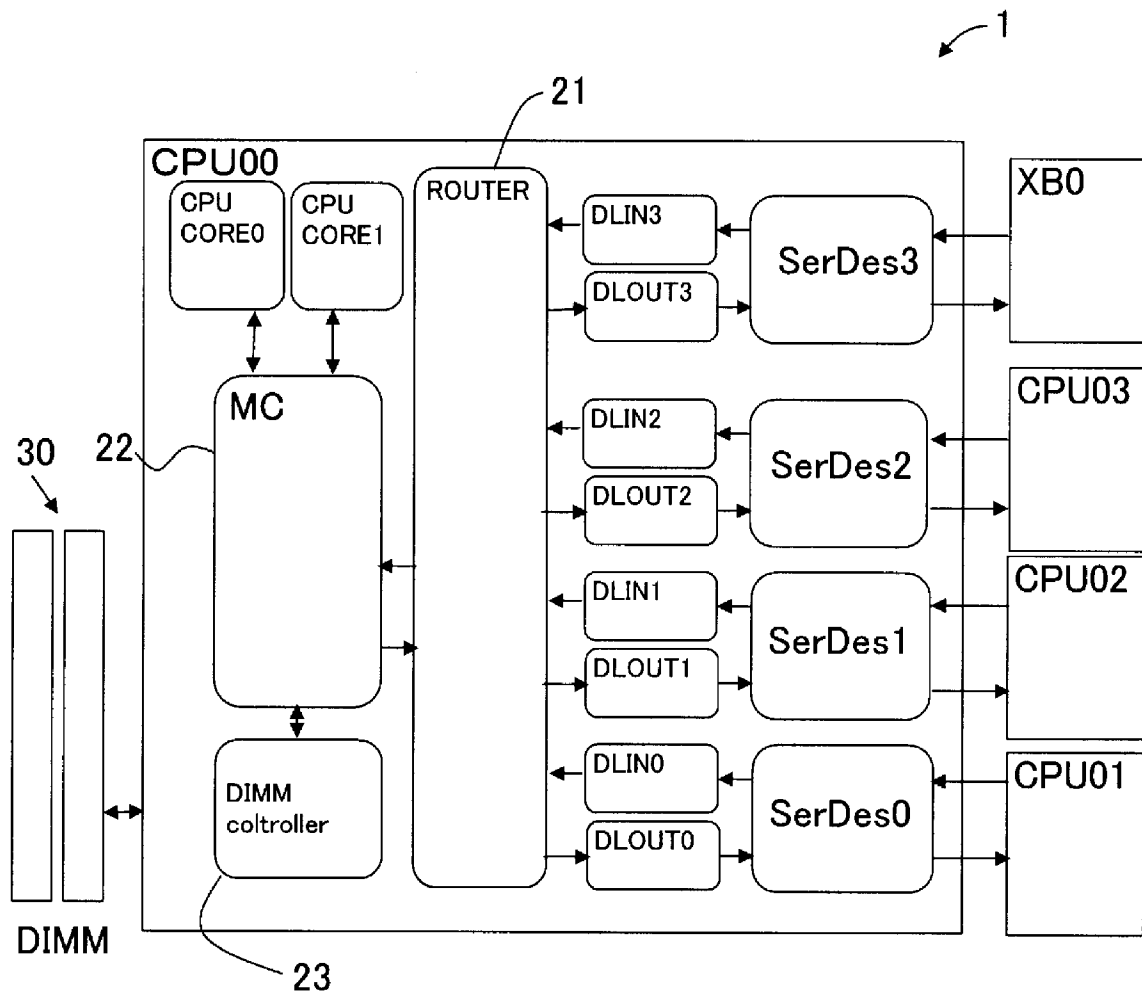
[図4]



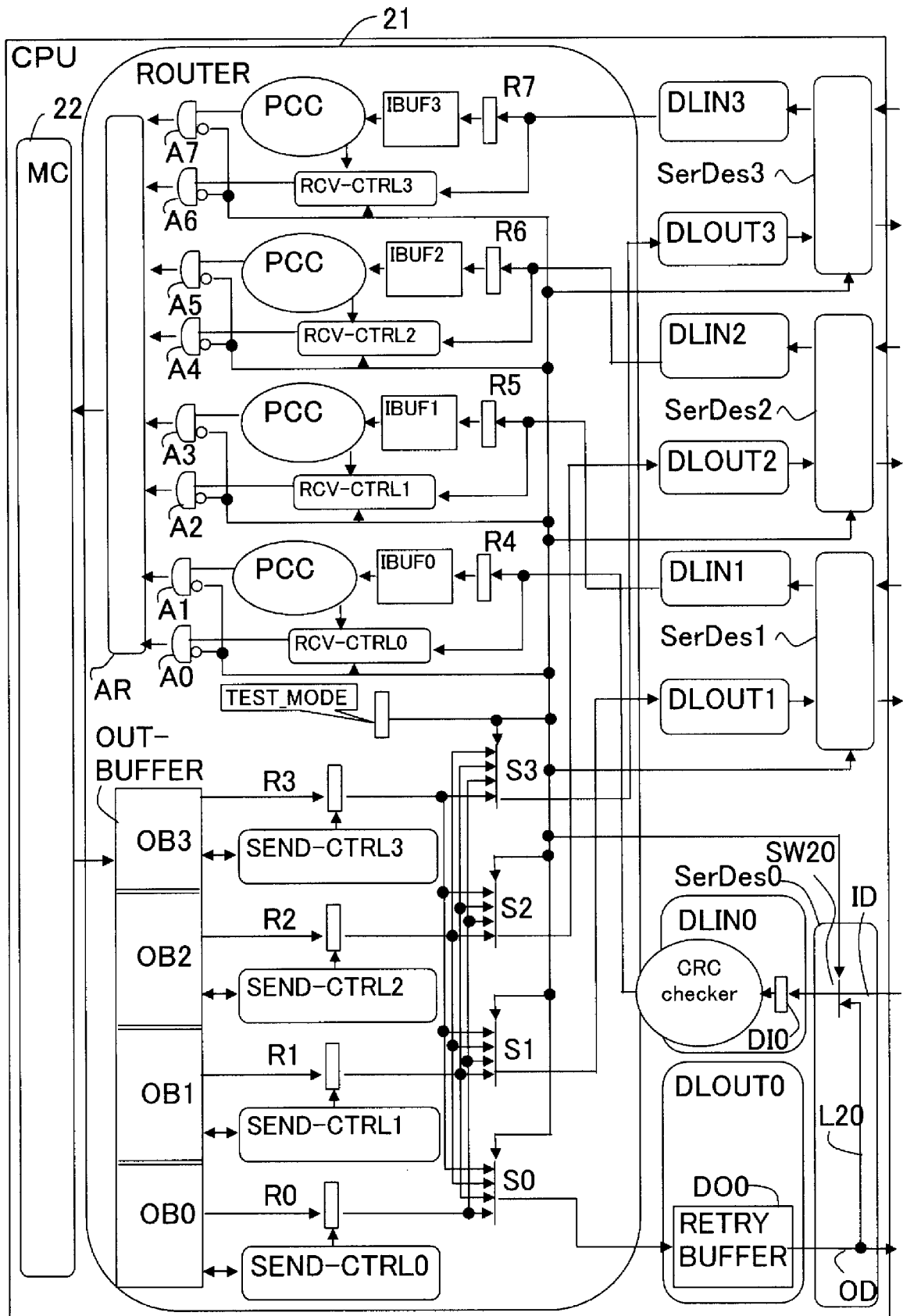
[図6]



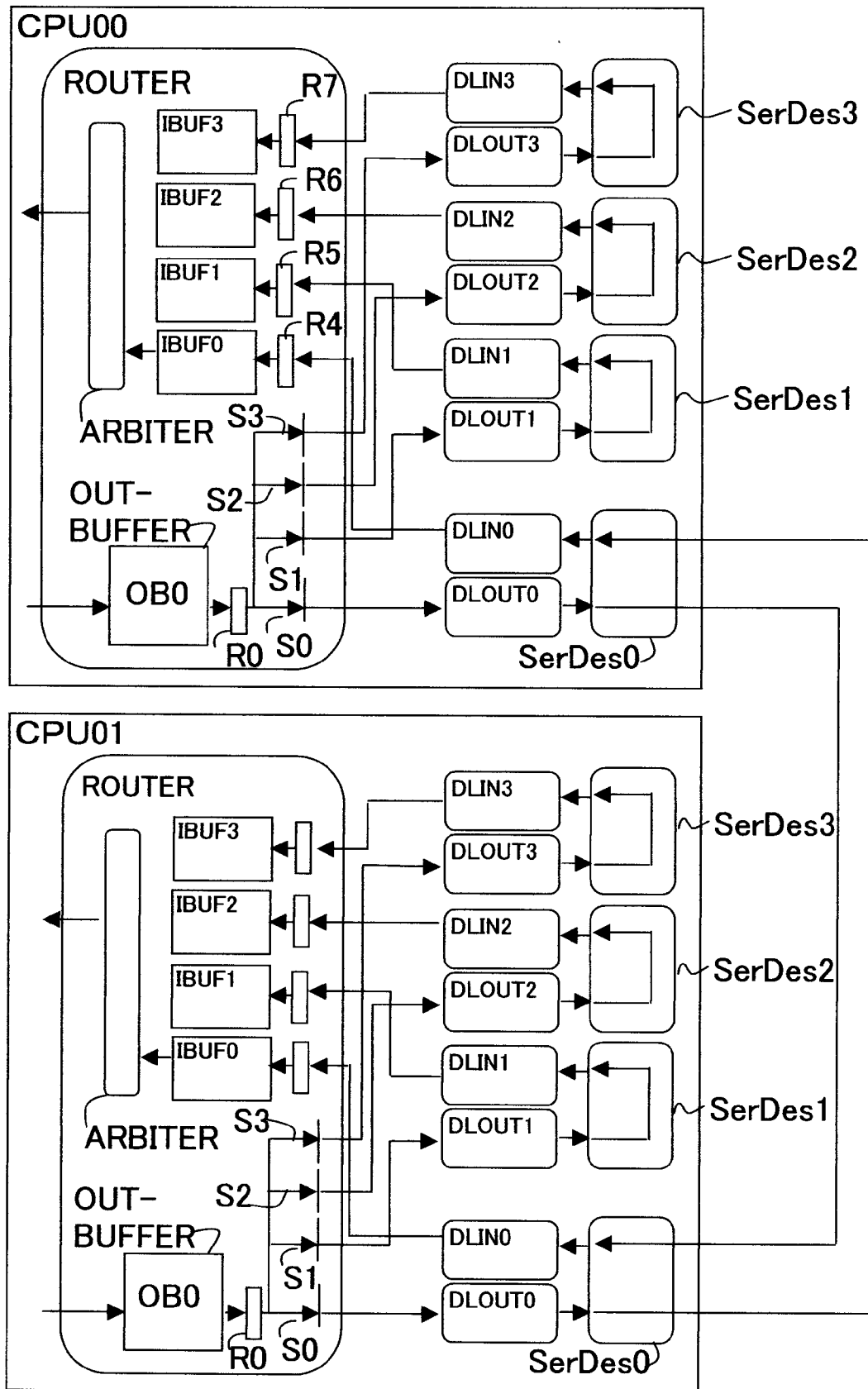
[図7]



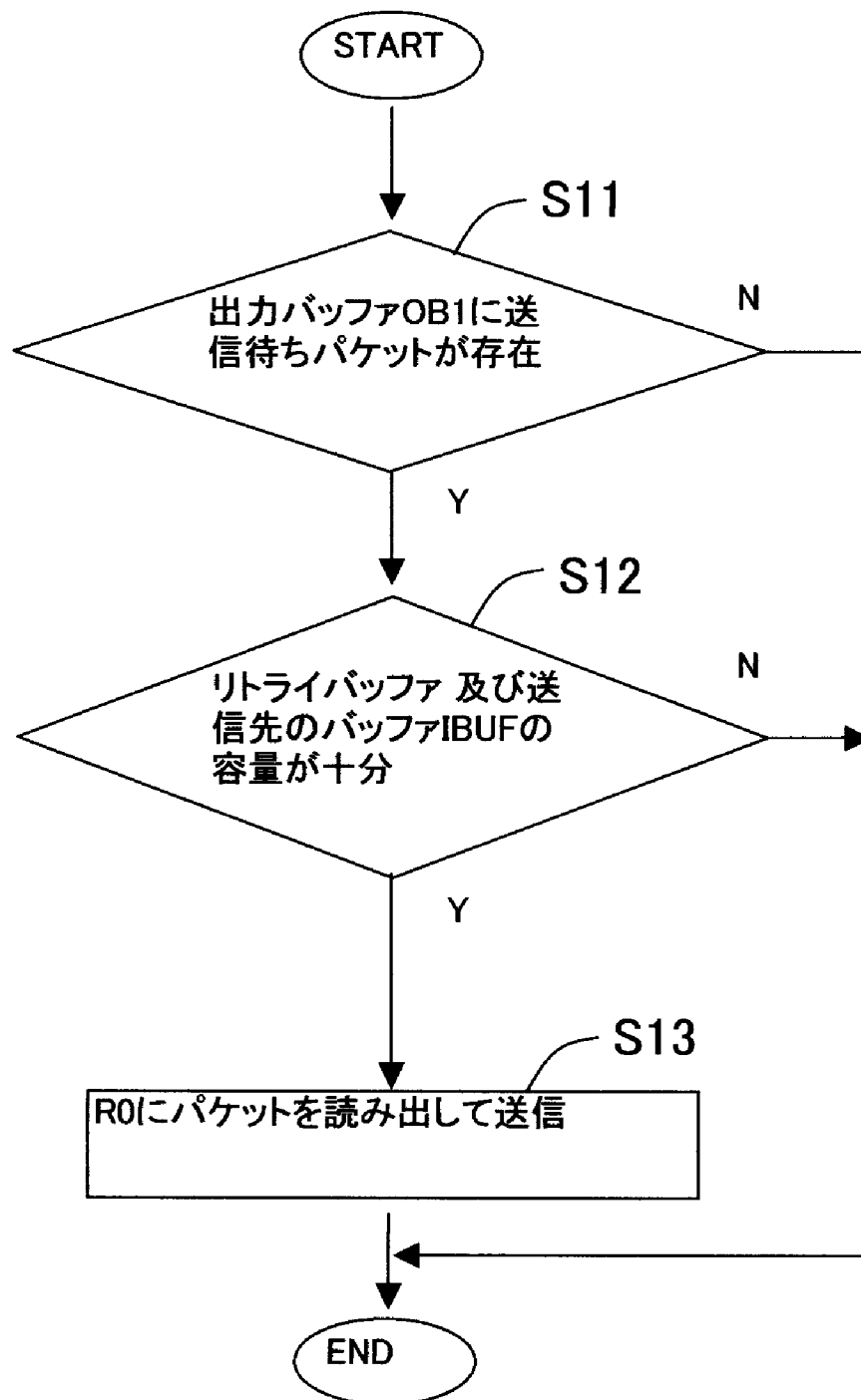
[図8]



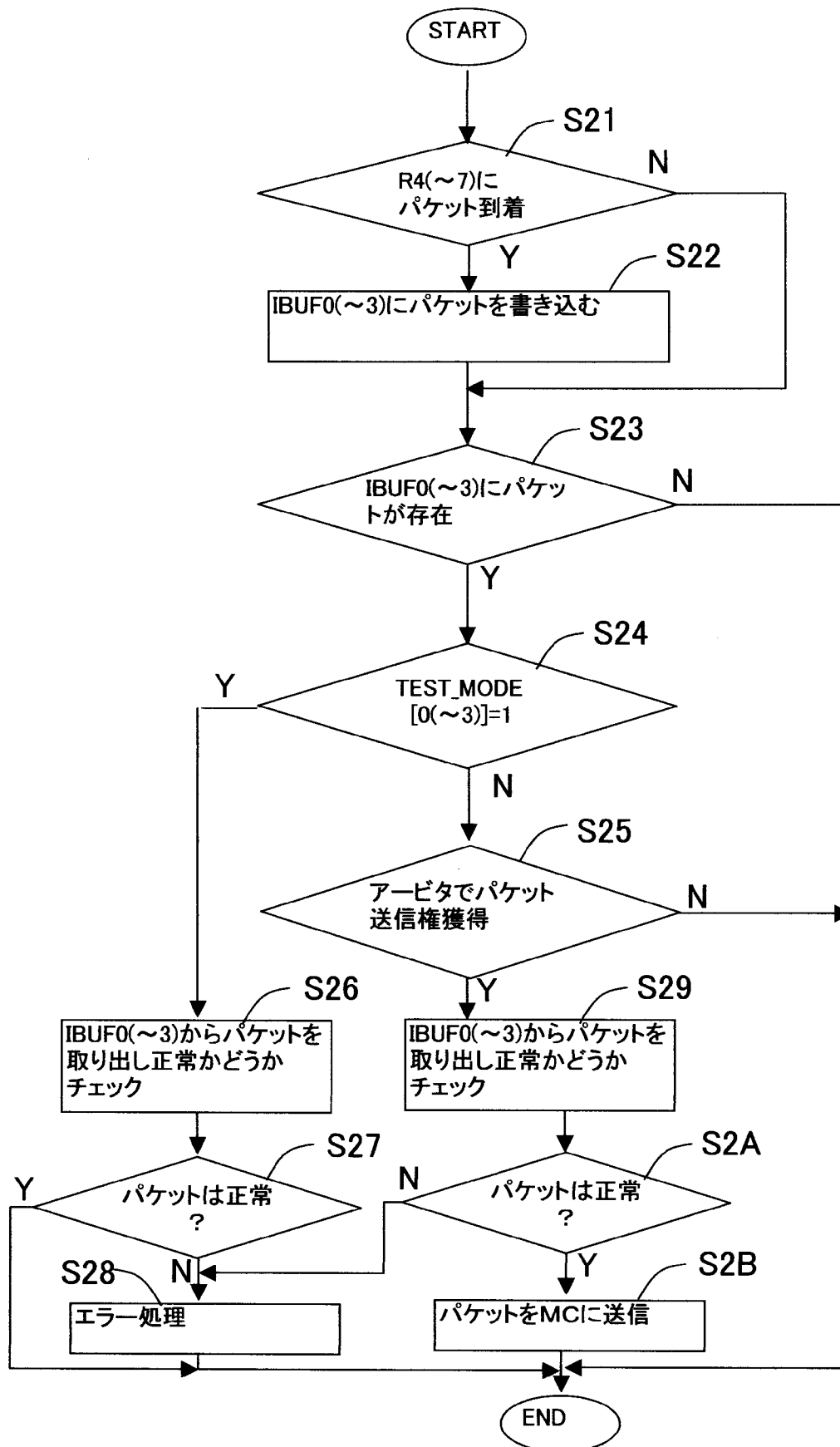
[図9]



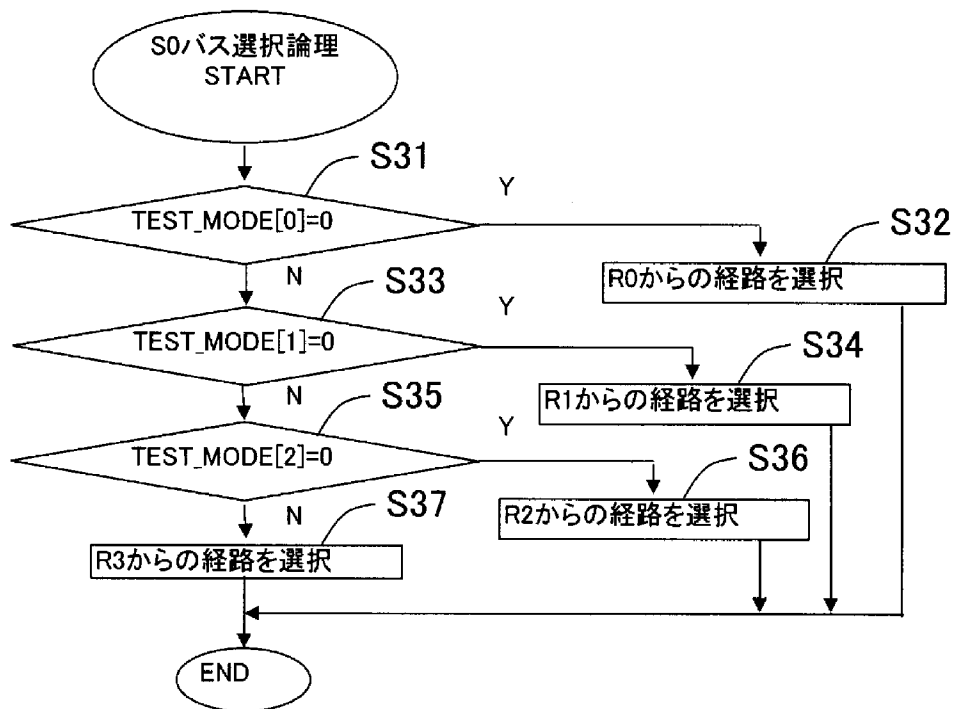
[図10]



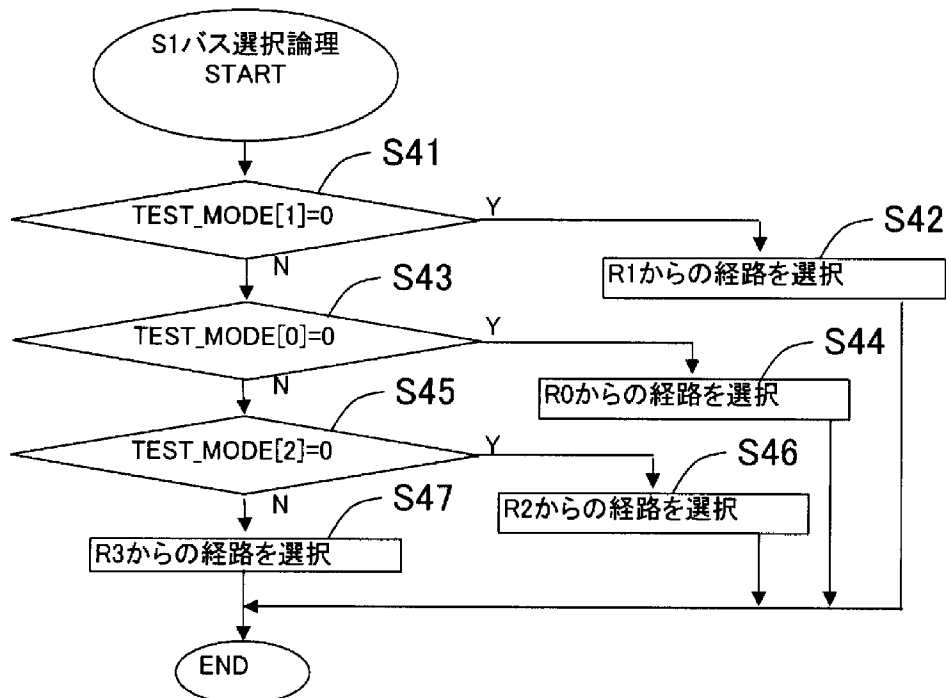
[図11]



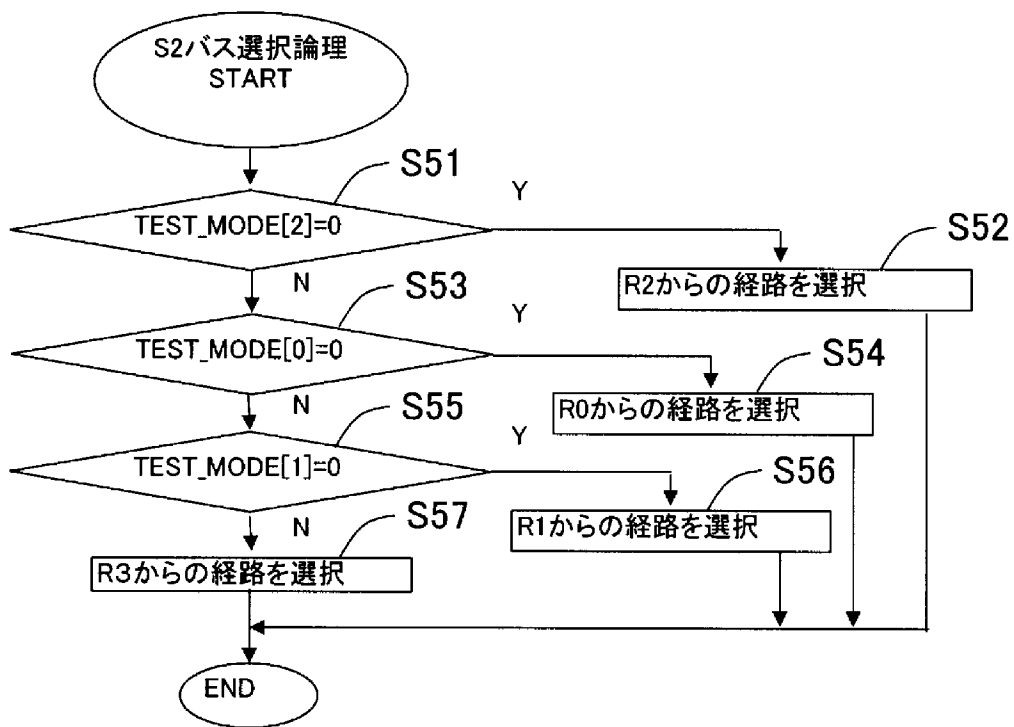
[図12]



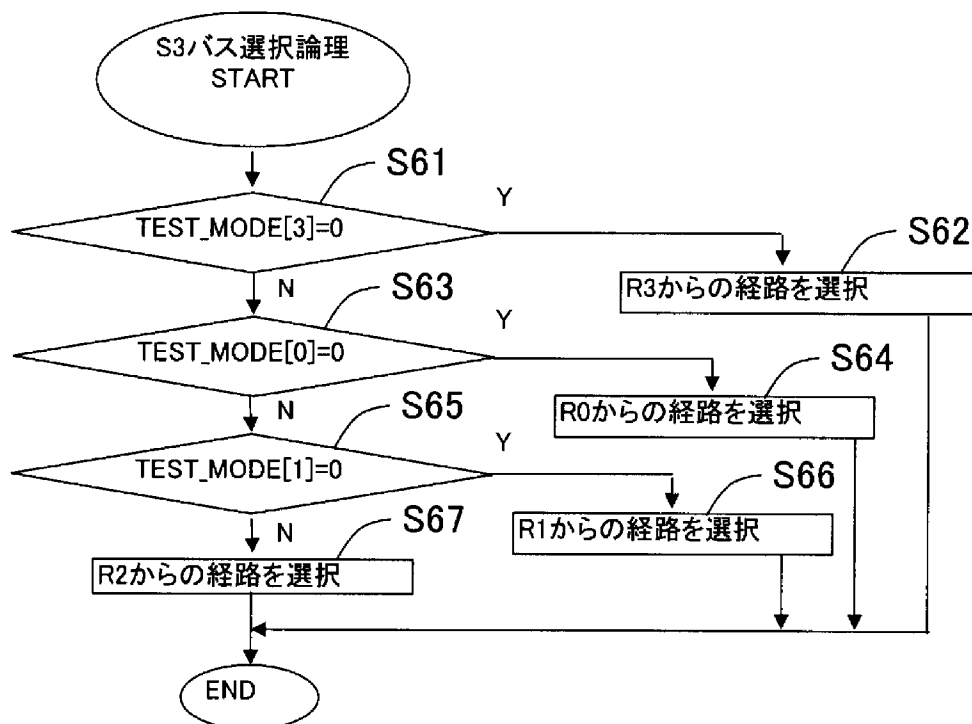
[図13]



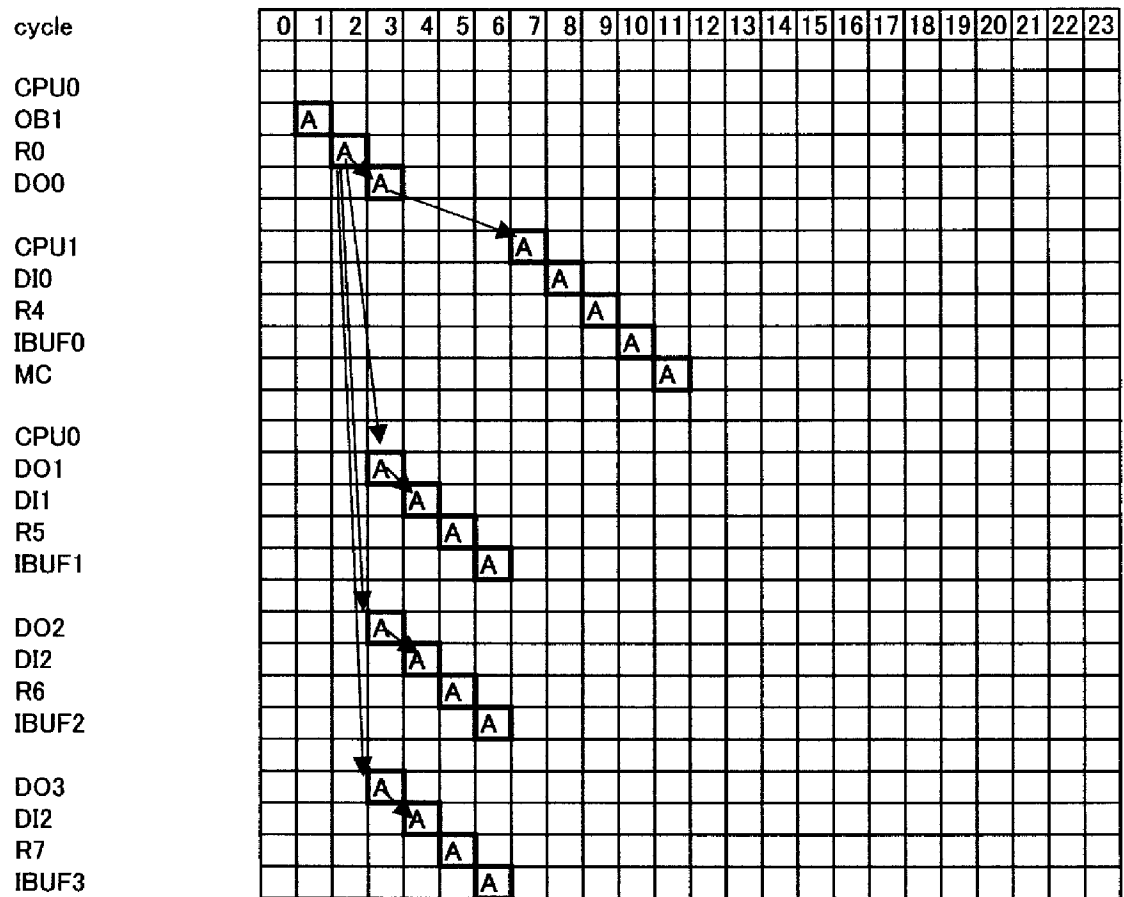
[図14]



[図15]



[図16]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/057253

A. CLASSIFICATION OF SUBJECT MATTER

G06F11/22 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G06F11/22-11/34

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2011

Kokai Jitsuyo Shinan Koho 1971-2011 Toroku Jitsuyo Shinan Koho 1994-2011

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2710777 B2 (Fujitsu Ltd.), 10 February 1998 (10.02.1998), entire text; all drawings (Family: none)	1-14
A	JP 08-249202 A (Hitachi, Ltd.), 27 September 1996 (27.09.1996), entire text; all drawings (Family: none)	1-14
A	JP 03-267775 A (Fujitsu Ltd.), 28 November 1991 (28.11.1991), entire text; all drawings & US 5239536 A	1-14

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
27 October, 2011 (27.10.11)Date of mailing of the international search report
08 November, 2011 (08.11.11)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/057253

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	document 4: JP 08-062298 A (NEC Corp.), 08 March 1996 (08.03.1996), entire text; all drawings & US 5701306 A & EP 698849 B1 & KR 10-0190214 B1	1-14
A	document 5: JP 08-227406 A (Hitachi, Ltd.), 03 September 1996 (03.09.1996), entire text; all drawings (Family: none)	1-14
A	document 6: JP 2002-016664 A (Hitachi, Ltd.), 18 January 2002 (18.01.2002), entire text; all drawings (Family: none)	1-14

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. G06F11/22 (2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. G06F11/22-11/34

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 1 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 1 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 1 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	J P 2 7 1 0 7 7 7 B 2（富士通株式会社） 1 9 9 8 . 0 2 . 1 0 , 全文, 全図（ファミリーなし）	1 - 1 4
A	J P 0 8 - 2 4 9 2 0 2 A（株式会社日立製作所） 1 9 9 6 . 0 9 . 2 7 , 全文, 全図（ファミリーなし）	1 - 1 4
A	J P 0 3 - 2 6 7 7 7 5 A（富士通株式会社） 1 9 9 1 . 1 1 . 2 8 , 全文, 全図 & U S 5 2 3 9 5 3 6 A	1 - 1 4

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

2 7 . 1 0 . 2 0 1 1

国際調査報告の発送日

0 8 . 1 1 . 2 0 1 1

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

5 B

3 7 8 1

▲高▼橋 正▲徳▼

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 4 4

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	文献4 : J P 0 8 - 0 6 2 2 9 8 A (日本電気株式会社) 1 9 9 6 . 0 3 . 0 8 , 全文, 全図 & U S 5 7 0 1 3 0 6 A & E P 6 9 8 8 4 9 B 1 & K R 1 0 - 0 1 9 0 2 1 4 B 1	1 - 1 4
A	文献5 : J P 0 8 - 2 2 7 4 0 6 A (株式会社日立製作所) 1 9 9 6 . 0 9 . 0 3 , 全文, 全図 (ファミリーなし)	1 - 1 4
A	文献6 : J P 2 0 0 2 - 0 1 6 6 6 4 A (株式会社日立製作所) 2 0 0 2 . 0 1 . 1 8 , 全文, 全図 (ファミリーなし)	1 - 1 4