(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3603540号
(P3603540)
(45)発行日　平成16年12月22日(2004.12.22)　(24)登録日　平成16年10月8日(2004.10.8)

(51)Int.Cl.[7]	F I	
H04L 12/56	H04L 12/56	Z
H04L 5/00	H04L 5/00	

請求項の数 4　(全 8 頁)

(21)出願番号　特願平9-128584
(22)出願日　平成9年5月19日(1997.5.19)
(65)公開番号　特開平10-322352
(43)公開日　平成10年12月4日(1998.12.4)
審査請求日　平成14年12月17日(2002.12.17)

(73)特許権者　000002185
ソニー株式会社
東京都品川区北品川６丁目７番３５号
(74)代理人　100067736
弁理士　小池　晃
(74)代理人　100086335
弁理士　田村　榮一
(74)代理人　100096677
弁理士　伊賀　誠司
(72)発明者　國頭　義之
東京都品川区北品川６丁目７番３５号　ソニー株式会社内
(72)発明者　寺尾　隆雄
東京都品川区北品川６丁目７番３５号　ソニー株式会社内

最終頁に続く

(54)【発明の名称】データ送信装置

(57)【特許請求の範囲】

【請求項１】

リアルタイムデータを記憶させるデータバッファが備えられたデータバッファ部と、

上記データバッファ部から出力されるリアルタイムデータを固定長のセルに分割して非同期転送モード（ＡＴＭ：Ａｓｙｎｃｒｏｎｏｕｓ　Ｔｒａｎｓｆｅｒ　Ｍｏｄｅ）で送出するＡＴＭセグメンテーション回路と、

上記ＡＴＭセグメンテーション回路から供給されたリアルタイムデータを外部に送出する送出手段とを備え、

上記ＡＴＭセグメンテーション回路は、リアルタイムデータが入力されるとともに入力したリアルタイムデータの到着間隔に基づいて上記セルの送信タイミングを生成するセル送信タイミング生成手段と、上記データバッファ部から供給されるリアルタイムデータをセル化するとともにセル送信タイミング生成手段により生成された送信タイミングに基づいて当該セル化したリアルタイムデータを上記送出手段を介して出力するＡＴＭセル化手段とを備えることを特徴とするデータ送信装置。

【請求項２】

上記ＡＴＭセグメンテーション回路のセル送信タイミング生成手段は、到着した最新のリアルタイムデータから過去Ｎ個分のリアルタイムデータの到着間隔の平均値を算出する平均値算出部を有し、この平均値算出部により算出された平均値に基づいてセル送信タイミングを生成することを特徴とする請求項１に記載のデータ送信装置。

【請求項３】

上記ＡＴＭセグメンテーション回路は、上記平均値算出部により算出された平均値に基づいたセル送信タイミングと予め設定された最大転送レートとを比較する比較手段を備え、この比較手段の比較結果に基づいて上記最大転送レートの範囲内でセル送信タイミングを生成することを特徴とする請求項２に記載のデータ送信装置。

【請求項４】

上記平均値算出部は、吸収不可能なジッタを含む異常データが入力された場合に、算出された平均値にかかわらず所定の初期値に基づいてセル送信タイミングを生成することを特徴とする請求項２に記載のデータ送信装置。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】

本発明は、非同期転送モード（ＡＴＭ：Ａｓｙｎｃｒｏｎｏｕｓ　Ｔｒａｎｓｆｅｒ　Ｍｏｄｅ）によるデータ送信装置に関し、詳しくはＡＴＭセグメンテーションデバイスにおいて、リアルタイムデータからＡＴＭセル送信タイミングを生成する技術に関する。

【０００２】

【従来の技術】

近年、高速広帯域通信や広帯域ＩＳＤＮ（Ｂ－ＩＳＤＮ：Ｂｒｏａｄ　Ｂａｎｄ　ＩＳＤＮ）の分野においては、ディジタル通信方式として非同期転送モード（ＡＴＭ：Ａｓｙｎｃｒｏｎｏｕｓ　Ｔｒａｎｓｆｅｒ　Ｍｏｄｅ）の研究開発が盛んに行われている。

【０００３】

ＡＴＭ通信網は、ＡＴＭ伝送とＡＴＭ交換により構成され、これにＡＴＭ端末が接続される。ＡＴＭの送信端末では、情報をＡＴＭセルという固定長（５３バイト）のパケットに分解して送出する。各ＡＴＭセルは、５バイトのヘッダ部分と４８バイトのペイロードからなり、ヘッダ部分にシーケンス番号、仮想チャネル番号などが書き込まれ、ペイロードに送信すべき情報が書き込まれる。このＡＴＭの送信端末においては、送るべき情報が多量の時には複数のＡＴＭセル（以下、単にセルという。）に分けて送信するが、送るべき情報がない時にはセルを送らない。また、ＡＴＭの伝送方式によれば、多様な速度の送信端末から発信されるセルを同一伝送チャネル上に同時に伝送することができる。ＡＴＭの受信端末は、受信した各セルのヘッダの内容に基づいて元の情報を組み立てる。このように、ＡＴＭの伝送方式によれば、従来のＳＴＭの伝送方式（ＳＴＭ：Ｓｙｎｃｈｒｏｎｏｕｓ　Ｔｒａｎｓｆｅｒ　Ｍｏｄｅ，同期転送）を特徴づけるフレーム周期をもたず、単数または複数のセルがランダムに伝送されることとなる。

【０００４】

従来の各種送信端末に内蔵されるＡＴＭ伝送によるデータ送信装置１０１は、図４に示すように、ＤＲＡＭ等からなるデータバッファ１０２と、ＡＴＭセル化回路１０３と送信ＶＣ（Ｖｉｒｔｕａｌ　Ｃｈａｎｎｅｌ，仮想チャネル）選択回路１０４とからなるＡＴＭセグメンテーションブロック１０５と、このＡＴＭセグメンテーションブロック１０５の後段に設けられる物理層デバイス１０６等を備えて構成されていた。

【０００５】

データバッファ１０２には、送信データとして各種データが格納される。ＡＴＭセグメンテーションブロック１０５のＡＴＭセル化回路１０３は、データバッファ１０２に格納された送信データを読み出して上記５３バイトのセルを構築させる。送信ＶＣ選択回路１０４は、各セルを送信する送信路である仮想チャネルを決定する。また、送信ＶＣ選択回路１０４には、各セルの送信速度を調整するための図示しないトラフィックシェーパー回路が内蔵されている。

【０００６】

ＡＴＭセグメンテーションブロック１０５は、図示しないＣＰＵと接続されており、送信ＶＣ選択回路１０４が予めこのＣＰＵで設定された転送レートをもとに、セルを送信する仮想チャネルを決定し、上記トラフィックシェーパー回路によりセルを送信するタイミングを決定する。そして、その結果を元にＡＴＭセル化回路１０３がデータバッファ１０２

内に格納されている送信データを読み出してこのデータを４８バイトのペイロードに分割する。さらに、ＡＴＭセル化回路１０３は、各ペイロード毎にシーケンス番号、仮想チャネル番号などを５バイトのヘッダ部分として書き込んで５３バイトのセルを構築する。各セルは、ＵＴＯＰＩＡ（Ｕｎｉｖｅｒｓａｌ Ｔｅｓｔ ＆ Ｏｐｅｒａｔｉｏｎ Ｐｈｙｓｉｃａｌ Ｉｎｔｅｒｆａｃｅ ｆｏｒ ＡＴＭ）を介して物理層デバイス１０６に供給されることとなる。

【０００７】

物理層デバイス１０６は、入力した各セルに対して特定の物理層に依存した信号処理を施した後に、例えば図示しない光ファイバに供給する。これにより、各セルは、光ファイバを通じてＡＴＭネットワークに送信され、図示しないＡＴＭ交換機を介して他のＡＴＭ端末装置に供給される。

【０００８】

【発明が解決しようとする課題】

ところで、従来のデータ送信装置１０１では、送信データの品質、例えばリアルタイム系のデータ（以下、リアルタイムデータという。）であるか非リアルタイム系のデータ（以下、ノンリアルタイムデータという。）であるかを区別することなく、送信ＶＣ選択回路１０４の上記トラフィックシェーパー回路を用い、上記ＣＰＵが指定する転送レートを元にセルを送信するタイミングを決定していた。

【０００９】

しかしながら、リアルタイムデータのクロック系は、ＡＴＭ方式のクロック系と異なっており、データ送信時にこれら２系統のクロックの誤差を完全に消し去ることは技術的に不可能な現状となっている。そのため、従来のデータ送信装置１０１では、物理層デバイス１０６から外部に送信すべきデータとしてリアルタイムデータとノンリアルタイムデータの双方が混在する場合には、たとえ双方のデータの送信レートを同一に設定したとしても、上述のようなクロックの誤差により送信時にデータの過不足が生じてしまうという問題があった。

【００１０】

さらに、従来のデータ送信装置１０１は、上述のようなリアルタイムデータを供給する様々なシステムを接続する際に、当該システムに応じた種々の調整が必要となってしまう、という問題点を有していた。

【００１１】

本発明は、上述の実情に鑑みて提案されたものであり、リアルタイムデータの送信に適したＡＴＭによるデータ送信装置を提供することを目的とする。

【００１２】

【課題を解決するための手段】

本発明に係るデータ送信装置は、上記課題を解決するため、リアルタイムデータを記憶させるデータバッファが備えられたデータバッファ部と、上記データバッファ部から出力されるリアルタイムデータを固定長のセルに分割して非同期転送モード（ＡＴＭ：Ａｓｙｎｃｒｏｎｏｕｓ Ｔｒａｎｓｆｅｒ Ｍｏｄｅ）で送出するＡＴＭセグメンテーション回路と、上記ＡＴＭセグメンテーション回路から供給されたリアルタイムデータを外部に送出する送出手段とを備え、上記ＡＴＭセグメンテーション回路は、リアルタイムデータが入力されるとともに入力したリアルタイムデータの到着間隔に基づいて上記セルの送信タイミングを生成するセル送信タイミング生成手段と、上記データバッファ部から供給されるリアルタイムデータをセル化するとともにセル送信タイミング生成手段により生成された送信タイミングに基づいて当該セル化したリアルタイムデータを上記送出手段を介して出力するＡＴＭセル化手段とを備える。

【００１３】

データ送信装置においては、入力されたリアルタイムデータの到着間隔に基づいてセル送信タイミング生成手段がセルの送信タイミングを生成し、この送信タイミングに基づいてＡＴＭセル化手段によりセル化されたリアルタイムデータが送信される。

【００１４】
【発明の実施の形態】
本発明を適用したデータ送信装置の実施の形態につき図面を参照しながら詳細に説明する。データ送信装置１は、図１に示すように、リアルタイムデータ用データバッファ３とノンリアルタイムデータ用データバッファ４とからなるデータバッファ部２と、リアルタイムデータ送信タイミング生成回路７と送信ＶＣ選択回路８とＡＴＭセル化回路９とからなるＡＴＭセグメンテーションブロック５と、ＵＴＯＰＩＡ（Ｕｎｉｖｅｒｓａｌ Ｔｅｓｔ ＆ Ｏｐｅｒａｔｉｏｎ Ｐｈｙｓｉｃａｌ Ｉｎｔｅｒｆａｃｅ ｆｏｒ ＡＴＭ）を介してＡＴＭセグメンテーションブロック５と接続された物理層デバイス６とを備えている。

【００１５】
このデータ送信装置１は、例えばビデオカメラ装置（図示せず）で撮影されるリアルタイムの映像／音声データや図示しないメモリ装置等から読み出されたノンリアルタイムのデータを送信する。

【００１６】
データバッファ部２のリアルタイムデータ用データバッファ３は、例えばＦＩＦＯ（Ｆｉｒｓｔ－ｉｎ Ｆｉｒｓｔ－ｏｕｔ）メモリにより構成され、上記ビデオカメラ装置等から送信データとしてリアルタイムデータが供給されるようになっている。一方、データバッファ部２のノンリアルタイムデータ用データバッファ４は、例えばＤＲＡＭ（Ｄｙｎａｍｉｃ Ｒａｎｄｏｍ Ａｃｃｅｓｓ Ｍｅｍｏｒｙ）により構成され、上記メモリ装置等から送信データとしてノンリアルタイムデータが供給されるようになっている。

【００１７】
ＡＴＭセグメンテーションブロック５は、リアルタイムデータ入力ポート１０を有しており、このリアルタイムデータ入力ポート１０を介して上記ビデオカメラ装置等から送信データとしてリアルタイムデータが入力されるようになっている。リアルタイムデータ送信タイミング生成回路７は、リアルタイムデータ入力ポート１０を介して入力されたリアルタイムデータのヘッダーシンクを検出することにより、入力されたリアルタイムデータの送信レートを検出するようになっている。なお、このリアルタイムデータ送信タイミング生成回路７の詳細については後述する。

【００１８】
送信ＶＣ選択回路８は、リアルタイムデータ送信タイミング生成回路７によって検出されたリアルタイムデータの送信レート及び、図示しないＣＰＵで設定されたノンリアルタイムデータの転送レートより、送信する仮想チャネルを決定する。ＡＴＭセル化回路９は、送信ＶＣ選択回路８によって決定された結果に基づいて、データバッファ部２のリアルタイムデータ用データバッファ３又はノンリアルタイムデータ用データバッファ４に格納されている送信データを読み出して４８バイトのペイロードに分割し、各ペイロード毎にシーケンス番号、仮想チャネル番号などを５バイトのヘッダ部分として書き込んで５３バイトのセルを構築する。各セルは、ＵＴＯＰＩＡを介して物理層デバイス６に供給される。

【００１９】
物理層デバイス６は、入力した各セルに対して特定の物理層に依存した信号処理を施して、例えば図示しない光ファイバに出力する。これにより、各セルは、光ファイバを通じてＡＴＭネットワークに送信され、図示しないＡＴＭ交換機を介して他のＡＴＭ端末装置に供給される。

【００２０】
次に、ＡＴＭセグメンテーションブロック５におけるリアルタイムデータ送信タイミング生成回路７の詳細について説明する。リアルタイムデータ送信タイミング生成回路７は、例えば図２に示すように、ヘッダーシンク検出回路１１と、ヘッダーシンク間隔フィルター回路１２と、セル送信タイミング生成回路１３とを備えて構成されている。

【００２１】
ヘッダーシンク検出回路１１は、ＡＴＭセグメンテーションブロック５のリアルタイムデ

ータ入力ポート１０から入力されたリアルタイムデータのヘッダーシンクを図３に示すように検出し、そのタイミングをヘッダー検出信号としてヘッダーシンク間隔フィルター回路１２に出力する。

【００２２】

ヘッダーシンク間隔フィルター回路１２は、上記ＡＴＭネットワークに対してジッターの少ないセルを送信するため、入力されるリアルタイムデータにのっているジッターを吸収する機能を有している。

【００２３】

具体的には、ヘッダーシンク間隔フィルター回路１２は、ヘッダーシンク検出回路１１から供給されたヘッダー検出信号に基づき、最新のシンクから過去Ｎ個のシンク到着時間を用い、１シンク間の平均タイミングを生成するようになっている。これにより、データ送信装置１においては、リアルタイムデータ送信時においてそのジッタが軽減されるので、リアルタイム性が保証でき、ＡＴＭ通信のメリットを活かすことができる。

【００２４】

なお、Ｎの値については、大きい値になるほどジッター吸収能力が向上する一方で、使用するリアルタイムデータ用データバッファ３のサイズが大きくなってしまうことから、このトレードオフを考慮した上で、使用されるシステムに適合した値に設定する必要がある。例えばバリアブルビットレートのＡＴＭネットワークを使用し、平均化を行わずに到着時間間隔から忠実にセル送信を要求されるシステムに対して送信する場合は、Ｎ＝１とすればよく、またはこのヘッダーシンク間隔フィルター回路１２を設けない構成としてもよい。

【００２５】

ＡＴＭ伝送においては、使用する帯域を予め申告する。その際、最大転送レートも併せて申告し、その転送レートを守らなければならない。すなわち、ＡＴＭ伝送においては、仮にその転送レートを越えた場合にセルが廃棄される可能性があるので、再送の困難なリアルタイムデータにとってこの申告を守ることは重要となる。このような場合を考慮し、リアルタイムデータ送信タイミング生成回路７においては、ヘッダーシンク間隔フィルター回路１２によって生成された平均タイミングと予め設定された最大転送レートとの比較を行い、平均タイミングが最大転送レートよりも早いタイミングとなる場合、最大転送レートのタイミングを出力する回路をヘッダーシンク間隔フィルター回路１２の後段に設ける構成、或いはそのような機能をヘッダーシンク間隔フィルター回路１２自体に付加する構成としてもよい。

【００２６】

このような構成とすることにより、データ送信装置１においては、申告した最大転送レートを遵守した上でＡＴＭネットワークに対してセル送信を行うことができる。

【００２７】

さらに、リアルタイムデータにおける送信の立ち上がり、立ち下がり、及び、ヘッダーシンク間隔フィルター回路１２及びその後段に付加した上記回路によっても吸収不可能なジッタを含む異常データが入力された場合を補償するため、予め設定された範囲を外れた場合に所定の初期値に従ったタイミングを出力する回路をさらに後段に付加する構成、或いはそのような機能をヘッダーシンク間隔フィルター回路１２自体に付加する構成としてもよい。このような構成とすることにより、データ送信装置１においては、データ送信における信頼性を一層向上させることができる。

【００２８】

セル送信タイミング生成回路１３は、ヘッダーシンク間隔フィルター回路１２により生成された１シンク間のタイミングに基づき、図３に示すように、１シンクあたりの送信セル数に等分したタイミングを発生させる。リアルタイムデータ送信タイミング生成回路７においては、このタイミングが送信ＶＣ選択回路８に入力され、このタイミングによる送信レート及び、図示しないＣＰＵで設定されたノンリアルタイムデータの転送レートより、送信する仮想チャネルが決定される。そして、送信ＶＣ選択回路８によって決定された結

果に基づいて、ＡＴＭセル化回路９が、データバッファ部２のリアルタイムデータ用データバッファ３又はノンリアルタイムデータ用データバッファ４に格納されている送信データを読み出して４８バイトのペイロードに分割し、各ペイロード毎にシーケンス番号、仮想チャネル番号などを５バイトのヘッダ部分として書き込んで５３バイトのセルを構築して、物理層デバイス６に送信する。

【００２９】

このように、このデータ送信装置１によれば、ＡＴＭ方式によりリアルタイムデータをリアルタイム性を損なうことなく送信することができるとともに、従来のようなクロックの誤差による送信時のデータの過不足という問題は生じない。

【００３０】

【発明の効果】

以上詳細に説明したように、この発明に係るデータ送信装置では、入力されたリアルタイムデータの到着間隔に基づいてセル送信タイミング生成手段が上記セルの送信タイミングを生成し、この送信タイミングに基づいてＡＴＭセル化手段によりセル化されたリアルタイムデータが送信されるので、入力されたリアルタイムデータから自動的にセル送信タイミングが生成され、リアルタイムデータ送信時におけるリアルタイム性を保証することができる。

【図面の簡単な説明】

【図１】本発明を適用したデータ送信装置の構成を示すブロック図である。

【図２】データ送信装置のリアルタイムデータ送信タイミング発生回路の一例を示すブロック図である。

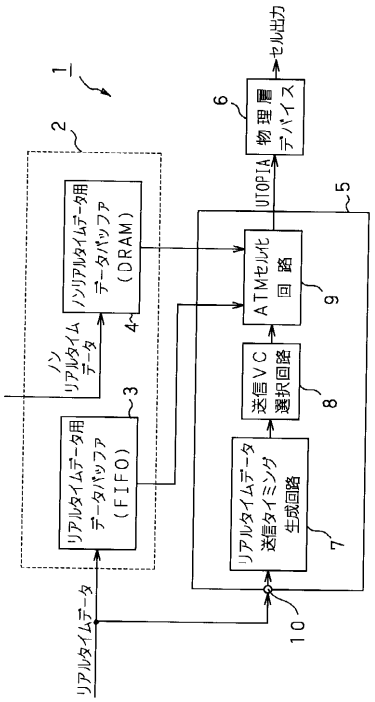
【図３】データ送信装置のリアルタイムデータ送信タイミング発生回路の動作を示すタイミングチャートである。

【図４】従来のデータ送信装置の構成を示すブロック図である。

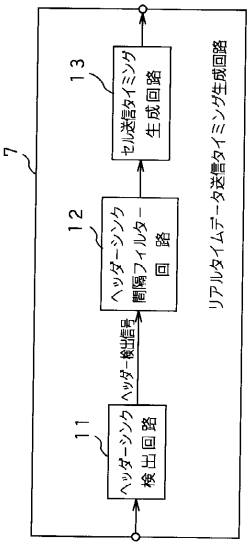
【符号の説明】

１　データ送信装置、２　データバッファ部、３　リアルタイムデータ用データバッファ、４　ノンリアルタイムデータ用データバッファ、５　ＡＴＭセグメンテーションブロック、６　物理層デバイス、７　リアルタイムデータ送信タイミング生成回路、８　送信ＶＣ選択回路、９　ＡＴＭセル化回路、１０　リアルタイムデータ入力ポート、１１　ヘッダーシンク検出回路、１２　ヘッダーシンク間隔フィルター回路、１３　セル送信タイミング生成回路

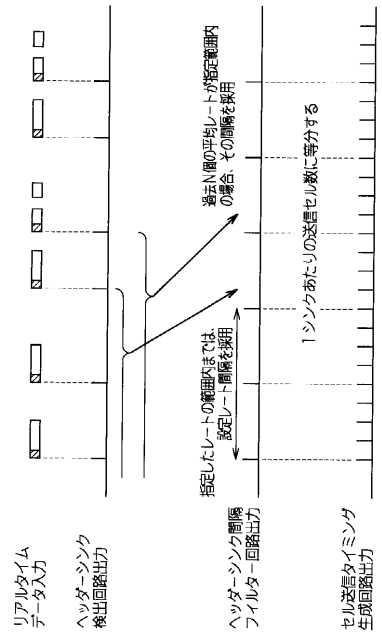
【図１】


1
2
リアルタイムデータ用データバッファ（FIFO）
3
ノンリアルタイムデータ
ノンリアルタイムデータ用データバッファ（DRAM）
4
5
リアルタイムデータ送信タイミング生成回路
7
送信VC選択回路
8
ATMセル化回路
9
10
リアルタイムデータ
UTOPIA
物理層デバイス
6
セル出力

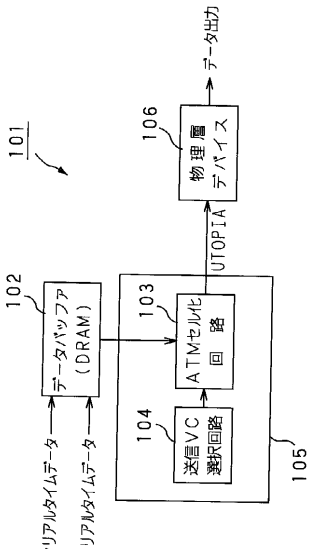
【図２】


7
リアルタイムデータ送信タイミング生成回路
ヘッダーシンク検出回路
11
ヘッダー検出信号
ヘッダーシンク間隔フィルター回路
12
セル送信タイミング生成回路
13

【図３】


リアルタイムデータ入力
ヘッダーシンク検出回路出力
ヘッダーシンク間隔フィルター回路出力
セル送信タイミング生成回路出力
過去N個の平均レートが指定範囲内の場合、その間隔を採用
指定したレートの範囲内ほぼ一定レート間隔を採用
1シンクあたりの送信セル数に等分する

【図４】


101
ノンリアルタイムデータ
リアルタイムデータ
102
データバッファ（DRAM）
103
ATMセル化回路
104
送信VC選択回路
105
UTOPIA
物理層デバイス
106
データ出力

フロントページの続き

審査官　石井　研一

(56)参考文献　特開平９－１１６５６３（ＪＰ，Ａ）
特開平９－９３２５１（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.[7]，ＤＢ名)
H04L 12/56
H04L 5/00