

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-269751

(P2008-269751A)

(43) 公開日 平成20年11月6日(2008.11.6)

(51) Int.Cl.	F I	テーマコード (参考)
G 1 1 C 11/412 (2006.01)	G 1 1 C 11/40 3 0 1	5 B 0 1 5
H 0 1 L 27/105 (2006.01)	H 0 1 L 27/10 4 4 1	5 F 0 8 3
H 0 1 L 21/8244 (2006.01)	H 0 1 L 27/10 3 8 1	
H 0 1 L 27/11 (2006.01)	H 0 1 L 27/10 4 6 1	
H 0 1 L 27/10 (2006.01)		

審査請求 未請求 請求項の数 5 O L (全 45 頁)

(21) 出願番号 特願2007-115087 (P2007-115087)
 (22) 出願日 平成19年4月25日 (2007. 4. 25)

(71) 出願人 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 井上 卓之
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 黒川 義元
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 Fターム(参考) 5B015 JJ43 KA02 KB92 QQ08

最終頁に続く

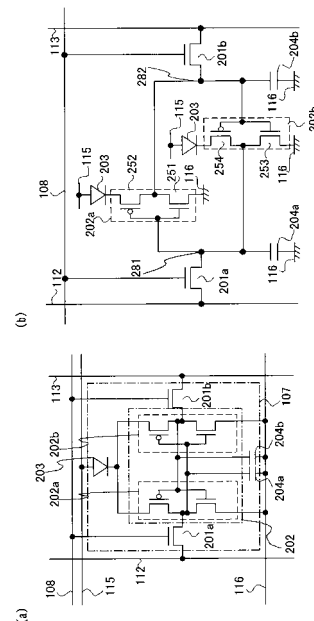
(54) 【発明の名称】 半導体記憶装置及び当該半導体記憶装置を具備する電子機器

(57) 【要約】

【課題】電源が切れても記憶状態を保持することができ、且つ揮発性メモリと同程度のコストで製造でき、且つ読み出しまたは書き込みの速度が揮発性メモリと同程度の半導体記憶装置を提供することを課題とする。

【解決手段】メモリセルを選択するためのトランジスタと、メモリセルの記憶状態を保持するためのラッチ回路を有し、ラッチ回路を構成するインバーター回路の高電位電源側にはダイオードが接続され、ラッチ回路に容量素子が接続される構成とする。ラッチ回路を具備する半導体記憶装置において、電源が切られた状態でもラッチ回路に接続された容量素子が電位を保持し、そしてラッチ回路を構成するインバーター回路の高電位電源側に接続されたダイオードが容量素子に保持された電荷のリークを防ぐことが出来る。その結果、不揮発性を有する半導体記憶装置を安価に提供することができる。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

ゲート端子が、リードライトワード線に接続された第 1 のトランジスタ及び第 2 のトランジスタと、

前記第 1 のトランジスタに接続されたリードライトビット信号線及び第 2 のトランジスタに接続されたリードライトビット反転信号線より書き込まれたデータの記憶状態を保持するためのラッチ回路と、を含むメモリセルを有し、

前記ラッチ回路を構成する第 1 のインバーター回路及び第 2 のインバーター回路は、電源線に接続されたダイオードより電源電位が供給されるように接続されており、

前記第 1 のインバーター回路または前記第 2 のインバーター回路のいずれかの出力端子には、容量素子が接続されていることを特徴とする半導体記憶装置。

10

【請求項 2】

ゲート端子が、ライトワード線に接続された第 1 のトランジスタ及び第 2 のトランジスタと、

前記第 1 のトランジスタに接続されたライトビット信号線及び第 2 のトランジスタに接続されたライトビット反転信号線より書き込まれたデータの記憶状態を保持するためのラッチ回路と、

ゲート端子が、前記ラッチ回路を構成する第 1 のインバーター回路または第 2 のインバーター回路のいずれかの出力端子に接続された第 3 のトランジスタと、

ゲート端子が、リードワード線に接続された第 4 のトランジスタと、を含むメモリセルを有し、

20

前記第 1 のインバーター回路及び前記第 2 のインバーター回路は、電源線に接続されたダイオードより電源電位が供給されるように接続されており、

前記第 3 のトランジスタまたは前記第 4 のトランジスタのいずれか一方の第 1 端子は、グラウンド線に接続され、

前記第 3 のトランジスタまたは前記第 4 のトランジスタのいずれか他方の第 1 端子は、リードビット線に接続され、

前記第 3 のトランジスタの第 2 端子と前記第 4 のトランジスタの第 2 端子が接続されていることを特徴とする半導体記憶装置。

30

【請求項 3】

ゲート端子が、ライトワード線に接続された第 1 のトランジスタ及び第 2 のトランジスタと、

前記第 1 のトランジスタに接続されたライトビット信号線及び第 2 のトランジスタに接続されたライトビット反転信号線より書き込まれたデータの記憶状態を保持するためのラッチ回路と、

ゲート端子が、前記ラッチ回路を構成する第 1 のインバーター回路の出力端子に接続された第 3 のトランジスタと、

ゲート端子が、前記ラッチ回路を構成する第 2 のインバーター回路の出力端子に接続された第 5 のトランジスタと、

ゲート端子が、第 1 のリードワード線に接続された第 4 のトランジスタと、

40

ゲート端子が、第 2 のリードワード線に接続された第 6 のトランジスタと、を含むメモリセルを有し、

前記第 1 のインバーター回路及び前記第 2 のインバーター回路は、電源線に接続されたダイオードより電源電位が供給されるように接続されており、

前記第 3 のトランジスタまたは前記第 4 のトランジスタのいずれか一方の第 1 端子は、グラウンド線に接続され、

前記第 3 のトランジスタまたは前記第 4 のトランジスタのいずれか他方の第 1 端子は、第 1 のリードビット線に接続され、

前記第 3 のトランジスタの第 2 端子と前記第 4 のトランジスタの第 2 端子が接続されており、

50

前記第 5 のトランジスタまたは前記第 6 のトランジスタのいずれか一方の第 1 端子は、前記グラウンド線に接続され、

前記第 5 のトランジスタまたは前記第 6 のトランジスタのいずれか他方の第 1 端子は、第 2 のリードビット線に接続され、

前記第 5 のトランジスタの第 2 端子と前記第 5 のトランジスタの第 2 端子が接続されていることを特徴とする半導体記憶装置。

【請求項 4】

請求項 1 乃至請求項 3 のいずれか一において、

前記トランジスタは、薄膜トランジスタであることを特徴とする半導体記憶装置。

【請求項 5】

請求項 1 乃至請求項 4 のいずれか一に記載の半導体記憶装置を備えた電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は半導体記憶装置に関する。特に不揮発性を有する半導体記憶装置に関する。

【背景技術】

【0002】

半導体特性を利用した記憶装置（以下、半導体記憶装置という）は、複数の電子機器に組み込まれ、多くの製品化がなされている。半導体記憶装置としては、揮発性メモリと不揮発性メモリに大別することができる。揮発性メモリとしては、レジスタ、SRAM（Static Random Access Memory）、DRAM（Dynamic Random Access Memory）が挙げられ、不揮発性メモリとしては、FlashEEPROM（フラッシュメモリ）が挙げられる。

【0003】

揮発性メモリはデータの読み出しや書き込みの点で、不揮発性メモリより優れた点を有しているものの、電源を切るとデータが消えてしまうといった欠点があった。一方、不揮発性メモリは、電源を切ってもデータが消えないといった利点があるものの、揮発性メモリの読み出しや書き込みの速度に比べて大きく劣る。その為、揮発性メモリであるSRAMの電源を切ってもデータが保持されるSRAMの不揮発化（不揮発性SRAM（Nonvolatile Static Random Access Memory）ともいう）の研究開発が盛んに進められている（特許文献 1、特許文献 2 を参照）。

【特許文献 1】特開 2004 - 146048 号公報

【特許文献 2】特開 2004 - 207282 号公報

【発明の開示】

【発明が解決しようとする課題】

【0004】

揮発性メモリを不揮発化するためには、電源が切られた状態で記憶状態を保持できるようにする必要がある。揮発性メモリであるSRAMを構成するメモリセルは、選択トランジスタと、2つのインバーター回路（単にインバータともいう）で構成されるラッチ回路（単にラッチともいう）と、を有している。電源が入力される間にSRAM内のラッチは電源電位（H電位または高電位電源ともいう）またはグラウンド電位（L電位または低電位電源ともいう）を保持している。しかし、電源が切れるとラッチを構成するインバーターの出力がH電位またはL電位の出力を維持できなくなり、その結果揮発性メモリであるSRAM内は記憶状態を保持できない。そのため、SRAM等のラッチを有する揮発性メモリを不揮発性メモリとして用いるには、メモリセル内に強誘電体キャパシタ等の不揮発性のメモリ素子を設ける構成が取られている。強誘電体キャパシタ等の不揮発性のメモリ素子をメモリセル内に有する揮発性メモリは、製造コストが高い、書き込み速度が遅いなどのデメリットがあるといった課題がある。

【0005】

そこで、本発明は上記問題を鑑み、電源が切れても記憶状態を保持することができ、且つ

10

20

30

40

50

揮発性メモリと同程度のコストで製造でき、且つ読み出しまたは書き込みの速度が揮発性メモリと同程度の半導体記憶装置を提供することを課題とする。

【課題を解決するための手段】

【0006】

本発明の一は、メモリセルを選択するためのトランジスタと、メモリセルの記憶状態を保持するためのラッチ回路を有し、ラッチ回路を構成するインバーター回路の高電位電源側にはダイオードが接続され、ラッチ回路に容量素子が接続される構成とする。ラッチ回路を具備する半導体記憶装置において、電源が切られた状態でもラッチ回路に接続された容量素子が電位を保持し、そしてラッチ回路を構成するインバーター回路の高電位電源側に接続されたダイオードが容量素子に保持された電荷のリークを防ぐことができる。その結果、不揮発性を有する半導体記憶装置を安価に提供することができる。

10

【0007】

また本発明の半導体記憶装置の一は、ゲート端子が、リードライトワード線に接続された第1のトランジスタ及び第2のトランジスタと、前記第1のトランジスタに接続されたリードライトビット信号線及び第2のトランジスタに接続されたリードライトビット反転信号線より書き込まれたデータの記憶状態を保持するためのラッチ回路と、を含むメモリセルを有し、前記ラッチ回路を構成する第1のインバーター回路及び第2のインバーター回路は、電源線に接続されたダイオードより電源電位が供給されるように接続されており、前記第1のインバーター回路または前記第2のインバーター回路のいずれかの出力端子には、容量素子が接続されていることを特徴とする。

20

【0008】

また本発明の半導体記憶装置の一は、ゲート端子が、ライトワード線に接続された第1のトランジスタ及び第2のトランジスタと、前記第1のトランジスタに接続されたリードライトビット信号線及び第2のトランジスタに接続されたリードライトビット反転信号線より書き込まれたデータの記憶状態を保持するためのラッチ回路と、ゲート端子が、前記ラッチ回路を構成する第1のインバーター回路または第2のインバーター回路のいずれかの出力端子に接続された第3のトランジスタと、ゲート端子が、リードワード線に接続された第4のトランジスタと、を含むメモリセルを有し、前記第1のインバーター回路及び前記第2のインバーター回路は、電源線に接続されたダイオードより電源電位が供給されるように接続されており、前記第3のトランジスタまたは前記第4のトランジスタのいずれか一方の第1端子は、グラウンド線に接続され、前記第3のトランジスタまたは前記第4のトランジスタのいずれか他方の第1端子は、リードビット線に接続され、前記第3のトランジスタの第2端子と前記第4のトランジスタの第2端子が接続されていることを特徴とする。

30

【0009】

また本発明の半導体記憶装置の一は、ゲート端子が、ライトワード線に接続された第1のトランジスタ及び第2のトランジスタと、前記第1のトランジスタに接続されたリードライトビット信号線及び第2のトランジスタに接続されたリードライトビット反転信号線より書き込まれたデータの記憶状態を保持するためのラッチ回路と、ゲート端子が、前記ラッチ回路を構成する第1のインバーター回路の出力端子に接続された第3のトランジスタと、ゲート端子が、前記ラッチ回路を構成する第2のインバーター回路の出力端子に接続された第5のトランジスタと、ゲート端子が、第1のリードワード線に接続された第4のトランジスタと、ゲート端子が、第2のリードワード線に接続された第6のトランジスタと、を含むメモリセルを有し、前記第1のインバーター回路及び前記第2のインバーター回路は、電源線に接続されたダイオードより電源電位が供給されるように接続されており、前記第3のトランジスタまたは前記第4のトランジスタのいずれか一方の第1端子は、グラウンド線に接続され、前記第3のトランジスタまたは前記第4のトランジスタのいずれか他方の第1端子は、第1のリードビット線に接続され、前記第3のトランジスタの第2端子と前記第4のトランジスタの第2端子が接続されており、前記第5のトランジスタまたは前記第6のトランジスタのいずれか一方の第1端子は、前記グラウンド線に接続さ

40

50

れ、前記第 5 のトランジスタまたは前記第 6 のトランジスタのいずれか他方の第 1 端子は、第 2 のリードビット線に接続され、前記第 5 のトランジスタの第 2 端子と前記第 5 のトランジスタの第 2 端子が接続されていることを特徴とする。

【発明の効果】

【0010】

本発明により、書き込み速度が向上し、且つ製造コストが安価な、不揮発性を有する半導体記憶装置を提供することができる。また本発明の半導体記憶装置は、不揮発性を有するため、データの書き込みまたはデータの読み出しを行わない状態のときに、電源を切った状態で記憶状態を保持することができ、低消費電力化を図ることができる。

【発明を実施するための最良の形態】

10

【0011】

以下に、本発明の実施の形態を図面に基づいて説明する。但し、本発明は多くの異なる態様で実施することが可能であり、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本実施の形態の記載内容に限定して解釈されるものではない。なお、実施の形態を説明するための全図において、同一部分又は同様な機能を有する部分には同一の符号を付し、その繰り返しの説明は省略する。

（実施の形態 1）

【0012】

本実施の形態では、不揮発性を有する半導体記憶装置の構成について、ブロック図及び回路図等を用いて説明する。なお、本明細書における半導体記憶装置とは、半導体特性を利用してデータの記憶状態を保持する記憶装置のことをいう。

20

【0013】

図 1 に本実施の形態で説明する不揮発性を有する半導体記憶装置のブロック図を示す。図 1 に示す半導体記憶装置 100 は、デコーダ 101 と、書き込み読み出し回路 102 と、メモリセルアレイ 103 と、から構成される。デコーダ 101 は、第 1 のアドレス信号線 104 と、ライトイネーブル信号線 105 と、リードイネーブル信号線 106 が接続される。またデコーダ 101 は、複数のメモリセル 107 と、リードライトワード線 108 を介して、接続される。書き込み読み出し回路 102 は、ライトイネーブル信号線 105 と、リードイネーブル信号線 106 と、第 2 のアドレス信号線 109 と、入力データ信号線 110 と、出力データ信号線 111 が接続される。また書き込み読み出し回路 102 は、複数のメモリセル 107 と、リードライトビット信号線 112 と、リードライトビット反転信号線 113 とに接続される。また半導体記憶装置 100 には、複数のメモリセルに、電源電位（H 電位または高電位電源ともいう。また図中で "1" と表記）及びグラウンド電位（L 電位または低電位電源ともいう。また図中 "0" と表記する。）を供給するための第 1 の電源制御回路 114 a、第 2 の電源制御回路 114 b を有している。第 1 の電源制御回路 114 a 及び第 2 の電源制御回路 114 b と、複数のメモリセル 107 は、メモリセル 107 に電源電位を入力するための電源線 115 と、グラウンド電位を入力するためのグラウンド線 116 を介して、接続される。

30

【0014】

40

なお、本実施の形態において、リードライトワード線とは、メモリセルのデータの読み出し及び書き込みを行うためのワード線のことをいう。また、リードライトビット線及びリードライトビット反転信号線とは、メモリセルのデータの読み出し及び書き込みを行うためのビット線及びビット反転信号線のことをいう。

【0015】

なお本明細書では、ビット線の本数をビット数、ワード線の本数をライン数ともいう。

【0016】

なお、本実施の形態では、半導体記憶装置 100 に、第 1 の電源制御回路 114 a、第 2 の電源制御回路 114 b を 2 つ配置する構成としたが、いずれか一方であればよい。図 1 に示すように、メモリセルアレイ 103 の両側より、電源電位及びグラウンド電位を供給

50

する構成とすることによって、より確実に複数のメモリセルに、所望の電位を供給することができる。

【 0 0 1 7 】

図 1 において、メモリセル 1 0 7 は、1 ビットの値を保持することができる。そして、メモリセルアレイ 1 0 3 はメモリセル 1 0 7 を (ビット数) × (ライン数) の個数分、有する。

【 0 0 1 8 】

書き込み読み出し回路 1 0 2 は半導体記憶装置 1 0 0 の外部から入力データ信号線 1 1 0 から入力されるデータをメモリセルアレイ 1 0 3 の各メモリセル 1 0 7 に書き込む処理と、メモリセルアレイ 1 0 3 の各メモリセル 1 0 7 からデータを読み出して出力データ信号線 1 1 1 によってメモリの外部にデータを送信する処理を行う。

10

【 0 0 1 9 】

デコーダ 1 0 1 は半導体記憶装置 1 0 0 の外部から、第 1 のアドレス信号線より入力されるアドレスに応じて、リードライトワード線 1 0 8 に信号を出力する。

【 0 0 2 0 】

デコーダ 1 0 1 はリードライトワード線 1 0 8 へ信号を出力し、各メモリセル 1 0 7 でのデータの読み出しと書き込みを制御する。例えば、書き込み時には、リードライトワード線 1 0 8 の一つが高電位の状態 (以下、「H 電位」と記す。また図中 " 1 " と表記する。) となり、読み出し時には、リードライトワード線 1 0 8 の一つが H 電位となる。なお、リードライトワード線 1 0 8 が選択されない状態ではグラウンド電位の状態 (以下、「L 電位」と記す。また図中 " 0 " と表記する。) となる。

20

【 0 0 2 1 】

リードライトビット信号線 1 1 2 及びリードライトビット反転信号線 1 1 3 は、それぞれ読み出し用及び書き込み用のビット線である。読み出し時にはアドレスによって選択されたメモリセルの値がリードライトビット信号線 1 1 2 及びリードライトビット反転信号線 1 1 3 に入力され、書き込み時には外部からのデータがリードライトビット信号線 1 1 2 及びリードライトビット反転信号線 1 1 3 に入力される。

【 0 0 2 2 】

このような半導体記憶装置 1 0 0 によって、ビット数及びライン数に応じた情報を記憶することができる。

30

【 0 0 2 3 】

次に図 2 (a) で、図 1 のメモリセル 1 0 7 の回路図について説明する。図 2 (a) に示すメモリセル 1 0 7 は、図 1 でも示したように、リードライトワード線 1 0 8、リードライトビット信号線 1 1 2、リードライトビット反転信号線 1 1 3、電源線 1 1 5、及びグラウンド線 1 1 6 に接続される。メモリセル 1 0 7 は、第 1 の N チャネル型トランジスタ 2 0 1 a (第 1 のトランジスタともいう)、第 2 の N チャネル型トランジスタ 2 0 1 b (第 2 のトランジスタともいう)、ラッチ回路 2 0 2、ダイオード 2 0 3、第 1 の容量素子 2 0 4 a、及び第 2 の容量素子 2 0 4 b を有する。

【 0 0 2 4 】

図 2 (a) において、第 1 の N チャネル型トランジスタ 2 0 1 a は、リードライトワード線 1 0 8 の電位に基づいて、リードライトビット信号線 1 1 2 の電位をラッチ回路 2 0 2 に入力するかを切り替えるスイッチとしての機能を有する。また第 2 の N チャネル型トランジスタ 2 0 1 b は、リードライトワード線 1 0 8 の電位に基づいて、リードライトビット反転信号線 1 1 3 の電位をラッチ回路 2 0 2 に入力するかを切り替えるスイッチとしての機能を有する。また、ダイオード 2 0 3 は、電源線 1 1 5 からの電源電位をラッチ回路 2 0 2 に供給し、且つラッチ回路から電荷のリークのないようにする機能を有する。また第 1 の容量素子 2 0 4 a は、ラッチ回路の一方のノード (一方のインバーター回路の出力端子) とグラウンド線 1 1 6 に接続され、ラッチ回路 2 0 2 の一方のノードの電位を保持する機能を有する。また第 2 の容量素子 2 0 4 b は、ラッチ回路の他方のノード (他方のインバーター回路の出力端子) とグラウンド線 1 1 6 に接続され、ラッチ回路 2 0 2 の他

40

50

方のノードの電位を保持する機能を有する。

【0025】

図2(b)は、図2(a)の動作を説明するために、図2(a)と等価の回路図について示している。ラッチ回路202は、第1のインバーター回路202a、第2のインバーター回路202bを有し、互いに入力端子と出力端子がそれぞれ接続される。第1のインバーター回路202aは、Nチャンネル型トランジスタ251及びPチャンネル型トランジスタ252を有する。Pチャンネル型トランジスタ252の第1端子にはダイオードが電源線115から電源電位を供給するように接続されている。Pチャンネル型トランジスタ252の第2端子は、Nチャンネル型トランジスタ251の第1端子に接続されている。Nチャンネル型トランジスタ251の第2端子は、グラウンド線116に接続される。また、Pチャンネル型トランジスタ254の第1端子にはダイオードが電源線115から電源電位を供給するように接続されている。Pチャンネル型トランジスタ254の第2端子は、Nチャンネル型トランジスタ253の第1端子に接続されている。Nチャンネル型トランジスタ253の第2端子は、グラウンド線116に接続される。

10

【0026】

なお、トランジスタとは、ゲートと、ドレインと、ソースとを含む少なくとも三つの端子を有する素子であり、ドレイン領域とソース領域の間にチャンネル領域を有しており、ドレイン領域とチャンネル領域とソース領域とを介して電流を流すことができるものである。ここで、ソースとドレインとは、トランジスタの構造や動作条件等によって変わるため、いずれがソースまたはドレインであるかを限定することが困難である。そこで、本書類（明細書、特許請求の範囲又は図面など）においては、ソース及びドレインとして機能する領域を、ソースもしくはドレインと呼ばない場合がある。その場合、一例としては、それぞれを第1端子、第2端子と表記する。またゲートについては、ゲート端子と表記する。なお、本書類（明細書、特許請求の範囲又は図面など）においては、メモリセルを構成するトランジスタについて、説明のため、Nチャンネル型のトランジスタまたはPチャンネル型のトランジスタを使い分けて説明する。しかし、トランジスタを単にスイッチとして用いる際には、Nチャンネル型のトランジスタまたはPチャンネル型のトランジスタのいずれでもよい。この場合、単にトランジスタと表記する場合もある。

20

【0027】

なお本実施の形態において、図1のメモリセル107にデータ「1」が書き込まれているとは、第1のインバーター回路202aの入力端子であるノード281の電位がH電位、かつ第2のインバーター回路202bの入力端子であるノード282の電位がL電位であることをいう。また、データ「0」が書き込まれているとは、第1のインバーター回路202aの入力端子であるノード281の電位がL電位、かつ第2のインバーター回路202bの入力端子であるノード282の電位がH電位であることをいう。

30

【0028】

図3(a)、図3(b)は、図2(b)に示したメモリセルの回路図において、データ「1」を保持している場合に、電源が切られた際の各配線及びノードの状態、並びに各トランジスタのオン又はオフの状態について示し、動作を説明する図である。

【0029】

まず図3(a)で、データ「1」を保持したメモリセルに接続された各配線及びノードの電位の状態、並びに各トランジスタのオン又はオフについて説明する。図3(a)で、ノード281にデータ「1」が入力またはノード282にデータ「0」が入力されると、インバーター回路を構成するトランジスタのオンまたはオフが決まることにより、電源線115の電源電位（図中「1」と表記）またはグラウンド線116のグラウンド電位（図中「0」と表記）より、インバーター回路の出力端子の電位が決定される。

40

【0030】

図3(a)のようにして、メモリセルは電源線115からの電源電位が供給されている間、データ「1」を保持する。

【0031】

50

次に図 3 (b) で電源が切られた状態、すなわち電源線 1 1 5 の電源電位がグラウンド電位になった際の、データ「 1 」を保持したメモリセルに接続された各配線及びノードの電位の状態、並びに各トランジスタのオン又はオフについて説明する。図 3 (b) で、ノード 2 8 1 のデータ「 1 」は、電源線 1 1 5 の電源電位がグラウンド電位になることによって、第 1 のインバーター回路 2 0 2 a の出力端子の電位が第 1 のインバーター回路 2 0 2 a を構成するトランジスタのオン又はオフが変化しないため、ノード 2 8 2 のデータは「 0 」のままである。一方、図 3 (b) で、ノード 2 8 2 のデータ「 0 」は、第 1 のインバーター回路 2 0 2 a を構成するトランジスタのオン又はオフが変化しないものの、電源線 1 1 5 の電源電位がグラウンド電位になることによって、第 2 のインバーター回路 2 0 2 b の出力端子に電源線からの電源電位が供給されなくなる。

10

【 0 0 3 2 】

図 3 (b) で説明したように、電源線 1 1 5 より電源電位が供給されなくなる場合に、ノード 2 8 1 の電位が保持されることを図 5 (a) を用いて説明する。図 5 (a) に示すように、ノード 2 8 1 の電位は、第 1 の容量素子 2 0 4 a に保持され、且つ第 1 のインバーター回路 2 0 2 a を構成するトランジスタのゲート端子及び第 2 のインバーター回路 2 0 2 b の P チャネルトランジスタに接続されたダイオード 2 0 3 によって電荷のリークを防ぐことができる。そのため電源が切られた状態でもデータの保持ができるため、不揮発性を有する半導体記憶装置が得られる。

【 0 0 3 3 】

また、図 4 (a) で、データ「 0 」を保持したメモリセルに接続された各配線及びノードの電位の状態、並びに各トランジスタのオン又はオフについて説明する。図 4 (a) で、ノード 2 8 1 にデータ「 0 」が入力またはノード 2 8 2 にデータ「 1 」が入力されると、インバーター回路を構成するトランジスタのオンまたはオフが決まることにより、電源線 1 1 5 の電源電位またはグラウンド線 1 1 6 のグラウンド電位より、インバーター回路の出力端子の電位が決定される。

20

【 0 0 3 4 】

図 4 (a) のようにして、メモリセルは電源線 1 1 5 からの電源電位が供給されている間、データ「 0 」を保持する。

【 0 0 3 5 】

次に図 4 (b) で電源が切られた状態、すなわち電源線 1 1 5 の電源電位がグラウンド電位になった際の、データ「 0 」を保持したメモリセルに接続された各配線及びノードの電位の状態、並びに各トランジスタのオン又はオフについて説明する。図 4 (b) で、ノード 2 8 2 のデータ「 1 」は、電源線 1 1 5 の電源電位がグラウンド電位になることによって、第 2 のインバーター回路 2 0 2 b の出力端子の電位が第 2 のインバーター回路 2 0 2 b を構成するトランジスタのオン又はオフが変化しないため、ノード 2 8 1 のデータは「 0 」のままである。一方、図 4 (b) で、ノード 2 8 1 のデータ「 0 」は、第 1 のインバーター回路 2 0 2 a を構成するトランジスタのオン又はオフが変化しないものの、電源線 1 1 5 の電源電位がグラウンド電位になることによって、第 1 のインバーター回路 2 0 2 a の出力端子に電源線からの電源電位が供給されなくなる。

30

【 0 0 3 6 】

図 4 (b) で説明したように、電源線 1 1 5 より電源電位が供給されなくなる場合に、ノード 2 8 2 の電位が保持されることを図 5 (b) を用いて説明する。図 5 (b) に示すように、ノード 2 8 2 の電位は、第 2 の容量素子 2 0 4 b に保持され、且つ第 2 のインバーター回路 2 0 2 b を構成するトランジスタのゲート端子及び第 1 のインバーター回路 2 0 2 a の P チャネルトランジスタに接続されたダイオード 2 0 3 によって電荷のリークを防ぐことができる。そのため電源が切られた状態でもデータの保持ができるため、不揮発性を有する半導体記憶装置が得られる。

40

【 0 0 3 7 】

なお本実施の形態では、ダイオード 2 0 3 をメモリセル毎に設ける構成について示したが、これに限定されない。ダイオードは、電源線毎に設ける構成であってもよい。電源線毎

50

にダイオードを設ける構成とすることにより、メモリセルの小型化を図りつつ、且つ各メモリセルの不揮発性を図ることができる。

【0038】

本実施の形態で説明した半導体記憶装置のメモリセルが有するダイオード及び容量素子によって、上述したように電源が切られた状態でもデータの保持ができる。メモリセルはデータ「1」またはデータ「0」のいずれかを保持すれば、再度電源線より電源電位が供給された場合に、第1の容量素子204a、第2の容量素子204bのいずれかに保持された電荷に基づいて、メモリセルはデータを再度保持し続けることができる。そのため、容量素子は第1の容量素子204a及び第2の容量素子204bの両方を具備する構成に限らずに、図6(a)に示すように、図2(a)に示したメモリセルにおいて、第1の容量素子204aのみを配し、データの保持を行っても良い。また図6(b)に示すように、図2(a)に示したメモリセルにおいて、第2の容量素子204bのみを配し、データの保持を行ってもよい。メモリセルの設けられる容量素子を、ラッチ回路の一方のノードにのみ接続する構成とすることによって、メモリセルの小型化に寄与することができる。

10

【0039】

また、本実施形態で説明した半導体記憶装置のメモリセルでは、ラッチ回路に供給する電源線からの電源電位を常時供給することなく、データの保持をおこなうことが可能となる。そのため、本実施形態で説明した半導体記憶装置のメモリセルでは、データの保持を行う上で、一定期間毎に電源電位の供給を行う構成とすればよいため、消費電力を低減することができる。

20

【0040】

なお、本実施の形態は、本明細書の実施の形態の技術的要素と組み合わせて行うことができる。

(実施の形態2)

【0041】

本実施の形態では、不揮発性を有する半導体記憶装置の構成で、上記実施の形態とは異なる構成について、ブロック図及び回路図等を用いて説明する。本実施の形態で説明する半導体記憶装置では、上記実施の形態1で述べた効果に加えて、メモリセルからのデータの読み出しと書き込みを別の配線を用いて行うことにより、データの読み出しと書き込みをより確実に、且つ高速に行うことのできる半導体記憶装置の構成について詳述する。

30

【0042】

図7に本実施の形態で説明する不揮発性を有する半導体記憶装置のブロック図を示す。図7に示す半導体記憶装置700は、デコーダ701と、書き込み読み出し回路702と、メモリセルアレイ703と、から構成される。デコーダ701は、第1のアドレス信号線704と、ライトイネーブル信号線705と、リードイネーブル信号線706が接続される。またデコーダ101は、複数のメモリセル707と、ライトワード線708、リードワード線721を介して、接続される。書き込み読み出し回路702は、ライトイネーブル信号線705と、リードイネーブル信号線706と、第2のアドレス信号線709と、入力データ信号線710と、出力データ信号線711が接続される。また書き込み読み出し回路702は、複数のメモリセル707と、ライトビット信号線712と、ライトビット反転信号線713と、リードビット線722に接続される。また半導体記憶装置100には、複数のメモリセルに、電源電位(H電位または高電位電源ともいう。また図中"1"と表記する。)及びグラウンド電位(L電位または低電位電源ともいう。また図中"0"と表記する。)を供給するための第1の電源制御回路714a、第2の電源制御回路714bを有している。第1の電源制御回路714a及び第2の電源制御回路714bと、複数のメモリセル707は、メモリセル707に電源電位を入力するための電源線715と、グラウンド電位を入力するためのグラウンド線716を介して、接続される。

40

【0043】

なお、本実施の形態において、ライトワード線とは、メモリセルのデータの書き込みを行うためのワード線のことをいう。またリードワード線とは、メモリセルのデータの読み出

50

しを行うためのワード線のことをいう。また、ライトビット線及びライトビット反転信号線とは、メモリセルのデータの書き込みを行うためのビット線及びビット反転信号線のことをいう。また、リードビット線とは、メモリセルのデータの読み出しを行うためのビット線のことをいう。

【0044】

なお、本実施の形態では、半導体記憶装置700に、第1の電源制御回路714a、第2の電源制御回路714bを2つ配置する構成としたが、いずれか一方であればよい。図7に示すように、メモリセルアレイ703の両側より、電源電位及びグラウンド電位を供給する構成とすることによって、より確実に複数のメモリセルに、所望の電位を供給することができる。

10

【0045】

なお、図7に示した半導体記憶装置が、上記実施の形態の図1で示した半導体記憶装置と異なる点は、メモリセルからのデータの読み出しと書き込みを行うための配線として、ライトワード線708及びリードワード線721、並びにライトビット信号線712と、ライトビット反転信号線713と、リードビット線722を用いる点である。データの読み出しと書き込みを行う配線を別に設けることによって、メモリセルからのデータの読み出しを、より確実に、且つ高速に行うことのできる半導体記憶装置とすることができる。

【0046】

図7において、メモリセル707は、1ビットの値を保持することができる。そして、メモリセルアレイ703はメモリセル707を(ビット数)×(ライン数)の個数分、有する。

20

【0047】

書き込み読み出し回路702は半導体記憶装置700の外部から入力データ信号線710から入力されるデータをメモリセルアレイ703の各メモリセル707に書き込む処理と、メモリセルアレイ703の各メモリセル707からデータを読み出して出力データ信号線711によってメモリの外部にデータを送信する処理を行う。

【0048】

デコーダ701は半導体記憶装置700の外部から、第1のアドレス信号線より入力されるアドレスに応じて、ライトワード線708またはリードワード線721に信号を出力する。

30

【0049】

デコーダ701はライトワード線708またはリードワード線721へ信号を出力し、各メモリセル707でのデータの読み出しまたは書き込みを制御する。例えば、書き込み時には、ライトワード線708の一つが高電位の状態(以下、「H電位」と記す。また図中「1」と表記する。)となり、読み出し時にはリードワード線721の一つがH電位となる。なお、ライトワード線708及びリードワード線721が選択されない状態ではグラウンド電位の状態(以下、「L電位」と記す。また図中「0」と表記する。)となる。

【0050】

ライトビット信号線712及びライトビット反転信号線713は、それぞれ書き込み用のビット線である。書き込み時には外部からのデータがライトビット信号線712及びライトビット反転信号線713に入力される。またリードビット線722は、読み出し用のビット線である。読み出し時には、書き込み読み出し回路702によりプリチャージした上で、アドレスによって選択されたメモリセルのデータに基づいて変化するリードビット線の電位を読み取る。

40

【0051】

このような半導体記憶装置700によって、ビット数及びライン数に応じた情報を記憶することができる。

【0052】

また、上記実施の形態1で説明した図6(b)のメモリセルの構成を図8(a)のように示したが、本実施の形態で示すメモリセルでは、インバーター回路を略記した図8(b)

50

に示すような回路図で表記することとする。なお、図 8 (a)、図 8 (b) で示した回路図は、同じ回路図について示したものである。

【 0 0 5 3 】

次に図 9 で、図 7 のメモリセル 7 0 7 の回路図について説明する。図 9 に示す本実施の形態のメモリセル 7 0 7 は、図 7 でも示したように、ライトワード線 7 0 8、リードワード線 7 2 1、ライトビット信号線 7 1 2、ライトビット反転信号線 7 1 3、リードビット線 7 2 2、電源線 7 1 5、及びグラウンド線 7 1 6 に接続される。メモリセル 7 0 7 は、第 1 の N チャンネル型トランジスタ 8 0 1 a (第 1 のトランジスタともいう)、第 2 の N チャンネル型トランジスタ 8 0 1 b (第 2 のトランジスタともいう)、ラッチ回路 8 0 2、ダイオード 8 0 3、第 3 の N チャンネル型トランジスタ 8 0 4 (第 3 のトランジスタともいう)、及び第 4 の N チャンネル型トランジスタ 8 0 5 (第 4 のトランジスタともいう) を有する。ラッチ回路 8 0 2 は、第 1 のインバーター回路 8 0 2 a、第 2 のインバーター回路 8 0 2 b を有する。

10

【 0 0 5 4 】

図 9 において、第 1 の N チャンネル型トランジスタ 8 0 1 a は、ライトワード線 7 0 8 の電位に基づいて、ライトビット信号線 7 1 2 の電位をラッチ回路 8 0 2 に入力するかを切り替えるスイッチとしての機能を有する。また第 2 の N チャンネル型トランジスタ 8 0 1 b は、ライトワード線 7 0 8 の電位に基づいて、ライトビット反転信号線 7 1 3 の電位をラッチ回路 8 0 2 に入力するかを切り替えるスイッチとしての機能を有する。また、ダイオード 8 0 3 は、電源線 7 1 5 からの電源電位をラッチ回路 8 0 2 に供給し、且つラッチ回路から電荷のリークのないようにする機能を有する。

20

【 0 0 5 5 】

また第 3 の N チャンネル型トランジスタ 8 0 4 は、ゲート端子に接続されたラッチ回路 8 0 2 の一方のノード (第 1 のインバーター回路 8 0 2 a の出力端子) の電位をゲート容量で保持し、且つゲート端子に印加される電位に応じてリードビット線 7 2 2 と第 4 の N チャンネル型トランジスタ 8 0 5 との電気的な接続を切り替える機能を有する。一例として図 9 においては、第 3 の N チャンネル型トランジスタ 8 0 4 は、第 1 端子がリードビット線 7 2 2 に接続され、第 2 端子が第 4 の N チャンネル型トランジスタ 8 0 5 の第 2 端子に接続されている。

30

【 0 0 5 6 】

また第 4 の N チャンネル型トランジスタ 8 0 5 は、ゲート端子に接続されたリードワード線 7 2 1 の電位に応じて、第 3 の N チャンネル型トランジスタ 8 0 4 とグラウンド線 7 1 6 との電気的な接続を切り替える機能を有する。一例として図 9 においては、第 4 の N チャンネル型トランジスタ 8 0 5 は、第 1 端子がグラウンド線 7 1 6 に接続され、第 2 端子が第 3 の N チャンネル型トランジスタ 8 0 4 の第 2 端子に接続されている。

【 0 0 5 7 】

図 1 0 (a)、図 1 0 (b) は、図 9 の動作を説明するための回路図について示している。

【 0 0 5 8 】

なお本実施の形態において、図 7 のメモリセル 7 0 7 にデータ「 1 」が書き込まれていること、またデータ「 0 」が書き込まれていることは、上記実施の形態 1 でのメモリセル 1 0 7 へのデータの書き込みの説明と同様である。

40

【 0 0 5 9 】

なお、図 1 0 (a)、図 1 0 (b) で、メモリセル 7 0 7 が不揮発性を有することで不揮発性の半導体記憶装置が得られる原理は、上記実施の形態 1 の図 3 乃至図 5 での説明と同様である。すなわち、図 3 乃至図 5 で説明した第 2 の容量素子 2 0 4 b が、図 1 0 (a)、図 1 0 (b) の第 3 の N チャンネル型トランジスタ 8 0 4 のゲート容量に相当する。そして、図 3 乃至図 5 で説明した第 2 の容量素子 2 0 4 b と同様に、電源が切られることで電源線 7 1 5 の電源電位がグラウンド電位に変わった場合にも、ダイオード 8 0 3 によって電荷のリークを防いで電荷の保持をおこなうことができる。

50

【 0 0 6 0 】

そこで、図 1 0 (a)、図 1 0 (b) では、メモリセル 7 0 7 のデータの保持、及びメモリセルからのデータの書き込みと読み出しを別に行う動作について説明する。

【 0 0 6 1 】

まず図 1 0 (a) で、ライトビット信号線 7 1 2、ライトビット反転信号線 7 1 3、およびライトワード線 7 0 8 の動作とは別に、メモリセル 7 0 7 に保持されたデータ「 0 」を読み出す際の、メモリセル 7 0 7 に接続された各配線及びノードの電位の状態、並びに各トランジスタのオン又はオフについて説明する。まず、リードビット線図 1 0 (a) で、メモリセル 7 0 7 よりデータ「 0 」を読み出すために、リードワード線 7 2 1 に H 電位 (図中 " 1 " と表記) が入力されると、第 4 の N チャンネル型トランジスタ 8 0 5 がオンとなり、第 3 の N チャンネル型トランジスタ 8 0 4 とグラウンド線 7 1 6 が電氣的に接続される。なお、リードワード線 7 2 1 が選択されない状態ではグラウンド電位の状態 (以下、「 L 電位」と記す。また図中 " 0 " と表記する。) となる。

10

【 0 0 6 2 】

メモリセル 7 0 7 にデータ「 0 」は保持されている場合には、第 3 の N チャンネル型トランジスタ 8 0 4 のゲート端子に接続されたラッチ回路 8 0 2 のノード 1 0 0 1 の電位は、H 電位となる。そのため、メモリセル 7 0 7 にデータ「 0 」は保持されている場合には、第 3 の N チャンネル型トランジスタ 8 0 4 がオンになり、第 4 の N チャンネル型トランジスタ 8 0 5 とリードワード線 7 2 1 が電氣的に接続される。

20

【 0 0 6 3 】

リードビット線 7 2 2 は、データの読み出しを行うためにプリチャージされており、リードビット線 7 2 2 の電位は高電位になっている。なおここでいうプリチャージとは、データの読み出しを行うために、配線を H 電位に予めしておくことをいう。メモリセル 7 0 7 にデータ「 0 」は保持されている場合には、上記説明したように、第 3 の N チャンネル型トランジスタ 8 0 4 及び第 4 の N チャンネル型トランジスタ 8 0 5 がオンの状態であるため、リードビット線 7 2 2 よりグラウンド線 7 1 6 へ電荷が移動し、リードビット線 7 2 2 は L 電位になる。リードビット線 7 2 2 に接続された書き込み読み出し回路 7 0 2 は、リードビット線 7 2 2 の電位が L 電位になることで、選択したメモリセルに保持されたデータが「 0 」であると読み出すことができる。

30

【 0 0 6 4 】

次に、図 1 0 (b) で、ライトビット信号線 7 1 2、ライトビット反転信号線 7 1 3、およびライトワード線 7 0 8 の動作とは別に、メモリセル 7 0 7 に保持されたデータ「 1 」を読み出す際の、メモリセル 7 0 7 に接続された各配線及びノードの電位の状態、並びに各トランジスタのオン又はオフについて説明する。まず、リードビット線図 1 0 (b) で、メモリセル 7 0 7 よりデータ「 1 」を読み出すために、リードワード線 7 2 1 に H 電位が入力されると、第 4 の N チャンネル型トランジスタ 8 0 5 がオンとなり、第 3 の N チャンネル型トランジスタ 8 0 4 とグラウンド線 7 1 6 が電氣的に接続される。なお、リードワード線 7 2 1 が選択されない状態ではグラウンド電位の状態となる。

40

【 0 0 6 5 】

メモリセル 7 0 7 にデータ「 1 」は保持されている場合には、第 3 の N チャンネル型トランジスタ 8 0 4 のゲート端子に接続されたラッチ回路 8 0 2 のノード 1 0 0 1 の電位は、L 電位となる。そのため、メモリセル 7 0 7 にデータ「 1 」は保持されている場合には、第 3 の N チャンネル型トランジスタ 8 0 4 がオフになり、第 4 の N チャンネル型トランジスタ 8 0 5 とリードビット線 7 2 2 が電氣的に接続されない。

50

【 0 0 6 6 】

リードビット線 7 2 2 は、データの読み出しを行うためにプリチャージされており、リードビット線 7 2 2 の電位は高電位になっている。メモリセル 7 0 7 にデータ「 1 」は保持されている場合には、上記説明したように、第 4 の N チャンネル型トランジスタ 8 0 5 がオンの状態であるものの、第 3 の N チャンネル型トランジスタ 8 0 4 がオフの状態であるため、リードビット線 7 2 2 よりグラウンド線 7 1 6 へ電荷が移動せず、リードビット線 7 2

50

2 はプリチャージ時と同様に H 電位のままとなる。リードビット線 7 2 2 に接続された書き込み読み出し回路 7 0 2 は、リードビット線 7 2 2 の電位が H 電位になることで、選択したメモリセルに保持されたデータが「1」であると読み出すことができる。

【0067】

なお、図 9、図 10 で説明した第 3 の N チャンネル型トランジスタ 8 0 4 及び第 4 の N チャンネル型トランジスタ 8 0 5 は、メモリセルに保持されたデータが「1」または「0」であることをリードビット線で読み取ることができるように接続されていればよい。図 11 に図 9 で説明したメモリセルの回路図とは別の構成について示す。図 11 に示すメモリセルの回路図において、図 9 と異なる点は、第 3 の N チャンネル型トランジスタ 8 0 4 のゲート端子にリードワード線 7 2 1 が接続され、第 4 の N チャンネル型トランジスタ 8 0 5 のゲート端子にラッチ回路 8 0 2 のノード 1 0 0 1 が接続された点にある。図 11 に示すメモリセルにおいても、図 10 で説明した図 9 のメモリセルの回路図と同様に、第 3 の N チャンネル型トランジスタ 8 0 4 及び第 4 の N チャンネル型トランジスタ 8 0 5 が共にオンになる場合のリードビット線 7 2 2 の電位の変化を読み取ることで、メモリセル内のデータを読み出すことができる。

10

【0068】

なお本実施の形態では、ダイオード 8 0 3 をメモリセル毎に設ける構成について示したが、これに限定されない。ダイオードは、電源線毎に設ける構成であってもよい。電源線毎にダイオードを設ける構成とすることにより、メモリセルの小型化を図りつつ、且つ各メモリセルの不揮発性化を図ることができる。

20

【0069】

なお、本実施の形態で説明した半導体記憶装置のメモリセルは、メモリセルが有するダイオード及び第 3 の N チャンネル型トランジスタ 8 0 4 のゲート容量によって、実施の形態 1 で説明したように電源が切られた状態でもデータの保持ができる。メモリセルはデータ「1」またはデータ「0」のいずれかを保持すれば、再度電源線より電源電位が供給された場合に、第 3 の N チャンネル型トランジスタ 8 0 4 のゲート容量のいずれかに保持された電荷に基づいて、メモリセルはデータを再度保持し続けることができる。

【0070】

また、本実施形態で説明した半導体記憶装置のメモリセルでは、上記実施の形態 1 で説明したメモリセルの構成と同様に、ラッチ回路に供給する電源線からの電源電位を常時供給することなく、データの保持をおこなうことが可能となる。そのため、本実施形態で説明した半導体記憶装置のメモリセルでは、データの保持を行う上で、一定期間毎に電源電位の供給を行う構成とすればよい。消費電力を低減することができる。加えて、メモリセルからのデータの読み出しと、メモリセルへのデータの書き込みを行う配線を別に設けることができるため、データの読み出しと書き込みをより確実に、且つ高速に行うことのできる半導体記憶装置を得ることができる。

30

【0071】

なお、本実施の形態は、本明細書の実施の形態の技術的要素と組み合わせて行うことができる。

(実施の形態 3)

40

【0072】

本実施の形態では、不揮発性を有する半導体記憶装置の構成で、上記実施の形態とは異なる構成について、ブロック図及び回路図等を用いて説明する。本実施の形態で説明する半導体記憶装置では、上記実施の形態 1 及び実施の形態 2 で述べた効果に加えて、メモリセルからのデータの読み出しを複数の配線を用いて行うことにより、データの読み出しを高速に行うことのできる半導体記憶装置の構成について詳述する。

【0073】

図 12 に本実施の形態で説明する不揮発性を有する半導体記憶装置のブロック図を示す。図 12 に示す半導体記憶装置 1 2 0 0 は、デコーダ 1 2 0 1 と、書き込み読み出し回路 1 2 0 2 と、メモリセルアレイ 1 2 0 3 と、から構成される。デコーダ 1 2 0 1 は、第 1 の

50

書き込みアドレス信号線 1204 と、第 1 の読み出しアドレス信号線 1205 と、第 2 の読み出しアドレス信号線 1206 と、ライトイネーブル信号線 1207 と、リードイネーブル信号線 1225 が接続される。またデコーダ 1201 は、複数のメモリセル 1208 と、ライトワード線 1209、第 1 のリードワード線 1210、及び第 2 のリードワード線 1211 を介して、接続される。書き込み読み出し回路 1202 は、ライトイネーブル信号線 1207 と、リードイネーブル信号線 1225 と、第 2 の書き込みアドレス信号線 1212 と、第 3 の読み出しアドレス信号線 1213 と、第 4 の読み出しアドレス信号線 1214 と、入力データ信号線 1215 と、第 1 の出力データ信号線 1216 と、第 2 の出力データ信号線 1217 が接続される。また書き込み読み出し回路 1202 は、複数のメモリセル 1208 と、ライトビット信号線 1218 と、ライトビット反転信号線 1219 と、第 1 のリードビット線 1220、及び第 2 のリードビット線 1221 に接続される。また半導体記憶装置 1200 には、複数のメモリセルに、電源電位（H 電位または高電位電源ともいう。また図中 "1" と表記する。）及びグラウンド電位（L 電位または低電位電源ともいう。また図中 "0" と表記する。）を供給するための第 1 の電源制御回路 1222a、第 2 の電源制御回路 1222b を有している。第 1 の電源制御回路 1222a 及び第 2 の電源制御回路 1222b と、複数のメモリセル 1208 は、メモリセル 1208 に電源電位を入力するための電源線 1223 と、グラウンド電位を入力するためのグラウンド線 1224 を介して、接続される。

【0074】

なお、本実施の形態において、ライトワード線とは、メモリセルのデータの書き込みを行うためのワード線のことをいう。またリードワード線とは、メモリセルのデータの読み出しを行うためのワード線のことをいう。また、ライトビット線及びライトビット反転信号線とは、メモリセルのデータの書き込みを行うためのビット線及びビット反転信号線のことをいう。また、リードビット線とは、メモリセルのデータの読み出しを行うためのビット線のことをいう。

【0075】

なお、本実施の形態では、半導体記憶装置 1200 に、第 1 の電源制御回路 1222a、第 2 の電源制御回路 1222b を 2 つ配置する構成としたが、いずれか一方であればよい。図 12 に示すように、メモリセルアレイ 1203 の両側より、電源電位及びグラウンド電位を供給する構成とすることによって、より確実に複数のメモリセルに、所望の電位を供給することができる。

【0076】

なお、図 12 に示した半導体記憶装置が、上記実施の形態 2 の図 7 で示した半導体記憶装置と異なる点は、メモリセルからのデータの読み出しを行うための配線として、第 1 のリードワード線 1210 及び第 2 のリードワード線 1211、並びに第 1 のリードビット線 1220 と、第 2 のリードビット線 1221 を用いる点である。データの読み出しを行う配線を複数設けることによって、メモリセルからのデータの読み出しを、高速に行うことのできる半導体記憶装置とすることができる。

【0077】

図 12 において、メモリセル 1208 は、1 ビットの値を保持することができる。そして、メモリセルアレイ 1203 はメモリセル 1208 を（ビット数）×（ライン数）の個数分有する。

【0078】

書き込み読み出し回路 1202 は半導体記憶装置 1200 の外部から入力データ信号線 1215 から入力されるデータをメモリセルアレイ 1203 の各メモリセル 1208 に書き込む処理と、メモリセルアレイ 1203 の各メモリセル 1208 からデータを読み出して第 1 の出力データ信号線 1216 と、第 2 の出力データ信号線 1217 によってメモリ 1200 の外部にデータを送信する処理を行う。

【0079】

デコーダ 1201 は半導体記憶装置 1200 の外部から、第 1 の書き込みアドレス信号線

1 2 0 4、第 1 の読み出しアドレス信号線 1 2 0 5、第 2 の読み出しアドレス信号線 1 2 0 6 より入力されるアドレスに応じて、ライトワード線 1 2 0 9、第 1 のリードワード線 1 2 1 0、または第 2 のリードワード線 1 2 1 1 に信号を出力する。

【 0 0 8 0 】

デコーダ 1 2 0 1 はライトワード線 1 2 0 9、第 1 のリードワード線 1 2 1 0、または第 2 のリードワード線 1 2 1 1 へ信号を出力し、各メモリセル 1 2 0 8 でのデータの読み出しまたは書き込みを制御する。例えば、書き込み時には、ライトワード線 1 2 0 9 の一つが高電位の状態（以下、「H 電位」と記す。また図中 " 1 " と表記する。）となり、読み出し時には第 1 のリードワード線 1 2 1 0 及び第 2 のリードワード線 1 2 1 1 の一つが H 電位となる。なお、ライトワード線 1 2 0 9、第 1 のリードワード線 1 2 1 0、及び第 2 のリードワード線 1 2 1 1 が選択されない状態ではグラウンド電位の状態（以下、「L 電位」と記す。また図中 " 0 " と表記する。）となる。

10

【 0 0 8 1 】

ライトビット信号線 1 2 1 8 及びライトビット反転信号線 1 2 1 9 は、それぞれ書き込み用のビット線である。書き込み時には外部からのデータがライトビット信号線 1 2 1 8 及びライトビット反転信号線 1 2 1 9 に入力される。また第 1 のリードビット線 1 2 2 0 及び第 2 のリードビット線 1 2 2 1 は、読み出し用のビット線である。読み出し時には、書き込み読み出し回路 1 2 0 2 によりプリチャージした上で、アドレスによって選択されたメモリセルのデータに基づいて変化する第 1 のリードビット線 1 2 2 0 及び第 2 のリードビット線 1 2 2 1 の電位を読み取る。

20

【 0 0 8 2 】

このような半導体記憶装置 1 2 0 0 によって、ビット数及びライン数に応じた情報を記憶することができる。

【 0 0 8 3 】

また本実施形態に示すメモリセルにおいては、上記実施の形態 2 と同様に、インバーター回路を略記した図 8 (b) に示すような回路図で表記することとする。

【 0 0 8 4 】

次に図 1 3 で、図 1 2 のメモリセル 1 2 0 8 の回路図について説明する。図 1 3 に示す本実施の形態のメモリセル 1 2 0 8 は、図 1 2 でも示したように、ライトワード線 1 2 0 9、第 1 のリードワード線 1 2 1 0、または第 2 のリードワード線 1 2 1 1、ライトビット信号線 1 2 1 8、ライトビット反転信号線 1 2 1 9、第 1 のリードビット線 1 2 2 0、第 2 のリードビット線 1 2 2 1、電源線 1 2 2 3、及びグラウンド線 1 2 2 4 に接続される。メモリセル 1 2 0 8 は、第 1 の N チャネル型トランジスタ 1 3 0 1 a（第 1 のトランジスタともいう）、第 2 の N チャネル型トランジスタ 1 3 0 1 b（第 2 のトランジスタともいう）、ラッチ回路 1 3 0 2、ダイオード 1 3 0 3、第 3 の N チャネル型トランジスタ 1 3 0 4（第 3 のトランジスタともいう）、第 4 の N チャネル型トランジスタ 1 3 0 5（第 4 のトランジスタともいう）、第 5 の N チャネル型トランジスタ 1 3 0 6（第 5 のトランジスタともいう）、第 6 の N チャネル型トランジスタ 1 3 0 7（第 6 のトランジスタともいう）、を有する。ラッチ回路 1 3 0 2 は、第 1 のインバーター回路 1 3 0 2 a、第 2 のインバーター回路 1 3 0 2 b を有する。

30

40

【 0 0 8 5 】

図 1 3 において、第 1 の N チャネル型トランジスタ 1 3 0 1 a は、ライトワード線 1 2 0 9 の電位に基づいて、ライトビット信号線 1 2 1 8 の電位をラッチ回路 1 3 0 2 に入力するかを切り替えるスイッチとしての機能を有する。また第 2 の N チャネル型トランジスタ 1 3 0 1 b は、ライトワード線 1 2 0 9 の電位に基づいて、ライトビット反転信号線 1 2 1 9 の電位をラッチ回路 1 3 0 2 に入力するかを切り替えるスイッチとしての機能を有する。また、ダイオード 1 3 0 3 は、電源線 1 2 2 3 からの電源電位をラッチ回路 1 3 0 2 に供給し、且つラッチ回路 1 3 0 2 から電荷のリークのないようにする機能を有する。

【 0 0 8 6 】

また第 3 の N チャネル型トランジスタ 1 3 0 4 は、ゲート端子に接続されたラッチ回路 1

50

302の一方のノード(第1のインバータ回路1302aの出力端子)の電位をゲート容量で保持し、且つゲート端子に印加される電位に応じて第1のリードビット線1220と第4のNチャネル型トランジスタ1305との電氣的な接続を切り替える機能を有する。一例として図13においては、第3のNチャネル型トランジスタ1304は、第1端子が第1のリードビット線1220に接続され、第2端子が第4のNチャネル型トランジスタ1305の第2端子に接続されている。

【0087】

また第4のNチャネル型トランジスタ1305は、ゲート端子に接続された第1のリードワード線1210の電位に応じて、第3のNチャネル型トランジスタ1304とグラウンド線1224との電氣的な接続を切り替える機能を有する。一例として図13においては、第4のNチャネル型トランジスタ1305は、第1端子がグラウンド線1224に接続され、第2端子が第3のNチャネル型トランジスタ1304の第2端子に接続されている。

10

【0088】

また第5のNチャネル型トランジスタ1306は、ゲート端子に接続されたラッチ回路1302の他方のノード(第1のインバータ回路1302bの出力端子)の電位をゲート容量で保持し、且つゲート端子に印加される電位に応じて第2のリードビット線1221と第6のNチャネル型トランジスタ1307との電氣的な接続を切り替える機能を有する。一例として図13においては、第5のNチャネル型トランジスタ1306は、第1端子が第2のリードビット線1221に接続され、第2端子が第6のNチャネル型トランジスタ1307の第2端子に接続されている。

20

【0089】

また第6のNチャネル型トランジスタ1307は、ゲート端子に接続された第2のリードワード線1211の電位に応じて、第5のNチャネル型トランジスタ1306とグラウンド線1224との電氣的な接続を切り替える機能を有する。一例として図13においては、第6のNチャネル型トランジスタ1307は、第1端子がグラウンド線1224に接続され、第2端子が第5のNチャネル型トランジスタ1306の第2端子に接続されている。

【0090】

なお本実施の形態において、図12のメモリセル1208に、データ「1」が書き込まれていること、またデータ「0」が書き込まれていることとは、上記実施の形態1でのメモリセル107へのデータの書き込みの説明と同様である。

30

【0091】

なお、図13で、メモリセル1308が不揮発性を有することで不揮発性の半導体記憶装置が得られる原理は、上記実施の形態1の図3乃至図5での説明と同様である。すなわち、図3乃至図5で説明した第2の容量素子204bが、図13の第3のNチャネル型トランジスタ1304のゲート容量に相当し、図3乃至図5で説明した第1の容量素子204aが、図13の第5のNチャネル型トランジスタ1306に相当する。そして、図3乃至図5で説明した第1の容量素子204a及び第2の容量素子204bと同様に、電源が切られることで電源線1223の電源電位がグラウンド電位に変わった場合にも、ダイオード1303によって電荷のリークを防いで電荷の保持をおこなうことができる。

40

【0092】

そこで本実施の形態では、異なるリードビット線である第1のリードビット線1220及び第2のリードビット線1221によって、メモリセル1308のデータの読み出しを複数同時に別に行う動作について図14(A)、(B)を用いて説明する。

【0093】

図14(A)には、図13で説明したメモリセル1308について、同じライトワード線、第1のリードワード線、及び第2のリードワード線に接続された第1のメモリセル1308a及び第2のメモリセル1308bを示している。図14(A)において、第1のメモリセル1308a及び第2のメモリセル1308bのデータの読み出しについては、上

50

記実施の形態 2 の図 10 で説明したメモリセルからのデータの読み出しと同様であるため説明を省略する。

【0094】

本実施の形態に説明するメモリセルは、第 1 のリードワード線及び第 2 のリードワード線に接続され、そして第 1 のリードビット線及び第 2 のリードビット線からデータを読み出すものである。そこで図 14 (B) で、第 1 のメモリセル 1308a 及び第 2 のメモリセル 1308b のデータの読み出しについて例を示し、説明する。図 14 (B) に示す第 1 のメモリセル 1308a 及び第 2 のメモリセル 1308b は、共に第 1 のリードビット線 1220 及び第 2 のリードビット線 1221 に接続されている。図 14 (B) において、第 1 のメモリセル 1308a 及び第 2 のメモリセル 1308b に保持されているデータは、第 1 のリードビット線 1220 及び第 2 のリードビット線 1221 より、アナログスイッチ 1401 を介して読み出される。そのため、第 1 のメモリセル 1308a のデータは、アナログスイッチ 1401 を制御して、第 1 のリードビット線 1220 より読み出し、同時に第 2 のメモリセル 1308b のデータは、アナログスイッチ 1401 を制御して、第 2 のリードビット線 1221 より読み出すことができる。そのため、2 つのメモリセルからのデータの読み出しを同時におこなうことができるため、データの読み出しの高速化を図ることができる。

10

【0095】

なお、図 13 及び図 14 で説明した第 3 の N チャンネル型トランジスタ 1304 及び第 4 の N チャンネル型トランジスタ 1305、並びに第 5 の N チャンネル型トランジスタ 1305 及び第 6 の N チャンネル型トランジスタ 1306 は、メモリセルに保持されたデータが「1」または「0」であることを第 1 のリードビット線 1220 及び第 2 のリードビット線 1221 で読み取ることができるように接続されていなければならない。図 15 に図 13 で説明したメモリセルの回路図とは別の構成について示す。図 15 に示すメモリセルの回路図において、図 13 と異なる点は、第 3 の N チャンネル型トランジスタ 1304 のゲート端子に第 1 のリードワード線 1210 が接続され、第 4 の N チャンネル型トランジスタ 1305 のゲート端子に第 1 のインバーター回路 1302a の出力端子が接続され、第 5 の N チャンネル型トランジスタ 1306 のゲート端子に第 2 のリードワード線 1211 が接続され、第 6 の N チャンネル型トランジスタ 1307 のゲート端子に第 2 のインバーター回路 1302b の出力端子が接続され、点にある。図 15 に示すメモリセルにおいても、図 13 で説明した図 14 のメモリセルの回路図と同様に、第 3 の N チャンネル型トランジスタ 1304 及び第 4 の N チャンネル型トランジスタ 1305 が共にオンになる場合の第 1 のリードビット線 1220 の電位の変化を読み取ること、並びに第 5 の N チャンネル型トランジスタ 1306 及び第 6 の N チャンネル型トランジスタ 1307 が共にオンになる場合の第 2 のリードビット線 1221 の電位の変化を読み取ること、メモリセル内のデータを読み出すことができる。

20

30

【0096】

なお本実施の形態では、ダイオード 1303 をメモリセル毎に設ける構成について示したが、これに限定されない。ダイオードは、電源線毎に設ける構成であってもよい。電源線毎にダイオードを設ける構成とすることにより、メモリセルの小型化を図りつつ、且つ各メモリセルの不揮発性を図ることができる。

40

【0097】

なお、本実施の形態で説明した半導体記憶装置のメモリセルは、メモリセルが有するダイオード及び第 3 の N チャンネル型トランジスタ 1304 のゲート容量及び第 5 の N チャンネル型トランジスタのゲート容量によって、実施の形態 1 で説明したように電源が切られた状態でもデータの保持ができる。メモリセルはデータ「1」またはデータ「0」のいずれかを保持すれば、再度電源線より電源電位が供給された場合に、第 3 の N チャンネル型トランジスタ 804 のゲート容量のいずれかに保持された電荷に基づいて、メモリセルはデータを再度保持し続けることができる。

【0098】

50

また、本実施形態で説明した半導体記憶装置のメモリセルでは、上記実施の形態１で説明したメモリセルの構成と同様に、ラッチ回路に供給する電源線からの電源電位を常時供給することなく、データの保持をおこなうことが可能となる。そのため、本実施形態で説明した半導体記憶装置のメモリセルでは、データの保持を行う上で、一定期間毎に電源電位の供給を行う構成とすればよいため、消費電力を低減することができる。加えて、メモリセルからのデータの読み出しと、メモリセルへのデータの書き込みを行う配線を別に設けることができるため、データの読み出しと書き込みをより確実に、且つ高速に行うことのできる半導体記憶装置を得ることができる。またさらに、メモリセルからのデータの読み出しを複数の配線を用いて行うことにより、データの読み出しを高速に行うことのできる半導体記憶装置を得ることができる。

10

【００９９】

なお、本実施の形態は、本明細書の実施の形態の技術的要素と組み合わせて行うことができる。

（実施の形態４）

【０１００】

本発明の半導体記憶装置は、中央演算装置（ＣＰＵ）に適用することができる。本実施の形態では、本発明の半導体記憶装置を搭載したＣＰＵの構成について説明する。ＣＰＵの簡単な構成を図１６に示す。

【０１０１】

ＣＰＵは、Ｄ\$ブロック（データキャッシュ：以下Ｄ\$１６０１）、Ｉ\$ブロック（インストラクションキャッシュ：以下Ｉ\$１６０２）、ＤＵブロック（データユニット：以下ＤＵ１６０３）、ＡＬＵブロック（Ａｒｉｔｈｍｅｔｉｃ　Ｌｏｇｉｃ　Ｕｎｉｔ，算術論理演算回路：以下ＡＬＵ１６０４）、ＰＣブロック（プログラムカウンタ：ＰＣ１６０５）、ＩＯブロック（ＩｎＯｕｔ：以下ＩＯ１６０６）を有する。

20

【０１０２】

Ｄ\$１６０１は最近アクセスされたアドレスのデータを一時的に保持しそのアドレスのデータに高速でアクセスできるようにする機能を有するものである。Ｉ\$１６０２は最近アクセスされたアドレスの命令を一時的に保持しそのアドレスの命令に高速でアクセスできるようにする機能を有するものである。ＤＵ１６０３はストア又はロード命令が実行された時、Ｄ\$１６０１にアクセスするか、ＩＯにアクセスするかを決定する機能を有するものである。ＡＬＵ１６０４は算術論理演算回路であり、四則演算、比較演算、論理演算などを行う機能を有するものである。ＰＣ１６０５は、現在実行中の命令のアドレスを保持し、その実行終了後、次の命令をフェッチする機能を有する。又、次の命令をフェッチする時にＩ\$１６０２にアクセスするか、ＩＯ１６０６にアクセスするかを決定する機能を有するものである。ＩＯ１６０６はＤＵ１６０３、ＰＣ１６０５からのアクセスを受け外部とデータの送受信を行う機能を有するものである。以下にそれぞれの関係を説明する。

30

【０１０３】

ＰＣ１６０５が命令をフェッチする時に、はじめにＩ\$１６０２にアクセスし、Ｉ\$１６０２に該当するアドレスの命令がない場合にＩＯ１６０６にアクセスする。これによって得られた命令はＩ\$１６０２に格納すると共に実行を行う。実行すべき命令が算術論理演算の場合はＡＬＵ１６０４が演算を行う。実行すべき命令がストア又はロード命令の場合は、ＤＵ１６０３が演算を行う。この際、ＤＵ１６０３はまずＤ\$１６０１にアクセスし、該当するアドレスのデータがＤ\$１６０１にない場合にＩＯ１６０６にアクセスする。

40

【０１０４】

このようなＣＰＵにおいて、本発明の半導体記憶装置は、Ｄ\$１６０１とＩ\$１６０２、ＡＬＵ１６０４の内部に存在するレジスタに適用することができる。その結果、不揮発性を達成した半導体記憶回路を有するＣＰＵを提供することができ、電源が切れた状態でもデータの保持ができるため、低消費電力化を図ることができる。また、実施の形態３で示した半導体記憶装置を用いることで高速にデータの読み出しが可能な不揮発性を有する半導体記憶装置を具備するＣＰＵとすることもできる。

50

【 0 1 0 5 】

なお、本実施の形態は、本明細書の実施の形態の技術的要素と組み合わせて行うことができる。

(実施の形態 5)

【 0 1 0 6 】

本実施の形態では、上記実施の形態で説明した半導体記憶装置を具備する R F I D タグ (以下、半導体装置という。 I D チップ、 I C タグ、 I D タグ、 R F タグ、無線タグ、電子タグ、トランスポンダともいわれる) の構成について説明する。

【 0 1 0 7 】

半導体装置の構成について、図 1 7 を用いて説明する。図 1 7 は半導体装置内のブロック図である。半導体装置 1 7 0 0 は、アンテナ 1 7 0 2 及び半導体集積回路 1 7 0 1 を有する。そして、半導体集積回路 1 7 0 1 は、送受信回路 1 7 0 3、電源回路 1 7 0 4、制御回路 1 7 0 5、記憶素子 1 7 0 6 を有する。

10

【 0 1 0 8 】

次に、半導体装置の動作について、図 1 7 及び図 1 8 を用いて説明する。図 1 8 に示すように、制御用端末 1 7 2 2 に無線通信装置 (以下、通信装置 1 7 2 0 という。またリーダライタ、リーダ/ライタ、コントローラ、インタロゲータ、質問器ともいわれる) を介して接続されたアンテナユニット 1 7 2 1 から搬送波を変調した無線信号が送信される。ここで、無線信号には通信装置 1 7 2 0 から半導体装置 1 7 0 0 への命令が含まれている。

【 0 1 0 9 】

20

図 1 7 において、半導体装置 1 7 0 0 が有するアンテナ 1 7 0 2 は当該無線信号を受信する。そして、受信された当該無線信号はアンテナ 1 7 0 2 に接続された送受信回路 1 7 0 3 を介して各回路ブロックに送られる。送受信回路 1 7 0 3 には電源回路 1 7 0 4、制御回路 1 7 0 5、及び記憶素子 1 7 0 6 が接続されている。

【 0 1 1 0 】

送受信回路 1 7 0 3 の整流機能により第 1 の高電源電位 (V D D 1)、電源回路 1 7 0 4 より第 2 の高電源電位 (V D D 2) が生成される。本実施の形態においては、生成された 2 つの高電源電位のうち、第 2 の高電源電位 V D D 2 が半導体集積回路 1 7 0 1 の各回路ブロックに供給されるものとする。なお、本実施の形態において、低電源電位 (V S S) は共通である。図 1 7 において、電源回路 1 7 0 4 は、定電圧回路で構成される。

30

【 0 1 1 1 】

送受信回路 1 7 0 3 の整流機能と電源回路 1 7 0 4 の動作について簡単に説明する。例えば、送受信回路 1 7 0 3 の整流機能として、一つの整流回路で構成し、電源回路 1 7 0 4 として、定電圧回路で構成した場合を考える。ここで、整流機能をはたす整流回路として、ダイオード及び容量素子を用いることができる。アンテナ 1 7 0 2 を介して送受信回路 1 7 0 3 に送られた当該無線信号は、整流回路に入力され、整流される。そして、整流回路の容量素子により平滑化され、第 1 の高電源電位 (V D D 1) が生成される。生成された V D D 1 は、定電圧回路を通ることで、入力以下の安定した電圧 (第 2 の高電源電位、 V D D 2) になる。定電圧回路の出力電圧である V D D 2 が電源として各回路ブロックに供給される。なお、生成された V D D 1 を電源として各回路ブロックに供給してもよい。さらに、 V D D 1 及び V D D 2 の両方を各回路ブロックに供給してもよい。各回路ブロックの動作条件及び用途により V D D 1 または V D D 2 の供給を使い分けることが望ましい。

40

【 0 1 1 2 】

図 1 7 に示す半導体装置で、定電圧回路は直流電圧をほぼ一定に保つ機能を有しており、電圧や電流または両方により直流電圧をほぼ一定に保つことができる回路であればどのような回路でもよい。

【 0 1 1 3 】

また、送受信回路 1 7 0 3 の復調機能より復調信号 1 7 0 9 が生成される。生成された復調信号 1 7 0 9 が各回路ブロックに供給される。送受信回路 1 7 0 3 と制御回路 1 7 0 5

50

は接続されており、送受信回路 1703 で生成された復調信号 1709 が制御回路 1705 に供給される。

【0114】

制御回路 1705 は、リセット回路を有する。リセット回路ではリセット信号が生成される。リセット信号は、半導体装置 1700 の初期化を行う信号である。

【0115】

また、制御回路 1705 は、クロック生成回路を有する。クロック生成回路では送受信回路 1703 を介して送られてきた復調信号 1709 を元に、基本クロック信号を生成している。クロック生成回路にて生成された基本クロック信号は、制御回路内の回路で用いられる。

10

【0116】

さらに、制御回路 1705 は、送受信回路 1703 を介して送られてきた復調信号 1709 から、前記通信装置 1720 から半導体装置 1700 へ送られた命令を抽出し、どのような命令が送られてきたのかを判別する。また制御回路 1705 は、記憶素子 1706 を制御する役割も有している。

【0117】

こうして、通信装置 1720 からどのような命令が送られてきたのかを判別し、判別された命令により、記憶素子 1706 を動作させる。そして、記憶素子 1706 に記憶されたデータを含んだ信号、または、書き込まれた識別番号等の記憶データを含んだ信号を出力する。または、記憶素子 1706 に通信装置 1720 から送られてきた情報を記憶する。

20

【0118】

ここで記憶素子 1706 は、上記実施の形態で説明した不揮発性を有する記憶素子 1706 を用いることができ、電源が切れた状態でもデータの保持ができるため、低消費電力化を図ることができる。また、実施の形態 3 で示した半導体記憶装置を用いることで高速にデータの読み出しが可能な不揮発性を有する半導体記憶装置を具備する CPU とすることもできる。

【0119】

制御回路 1705 は記憶素子 1706 に記憶または書き込まれた識別番号等の固有データを含んだ信号を、ISO 等の規格に則った符号化方式で符号化した信号に変える役割も有する。そして、符号化された信号 1710 にしたがって、送受信回路 1703 により、アンテナ 1702 に送られてきている信号に変調をかける。

30

【0120】

変調をかけられた信号は、通信装置 1720 に接続されたアンテナユニット 1721 で受信される。そして、受信された信号は通信装置 1720 で解析され、半導体装置 1700 の識別番号等の固有データを認識することができる。

【0121】

本実施の形態で、半導体装置 1700 と通信装置 1720 との通信は、搬送波を変調することで行われる例について示した。なお搬送波は、125 KHz、13.56 MHz、950 MHz など規格により様々である。また変調の方式も規格により振幅変調、周波数変調、位相変調など様々な方式があるが、規格に即した変調方式であればどのような変調方式を用いても良い。

40

【0122】

信号の伝送方式は、搬送波の波長によって電磁結合方式、電磁誘導方式、マイクロ波方式など様々な種類に分類することができる。なお、半導体装置と通信装置との無線信号の送受信を長距離間で行う場合には、マイクロ波方式を選択することが望ましい。

【0123】

なお、本実施の形態は、本明細書の実施の形態の技術的要素と組み合わせて行うことができる。

(実施の形態 6)

【0124】

50

本実施の形態では、上記実施の形態で述べた半導体記憶装置を構成するトランジスタの作製例について説明する。本実施の形態では特に、絶縁基板上に形成された半導体膜によりトランジスタを作製し、半導体記憶装置を具備する半導体装置とする形態について説明する。

【0125】

基板1901の一表面に剥離層1902を形成し、続けて下地となる絶縁膜1903および非晶質半導体膜1904（例えば非晶質珪素を含む膜）を形成する（図19（A））。剥離層1902、絶縁膜1903および非晶質半導体膜1904は、連続して形成することができる。連続して形成することにより、大気に曝されないため不純物の混入を防ぐことができる。

10

【0126】

基板1901は、ガラス基板、石英基板、金属基板やステンレス基板、本工程の処理温度に耐えうる耐熱性があるプラスチック基板等を用いるとよい。このような基板であれば、その面積や形状に大きな制限はないため、例えば、1辺が1メートル以上であって、矩形状のものを用いれば、生産性を格段に向上させることができる。このような利点は、円形のシリコン基板を用いる場合と比較すると、大きな優位点である。従って、シリコン基板と比較して集積回路部やアンテナを大きく形成した場合であっても、低コスト化を実現することができる。

【0127】

なお、本工程では、剥離層1902を基板1901の全面に設けているが、必要に応じて、基板1901の全面に剥離層を設けた後に、フォトリソグラフィ法により剥離層1902を選択的に設けてもよい。また、基板1901に接するように剥離層1902を形成しているが、必要に応じて、基板1901に接するように酸化珪素（ SiO_x ）膜、酸化窒化珪素（ SiO_xN_y ）（ $x > y$ ）膜、窒化珪素（ SiN_x ）膜、窒化酸化珪素（ SiN_xO_y ）（ $x > y$ ）膜等の絶縁膜を形成し、当該絶縁膜に接するように剥離層1902を形成してもよい。

20

【0128】

剥離層1902は、金属膜や金属膜と金属酸化膜の積層構造等を用いることができる。金属膜としては、タングステン（W）、モリブデン（Mo）、チタン（Ti）、タンタル（Ta）、ニオブ（Nb）、ニッケル（Ni）、コバルト（Co）、ジルコニウム（Zr）、亜鉛（Zn）、ルテニウム（Ru）、ロジウム（Rh）、パラジウム（Pd）、オスミウム（Os）、イリジウム（Ir）から選択された元素または前記元素を主成分とする合金材料若しくは化合物材料からなる膜を単層又は積層して形成する。また、これらの材料は、スパッタリング法やプラズマCVD法等の各種CVD法等を用いて形成することができる。金属膜と金属酸化膜の積層構造としては、上述した金属膜を形成した後に、酸素雰囲気気化または N_2O 雰囲気気下におけるプラズマ処理、酸素雰囲気気化または N_2O 雰囲気気下における加熱処理を行うことによって、金属膜表面に当該金属膜の酸化物または酸化窒化物を設けることができる。また、金属膜を形成した後に、オゾン水等の酸化力の強い溶液で表面を処理することにより、金属膜表面に当該金属膜の酸化物又は酸化窒化物を設けることができる。

30

40

【0129】

絶縁膜1903は、スパッタリング法やプラズマCVD法等により、珪素の酸化物または珪素の窒化物を含む膜を、単層又は積層で形成する。下地となる絶縁膜が2層構造の場合、例えば、1層目として窒化酸化珪素膜を形成し、2層目として酸化窒化珪素膜を形成するとよい。下地となる絶縁膜が3層構造の場合、1層目の絶縁膜として酸化珪素膜を形成し、2層目の絶縁膜として窒化酸化珪素膜を形成し、3層目の絶縁膜として酸化窒化珪素膜を形成するとよい。または、1層目の絶縁膜として酸化窒化珪素膜を形成し、2層目の絶縁膜として窒化酸化珪素膜を形成し、3層目の絶縁膜として酸化窒化珪素膜を形成するとよい。下地となる絶縁膜は、基板1901からの不純物の侵入を防止するブロッキング膜として機能する。

50

【0130】

半導体膜1904は、スパッタリング法、LPCVD法、プラズマCVD法等により、25~200nm（好ましくは30~150nm）の厚さで形成する。半導体膜1904としては、例えば、非晶質珪素膜を形成すればよい。

【0131】

次に、非晶質の半導体膜1904にレーザー光を照射して結晶化を行う。なお、レーザー光の照射と、RTA又はファーネスアニール炉を用いる熱結晶化法、結晶化を助長する金属元素を用いる熱結晶化法とを組み合わせた方法等により非晶質の半導体膜1904の結晶化を行ってもよい。その後、得られた結晶質半導体膜を所望の形状にエッチングして、半導体膜1904a~1904dを形成し、当該半導体膜1904a~1904dを覆うようにゲート絶縁膜1905を形成する（図19（B））。 10

【0132】

半導体膜1904a~1904dの作製工程の一例を以下に簡単に説明すると、まず、プラズマCVD法を用いて、膜厚50~60nmの非晶質半導体膜（例えば、非晶質珪素膜）を形成する。次に、結晶化を助長する金属元素であるニッケルを含む溶液を非晶質半導体膜上に保持させた後、非晶質半導体膜に脱水素化の処理（500℃、1時間）と、熱結晶化の処理（550℃、4時間）を行って結晶質半導体膜を形成する。その後、レーザー発振器からレーザー光を照射し、フォトリソグラフィ法を用いることによって半導体膜1904a~1904dを形成する。なお、結晶化を助長する金属元素を用いる熱結晶化を行わずに、レーザー光の照射だけで非晶質半導体膜の結晶化を行ってもよい。 20

【0133】

レーザー発振器としては、連続発振型のレーザービーム（CWレーザービーム）やパルス発振型のレーザービーム（パルスレーザービーム）を用いることができる。ここで用いることができるレーザービームは、Arレーザー、Krレーザー、エキシマレーザーなどの気体レーザー、単結晶のYAG、YVO₄、フォルステライト（Mg₂SiO₄）、YAlO₃、GdVO₄、若しくは多結晶（セラミック）のYAG、Y₂O₃、YVO₄、YAlO₃、GdVO₄に、ドーパントとしてNd、Yb、Cr、Ti、Ho、Er、Tm、Taのうち1種または複数種添加されているものを媒質とするレーザー、ガラスレーザー、ルビーレーザー、アレキサンドライトレーザー、Ti：サファイアレーザー、銅蒸気レーザーまたは金蒸気レーザーのうち一種または複数種から発振されるものを用いることができる。このようなレーザービームの基本波、及びこれらの基本波の第2高調波から第4高調波のレーザービームを照射することで、大粒径の結晶を得ることができる。例えば、Nd：YVO₄レーザー（基本波1064nm）の第2高調波（532nm）や第3高調波（355nm）を用いることができる。このときレーザーのパワー密度は0.01~100MW/cm²程度（好ましくは0.1~10MW/cm²）が必要である。そして、走査速度を10~2000cm/sec程度として照射する。なお、単結晶のYAG、YVO₄、フォルステライト（Mg₂SiO₄）、YAlO₃、GdVO₄、若しくは多結晶（セラミック）のYAG、Y₂O₃、YVO₄、YAlO₃、GdVO₄に、ドーパントとしてNd、Yb、Cr、Ti、Ho、Er、Tm、Taのうち1種または複数種添加されているものを媒質とするレーザー、Arイオンレーザー、またはTi：サファイアレーザーは、連続発振をさせることが可能であり、Qスイッチ動作やモード同期などを行うことによって10MHz以上の発振周波数でパルス発振をさせることも可能である。10MHz以上の発振周波数でレーザービームを発振させると、半導体膜がレーザーによって溶融してから固化するまでの間に、次のパルスが半導体膜に照射される。従って、発振周波数が低いパルスレーザーを用いる場合と異なり、半導体膜中において固液界面を連続的に移動させることができるため、走査方向に向かって連続的に成長した結晶粒を得ることができる。 30 40

【0134】

次に、半導体膜1904a~半導体膜1904dを覆うゲート絶縁膜1905を形成する。ゲート絶縁膜1905は、CVD法やスパッタリング法等により、珪素の酸化物又は 50

珪素の窒化物を含む膜を、単層又は積層して形成する。具体的には、酸化珪素膜、酸化窒化珪素膜、窒化酸化珪素膜を、単層又は積層して形成する。

【0135】

また、ゲート絶縁膜1905は、非晶質の半導体膜1904a～半導体膜1904dに対し高密度プラズマ処理を行い、表面を酸化又は窒化することで形成しても良い。例えば、He、Ar、Kr、Xeなどの希ガスと、酸素、酸化窒素(NO_2)、アンモニア、窒素、水素などの混合ガスを導入したプラズマ処理で形成する。この場合のプラズマの励起は、マイクロ波の導入により行くと、低電子温度で高密度のプラズマを生成することができる。この高密度プラズマで生成された酸素ラジカル(OHラジカルを含む場合もある)や窒素ラジカル(NHラジカルを含む場合もある)によって、半導体膜の表面を酸化又は窒化することができる。

10

【0136】

このような高密度プラズマを用いた処理により、1～20nm、代表的には5～10nmの絶縁膜が半導体膜に形成される。この場合の反応は、固相反応であるため、当該絶縁膜と半導体膜との界面準位密度はきわめて低くすることができる。このような、高密度プラズマ処理は、半導体膜(結晶性シリコン、或いは多結晶シリコン)を直接酸化(若しくは窒化)するため、形成される絶縁膜の厚さは理想的には、ばらつきをきわめて小さくすることができる。加えて、結晶性シリコンの結晶粒界でも酸化が強くなることがないため、非常に好ましい状態となる。すなわち、ここで示す高密度プラズマ処理で半導体膜の表面を固相酸化することにより、結晶粒界において異常に酸化反応をさせることなく、均一性が良く、界面準位密度が低い絶縁膜を形成することができる。

20

【0137】

ゲート絶縁膜1905は、高密度プラズマ処理によって形成される絶縁膜のみを用いても良いし、それに加えてプラズマや熱反応を利用したCVD法で酸化シリコン、酸窒化シリコン、窒化シリコンなどの絶縁膜を堆積し、積層させても良い。いずれにしても、高密度プラズマで形成した絶縁膜をゲート絶縁膜の一部又は全部に含んで形成されるトランジスタは、特性のばらつきを小さくすることができる。

【0138】

また、半導体膜に対し、連続発振レーザー光若しくは10MHz以上の周波数で発振するレーザー光を照射しながら一方向に走査して結晶化させて得られた半導体膜1904a～1904dは、そのレーザー光の走査方向に結晶が成長する特性がある。その走査方向をチャンネル長方向(チャンネル形成領域が形成されたときにキャリアが流れる方向)に合わせてトランジスタを配置し、上記ゲート絶縁層を組み合わせることで、特性ばらつきが小さく、しかも電界効果移動度が高い薄膜トランジスタ(TFT)を得ることができる。

30

【0139】

次に、ゲート絶縁膜1905上に、第1の導電膜と第2の導電膜とを積層して形成する。ここでは、第1の導電膜は、プラズマCVD法やスパッタ法等により、20～100nmの厚さで形成する。第2の導電膜は、100～400nmの厚さで形成する。第1の導電膜と第2の導電膜は、タンタル(Ta)、タングステン(W)、チタン(Ti)、モリブデン(Mo)、アルミニウム(Al)、銅(Cu)、クロム(Cr)、ニオブ(Nb)等から選択された元素又はこれらの元素を主成分とする合金材料若しくは化合物材料で形成する。または、リン等の不純物元素をドーピングした多結晶珪素に代表される半導体材料により形成する。第1の導電膜と第2の導電膜の組み合わせの例を挙げると、窒化タンタル膜とタングステン膜、窒化タングステン膜とタングステン膜、窒化モリブデン膜とモリブデン膜等が挙げられる。タングステンや窒化タンタルは、耐熱性が高いため、第1の導電膜と第2の導電膜を形成した後に、熱活性化を目的とした加熱処理を行うことができる。また、2層構造ではなく、3層構造の場合は、モリブデン膜とアルミニウム膜とモリブデン膜の積層構造を採用するとよい。

40

【0140】

次に、フォトリソグラフィ法を用いてレジストからなるマスクを形成し、ゲート電極と

50

ゲート配線を形成するためのエッチング処理を行って、半導体膜 1904a ~ 1904d の上方にゲート電極 1907 を形成する。

【0141】

次に、フォトリソグラフィ法により、レジストからなるマスクを形成して、半導体膜 1904a ~ 1904d に、イオンドープ法またはイオン注入法により、n 型を付与する不純物元素を低濃度に添加する。n 型を付与する不純物元素は、15 族に属する元素を用いれば良く、例えばリン (P)、砒素 (As) を用いる。

【0142】

次に、ゲート絶縁膜 1905 とゲート電極 1907 を覆うように、絶縁膜を形成する。絶縁膜は、プラズマ CVD 法やスパッタ法等により、珪素、珪素の酸化物又は珪素の窒化物の無機材料を含む膜や、有機樹脂などの有機材料を含む膜を、単層又は積層して形成する。次に、絶縁膜を、垂直方向を主体とした異方性エッチングにより選択的にエッチングして、ゲート電極 1907 の側面に接する絶縁膜 1908 (サイドウォールともよばれる) を形成する。絶縁膜 1908 は、後に LDD (Lightly Doped drain) 領域を形成する際のドーピング用のマスクとして用いる。

10

【0143】

次に、フォトリソグラフィ法により形成したレジストからなるマスクと、ゲート電極 1907 および絶縁膜 1908 をマスクとして用いて、半導体膜 1904a ~ 1904d に n 型を付与する不純物元素を添加して、チャネル形成領域 1906a と、第 1 の不純物領域 1906b と、第 2 の不純物領域 1906c を形成する (図 19 (C))。第 1 の不純物領域 1906b は薄膜トランジスタのソース領域又はドレイン領域として機能し、第 2 の不純物領域 1906c は LDD 領域として機能する。第 2 の不純物領域 1906c が含む不純物元素の濃度は、第 1 の不純物領域 1906b が含む不純物元素の濃度よりも低い。

20

【0144】

続いて、ゲート電極 1907、絶縁膜 1908 等を覆うように、絶縁膜を単層または積層して形成し、当該絶縁膜上に薄膜トランジスタのソース電極又はドレイン電極として機能する導電膜 1931 を形成する。その結果、薄膜トランジスタ 1930a ~ 1930d を含む素子層 1951 が得られる (図 19 (D))。なお、薄膜トランジスタ等の素子は、領域 1950 の全面に設けた構成としても良いし、領域 1950 の一部 (例えば、中心部) を除いた部分に設けた構成としても良い。

30

【0145】

絶縁膜は、CVD 法、スパッタリング法、SOG 法、液滴吐出法、スクリーン印刷法等により、珪素の酸化物や珪素の窒化物等の無機材料、ポリイミド、ポリアミド、ベンゾシクロブテン、アクリル、エポキシ等の有機材料やシロキサン材料等により、単層または積層で形成する。ここでは、絶縁膜を 2 層で設けた例を示しており、1 層目の絶縁膜 1909 として窒化酸化珪素膜で形成し、2 層目の絶縁膜 1910 として酸化窒化珪素膜で形成することができる。

【0146】

なお、絶縁膜 1909、1910 を形成する前、または絶縁膜 1909、1910 のうちの一方又は両方を形成した後に、半導体膜 1904a ~ 1904d の結晶性の回復や半導体膜に添加された不純物元素の活性化、半導体膜の水素化を目的とした加熱処理を行うとよい。加熱処理には、熱アニール、レーザーアニール法または RTA 法などを適用するとよい。

40

【0147】

導電膜 1931 は、フォトリソグラフィ法により絶縁膜 1909、1910 等をエッチングして、第 1 の不純物領域 1906b を露出させるコンタクトホールを形成した後、コンタクトホールを充填するように導電膜を形成し、当該導電膜を選択的にエッチングして形成する。なお、導電膜を形成する前に、コンタクトホールにおいて露出した半導体膜 1904a ~ 1904d の表面にシリサイドを形成してもよい。

50

【0148】

また、導電膜1931は、CVD法やスパッタリング法等により、アルミニウム（Al）、タングステン（W）、チタン（Ti）、タンタル（Ta）、モリブデン（Mo）、ニッケル（Ni）、白金（Pt）、銅（Cu）、金（Au）、銀（Ag）、マンガン（Mn）、ネオジウム（Nd）、炭素（C）、シリコン（Si）から選択された元素、又はこれらの元素を主成分とする合金材料若しくは化合物材料で、単層又は積層で形成する。アルミニウムを主成分とする合金材料とは、例えば、アルミニウムを主成分としニッケルを含む材料、又は、アルミニウムを主成分とし、ニッケルと、炭素と珪素の一方又は両方とを含む合金材料に相当する。導電膜1931は、例えば、バリア膜とアルミニウムシリコン（Al-Si）膜とバリア膜の積層構造、バリア膜とアルミニウムシリコン（Al-Si）膜と窒化チタン（TiN）膜とバリア膜の積層構造を採用するとよい。なお、バリア膜とは、チタン、チタンの窒化物、モリブデン、又はモリブデンの窒化物からなる薄膜に相当する。アルミニウムやアルミニウムシリコンは抵抗値が低く、安価であるため、導電膜1931を形成する材料として最適である。また、上層と下層のバリア層を設けると、アルミニウムやアルミニウムシリコンのヒロックの発生を防止することができる。また、還元性の高い元素であるチタンからなるバリア膜を形成すると、結晶質半導体膜上に薄い自然酸化膜ができていたとしても、この自然酸化膜を還元し、結晶質半導体膜と良好なコンタクトをとることができる。

10

【0149】

次に、導電膜1931を覆うように、絶縁膜1911を形成する（図20（A））。絶縁膜1911は、CVD法、スパッタリング法、SOG法、液滴吐出法またはスクリーン印刷法等を用いて、無機材料又は有機材料により、単層又は積層で形成する。また、絶縁膜1911は、好適には、0.75 μm～3 μmの厚さで形成する。

20

【0150】

次に、絶縁膜1911の表面にアンテナとして機能する導電膜1912を選択的に形成する（図20（B））。

【0151】

導電膜1912は、フォトリソグラフィ法により絶縁膜1911をエッチングして、導電膜1931を露出させるコンタクトホールを形成した後、コンタクトホールを充填するように導電膜を形成し、当該導電膜を選択的にエッチングして形成する。

30

【0152】

また導電膜1912は、CVD法、スパッタリング法、スクリーン印刷やグラビア印刷等の印刷法、メッキ処理等を用いて、導電性材料により形成すればよい。導電性材料は、アルミニウム（Al）、チタン（Ti）、銀（Ag）、銅（Cu）、金（Au）、白金（Pt）、ニッケル（Ni）、パラジウム（Pd）、タンタル（Ta）、モリブデン（Mo）から選択された元素、又はこれらの元素を主成分とする合金材料若しくは化合物材料で、単層構造又は積層構造で形成する。

【0153】

例えば、スクリーン印刷法を用いてアンテナとして機能する導電膜1912を形成する場合には、粒径が数nmから数十μmの導電体粒子を有機樹脂に溶解または分散させた導電性のペーストを選択的に印刷することによって設けることができる。導電体粒子としては、銀（Ag）、金（Au）、銅（Cu）、ニッケル（Ni）、白金（Pt）、パラジウム（Pd）、タンタル（Ta）、モリブデン（Mo）およびチタン（Ti）等のいずれか一つ以上の金属粒子やハロゲン化銀の微粒子、または分散性ナノ粒子を用いることができる。スクリーン印刷法を用いて形成することにより、工程の簡略化が可能となり低コスト化を図ることができる。

40

【0154】

次に、アンテナとして機能する導電膜1912を覆うように絶縁膜1913を形成する（図21（A））。

【0155】

50

絶縁膜 1913 は、CVD 法、スパッタリング法、SOG 法、液滴吐出法、スクリーン印刷法等により、シリコンの酸化物やシリコンの窒化物等の無機材料（例えば、酸化珪素膜、酸化窒化珪素膜、窒化珪素膜、窒化酸化珪素膜等）、ポリイミド、ポリアミド、ベンゾシクロブテン、アクリル、エポキシ等の有機材料やシロキサン材料等により、単層または積層で形成する。

【0156】

次に、薄膜トランジスタ 1930a ~ 1930d やアンテナとして機能する導電膜 1912 を含む素子形成層を基板 1901 から剥離する。

【0157】

まず、レーザー光を照射することにより開口部 1918 を形成する（図 21（B））。続いて、素子形成層の一方の面（ここでは、絶縁膜 1917 の表面）を第 1 のシート材 1920 に貼り合わせた後、物理的な力を用いて基板 1901 から素子形成層を剥離する（図 22（A））。第 1 のシート材 1920 としては、ホットメルトフィルム等を用いることができる。また、後に第 1 のシート材 1920 を剥離する場合には、熱を加えることにより粘着力が弱まる熱剥離テープを用いることができる。

10

【0158】

なお、剥離する際に水やオゾン水等の水溶液で剥離する面を濡らしながら行うことによって、薄膜トランジスタ 1930a ~ 薄膜トランジスタ 1930d 等の素子が静電気等によって破壊されることを防止できる。また、素子形成層が剥離された基板 1901 を再利用することによって、低コスト化を実現することができる。

20

【0159】

次に、素子形成層の他方の面（基板 1901 から剥離により露出した面）に、第 2 のシート材 1921 を設ける（図 22（B））。第 2 のシート材 1921 は、ホットメルトフィルム等を用い、加熱処理と加圧処理の一方又は両方を行うことにより素子形成層の他方の面に貼り合わせることができる。また、第 1 のシート材 1920 として熱剥離テープを用いた場合には、第 2 のシート材 1921 を貼り合わせる際に加えた熱を利用して剥離することができる。

【0160】

次に、第 2 のシート材 1921 上に設けられた素子形成層をダイシング、スクライピング又はレーザーカット法等により選択的に分断することによって、複数の半導体装置を得ることができる。第 2 のシート材 1921 として、プラスチック等の可撓性を有する基板を用いることによって可撓性を有する半導体装置を作製することができる。

30

【0161】

なお、本実施の形態では、基板 1901 上に薄膜トランジスタやアンテナ等の素子を形成した後、当該基板 1901 から剥離することによって可撓性を有する半導体装置を作製する場合について示したが、これに限られない。例えば、基板 1901 上に剥離層 1902 を設けずに図 22（A）、図 19（A）の工程を適用することにより、基板 1901 上に薄膜トランジスタやアンテナ等の素子が設けられた半導体装置を作製することができる。

【0162】

なお本実施の形態では、アンテナを半導体素子と同じ基板上に形成する例について説明したが、この構成に限定されない。半導体素子を形成した後、別途形成したアンテナを、集積回路と電氣的に接続するようにしても良い。この場合、アンテナと集積回路との電氣的な接続は、異方導電性フィルム（ACF（Anisotropic Conductive Film））や異方導電性ペースト（ACP（Anisotropic Conductive Paste））等で圧着させることにより電氣的に接続することができる。また、他にも、銀ペースト、銅ペーストまたはカーボンペースト等の導電性接着剤や半田接合等を用いて接続を行うことも可能である。

40

【0163】

なお、本実施の形態は、本明細書の実施の形態の技術的要素と組み合わせて行うことがで

50

きる。

(実施の形態7)

【0164】

本実施の形態では、上記実施の形態6において、半導体装置のトランジスタの作製に用いられる絶縁基板上の半導体膜として単結晶半導体を用いた形態について説明する。

【0165】

以下本実施の形態では、単結晶半導体が形成される絶縁基板(以下、SOI(Silicon on Insulator)基板という)の製造方法について説明する。

【0166】

まず、半導体基板2001を準備する(図23(A)、図25(A)参照)。半導体基板2001としては、市販の半導体基板を用いればよく、例えばシリコン基板やゲルマニウム基板、ガリウムヒ素やインジウムリンなどの化合物半導体基板が挙げられる。市販のシリコン基板としては、直径5インチ(125mm)、直径6インチ(150mm)、直径8インチ(200mm)、直径12インチ(300mm)サイズのものが代表的であり、その形状は円形のものがほとんどである。また、膜厚は1.5mm程度まで適宜選択できる。

10

【0167】

次に、半導体基板2001の表面から電界で加速されたイオン2004を所定の深さに注入し、イオンドーピング層2003を形成する(図23(A)、図25(A)参照)。イオン2004の注入は、後にベース基板に転置するSOI層の膜厚を考慮して行われる。好ましくは、SOI層の膜厚が5nm乃至500nm、より好ましくは10nm乃至200nmの厚さとなるようにする。イオンを注入する際の加速電圧及びイオンのドーズ量は、転置するSOI層の膜厚を考慮して適宜選択する。イオン2004は、水素、ヘリウム、又はフッ素等のハロゲンのイオンを用いることができる。なお、イオン2004としては、水素、ヘリウム、又はハロゲン元素から選ばれたソースガスをプラズマ励起して生成された一の原子又は複数の同一の原子からなるイオン種を注入することが好ましい。水素イオンを注入する場合には、 H^+ 、 H_2^+ 、 H_3^+ イオンを含ませると共に、 H_3^+ イオンの割合を高めておくことイオンの注入効率を高めることができ、注入時間を短縮することができるため好ましい。また、このような構成とすることで、剥離を容易に行うことができる。

20

30

【0168】

なお、所定の深さにイオンドーピング層2003を形成するために、イオン2004を高ドーズ条件で注入する必要がある場合がある。このとき、条件によっては半導体基板2001の表面が粗くなってしまう。そのため、半導体基板のイオンが注入される表面に、保護層として窒化シリコン層又は窒化酸化シリコン層などを膜厚50nm乃至200nmの範囲で設けておいてもよい。

【0169】

次に、半導体基板2001に接合層2022を形成する(図23(B)、図25(B)参照)。接合層2022は、半導体基板2001がベース基板と接合を形成する面に形成する。ここで形成する接合層2022としては、上述のように有機シランを原料ガスに用いた化学気相成長法により成膜される酸化シリコン層が好ましい。その他に、シランを原料ガスに用いた化学気相成長法により成膜される酸化シリコン層を適用することもできる。化学気相成長法による成膜では、半導体基板2001に形成したイオンドーピング層2003から脱ガスが起こらない程度の温度が適用される。例えば、350℃以下の成膜温度が適用される。なお、単結晶半導体基板または多結晶半導体基板などの半導体基板からSOI層を剥離する加熱処理は、化学気相成長法による成膜温度よりも高い加熱処理温度が適用される。

40

【0170】

次に、半導体基板2001を所望の大きさ、形状に加工する(図23(C)、図25(C)参照)。具体的には、所望のサイズとなるように加工する。図25(C)では、円形

50

の半導体基板 2001 を分断して、矩形の半導体基板 2002 を形成する例を示している。この際、接合層 2022 及びイオンドーピング層 2003 も分断される。つまり、所望のサイズであり、所定の深さにイオンドーピング層 2003 が形成され、表面（ベース基板との接合面）に接合層 2022 が形成された半導体基板 2002 が得られる。

【0171】

半導体基板 2002 は、予め分断し、所望の半導体装置のサイズとすることが好ましい。半導体基板 2001 の分断は、ダイサー或いはワイヤソー等の切断装置、レーザー切断、プラズマ切断、電子ビーム切断、その他任意の切断手段を用いることができる。

【0172】

なお、半導体基板表面に接合層を形成するまでの工程順序は、適宜入れ替えることが可能である。図 23 及び図 25 では半導体基板にイオンドーピング層を形成し、前記半導体基板の表面に接合層を形成した後、前記半導体基板を所望のサイズに加工する例を示している。これに対し、例えば、半導体基板を所望のサイズに加工した後、前記所望のサイズの半導体基板にイオンドーピング層を形成し、前記所望のサイズの半導体基板の表面に接合層を形成することもできる。

10

【0173】

次に、ベース基板 2010 と半導体基板 2002 を貼り合わせる。図 24 (A) には、ベース基板 2010 と半導体基板 2002 の接合層 2022 が形成された面とを密着させ、ベース基板 2010 と接合層 2022 を接合させて、ベース基板 2010 と半導体基板 2002 を貼り合わせる例を示す。なお、接合を形成する面（接合面）は十分に清浄化しておくことが好ましい。ベース基板 2010 と接合層 2022 を密着させることにより接合が形成される。この接合はファンデルワールス力が作用しており、ベース基板 2010 と半導体基板 2002 とを圧接することで、水素結合による強固な接合を形成することが可能である。

20

【0174】

また、ベース基板 2010 と接合層 2022 との良好な接合を形成するために、接合面を活性化しておいてもよい。例えば、接合を形成する面の一方又は双方に原子ビーム若しくはイオンビームを照射する。原子ビーム若しくはイオンビームを利用する場合には、アルゴン等の不活性ガス中性原子ビーム若しくは不活性ガスイオンビームを用いることができる。その他に、プラズマ照射若しくはラジカル処理を行うことで接合面を活性化することもできる。このような表面処理により、400 以下の温度であっても異種材料間の接合を形成することが容易となる。

30

【0175】

また、接合層 2022 を介してベース基板 2010 と半導体基板 2002 を貼り合わせた後は、加熱処理又は加圧処理を行うことが好ましい。加熱処理又は加圧処理を行うことで接合強度を向上させることが可能となる。加熱処理の温度は、ベース基板 2010 の耐熱温度以下であることが好ましい。加圧処理においては、接合面に垂直な方向に圧力が加わるように行い、ベース基板 2010 及び半導体基板 2002 の耐圧性を考慮して行う。

【0176】

次に、加熱処理を行い、イオンドーピング層 2003 を劈開面として半導体基板 2002 の一部をベース基板 2010 から剥離する（図 24 (B) 参照）。加熱処理の温度は接合層 2022 の成膜温度以上、ベース基板 2010 の耐熱温度以下で行うことが好ましい。例えば、400 乃至 600 の加熱処理を行うことにより、イオンドーピング層 2003 に形成された微小な空洞の堆積変化が起こり、イオンドーピング層 2003 に沿って劈開することが可能となる。接合層 2022 はベース基板 2010 と接合しているので、ベース基板 2010 上には半導体基板 2002 と同じ結晶性の SOI 層 2030 が残存することとなる。

40

【0177】

以上で、ベース基板 2010 上に接合層 2022 を介して SOI 層 2030 が設けられた SOI 構造が形成される。なお、SOI 基板は、1 枚のベース基板上に接合層を介して

50

複数のＳＯＩ層が設けられた構造である。

【０１７８】

なお、剥離により得られるＳＯＩ層は、その表面を平坦化するため、化学的機械的研磨（Chemical Mechanical Polishing：CMP）を行うことが好ましい。また、CMP等の物理的研磨手段を用いず、ＳＯＩ層の表面にレーザービームを照射して平坦化を行ってもよい。なお、レーザービームを照射する際は、酸素濃度が１０ppm以下の窒素雰囲気下で行うことが好ましい。これは、酸素雰囲気下でレーザービームの照射を行うとＳＯＩ層表面が荒れる恐れがあるからである。また、得られたＳＯＩ層の薄膜化を目的として、CMP等を行ってもよい。

【０１７９】

本実施の形態で述べたＳＯＩ基板の製造方法は、ガラス基板等の耐熱温度が６００以下のベース基板２０１０であっても接合部の接着力が強固なＳＯＩ層２０３０を得ることができる。また、６００以下の温度プロセスを適用すればよい。また、ベース基板２０１０として、アルミノシリケートガラス、アルミノホウケイ酸ガラス、バリウムホウケイ酸ガラスの如き無アルカリガラスと呼ばれる電子工業用に使われる各種ガラス基板を適用することが可能となる。もちろん、セラミック基板、サファイヤ基板、石英基板等を適用することも可能である。

【０１８０】

本実施の形態で説明したＳＯＩ基板は、単結晶半導体膜をガラス基板等の絶縁基板上に直接作製することができるため、半導体特性を高めるための半導体膜のレーザー結晶化等の結晶化工程の必要がない。そのため、ＳＯＩ基板を作製し、上記実施の形態４で述べた方法を用いてトランジスタ等を作製することで、トランジスタ特性のばらつきの少ない素子を用いて半導体装置を構成することができるため、信頼性の高い半導体装置を作製することができる。

【０１８１】

なお、本実施の形態は、本明細書の実施の形態の技術的要素と組み合わせて行うことができる。

（実施の形態８）

【０１８２】

本実施の形態では、上記実施の形態で述べた半導体記憶装置を構成するトランジスタの作製例について説明する。本実施の形態では特に、単結晶シリコンにより半導体装置を構成するトランジスタを作製し、半導体記憶装置を具備する半導体装置とする形態について図２６、図２７を用いて説明する。

【０１８３】

まず、図２６（Ａ）を用いて、トランジスタの作製工程について説明する。単結晶シリコンからなるシリコン基板２６０１を用意する。そして、ｎ型の導電性が付与されたシリコン基板の主面（素子形成面または回路形成面）の素子形成領域に素子形成領域にｐ型ウェル２６０２を選択的に形成する。また、シリコン基板の裏面を研磨する等の手法によって薄くすることも可能である。予め、シリコン基板を薄膜化することによって、半導体装置を軽量で薄型な半導体装置を作製することができる。

【０１８４】

次いで、第１の素子形成領域と第２の素子形成領域とを区画するための素子分離領域となるフィールド酸化膜２６０３を形成する。フィールド酸化膜２６０３は厚い熱酸化膜であり、公知のLOCOS法を用いて形成すればよい。なお、素子分離法は、LOCOS法に限定されず、例えば素子分離領域はトレンチ分離法を用いてトレンチ構造を有していてもよいし、LOCOS構造とトレンチ構造の組み合わせであってもよい。

【０１８５】

次いで、シリコン基板の表面を、例えば熱酸化させることによってゲート絶縁膜２６０４を形成する。ゲート絶縁膜２６０４は、CVD法を用いて形成してもよく、酸化窒化珪素膜や酸化珪素膜や窒化珪素膜やそれらの積層膜を用いることができる。

10

20

30

40

50

【0186】

次いで、ポリシリコン層2605aとシリサイド層2605bとの積層膜を全面に形成し、リソグラフィ技術およびドライエッチング技術に基づき積層膜を形成することによってゲート絶縁膜上にポリサイド構造を有するゲート電極2605を形成する。ポリシリコン層2605aは低抵抗化するために予め、 $10^{21}/\text{cm}^3$ 程度の濃度でリン(P)をドーピングしておいても良いし、ポリシリコン膜を形成した後で濃いn型不純物を拡散させても良い。また、シリサイド層2605bを形成する材料はモリブデンシリサイド(MoSix)、タングステンシリサイド(WSix)、タンタルシリサイド(TaSix)、チタンシリサイド(TiSix)などを適用することが可能であり、公知の方法に従い形成すれば良い。

10

【0187】

なおゲート電極の側壁にサイドウォールを形成してもよい。例えば、酸化珪素からなる絶縁材料層を全面にCVD法にて体積させ、かかる絶縁材料層をエッチバックすることによってサイドウォールを形成すればよい。エッチバックの際に自己整合的にゲート絶縁膜を選択的に除去してもよい。

【0188】

次いで、ソース領域およびドレイン領域を形成するために、露出したシリコン基板にイオン注入を行う。pチャネル型FETを形成すべき素子形成領域をレジスト材料で被覆し、n型不純物であるヒ素(As)やリン(P)をシリコン基板に注入してソース領域2613及びドレイン領域2614を形成する。また、nチャネル型FETを形成すべき素子形成領域をレジスト材料で被覆し、p型不純物であるボロン(B)をシリコン基板に注入してソース領域2615及びドレイン領域2616を形成する。

20

【0189】

次いで、イオン注入された不純物の活性化および、イオン注入によって発生したシリコン基板における結晶欠陥を回復するために、活性化処理を行う。

【0190】

そして、活性化後に層間絶縁膜や、ソース電極またはドレイン電極となるメタル配線等を形成する。層間絶縁膜2617は、プラズマCVD法や減圧CVD法を用いて酸化シリコン膜や酸化窒化シリコン膜などを形成する。なお、さらにその上にリンガラス(PSG)、あるいはボロンガラス(BSG)、もしくはリンボロンガラス(PBSG)の層間絶縁膜が形成してもよい。

30

【0191】

メタル電極2619、メタル電極2621、メタル電極2620、メタル電極2622は、層間絶縁膜2617にそれぞれのFETのソース領域及びドレイン領域に達するコンタクトホールを形成した後に形成するもので、低抵抗材料として通常良く用いられるアルミニウム(Al)を用いると良い。また、Alとチタン(Ti)の積層構造としても良い。

【0192】

なお、コンタクト穴は、電子線直接描画技術によって形成してもよい。電子線直接描画は、ポジ型の電子線描画用レジストを層間絶縁膜2617上の全面に形成し、電子線が照射された部分を現像液によって溶解させる。そして、コンタクト穴が形成される箇所のレジストに穴が空き、レジストをマスクとしてドライエッチングを行なうことにより、所定の位置の層間絶縁膜2617がエッチングされてコンタクト穴を形成することができる。以上のようにして、pチャネル型トランジスタ2651、nチャネル型トランジスタ2652を単結晶基板を用いて作製することができる(図26(A))。

40

【0193】

次に図26(B)に示すように層間膜2624を形成する。そして層間膜2624をエッチングしコンタクトホールを形成し、メタル電極2622の一部を露出させる。層間膜2624は樹脂には限定せず、CVD酸化膜など他の膜であっても良いが、平坦性の観点から樹脂であることが望ましい。また、感光性樹脂を用いて、エッチングを用いずにコン

50

タクトホールを形成しても良い。次に層間膜 2 6 2 4 上に、コンタクトホールを介して導電膜 2 6 1 8 と接する配線 2 6 2 5 を形成する。

【 0 1 9 4 】

次にアンテナとして機能する導電膜 2 6 2 6 を、配線 2 6 2 5 と接するように形成する。導電膜 2 6 2 6 は、銀 (A g)、金 (A u)、銅 (C u)、パラジウム (P d)、クロム (C r)、白金 (P t)、モリブデン (M o)、チタン (T i)、タンタル (T a)、タングステン (W)、アルミニウム (A l)、鉄 (F e)、コバルト (C o)、亜鉛 (Z n)、錫 (S n)、ニッケル (N i) などの金属を用いて形成することができる。導電膜 2 6 2 6 は、上記金属で形成された膜の他に、上記金属を主成分とする合金で形成された膜、或いは上記金属を含む化合物を用いて形成された膜を用いても良い。導電膜 2 6 2 6 は、上述した膜を単層で用いても良いし、上述した複数の膜を積層して用いても良い。

10

【 0 1 9 5 】

導電膜 2 6 2 6 は、C V D 法、スパッタリング法、スクリーン印刷やグラビア印刷等の印刷法、液滴吐出法、ディスペンサ法、めっき法、フォトリソグラフィ法、蒸着法等を用いて形成することができる。

【 0 1 9 6 】

なお本実施の形態では、アンテナを半導体素子と同じ基板上に形成する例について説明したが、この構成に限定されない。半導体素子を形成した後、別途形成したアンテナを、集積回路と電氣的に接続するようにしても良い。この場合、アンテナと集積回路との電氣的な接続は、異方導電性フィルム (A C F (A n i s o t r o p i c C o n d u c t i v e F i l m)) や異方導電性ペースト (A C P (A n i s o t r o p i c C o n d u c t i v e P a s t e)) 等で圧着させることにより電氣的に接続することができる。また、他にも、銀ペースト、銅ペーストまたはカーボンペースト等の導電性接着剤や半田接合等を用いて接続を行うことも可能である。

20

【 0 1 9 7 】

次に図 2 7 (A) に示すように、アンテナとして機能する導電膜 2 6 2 6 を覆うように保護膜 2 6 2 7 を形成する。保護膜 2 6 2 7 は、窒化シリコン膜、または酸化シリコン膜、あるいは窒化酸化シリコン膜で形成されている。また、窒化シリコン膜等の代わりに有機樹脂膜、若しくは保護膜の上に有機樹脂膜を積層してもよい。有機樹脂材料として、ポリイミド、ポリアミド、アクリル、ベンゾシクロブテン (B C B) などを用いることができる。有機樹脂膜を用いる利点は、膜の形成方法が簡単である点や、比誘電率が低いので寄生容量を低減できる点、平坦化するのに適している点などがある。勿論、上述した以外の有機樹脂膜を用いても良い。

30

【 0 1 9 8 】

そして、図 2 7 (B) に示すように、フィルム 2 6 2 8 によって覆い、半導体装置を完成させることができる。フィルム 2 6 2 8 の表面には、水分や酸素等の侵入を防ぐために、保護膜を形成しても良い。保護膜は、珪素を有する酸化物、又は珪素を有する窒化物によって形成することができる。また、フィルムには半導体装置のブースターアンテナとなるパターンが形成されていてもよい。

【 0 1 9 9 】

このように単結晶基板上に形成された半導体装置は、軽量でより小型化された製品を提供することができる。またこのような半導体装置は小型化された半導体装置を作成することができ、トランジスタ特性のばらつきも小さいため、好適である。

40

【 0 2 0 0 】

なお、本実施の形態は、本明細書の実施の形態の技術的要素と組み合わせて行うことができる。

(実施の形態 9)

【 0 2 0 1 】

本発明の半導体記憶装置を実装しうる電子機器として、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ (ヘッドマウントディスプレイ)、ナビゲーションシステム、音

50

響再生装置（カーオーディオ、オーディオコンボ等）、コンピュータ、ゲーム機器、携帯情報端末（モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等）、記録媒体を備えた画像再生装置（具体的にはDVD: Digital Versatile Disc等の記録媒体を再生し、その画像を表示しうるディスプレイを備えた装置）などが挙げられる。それら電子機器の具体例を図28に示す。

【0202】

図28(A)は携帯情報端末（所謂PDA: Personal Digital Assistant）であり、本体2801、表示部2802、操作キー2803、モデム2804等を含み、本体2801が有するメモリ素子として本発明の半導体記憶装置が設けられている。本発明の半導体記憶装置により、携帯情報端末の低消費電力化を図ることができる。

10

【0203】

図28(B)は携帯電話機であり、本体2811、表示部2812、音声入力部2813、音声出力部2814、操作キー2815、外部接続ポート2816、アンテナ2817等を含み、本体2811が有するメモリ素子として本発明の半導体記憶装置が設けられている。本発明の半導体記憶装置により、携帯電話機の低消費電力化を図ることができる。

【0204】

図28(C)は電子カードであり、本体2821、表示部2822、接続端子2823等を含み、本体2821が有するメモリ素子として本発明の半導体記憶装置が設けられている。本発明の半導体記憶装置により、電子カードの低消費電力化を図ることができる。なお、図28(C)では接触型の電子カードを示しているが、非接触型の電子カードや、接触型と非接触型の機能を持ち合わせた電子カードにも、本発明の半導体記憶装置を用いることができる。

20

【0205】

図28(D)は電子ブックであり、本体2831、表示部2832、操作キー2833等を含み、本体2831が有するメモリ素子として本発明の半導体記憶装置が設けられている。また電子ブックには、モデムが本体2831に内蔵されていてもよい。本発明の半導体記憶装置により、電子ブックの低消費電力化を図ることができる。

【0206】

図28(E)はコンピュータであり、本体2841、表示部2842、キーボード2843、タッチパッド2844、外部接続ポート2845、電源プラグ2846等を含み、本体2841が有するメモリ素子として本発明の半導体記憶装置が設けられている。本発明の半導体記憶装置により、コンピュータの低消費電力化を図ることができる。

30

【0207】

以上の様に、本発明の適用範囲は極めて広く、あらゆる電子機器のメモリ素子に用いることが可能である。

【0208】

なお、本実施の形態は、本明細書の実施の形態の技術的要素と組み合わせて行うことができる。

【図面の簡単な説明】

40

【0209】

【図1】実施の形態1を説明するための図。

【図2】実施の形態1の説明するための図。

【図3】実施の形態1の説明するための図。

【図4】実施の形態1の説明するための図。

【図5】実施の形態1の説明するための図。

【図6】実施の形態1の説明するための図。

【図7】実施の形態2の説明するための図。

【図8】実施の形態2の説明するための図。

【図9】実施の形態2の説明するための図。

50

【図 1 0】	実施の形態 2 の説明するための図。	
【図 1 1】	実施の形態 3 の説明するための図。	
【図 1 2】	実施の形態 3 の説明するための図。	
【図 1 3】	実施の形態 3 の説明するための図。	
【図 1 4】	実施の形態 3 の説明するための図。	
【図 1 5】	実施の形態 3 の説明するための図。	
【図 1 6】	実施の形態 4 の説明するための図。	
【図 1 7】	実施の形態 5 の説明するための図。	
【図 1 8】	実施の形態 5 の説明するための図。	
【図 1 9】	実施の形態 6 の説明するための図。	10
【図 2 0】	実施の形態 6 の説明するための図。	
【図 2 1】	実施の形態 6 の説明するための図。	
【図 2 2】	実施の形態 6 の説明するための図。	
【図 2 3】	実施の形態 7 の説明するための図。	
【図 2 4】	実施の形態 7 の説明するための図。	
【図 2 5】	実施の形態 7 の説明するための図。	
【図 2 6】	実施の形態 8 の説明するための図。	
【図 2 7】	実施の形態 8 の説明するための図。	
【図 2 8】	実施の形態 9 の説明するための図。	
【符号の説明】		20
【 0 2 1 0】		
1 0 0	半導体記憶装置	
1 0 1	デコーダ	
1 0 2	書き込み読み出し回路	
1 0 3	メモリセルアレイ	
1 0 4	アドレス信号線	
1 0 5	ライトイネーブル信号線	
1 0 6	リードイネーブル信号線	
1 0 7	メモリセル	
1 0 8	リードライトワード線	30
1 0 9	アドレス信号線	
1 1 0	入力データ信号線	
1 1 1	出力データ信号線	
1 1 2	リードライトビット信号線	
1 1 3	リードライトビット反転信号線	
1 1 4 a	電源制御回路	
1 1 4 b	電源制御回路	
1 1 5	電源線	
1 1 6	グラウンド線	
2 0 1 a	Nチャネル型トランジスタ	40
2 0 1 b	Nチャネル型トランジスタ	
2 0 2	ラッチ回路	
2 0 2 a	インバーター回路	
2 0 2 b	インバーター回路	
2 0 3	ダイオード	
2 0 4 a	容量素子	
2 0 4 b	容量素子	
2 5 1	Nチャネル型トランジスタ	
2 5 2	Pチャネル型トランジスタ	
2 5 3	Nチャネル型トランジスタ	50

2 5 4	P チャンネル型トランジスタ	
2 8 1	ノード	
2 8 2	ノード	
7 0 0	半導体記憶装置	
7 0 1	デコーダ	
7 0 2	書き込み読み出し回路	
7 0 3	メモリセルアレイ	
7 0 4	アドレス信号線	
7 0 5	ライトイネーブル信号線	
7 0 6	リードイネーブル信号線	10
7 0 7	メモリセル	
7 0 8	ライトワード線	
7 0 9	アドレス信号線	
7 1 0	入力データ信号線	
7 1 1	出力データ信号線	
7 1 2	ライトビット信号線	
7 1 3	ライトビット反転信号線	
7 1 4 a	電源制御回路	
7 1 4 b	電源制御回路	
7 1 5	電源線	20
7 1 6	グラウンド線	
7 2 1	リードワード線	
7 2 2	リードビット線	
8 0 1 a	N チャンネル型トランジスタ	
8 0 1 b	N チャンネル型トランジスタ	
8 0 2	ラッチ回路	
8 0 2 a	インバーター回路	
8 0 2 b	インバーター回路	
8 0 3	ダイオード	
8 0 4	N チャンネル型トランジスタ	30
8 0 5	N チャンネル型トランジスタ	
1 0 0 1	ノード	
1 2 0 0	半導体記憶装置	
1 2 0 1	デコーダ	
1 2 0 2	書き込み読み出し回路	
1 2 0 3	メモリセルアレイ	
1 2 0 4	第 1 の書き込みアドレス信号線	
1 2 0 5	第 1 の読み出しアドレス信号線	
1 2 0 6	第 2 の読み出しアドレス信号線	
1 2 0 7	ライトイネーブル信号線	40
1 2 0 8	メモリセル	
1 2 0 9	ライトワード線	
1 2 1 0	リードワード線	
1 2 1 1	リードワード線	
1 2 1 2	第 2 の書き込みアドレス信号線	
1 2 1 3	第 3 の読み出しアドレス信号線	
1 2 1 4	第 4 の読み出しアドレス信号線	
1 2 1 5	入力データ信号線	
1 2 1 6	出力データ信号線	
1 2 1 7	出力データ信号線	50

1 2 1 8	ライトビット信号線	
1 2 1 9	ライトビット反転信号線	
1 2 2 0	第 1 のリードビット線	
1 2 2 1	第 2 のリードビット線	
1 2 2 2 a	電源制御回路	
1 2 2 2 b	電源制御回路	
1 2 2 3	電源線	
1 2 2 4	グラウンド線	
1 2 2 5	リードイネーブル信号線	
1 3 0 1 a	Nチャネル型トランジスタ	10
1 3 0 1 b	Nチャネル型トランジスタ	
1 3 0 2	ラッチ回路	
1 3 0 2 a	インバーター回路	
1 3 0 2 b	インバーター回路	
1 3 0 3	ダイオード	
1 3 0 4	Nチャネル型トランジスタ	
1 3 0 5	Nチャネル型トランジスタ	
1 3 0 6	Nチャネル型トランジスタ	
1 3 0 7	Nチャネル型トランジスタ	
1 3 0 8	メモリセル	20
1 3 0 8 a	メモリセル	
1 3 0 8 b	メモリセル	
1 4 0 1	アナログスイッチ	
1 6 0 1	D \$	
1 6 0 2	I \$	
1 6 0 3	D U	
1 6 0 4	A L U	
1 6 0 5	P C	
1 6 0 6	I O	
1 7 0 0	半導体装置	30
1 7 0 1	半導体集積回路	
1 7 0 2	アンテナ	
1 7 0 3	送受信回路	
1 7 0 4	電源回路	
1 7 0 5	制御回路	
1 7 0 6	記憶素子	
1 7 0 9	復調信号	
1 7 1 0	信号	
1 7 2 0	通信装置	
1 7 2 1	アンテナユニット	40
1 7 2 2	制御用端末	
1 9 0 1	基板	
1 9 0 2	剥離層	
1 9 0 3	絶縁膜	
1 9 0 4	半導体膜	
1 9 0 4 a	半導体膜	
1 9 0 4 b	半導体膜	
1 9 0 4 c	半導体膜	
1 9 0 4 d	半導体膜	
1 9 0 5	ゲート絶縁膜	50

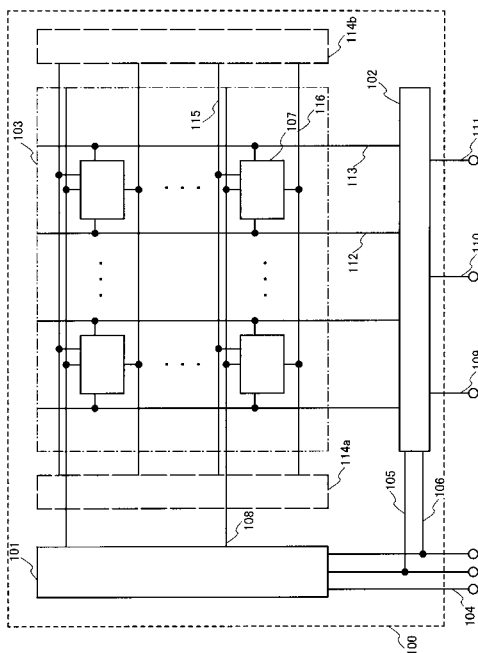
1 9 0 6 a	チャネル形成領域	
1 9 0 6 b	不純物領域	
1 9 0 6 c	不純物領域	
1 9 0 7	ゲート電極	
1 9 0 8	絶縁膜	
1 9 0 9	絶縁膜	
1 9 1 0	絶縁膜	
1 9 1 1	絶縁膜	
1 9 1 2	導電膜	
1 9 1 2	導電膜	10
1 9 1 3	絶縁膜	
1 9 1 7	絶縁膜	
1 9 1 8	開口部	
1 9 2 0	シート材	
1 9 2 1	シート材	
1 9 3 1	導電膜	
1 9 5 0	領域	
1 9 5 1	素子層	
2 0 0 1	半導体基板	
2 0 0 2	半導体基板	20
2 0 0 3	イオンドーピング層	
2 0 0 4	イオン	
2 0 1 0	ベース基板	
2 0 2 2	接合層	
2 0 3 0	S O I 層	
2 6 0 1	シリコン基板	
2 6 0 2	p 型ウェル	
2 6 0 3	フィールド酸化膜	
2 6 0 4	ゲート絶縁膜	
2 6 0 5	ゲート電極	30
2 6 1 3	ソース領域	
2 6 1 4	ドレイン領域	
2 6 1 5	ソース領域	
2 6 1 6	ドレイン領域	
2 6 1 7	層間絶縁膜	
2 6 1 8	導電膜	
2 6 1 9	メタル電極	
2 6 2 0	メタル電極	
2 6 2 1	メタル電極	
2 6 2 2	メタル電極	40
2 6 2 4	層間膜	
2 6 2 5	配線	
2 6 2 6	導電膜	
2 6 2 7	保護膜	
2 6 2 8	フィルム	
2 6 5 1	pチャネル型トランジスタ	
2 6 5 2	nチャネル型トランジスタ	
2 8 0 1	本体	
2 8 0 2	表示部	
2 8 0 3	操作キー	50

2 8 0 4	モデム
2 8 1 1	本体
2 8 1 2	表示部
2 8 1 3	音声入力部
2 8 1 4	音声出力部
2 8 1 5	操作キー
2 8 1 6	外部接続ポート
2 8 1 7	アンテナ
2 8 2 1	本体
2 8 2 2	表示部
2 8 2 3	接続端子
2 8 3 1	本体
2 8 3 2	表示部
2 8 3 3	操作キー
2 8 4 1	本体
2 8 4 2	表示部
2 8 4 3	キーボード
2 8 4 4	タッチパッド
2 8 4 5	外部接続ポート
2 8 4 6	電源プラグ
2 6 0 5 a	ポリシリコン層
2 6 0 5 b	シリサイド層

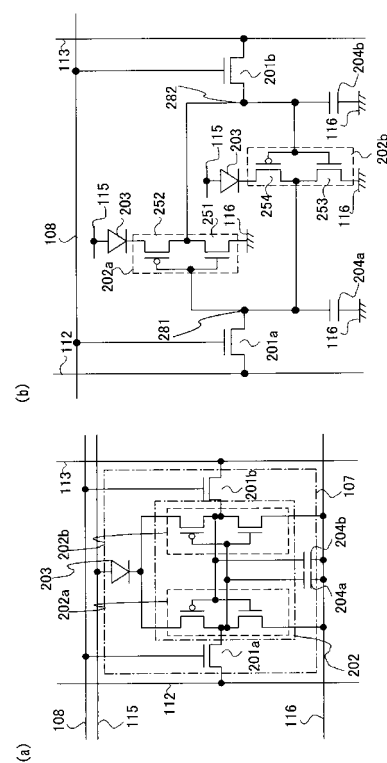
10

20

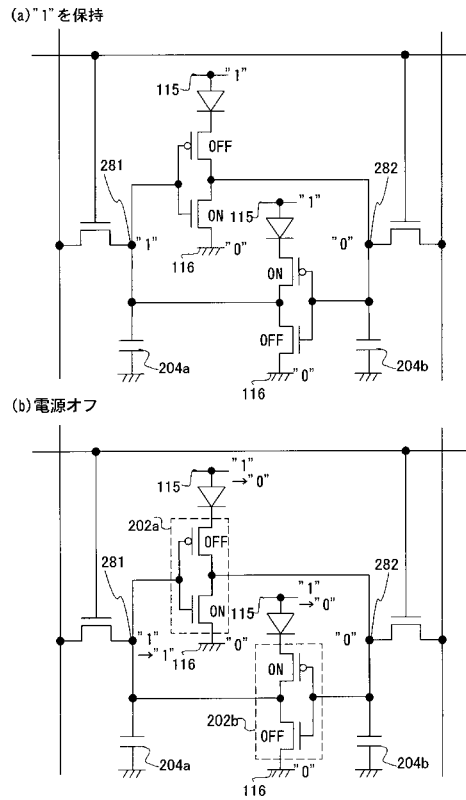
【図 1】



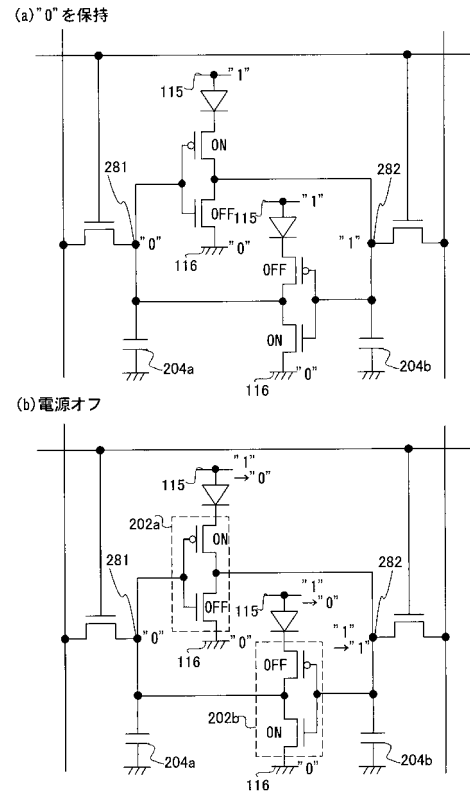
【図 2】



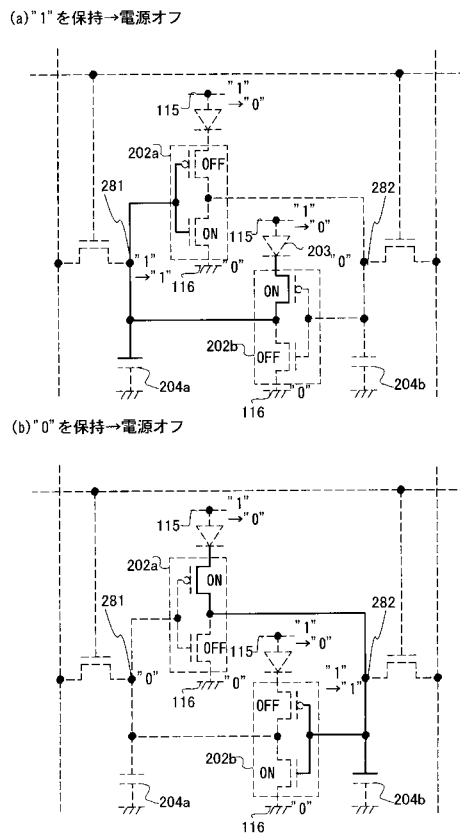
【図 3】



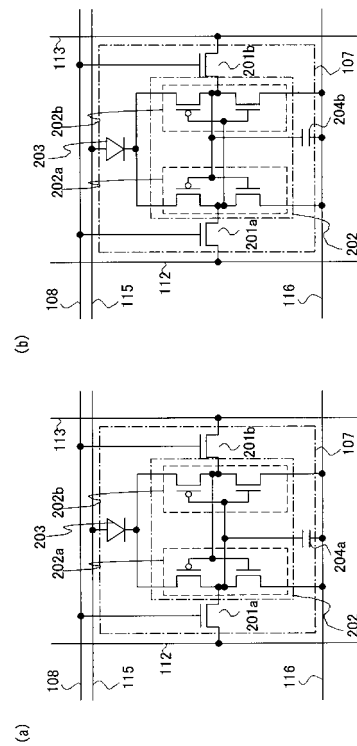
【図 4】



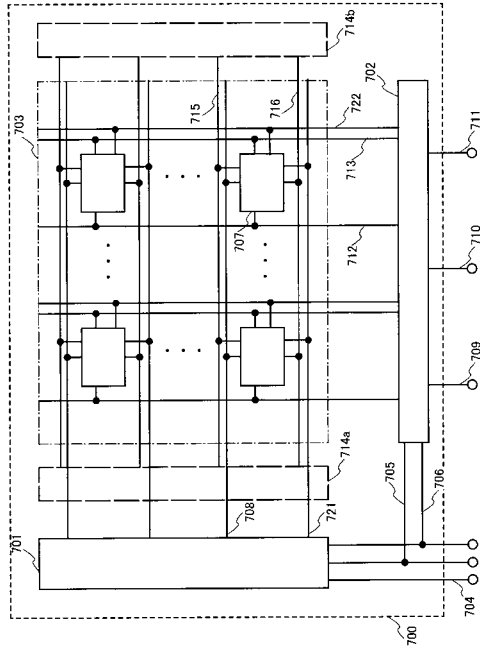
【図 5】



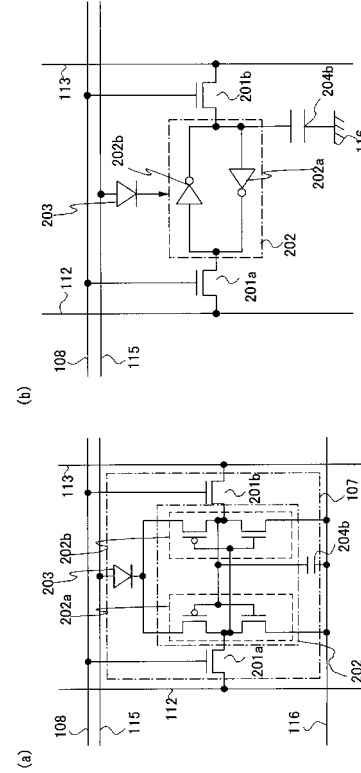
【図 6】



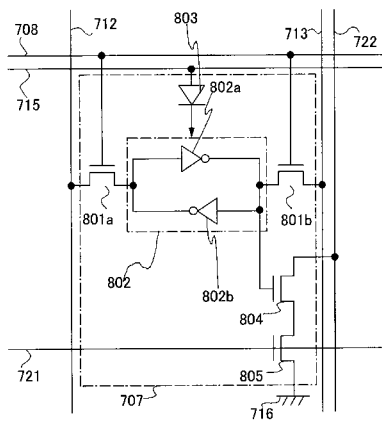
【図 7】



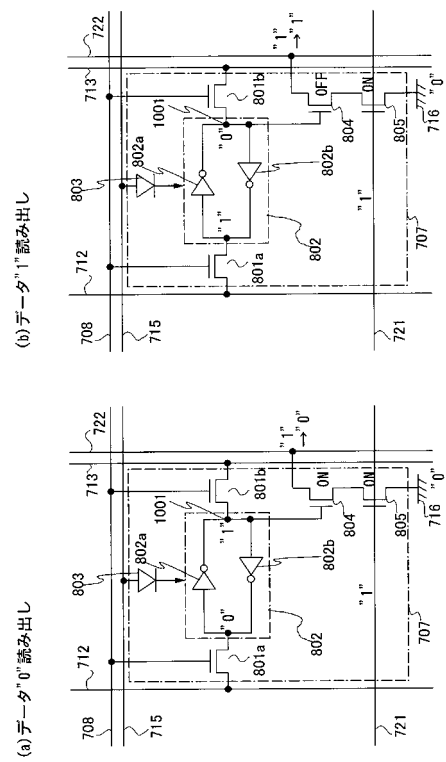
【図 8】



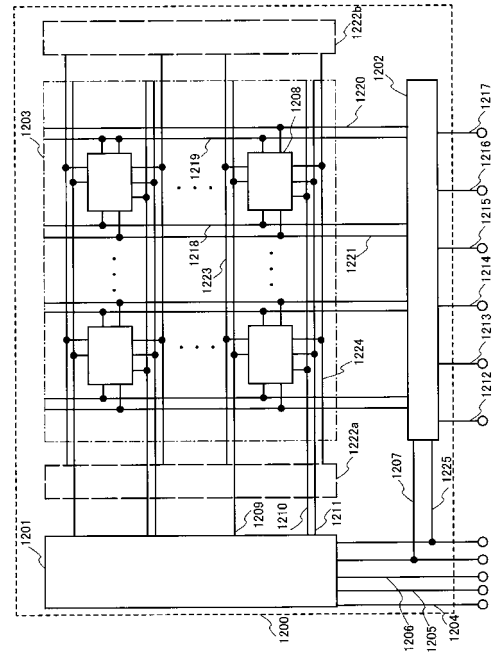
【図 9】



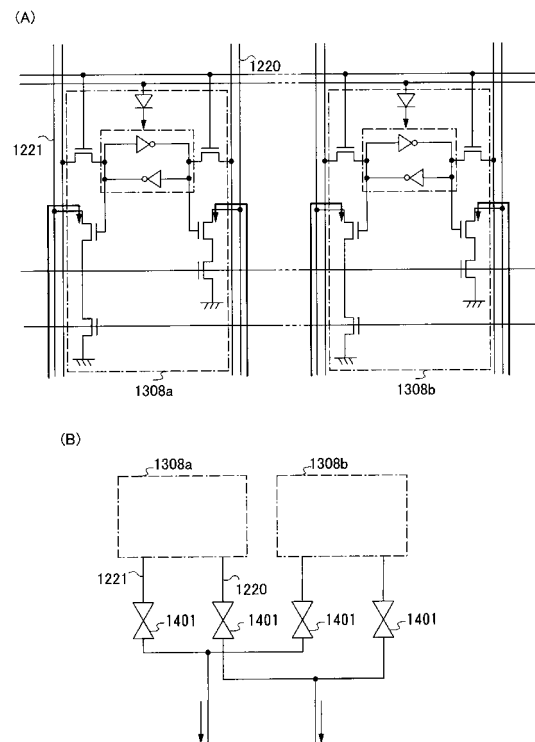
【図 10】



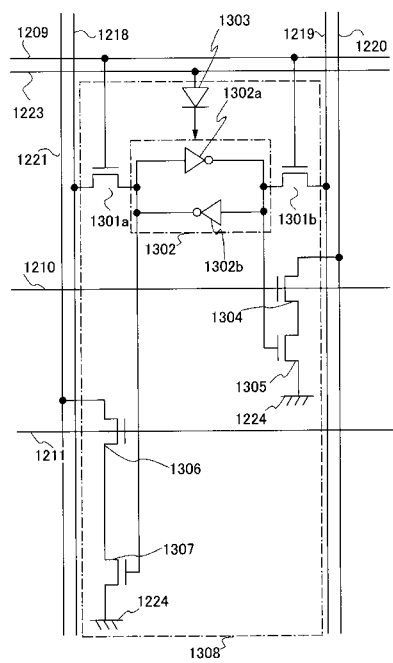
【 図 1 2 】



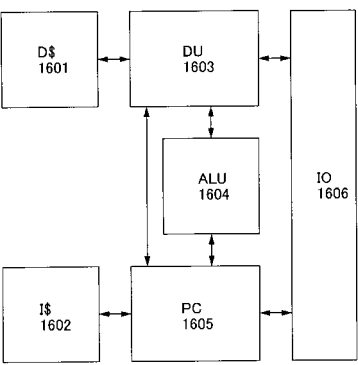
【 ㄨ 1 4 】



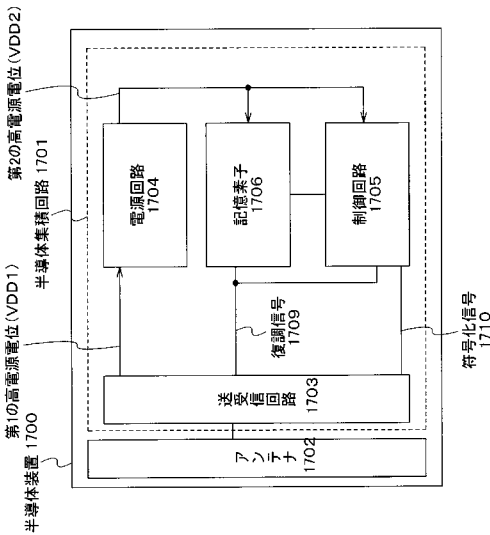
【図 15】



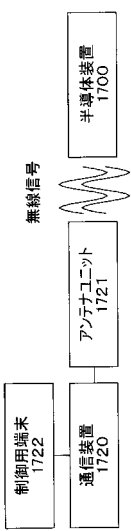
【図 16】



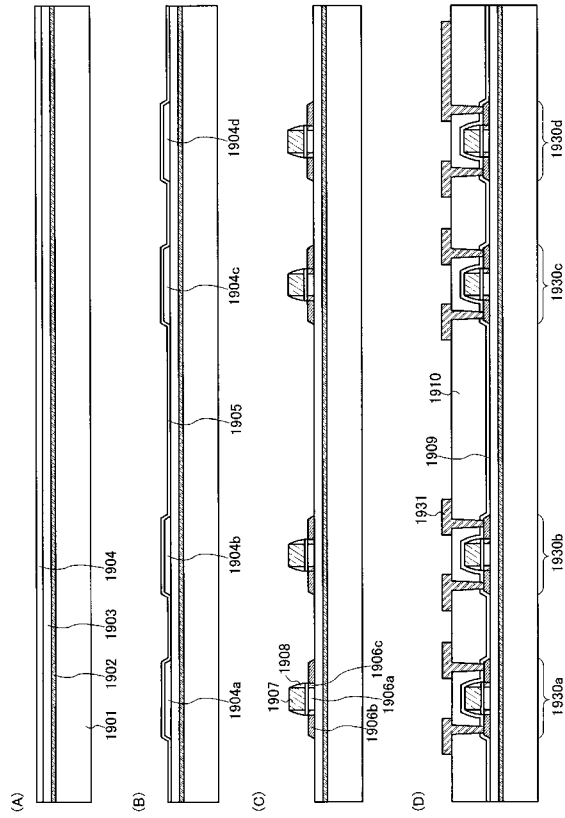
【図 17】



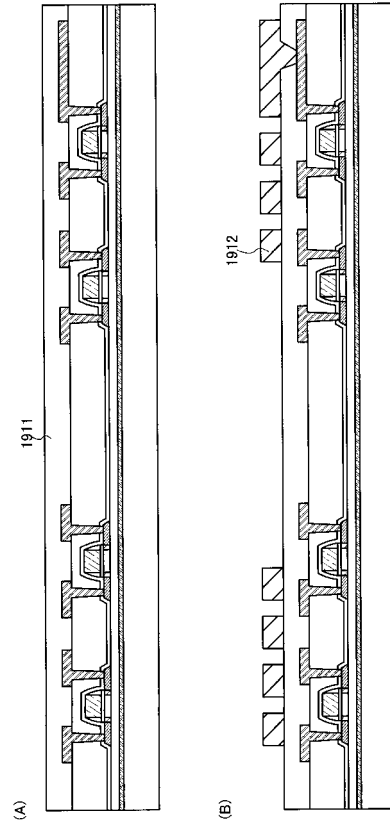
【図 18】



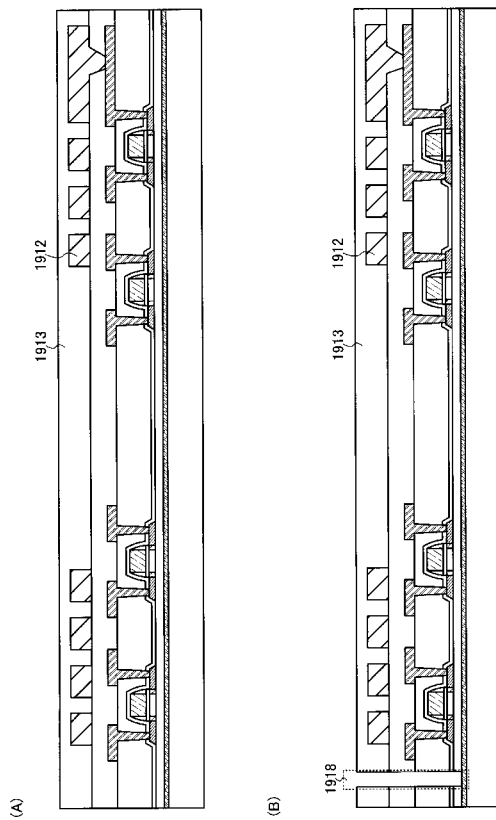
【図 19】



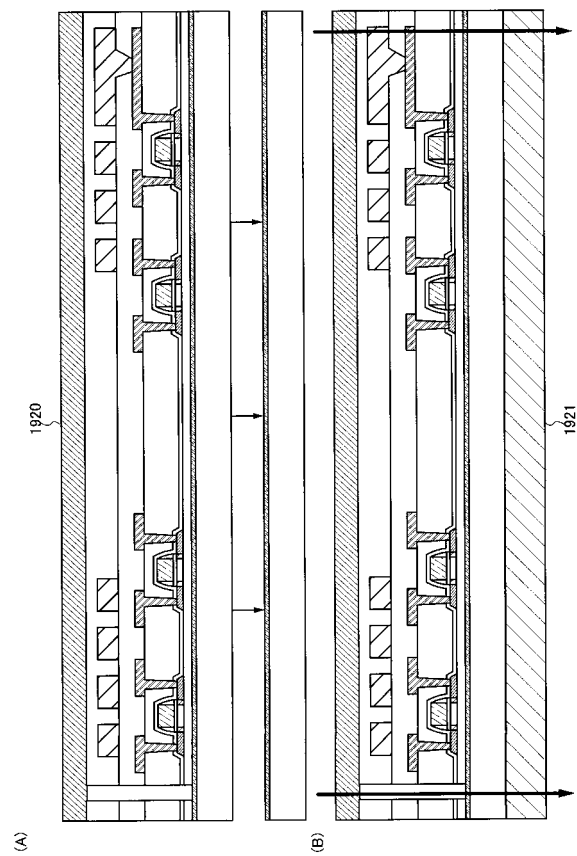
【図 20】



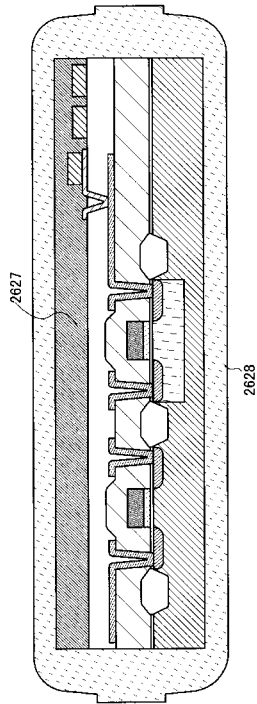
【図 21】



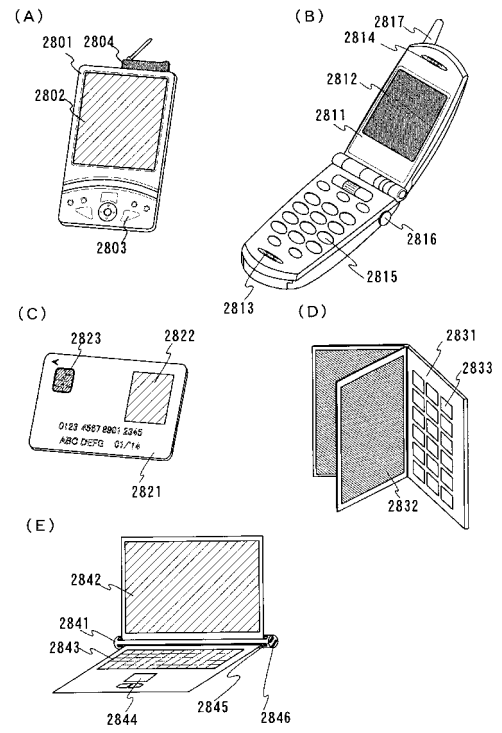
【図 22】



【図 27】



【図 28】



フロントページの続き

F ターム(参考) 5F083 BS05 BS06 BS09 BS11 BS12 BS17 BS18 BS21 BS23 BS24
BS27 FZ10 GA01 GA05 GA27 HA02 HA06 HA10 JA04 JA05
JA19 JA35 JA36 JA37 JA38 JA39 JA40 JA53 JA56 JA58
MA06 MA19 NA01 PR33 ZA12 ZA13 ZA30