

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2023 年 2 月 9 日 (09.02.2023)



(10) 国际公布号
WO 2023/010808 A1

(51) 国际专利分类号:
H01L 21/768 (2006.01) **H01L 23/532** (2006.01)
H01L 23/528 (2006.01)

(21) 国际申请号: PCT/CN2022/070591

(22) 国际申请日: 2022 年 1 月 6 日 (06.01.2022)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
202110894824.8 2021 年 8 月 5 日 (05.08.2021) CN

(71) 申请人: 长鑫存储技术有限公司 (CHANGXIN MEMORY TECHNOLOGIES, INC.) [CN/CN]; 中国安徽省合肥市经济技术开发区空港工业园兴业大道 388 号, Anhui 230000 (CN)。

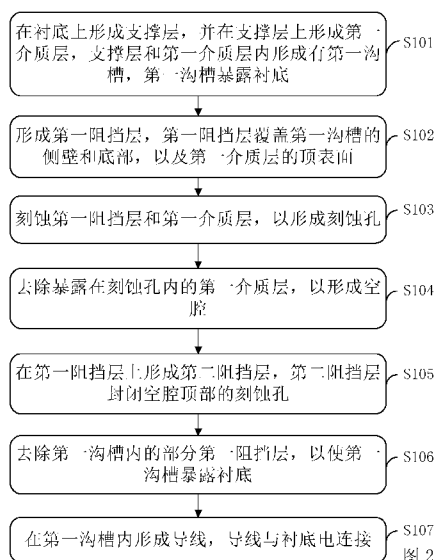
(72) 发明人: 申松梅 (SHEN, Songmei); 中国安徽省合肥市经济技术开发区空港工业园兴业大道 388 号, Anhui 230000 (CN)。 张俊逸 (ZHANG, Junyi); 中国安徽省合肥市经济技术开发区空港工业园兴业大道 388 号, Anhui 230000 (CN)。

(74) 代理人: 北京同立钧成知识产权代理有限公司 (LEADER PATENT & TRADEMARK FIRM); 中国北京市海淀区西直门北大街 32 号枫蓝国际 A 座 8F-6, Beijing 100082 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX,

(54) Title: SEMICONDUCTOR STRUCTURE AND MANUFACTURING METHOD THEREFOR

(54) 发明名称: 半导体结构及其制作方法



S101 Form a support layer on a substrate, and form a first dielectric layer on the support layer, first trenches being formed in the support layer and the first dielectric layer, and the first trenches exposing the substrate
S102 Form a first barrier layer, the first barrier layer covering sidewalls and bottoms of the first trenches and the top surface of the first dielectric layer
S103 Etch the first barrier layer and the first dielectric layer to form etched holes
S104 Remove the first dielectric layer exposed in the etched holes to form cavities
S105 Form a second barrier layer on the first barrier layer, the second barrier layer closing the etched holes at the tops of the cavities
S106 Remove portions of the first barrier layer within the first trenches such that the first trenches expose the substrate
S107 Form wires within the first trenches, the wires being electrically connected to the substrate

(57) Abstract: A semiconductor structure and a manufacturing method therefor, relating to the technical field of semiconductors, for use in solving the technical problem of poor electrical performance and stability of semiconductor structures. The manufacturing method comprises: forming, on a substrate (10), a support layer (20) and a first dielectric layer (30) which are stacked, first trenches (40) being formed in the support layer (20) and the first dielectric layer (30); forming a first barrier layer (50) covering the sidewalls (41) and bottoms (42) of the first trenches (40) and the top surface of the first dielectric layer (30); etching the first barrier layer (50) and the first dielectric layer (30) to form etched holes (51); removing the first dielectric layer (30) exposed in the etched holes (51) to form cavities (60); forming a second barrier layer (70), the second barrier layer (70) closing the etched holes (51) at the tops of the cavities (60); removing portions of the first barrier layer (50) within the first trenches (40) such that the first trenches (40) expose the substrate

MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL,
PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US,
UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区
保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ,
NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM,
AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG,
CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU,
IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT,
RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告 (条约第21条(3))。

(10); and forming wires within the first trenches (40). By forming the cavities (60) to reduce parasitic capacitance between wires, the electrical performance of the semiconductor structure is improved, and by providing the support layer (20) to reduce the depths of the cavities (60), the risk of the semiconductor structure is reduced and the stability of the semiconductor structure is improved.

(57) 摘要: 一种半导体结构及其制作方法, 涉及半导体技术领域, 用于解决半导体结构的电性能和稳定性较差的技术问题。该制作方法包括: 在衬底 (10) 上形成层叠的支撑层 (20) 和第一介质层 (30), 支撑层 (20) 和第一介质层 (30) 中形成有第一沟槽 (40); 形成覆盖第一沟槽 (40) 的侧壁 (41) 和底部 (42)、第一介质层 (30) 的顶表面的第一阻挡层 (50); 刻蚀第一阻挡层 (50) 和第一介质层 (30), 形成刻蚀孔 (51); 去除暴露在刻蚀孔 (51) 内的第一介质层 (30), 形成空腔 (60); 形成第二阻挡层 (70), 第二阻挡层 (70) 封闭空腔 (60) 顶部的刻蚀孔 (51); 去除第一沟槽 (40) 内的部分第一阻挡层 (50), 以使第一沟槽 (40) 暴露衬底 (10); 在第一沟槽 (40) 内形成导线。通过形成空腔 (60) 以减少导线之间的寄生电容, 提高半导体结构的电性能, 并通过设置支撑层 (20) 减少空腔 (60) 的深度, 从而降低半导体结构的电风险, 提高半导体结构的稳定性。

半导体结构及其制作方法

本申请要求于 2021 年 08 月 05 日提交中国专利局、申请号为 202110894824.8、申请名称为“半导体结构及其制作方法”的中国专利申
5 请的优先权，其全部内容通过引用结合在本申请中。

技术领域

本申请涉及半导体技术领域，尤其涉及一种半导体结构及其制作方法。

10 背景技术

随着半导体技术的发展，芯片上的半导体器件的集成度不断提高，各
半导体器件之间的间距不断缩小，进而使得半导体器件中相邻的导电器件
（例如导线）的间距也不断缩小。参考图 1，相邻的导线 80 以及位于导线
80 之间的绝缘材料 97 形成寄生电容，寄生电容与绝缘材料 97 的介电常数
15 成正比，与两导线 80 之间的距离成反比。随着导线 80 的间距的缩小，寄
生电容不断增大，进而导致芯片上的电信号的电容电阻延迟（RC 延迟），
影响芯片的工作频率。

相关技术中，通常采用低介电常数（low-k）材质的绝缘材料，以降低
寄生电容。然而，低介电常数材质的绝缘材料易出现过刻蚀现象，半导体
20 结构的电性能较差，且半导体结构的稳定性较差。

发明内容

鉴于上述问题，本申请实施例提供一种半导体结构及其制作方法，用
于降低半导体结构的寄生电容，提高半导体结构的电性能和稳定性。

25 为了实现上述目的，本申请实施例提供如下技术方案：

第一方面，本申请实施例提供一种半导体结构的制作方法，其包括：
在衬底上形成支撑层，并在所述支撑层上形成第一介质层，所述支撑层和
所述第一介质层内形成有第一沟槽，所述第一沟槽暴露所述衬底；

形成第一阻挡层，所述第一阻挡层覆盖所述第一沟槽的侧壁和底部，

以及所述第一介质层的顶表面；

刻蚀所述第一阻挡层和所述第一介质层，以形成刻蚀孔；

去除暴露在所述刻蚀孔内的所述第一介质层，以形成空腔；

在所述第一阻挡层上形成第二阻挡层，所述第二阻挡层封闭所述空腔

5 顶部的所述刻蚀孔；

去除所述第一沟槽内的部分所述第一阻挡层，以使所述第一沟槽暴露所述衬底；

在所述第一沟槽内形成导线，所述导线与所述衬底电连接。

本申请实施例提供的半导体结构的制作方法至少具有如下优点：

10 本申请实施例的半导体结构的制作方法中，通过在导线之间的结构中形成密闭的空腔，第一阻挡层和第二阻挡层形成空腔的顶壁和侧壁利用空气的介电常数低于第一介质层的介电常数，以减少导线之间的结构的介电常数，从而减少导线之间的寄生电容，进而提高半导体结构的电性能。此外，空腔的底部为支撑层，支撑层对其上的第一阻挡层和第二阻挡层进行

15 支撑，在保证导线的高度的基础上，减少了空腔的深度，从而降低第一阻挡层和第二阻挡层坍塌的风险，进而提高了半导体结构的稳定性。

第二方面，本申请实施例的提供一种半导体结构，其包括：衬底，以及设置所述衬底上的支撑结构，所述支撑结构设置有贯穿所述支撑结构的多个容纳槽，每个所述容纳槽内填充有导线，所述导线与所述衬底电连接；

20 其中，位于相邻的所述导线之间的所述支撑结构包括：支撑层，所述支撑层设置在所述衬底上；扣设在所述支撑层外的第一阻挡层，所述第一阻挡层和所述支撑层形成空腔，所述第一阻挡层的内侧壁与所述支撑层的外侧壁相贴合，且所述第一阻挡层设置有与所述空腔连通的第一刻蚀孔；扣设在所述第一阻挡层外的第二阻挡层，所述第二阻挡层的内表面与所述第一

25 阻挡层的外表面相贴合。

本申请实施例的半导体结构至少具有如下优点：

本申请实施例的半导体结构中，位于相邻的导线之间的支撑结构中设置有密闭的空腔，第一阻挡层和第二阻挡层形成空腔的侧壁和顶壁，利用空气的介电常数为 1，以减少导线之间的结构的介电常数，从而减少导线

30 之间的寄生电容，进而提高半导体结构的电性能。此外，空腔的底部为支撑层，支撑层对其上的第一阻挡层和第二阻挡层进行支撑，在保证导线的

高度的基础上，减少了空腔的深度，从而降低第一阻挡层和第二阻挡层坍塌的风险，进而提高了半导体结构的稳定性。

如上所述的半导体结构中，所述支撑层还设置有与所述第一刻蚀孔正对且适配的第二刻蚀孔。

5

附图说明

图 1 为相关技术中的半导体结构的结构示意图；

图 2 为本申请实施例中的半导体结构的制作方法的流程图；

图 3 为本申请实施例中的形成第一沟槽后的结构示意图；

10 图 4 为本申请实施例中的形成第一阻挡层后的结构示意图；

图 5 为本申请实施例中的形成刻蚀孔后的结构示意图；

图 6 为本申请实施例中的形成第二光刻胶层后的结构示意图；

图 7 为本申请实施例中的形成空腔后的结构示意图；

图 8 为本申请实施例中的形成第二阻挡层后的一种结构示意图；

15 图 9 为本申请实施例中的去除部分第一阻挡层后的结构示意图；

图 10 为本申请实施例中的形成导电层后的一种结构示意图；

图 11 为本申请实施例中的导电层的结构示意图；

图 12 为本申请实施例中的形成抗反射层后的结构示意图；

图 13 为本申请实施例中的形成第一光刻胶层后的结构示意图；

20 图 14 为本申请实施例中的形成第二阻挡层后的另一种结构示意；

图 15 为本申请实施例中的形成第三光刻胶层后的结构示意图；

图 16 为本申请实施例中的去除部分第一阻挡层和部分第二阻挡层后的结构示意图；

图 17 为本申请实施例中的形成导电层后的另一种结构示意图；

25 图 18 为本申请实施例中的形成导线后的结构示意图。

具体实施方式

为了减小半导体结构的寄生电容，提高半导体结构的电性能和稳定性，本申请实施例提供一种半导体结构的制作方法，通过在导线之间的结构中
30 形成密闭的空腔，利用空气的介电常数为 1，减少导线之间的结构的介电

常数，从而减少导线之间的寄生电容，进而提高半导体结构的电性能。此外，空腔的底部为支撑层，支撑层对其上的第一阻挡层和第二阻挡层进行支撑，在保证导线的高度的基础上，减少了空腔的深度，从而降低第一阻挡层和第二阻挡层坍塌的风险，进而提高了半导体结构的稳定性。

5 为了使本申请实施例的上述目的、特征和优点能够更加明显易懂，下面将结合本申请实施例中的附图，对本申请实施例中的技术方案进行清楚、完整地描述。显然，所描述的实施例仅仅是本申请的一部分实施例，而不是全部的实施例。基于本申请中的实施例，本领域普通技术人员在没有作出创造性劳动的前提下所获得的所有其它实施例，均属于本申请保护的范
10 围。

实施例一

参照图 2，本申请实施例提供一种半导体结构的制作方法，具有包括以下步骤：

步骤 S101、在衬底上形成支撑层，并在支撑层上形成第一介质层，支撑层和第一介质层内形成有第一沟槽，第一沟槽暴露衬底。

参考图 3，衬底 10 提供支撑，其材质可以为硅、锗、锗化硅、碳化硅、绝缘体上硅（Silicon on Insulator，简称 SOI）或者绝缘体上锗（Germanium on Insulator，简称 GOI）等半导体材料中的一种或者多种。衬底 10 上通常设置有半导体器件（图中未标示出），以实现特定功能。半导体器件可以
20 包括电阻器、电容器、二极管、三极管、场效应晶体管（Field Effect Transistor，简称 FET）、熔丝或者导线中的一种或者多种。

支撑层 20 形成在衬底 10 上。例如，支撑层 20 通过化学气相沉积（Chemical Vapor Deposition，简称 CVD）、物理气相沉积（Physical Vapor Deposition，简称 PCD）或者原子层沉积（Atomic Layer Deposition，简称
25 ALD）等沉积工艺形成在衬底 10 上，以使形成的支撑层 20 致密度和平整度都较好。

第一介质层 30 形成在支撑层 20 上。第一介质层 30 可以通过沉积工艺形成在支撑层 20 上。第一介质层 30 与支撑层 20 可以具有较大的选择比，例如，第一介质层 30 与支撑层 20 的选择比大于或者等于 2。如此设置，
30 后续去除第一介质层 30 时，支撑层 20 还可以用作刻蚀停止层（Etch Stop Layer），以防止刻蚀第一介质层 30 时损伤衬底 10 和/或衬底 10 上的半导

体器件。

支撑层 20 和第一介质层 30 中形成有第一沟槽 40，如图 3 所示，第一沟槽 40 贯穿支撑层 20 和第一介质层 30，以暴露衬底 10，第一沟槽 40 内后续形成有导线 80（参考图 18）。可以理解的是，支撑层 20 的厚度与第一介质层 30 的厚度之和为导线 80 的高度，第一介质层 30 在后续会被去除，该区域后续形成空腔 60，空腔 60 内的空气的介电常数为 1，其介电常数最低，以降低两导线 80 之间的寄生电容。

支撑层 20 的介电常数可以小于第一介质层 30 的介电常数，采用介电常数较小的支撑层 20 替代部分第一介质层 30，可以进一步降低支撑层 20 和第一介质层 30 的总体的介电常数。示例性的，第一介质层 30 可以为氧化硅层，支撑层 20 可以为氢硅酸盐聚合物层或者多孔性硅化物层等。当然，支撑层 20 的介电常数也可以大于或者等于第一介质层 30 的介电常数，此时，通过调整支撑层 20 的厚度与第一介质层 30 的厚度，以降低支撑层 20 和后续形成的空腔 60 的总体的介电常数。具体的，第一介质层 30 为氧化硅层，支撑层 20 为氮化硅层或者氮氧化硅层，第一介质层 30 的厚度与支撑层 20 的厚度的比值大于等于 2，例如第一介质层 30 的厚度与支撑层 20 的厚度的比值等于 3。上述氧化硅层可以通过正硅酸乙酯（TEOS）分解并沉积形成，上述氮氧化硅层可以通过对氮化硅层渗氮处理形成。

步骤 S102、形成第一阻挡层，第一阻挡层覆盖第一沟槽的侧壁和底部，以及第一介质层的顶表面。

参考图 4，第一阻挡层 50 沉积形成在第一沟槽 40 的侧壁 41 和底部 42，以及第一介质层 30 的顶表面。其中，第一介质层 30 的顶表面是指第一介质层 30 背离衬底 10 的表面，即图 4 所示的第一介质层 30 的上表面。

步骤 S103、刻蚀第一阻挡层和第一介质层，以形成刻蚀孔。

参考图 5，刻蚀孔 51 贯穿第一阻挡层 50 并延伸至第一介质层 30 内，以使增加第一介质层 30 在刻蚀孔 51 暴露出的表面积，从而便于后续去除第一介质层 30。在一些可能的示例中，刻蚀孔 51 贯穿第一介质层 30。更进一步的，刻蚀孔 51 还可以延伸至支撑层 20 内，即刻蚀孔 51 的孔底位于支撑层 20 内。如此设置，在支撑层 20 内形成空气隙，可以减少支撑层 20 的介电常数，进一步减少半导体结构中的 RC 延迟。

刻蚀孔 51 的宽度可以为 3-5nm，其中，刻蚀孔 51 的宽度方向与第一

沟槽 40 的宽度方向相同，如图 5 所示的水平方向（X 方向）。如此设置，第一阻挡层 50 中的刻蚀孔 51 便于通过第二阻挡层 70 封口，可以减少封口过程中封口材料落入刻蚀孔 51 内，从而保证空腔对 RC 延迟的降低效果。

5 在一些可能的示例中，参考图 5 和图 6，刻蚀第一阻挡层 50 和第一介质层 30，以形成刻蚀孔 51 的步骤包括：

在第一阻挡层 50 上和第一沟槽 40 内形成第二光刻胶层 94，第二光刻胶层 94 填充满第一沟槽 40 且覆盖第一阻挡层 50 背离衬底 10 的表面。如图 5 和图 6 所示，第一沟槽 40 的侧壁 41 和底部 42 覆盖有第一阻挡层 50，第二光刻胶层 94 填充在第一阻挡层 50 所围合的区域内，并覆盖第一阻挡层 50 的顶表面。第二光刻胶层 94 为图形化的第二光刻胶层 94，第二光刻胶层 94 的顶表面可以齐平，即第二光刻胶层 94 背离衬底 10 的表面为平面。

形成第二光刻胶层 94 后，以第二光刻胶层 94 为掩膜，刻蚀第一阻挡层 50 和第一介质层 30，以形成刻蚀孔 51。如图 6 所示，第一阻挡层 50 和第一介质层 30 中未被第二光刻胶层 94 覆盖的区域被去除，刻蚀停止于支撑层 20 背离衬底 10 的表面或者支撑层 20 中。刻蚀时可以采用干法刻蚀，刻蚀气体包括含氟气体、氧气和惰性气体（例如氮气或者氩气）。

形成刻蚀孔 51 后，去除第二光刻胶层 94。其中，第二光刻胶层 94 可以通过灰化工艺去除，去除第二光刻胶层 94 后，第一阻挡层 50 暴露。

步骤 S104、去除暴露在刻蚀孔内的第一介质层，以形成空腔。

20 参考图 7，去除第一介质层 30 后，第一阻挡层 50 和支撑层 20 围合的区域形成空腔 60，第一阻挡层 50 中的刻蚀孔 51 与空腔 60 相连通。示例性的，通过干法刻蚀或者湿法刻蚀去除暴露在刻蚀孔 51 内的第一介质层 30，通过刻蚀液或者刻蚀气体与第一介质层 30 反应，从而将第一介质层 30 去除。在一些可能的示例中，第一介质层 30 的材质为氧化硅，刻蚀气体可以包括八氟环丁烷（ C_4F_8 ）等含氟气体，或者，刻蚀液可以包括稀氢氟酸（Dilute Hydrofluoric Acid，简称 DHF）。

步骤 S105、在第一阻挡层上形成第二阻挡层，第二阻挡层封闭空腔顶部的刻蚀孔。

30 参考图 8，在第一阻挡层 50 上沉积形成第二阻挡层 70，通过控制第二阻挡层 70 的工艺参数，例如沉积速率或者温度等，以使第二阻挡层 70 封闭刻蚀孔 51。示例性的，如图 8 所示，第二阻挡层 70 可以只覆盖第一阻

挡层 50 背离衬底 10 的表面。当然，如图 15 所示，第二阻挡层 70 还可以覆盖位于第一沟槽 40 内的第一阻挡层 50。

需要说明的是，第一阻挡层 50、第二阻挡层 70 和支撑层 20 的材质可以相同，以使第一阻挡层 50、第二阻挡层 70 和支撑层 20 形成一体结构，防止支撑层 20 与第一阻挡层 50、第一阻挡层 50 与第二阻挡层 70 相接触的区域的出现分层。示例性的，第一阻挡层 50、第二阻挡层 70 和支撑层 20 的材质均为氮化硅。

步骤 S106、去除第一沟槽内的部分第一阻挡层，以使第一沟槽暴露衬底。

10 参考图 9，通过去除第一沟槽 40 内的部分第一阻挡层 50，将衬底 10 暴露，从而使得后续形成在第一沟槽 40 内的导线 80 可以与衬底 10 相接触而实现电连接。示例性的，通过各向异性刻蚀，去除第一沟槽 40 的底部 42 的第一阻挡层 50，保留第一沟槽 40 侧壁的第一阻挡层 50。

步骤 S107、在第一沟槽内形成导线，导线与衬底电连接。

15 参考图 9 至图 11，导线形成在第一沟槽 40 内且与衬底 10 电连接，以将衬底 10 与其他膜层电连接，实现电信号沿垂直于衬底 10 的方向传递。在一些可能的示例中，在第一沟槽 40 内形成导线，导线与衬底 10 电连接的步骤包括：

在第一沟槽 40 内沉积导电层 81，导电层 81 填充满第一沟槽 40 且覆盖第二阻挡层 70 的顶表面。其中，导电层 81 包括层叠设置的第三阻挡层 82 和导电材料层 83，第三阻挡层 82 位于导电层 81 靠近衬底 10 的一侧。第三阻挡层 82 用于减少或者防止导电材料层 83 向第一阻挡层 50、第二阻挡层 70、支撑层 20 以及衬底 10 中扩散。第三阻挡层 82 包括钛层、氮化钛层、钽层或者氮化钽层中的一层或者多层。导电材料层 83 可以为铜层或者钨层等。本申请实施例中对导电层 81 的形成工艺不是限定的，例如，导电层 81 还可以通过电镀工艺形成。

形成导电层 81 后，去除位于第二阻挡层 70 上的导电层 81，保留的导电层 81 形成导线。示例性的，通过对导电层 81 背离衬底 10 的表面进行平坦化处理，以去除位于第二阻挡层 70 上的导电层 81。具体的，对导电层 81 的顶表面进行化学机械研磨 (Chemical Mechanical Polishing, 简称 CMP)，以暴露第二阻挡层 70。

综上，本申请实施例的半导体结构的制作方法中，通过在导线之间的结构中形成密闭的空腔 60，第一阻挡层 50 和第二阻挡层 70 形成空腔 60 的顶壁和侧壁利用空气的介电常数低于第一介质层 30 的介电常数，以减少导线之间的结构的介电常数，从而减少导线之间的寄生电容，进而提高半
5 导体结构的电性能。此外，空腔 60 的底部 42 为支撑层 20，支撑层 20 对其上的第一阻挡层 50 和第二阻挡层 70 进行支撑，在保证导线的高度的基础上，减少了空腔 60 的深度，增加了与衬底 10 的接触面积，从而降低第一阻挡层 50 和第二阻挡层 70 坍塌的风险，进而提高了半导体结构的稳定性。

10

需要说明的是，在本申请一种可能的示例中，参考图 3、图 12 和图 13，在衬底 10 上形成支撑层 20，并在支撑层 20 上形成第一介质层 30，支撑层 20 和第一介质层 30 内形成有第一沟槽 40，第一沟槽 40 暴露衬底 10 的步骤可以包括：

15 步骤 S1021、在衬底 10 上依次形成支撑层 20、第一介质层 30、硬掩模层 91、抗反射层 92 和第一光刻胶层 93。

参考图 12 和图 13，在衬底 10 上形成层叠的支撑层 20、第一介质层 30、硬掩模层 91、抗反射层 92 和第一光刻胶层 93。其中，支撑层 20、第一介质层 30、硬掩模版（Hard Mask）层和抗反射层 92 可以通过沉积工艺
20 形成。具体的，在衬底 10 上沉积形成支撑层 20，在支撑层 20 上沉积形成第一介质层 30，在第一介质层 30 上沉积形成硬掩模层 91，并在硬掩模层 91 上沉积形成抗反射层 92。第一光刻胶层 93 可以通过图形化工艺形成，例如采用旋涂工艺在抗反射层 92 上形成第一光刻胶层 93；对第一光刻胶层 93 曝光显影，以暴露部分抗反射层 92，使得第一光刻胶层 93 形成有所
25 需图案。

抗反射层 92 用于减少第一光刻胶层 93 曝光时的驻波，防止光线在第一光刻胶层 93 的底部发生漫反射，以保证第一光刻胶层 93 的图案的准确性。硬掩模层 91 用于转移第一光刻胶层 93 的图案，硬掩模层 91 的材质与抗反射层 92 的材质不同。在一种可能的示例中，硬掩模层 91 的材质为氮
30 化硅或者二氧化硅，抗反射层 92 的材质为氮氧化硅，第一光刻胶层 93 的材质可以为正胶，也可以为负胶。

步骤 S1022、以第一光刻胶层 93 为掩膜，刻蚀抗反射层 92 和硬掩模层 91。

以图形化后的第一光刻胶层 93 为掩膜，利用刻蚀气体各向异性刻蚀抗反射层 92 和硬掩模层 91。其中，刻蚀气体可以包括四氟化碳（ CF_4 ）、八氟环丁烷（ C_4F_8 ）或者八氟环戊烯（ C_5F_8 ）等。

在一些可能的示例中，在刻蚀抗反射层 92 和硬掩模层 91 的过程中，第一光刻胶层 93 全部耗损，没有残余。在另一些可能的示例中，在刻蚀抗反射层 92 和硬掩模层 91 的过程中，第一光刻胶层 93 没有全部耗损，仍有残余。此时，需要将第一光刻胶层 93 单独去除，例如，通过灰化或者刻蚀去除剩余的第一光刻胶层 93。

步骤 S1023、以刻蚀后的抗反射层 92 和硬掩模层 91 为掩膜，刻蚀第一介质层 30 和支撑层 20，以形成第一沟槽 40。

以刻蚀后的抗反射层 92 和硬掩模层 91 为掩膜，刻蚀第一介质层 30 和支撑层 20，形成第一沟槽 40，第一沟槽 40 贯穿第一介质层 30 和支撑层 20，以暴露衬底 10。示例性的，抗反射层 92 和硬掩模层 91 可以通过干法刻蚀去除，干法刻蚀抗反射层 92 时可以采用四氟化碳（ CF_4 ）、氩气（Ar）和氧气（ O_2 ）为刻蚀气体，干法刻蚀硬掩模层 91 时可以采用八氟环戊烯（ C_5F_8 ）、氩气（Ar）和氧气（ O_2 ）为刻蚀气体。其中，含氟气体（四氟化碳、八氟环戊烯）为主要的刻蚀气体，氧气主要用于调整刻蚀速率、选择比、均匀性等，氩气主要用于降低负载效应（Loading Effect）负载效应是指刻蚀速率随刻蚀面积的增加而减小的现象。

需要说明的是，形成第一沟槽 40 的过程中，抗反射层 92 和硬掩模层 91 也会被刻蚀。形成第一沟槽 40 后，如果抗反射层 92 或者硬掩模层 91 仍有残留，需要将抗反射层 92 和硬掩模层 91 去除。示例性的，通过化学机械研磨工艺去除抗反射层 92 和硬掩模层 91。

需要说明的是，参考图 7 和图 14，在本申请一种可能的示例中，在第一阻挡层 50 上形成第二阻挡层 70，第二阻挡层 70 封闭空腔 60 顶部的刻蚀孔 51 的步骤包括：形成覆盖第一阻挡层 50 的第二阻挡层 70，位于第一沟槽 40 内的第二阻挡层 70 围合成第二沟槽 71。

如图 7 和图 14 所示，第二阻挡层 70 覆盖第一阻挡层 50 的顶表面，以

及第一沟槽 40 内的第一阻挡层 50，位于第一沟槽 40 内的第二阻挡层 70 围合成第二沟槽 71。如此设置，第一沟槽 40 侧壁的第一阻挡层 50 和第二阻挡层 70 形成空腔 60 的侧壁，可以增加空腔 60 的侧壁的厚度，以减少或者防止空腔 60 的侧壁坍塌，进一步提高半导体结构的稳定性。

5 相应的，参考图 14 至图 16，去除第一沟槽 40 内的部分第一阻挡层 50，以使第一沟槽 40 暴露衬底 10 的步骤包括：去除第二沟槽 71 的底部 42 的第二阻挡层 70 和第一阻挡层 50，第二沟槽 71 暴露衬底 10。

如图 14 至图 16 所示，沿第二沟槽 71 刻蚀第二阻挡层 70 和第一阻挡层 50，以使第二沟槽 71 延伸至衬底 10，第二沟槽 71 内暴露衬底 10。在
10 一些可能的示例中，去除第二沟槽 71 的底部 42 的第二阻挡层 70 和第一阻挡层 50，第二沟槽 71 暴露衬底 10 的步骤包括：

在第二阻挡层 70 上形成第三光刻胶层 95，第三光刻胶层 95 具有第一开口 96，第一开口 96 在衬底 10 上的正投影与第二沟槽 71 在衬底 10 上的正投影相重合。如图 15 所示，第三光刻胶层 95 通过旋涂工艺形成在第二
15 阻挡层 70 的顶表面上，第三光刻胶层 95 为图形化后的第三光刻胶层 95，其具有第一开口 96，第一开口 96 位于第二沟槽 71 的正上方，且第一开口 96 在衬底 10 上的正投影与第二沟槽 71 在衬底 10 上的正投影相重合。

形成第三光刻胶层 95 后，以第三光刻胶层 95 为掩膜，刻蚀第二阻挡层 70 和第一阻挡层 50。如图 15 和图 16 所示，沿第三光刻胶层 95 的第一
20 开口 96 干法刻蚀或者湿法刻蚀第二阻挡层 70 和第一阻挡层 50，以暴露衬底 10。刻蚀过程中，第三光刻胶层 95 也被完全去除，或者刻蚀完成后，通过灰化等工艺去除剩余的第三光刻胶层 95。

相应的，参考图 17 和图 18，在第一沟槽 40 内形成导线 80，导线 80 与衬底 10 电连接的步骤包括：在第二沟槽 71 内形成导线 80，导线 80 填
25 充于第二沟槽 71。示例性的，如图 17 和图 18 所示，在第二沟槽 71 内和第二阻挡层 70 上形成导电层 81，导电层 81 填满第二沟槽 71 且覆盖第二阻挡层 70 背离衬底 10 的表面；如图 17 和图 18 所示，再对第二阻挡层 70 上的导电层 81 进行平坦化处理，以使导电层 81 背离衬底 10 的表面与第二阻挡层 70 背离衬底 10 的表面齐平，导电层 81 形成多个彼此间隔的导
30 线 80，导线 80 填满第二沟槽 71。

实施例二

本申请还提供一种半导体结构，参考图 18，该半导体结构包括：衬底 10、支撑结构和导线 80。其中，衬底 10 提供支撑，其材质可以为硅、锗、锗化硅、碳化硅、绝缘体上硅或绝缘体上锗中的一种或者多种。衬底 10 上通常设置有半导体器件，半导体器件可以包括电阻器、电容器、二极管、三极管、场效应晶体管、熔丝或者导线中的一种或者多种。

支撑结构设置在衬底 10 上且与衬底 10 相接触，支撑结构设置有贯穿支撑结构的多个容纳槽，多个容纳槽间隔设置。每个容纳槽暴露衬底 10，以使填充在每个容纳槽内的导线 80 与衬底 10 相接触，而实现导线 80 与衬底 10 的电连接，从而将支撑结构上的膜层与衬底 10 电连接，实现电信号沿垂直于衬底 10 的方向的传递。

位于相邻的两个导线 80 之间的支撑结构可以包括支撑层 20、第一阻挡层 50 和第二阻挡层 70。其中，支撑层 20 设置在衬底 10 上，第一阻挡层 50 扣设在支撑层 20 外，第一阻挡层 50 和支撑层 20 围合成空腔 60，第一阻挡层 50 的部分内侧壁与支撑层 20 的外侧壁相贴合，利用空气的介电常数为 1，可以降低支撑结构的介电常数，从而降低导线 80 之间的寄生电容。

第一阻挡层 50 还设置有位于空腔 60 的顶部且与空腔 60 连通的第一刻蚀孔，即第一刻蚀孔贯穿第一阻挡层 50，示例性的，第一刻蚀孔为直通孔。第一刻蚀孔的宽度可以为 3-5nm，第一刻蚀孔的截面形状可以为矩形、正方形或者梯形，以便于制作。当然，在不同的工艺参数情况下，第一刻蚀孔的截面形状还可能是其他不规则图形。其中，截面形状是指以垂直于衬底 10 的表面的平面为截面所获得的形状。

第二阻挡层 70 扣设在第一阻挡层 50 外，第二阻挡层 70 的内表面与第一阻挡层 50 的外表面相贴合，如图 18 所示，第二阻挡层 70 将第一刻蚀孔 51 封闭，从而使得空腔 60 形成封闭结构。此外，第一阻挡层 50 和第二阻挡层 70 共同形成空腔 60 的侧壁，从而增加了空腔 60 的侧壁的厚度，以防止空腔 60 的侧壁坍塌，提高了半导体结构的稳定性。

第一阻挡层 50、第二阻挡层 70 和支撑层 20 的材质可以相同，例如均为氮化硅，以使第一阻挡层 50、第二阻挡层 70 和支撑层 20 形成一体结构，防止支撑层 20 与第一阻挡层 50、第一阻挡层 50 与第二阻挡层 70 相接触的区域的出现分层。空腔 60 的高度与支撑层 20 的厚度与的比值大或者等

于 2，其中，支撑层 20 的厚度是指支撑层 20 的顶表面与衬底 10 之间的距离，空腔 60 的高度是指空腔 60 的内侧顶壁与支撑层 20 的顶表面之间的距离。

5 在一些可能的示例中，支撑层 20 还设置有与第一刻蚀孔正对且适配的第二刻蚀孔，通过以空气替代部分支撑层 20，可以减少支撑层 20 的介电常数，进一步减少半导体结构中的 RC 延迟。如图 18 所示，第一刻蚀孔在衬底 10 上的正投影与第二刻蚀孔在衬底 10 上的正投影相重合。

10 导线 80 填充在容纳槽内，导线 80 背离衬底 10 的表面可以与第二阻挡层 70 的表面齐平。导线 80 包括第三阻挡层 82，以及设置在第三阻挡层 82 上的导电材料层 83，第三阻挡层 82 设置在容纳槽的侧壁和底部 42，以减少或者防止导电材料层 83 向衬底 10 和第二阻挡层 70 中扩散。第三阻挡层 82 可以包括氮化钽层和钽层，钽层位于氮化钽层背离第三阻挡层 82 的一侧，导电材料层 83 的材质可以为铜或者钨等。

15 本申请实施例的半导体结构中，位于相邻的导线 80 之间的支撑结构中设置有密闭的空腔 60，第一阻挡层 50 和第二阻挡层 70 形成空腔 60 的侧壁和顶壁，利用空气的介电常数为 1，以减少导线 80 之间的结构的介电常数，从而减少导线 80 之间的寄生电容，进而提高半导体结构的电性能。此外，空腔 60 的底部 42 为支撑层 20，支撑层 20 对其上的第一阻挡层 50 和第二阻挡层 70 进行支撑，在保证导线 80 的深度的基础上，减少了空腔 60 20 的深度，从而降低第一阻挡层 50 和第二阻挡层 70 坍塌的风险，进而提高了半导体结构的稳定性。

本说明书中各实施例或实施方式采用递进的方式描述，每个实施例重点说明的都是与其他实施例的不同之处，各个实施例之间相同相似部分相互参见即可。

25 在本说明书的描述中，参考术语“一个实施方式”、“一些实施方式”、“示意性实施方式”、“示例”、“具体示例”、或“一些示例”等的描述意指结合实施方式或示例描述的具体特征、结构、材料或者特点包含于本申请的至少一个实施方式或示例中。在本说明书中，对上述术语的示意性表述不一定指的是相同的实施方式或示例。而且，描述的具体特征、结构、材料或者特点可以在任何的一个或多个实施方式或示例中以合适的方式结合。

30

最后应说明的是：以上各实施例仅用以说明本申请的技术方案，而非对其限制；尽管参照前述各实施例对本申请进行了详细的说明，本领域的普通技术人员应当理解：其依然可以对前述各实施例所记载的技术方案进行修改，或者对其中部分或者全部技术特征进行等同替换；而这些修改或者替换，并不使相应技术方案的本质脱离本申请各实施例技术方案的范围。

5

权利要求书

1、一种半导体结构的制作方法，包括：

在衬底上形成支撑层，并在所述支撑层上形成第一介质层，所述支撑层和所述第一介质层内形成有第一沟槽，所述第一沟槽暴露所述衬底；

5 形成第一阻挡层，所述第一阻挡层覆盖所述第一沟槽的侧壁和底部，以及所述第一介质层的顶表面；

刻蚀所述第一阻挡层和所述第一介质层，以形成刻蚀孔；

去除暴露在所述刻蚀孔内的所述第一介质层，以形成空腔；

10 在所述第一阻挡层上形成第二阻挡层，所述第二阻挡层封闭所述空腔顶部的所述刻蚀孔；

去除所述第一沟槽内的部分所述第一阻挡层，以使所述第一沟槽暴露所述衬底；

在所述第一沟槽内形成导线，所述导线与所述衬底电连接。

15 2、根据权利要求1所述的半导体结构的制作方法，其中，通过干法刻蚀或者湿法刻蚀去除暴露在所述刻蚀孔内的所述第一介质层。

3、根据权利要求1所述的半导体结构的制作方法，其中，所述第一介质层为氧化硅层，所述支撑层为氮化硅层或者氮氧化硅层，所述第一介质层的厚度与所述支撑层的厚度的比值大于或者等于2。

20 4、根据权利要求1所述的半导体结构的制作方法，其中，所述刻蚀孔的孔底位于所述支撑层中。

5、根据权利要求1所述的半导体结构的制作方法，其中，在衬底上形成支撑层，并在所述支撑层上形成第一介质层，所述支撑层和所述第一介质层内形成有第一沟槽，所述第一沟槽暴露所述衬底的步骤包括：

25 在所述衬底上依次形成所述支撑层、所述第一介质层、硬掩模层、抗反射层和第一光刻胶层；

以所述第一光刻胶层为掩膜，刻蚀所述抗反射层和所述硬掩模层；

以刻蚀后的所述抗反射层和所述硬掩模层为掩膜，刻蚀所述第一介质层和所述支撑层，以形成所述第一沟槽。

30 6、根据权利要求1所述的半导体结构的制作方法，其中，刻蚀所述第一阻挡层和所述第一介质层，以形成刻蚀孔的步骤包括：

在所述第一阻挡层上和所述第一沟槽内形成第二光刻胶层，所述第二光刻胶层填满所述第一沟槽且覆盖所述第一阻挡层背离所述衬底的表面；

以所述第二光刻胶层为掩膜，刻蚀所述第一阻挡层和所述第一介质层，以形成所述刻蚀孔；

5 去除所述第二光刻胶层。

7、根据权利要求1所述的半导体结构的制作方法，其中，在所述第一沟槽内形成导线，所述导线与所述衬底电连接的步骤包括：

在所述第一沟槽内沉积导电层，所述导电层填满所述第一沟槽且覆盖所述第二阻挡层的顶表面；

10 去除位于所述第二阻挡层上的所述导电层，保留的所述导电层形成所述导线。

8、根据权利要求7所述的半导体结构的制作方法，其中，通过化学机械研磨去除位于所述第二阻挡层上的所述导电层。

9、根据权利要求7所述的半导体结构的制作方法，其中，所述导电层
15 包括层叠设置的第三阻挡层和导电材料层，所述第三阻挡层位于所述导电层靠近所述衬底的一侧。

10、根据权利要求1所述的半导体结构的制作方法，其中，在所述第一阻挡层上形成第二阻挡层，所述第二阻挡层封闭所述空腔顶部的所述刻蚀孔的步骤包括：

20 形成覆盖所述第一阻挡层的第二阻挡层，位于所述第一沟槽内的所述第二阻挡层围合成第二沟槽。

11、根据权利要求10所述的半导体结构的制作方法，其中，去除所述第一沟槽内的部分所述第一阻挡层，以使所述第一沟槽暴露所述衬底的步骤包括：

25 去除所述第二沟槽的底部的所述第二阻挡层和所述第一阻挡层，所述第二沟槽暴露所述衬底。

12、根据权利要求11所述的半导体结构的制作方法，其中，去除所述第二沟槽的底部的所述第二阻挡层和所述第一阻挡层，所述第二沟槽暴露所述衬底的步骤包括：

30 在所述第二阻挡层上形成第三光刻胶层，所述第三光刻胶层具有第一开口，所述第一开口在所述衬底上的正投影与所述第二沟槽在所述衬底上

的正投影相重合；

以所述第三光刻胶层为掩膜，刻蚀所述第二阻挡层和所述第一阻挡层。

13、根据权利要求 11 所述的半导体结构的制作方法，其中，在所述第一沟槽内形成导线，所述导线与所述衬底电连接的步骤包括：

5 在所述第二沟槽内形成所述导线，所述导线填充于所述第二沟槽。

14、一种半导体结构，包括：衬底，以及设置所述衬底上的支撑结构，所述支撑结构设置有贯穿所述支撑结构的多个容纳槽，每个所述容纳槽内填充有导线，所述导线与所述衬底电连接，其中，位于相邻的所述导线之间的所述支撑结构包括：

10 支撑层，所述支撑层设置在所述衬底上；

扣设在所述支撑层外的第一阻挡层，所述第一阻挡层和所述支撑层形成空腔，所述第一阻挡层的内侧壁与所述支撑层的外侧壁相贴合，且所述第一阻挡层设置有与所述空腔连通的第一刻蚀孔；

扣设在所述第一阻挡层外的第二阻挡层，所述第二阻挡层的内表面与
15 所述第一阻挡层的外表面相贴合。

15、根据权利要求 14 所述的半导体结构，其中，所述支撑层还设置有与所述第一刻蚀孔正对且适配的第二刻蚀孔。

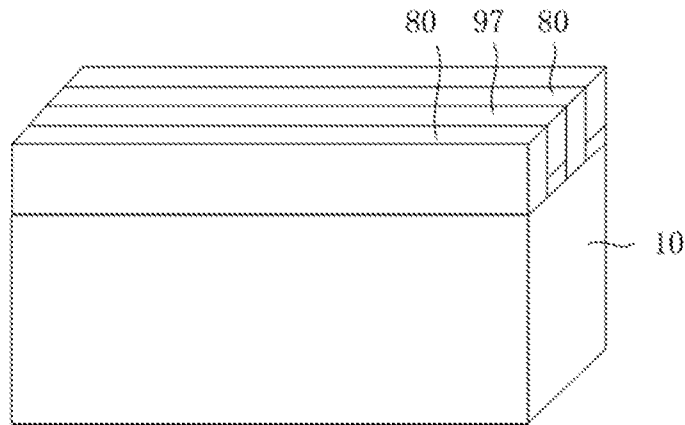


图 1

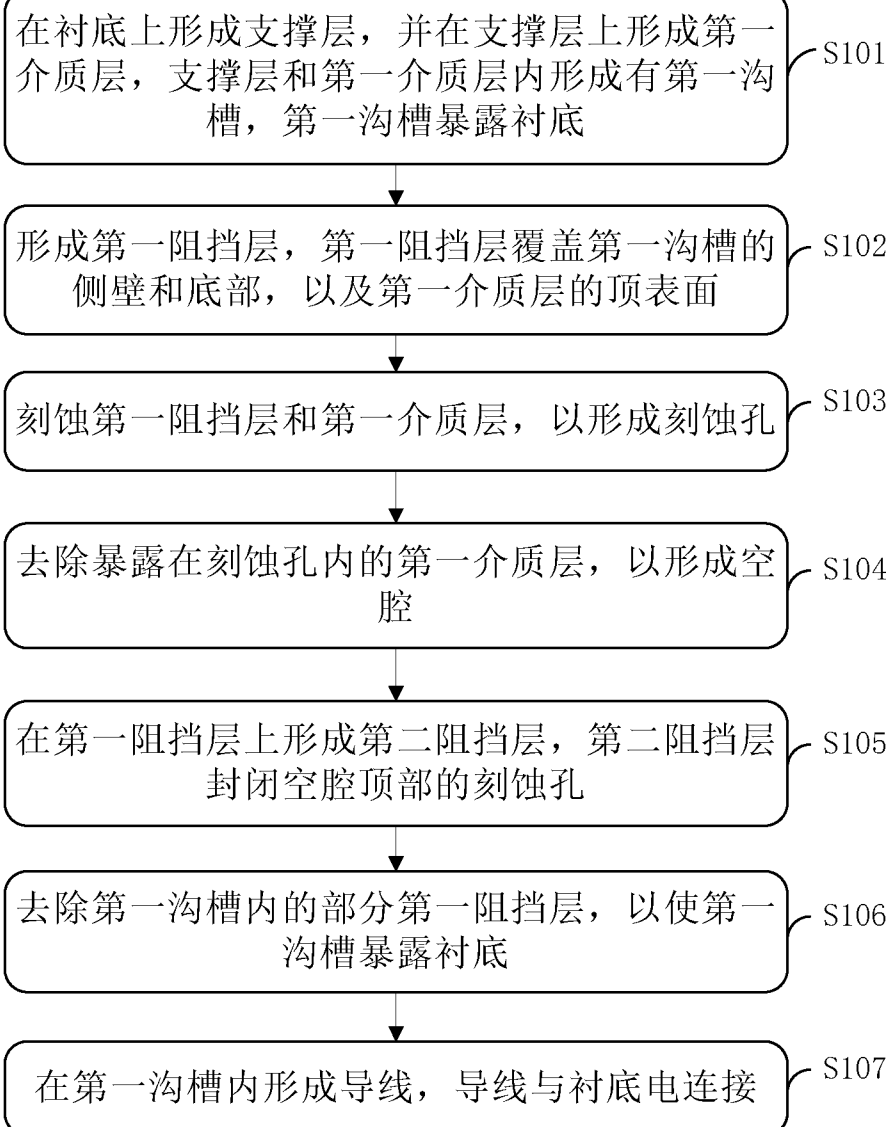


图 2

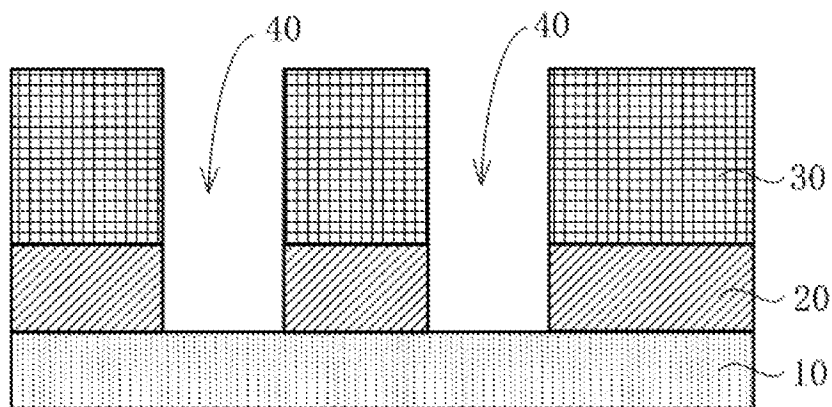


图 3

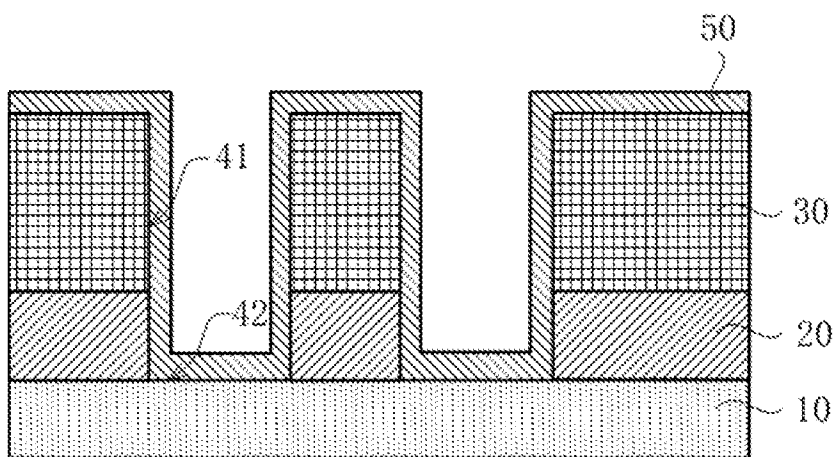


图 4

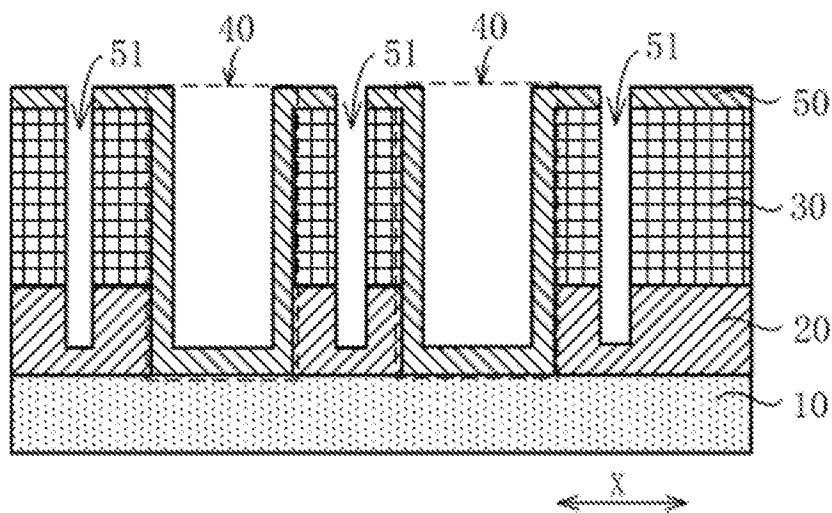


图 5

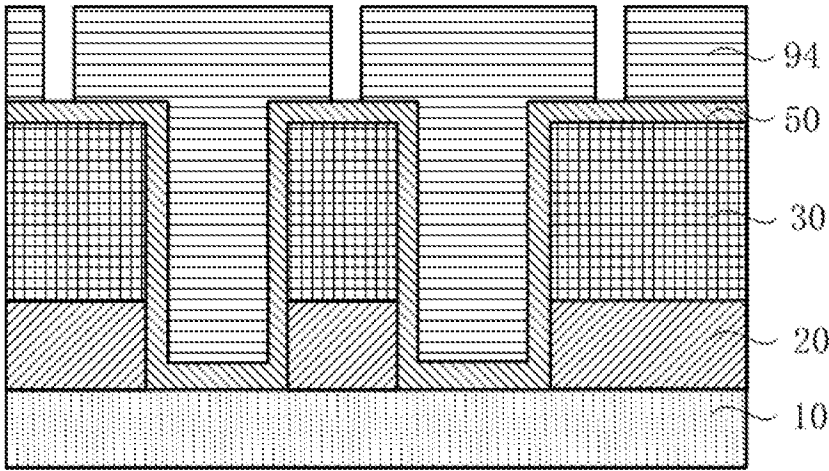


图 6

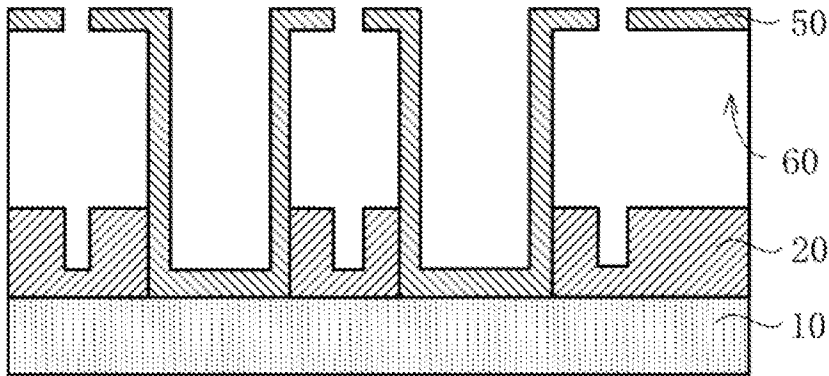


图 7

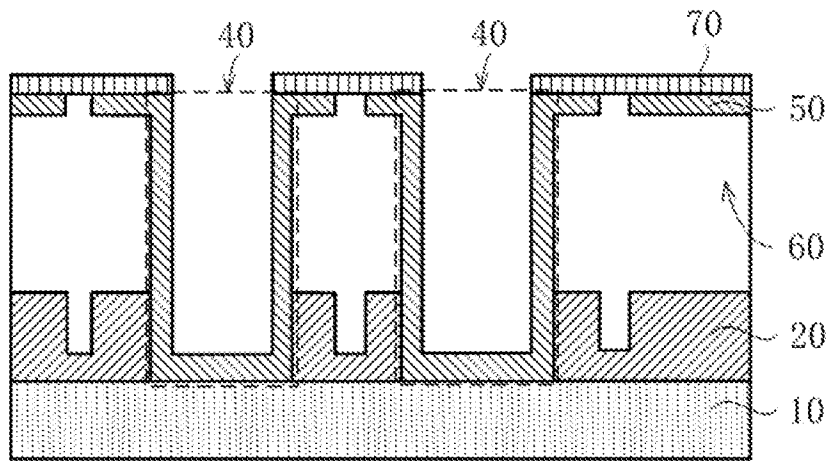


图 8

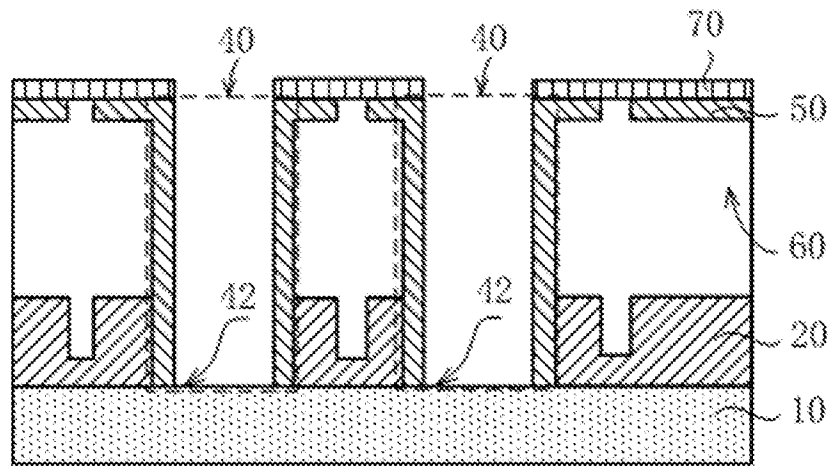


图 9

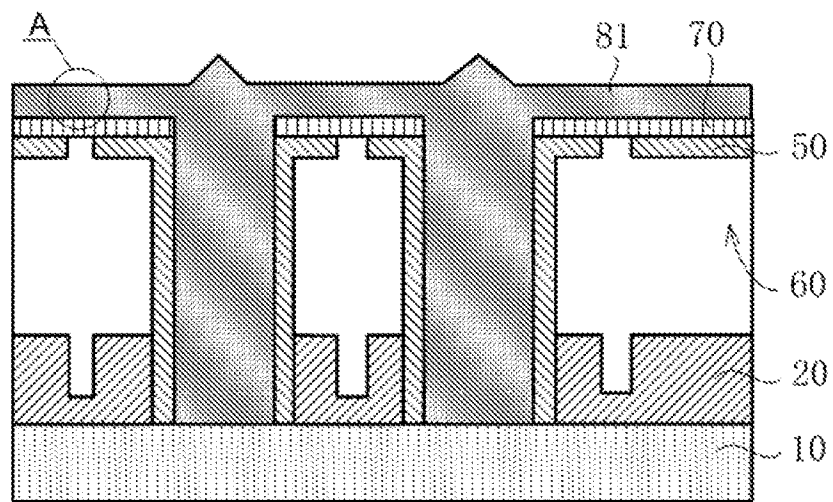


图 10

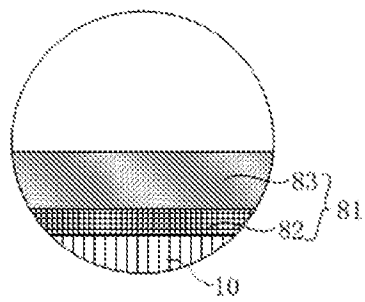


图 11

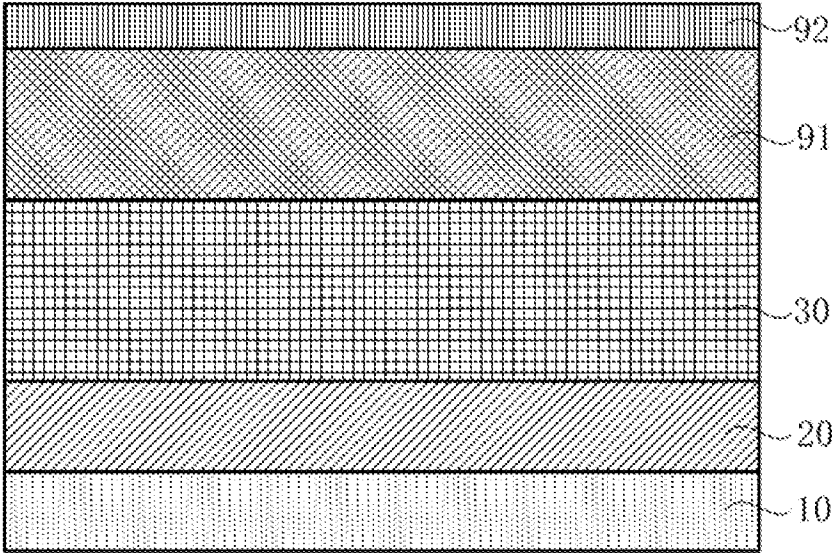


图 12

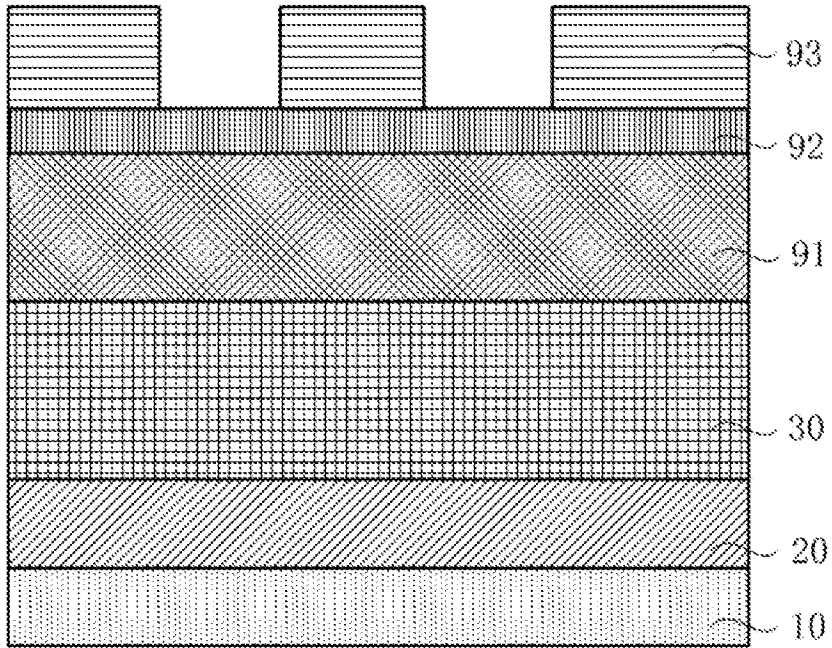


图 13

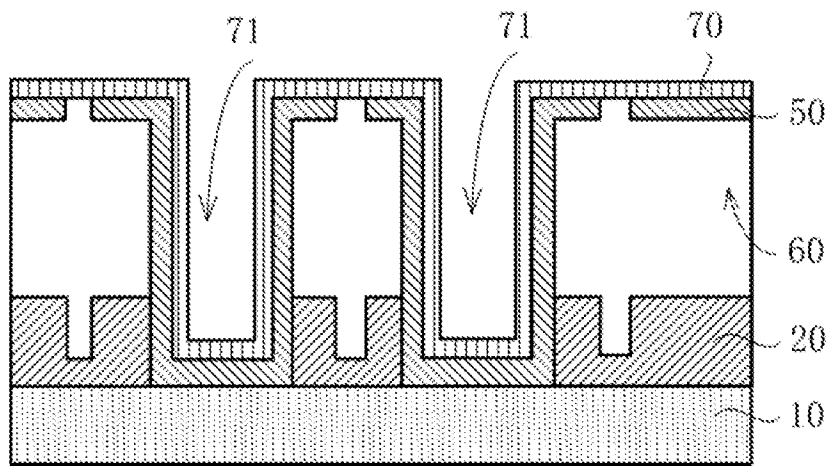


图 14

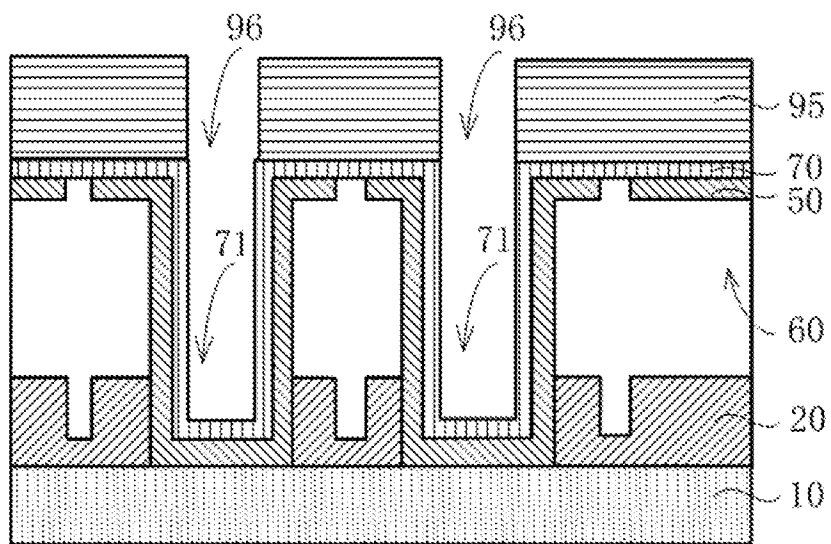


图 15

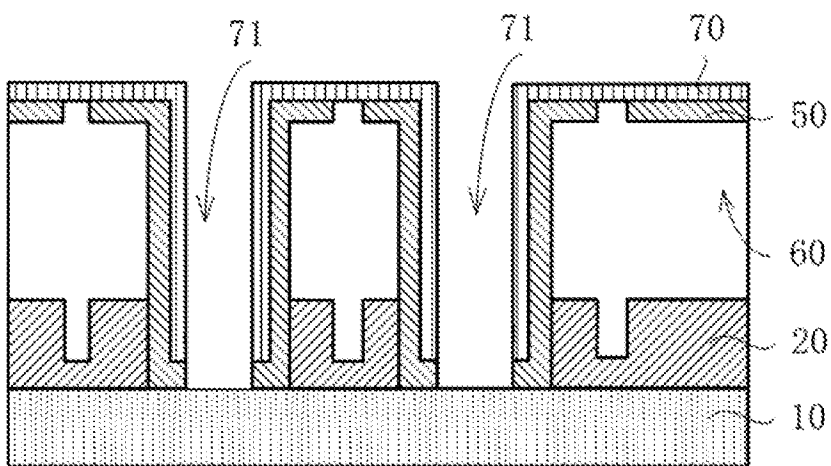


图 16

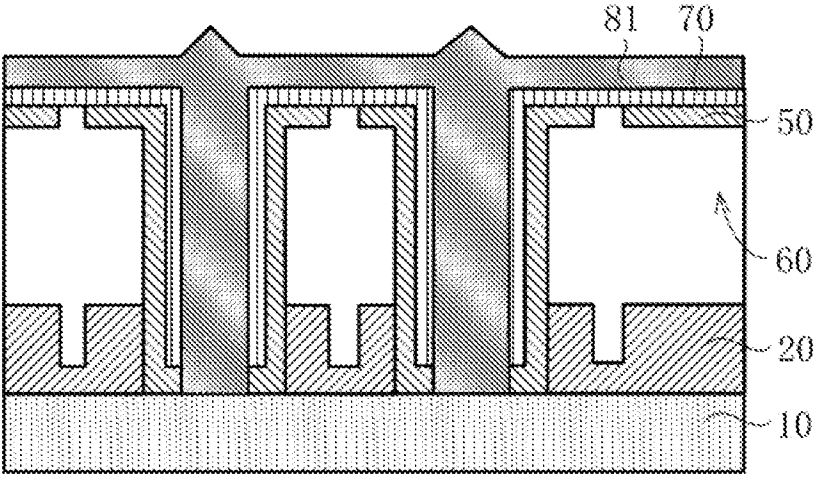


图 17

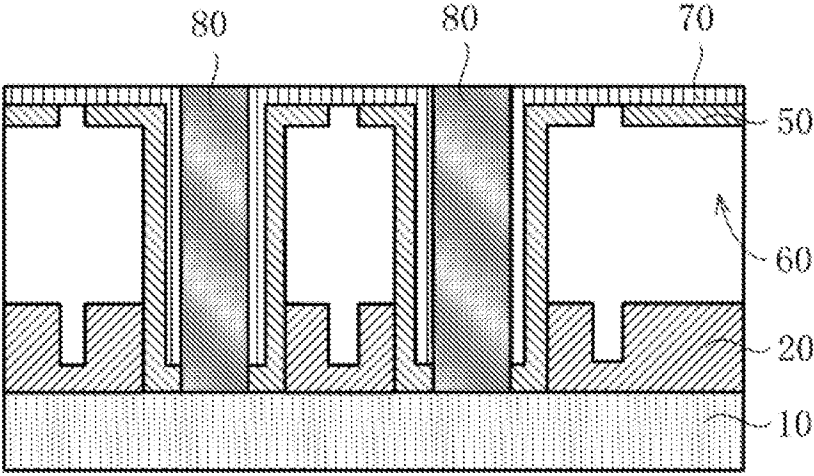


图 18

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2022/070591

A. CLASSIFICATION OF SUBJECT MATTER

H01L 21/768(2006.01)i; H01L 23/528(2006.01)i; H01L 23/532(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

VEN; CNABS; CNTXT; USTXT; EPTXT; WOTXT; CNKI: 导线, 寄生电容, 介电常数, 电容电阻延迟, RC延迟, 空气隙, 封闭, 空腔, 阻挡层, 支撑层, barrier layer, cavity, air gap, remove, dielectric layer, sacrificial layer, etch, hole

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 113539955 A (CHANGXIN MEMORY TECHNOLOGIES, INC.) 22 October 2021 (2021-10-22) claims 1-15	1-15
X	CN 102376684 A (SHANGHAI INTEGRATED CIRCUIT RESEARCH & DEVELOPMENT CENTER) 14 March 2012 (2012-03-14) description, paragraphs [0038]-[0057], and figures 1-3o	1-15
A	US 2007026636 A1 (GOGOI, B. P.) 01 February 2007 (2007-02-01) entire document	1-15
A	CN 208655630 U (CHANGXIN MEMORY TECHNOLOGIES, INC.) 26 March 2019 (2019-03-26) entire document	1-15

☐ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

17 March 2022

Date of mailing of the international search report

29 March 2022

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing
100088, China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2022/070591

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	113539955	A	22 October 2021	None			
CN	102376684	A	14 March 2012	US	2014138835	A1	22 May 2014
				US	9269613	B2	23 February 2016
				WO	2013075375	A1	30 May 2013
				CN	102376684	B	06 April 2016
US	2007026636	A1	01 February 2007	TW	200707542	A	16 February 2007
				TW	I395257	B	01 May 2013
				WO	2007018813	A2	15 February 2007
				WO	2007018813	A3	08 November 2007
				US	7405099	B2	29 July 2008
CN	208655630	U	26 March 2019	None			

国际检索报告

国际申请号

PCT/CN2022/070591

A. 主题的分类

H01L 21/768(2006.01)i; H01L 23/528(2006.01)i; H01L 23/532(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

VEN;CNABS;CNTXT;USTXT;EPTXT;WOTXT;CNKI: 导线, 寄生电容, 介电常数, 电容电阻延迟, RC延迟, 空气隙, 封闭, 空腔, 阻挡层, 支撑层, barrier layer, cavity, air gap, remove, dielectric layer, sacrificial layer, etch, hole

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
PX	CN 113539955 A (长鑫存储技术有限公司) 2021年10月22日 (2021 - 10 - 22) 权利要求1-15	1-15
X	CN 102376684 A (上海集成电路研发中心有限公司) 2012年3月14日 (2012 - 03 - 14) 说明书第[0038]-[0057]段, 附图1-3o	1-15
A	US 2007026636 A1 (G0G0I BISHNU P) 2007年2月1日 (2007 - 02 - 01) 全文	1-15
A	CN 208655630 U (长鑫存储技术有限公司) 2019年3月26日 (2019 - 03 - 26) 全文	1-15

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2022年3月17日

国际检索报告邮寄日期

2022年3月29日

ISA/CN的名称和邮寄地址

中国国家知识产权局(ISA/CN)

中国北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10)62019451

受权官员

张斌

电话号码 (86-512)88995753

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2022/070591

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	113539955	A	2021年10月22日	无			
CN	102376684	A	2012年3月14日	US	2014138835	A1	2014年5月22日
				US	9269613	B2	2016年2月23日
				WO	2013075375	A1	2013年5月30日
				CN	102376684	B	2016年4月6日
US	2007026636	A1	2007年2月1日	TW	200707542	A	2007年2月16日
				TW	1395257	B	2013年5月1日
				WO	2007018813	A2	2007年2月15日
				WO	2007018813	A3	2007年11月8日
				US	7405099	B2	2008年7月29日
CN	208655630	U	2019年3月26日	无			