



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2012년01월31일  
(11) 등록번호 10-1109908  
(24) 등록일자 2012년01월18일

(51) Int. Cl.

G01C 19/66 (2006.01) G01C 19/64 (2006.01)

(21) 출원번호 10-2006-7018118

(22) 출원일자(국제출원일자) 2005년03월02일

심사청구일자 2010년02월24일

(85) 번역문제출일자 2006년09월06일

(65) 공개번호 10-2007-0019699

(43) 공개일자 2007년02월15일

(86) 국제출원번호 PCT/JP2005/003525

(87) 국제공개번호 WO 2005/085759

국제공개일자 2005년09월15일

(30) 우선권주장

JP-P-2004-00059402 2004년03월03일 일본(JP)

(56) 선행기술조사문헌

JP2002344080 A\*

\*는 심사관에 의하여 인용된 문헌

(73) 특허권자

가부시키가이샤 고쿠사이 덴키 츠신 기소 기주츠 켄큐쇼

일본 교토후 소라쿠군 세이카초 히카리다이 2초메 2반치 2

(72) 발명자

하라야마 다카히사

일본 6190288 교토후 소라쿠군 세이카초 히카리다이 2초메 2반치2 가부시키가이샤 고쿠사이 덴키 츠신 기소 기주츠 켄큐쇼 내

후쿠시마 다케히로

일본 6190288 교토후 소라쿠군 세이카초 히카리다이 2초메 2반치2 가부시키가이샤 고쿠사이 덴키 츠신 기소 기주츠 켄큐쇼 내

(74) 대리인

주성민, 성재동

전체 청구항 수 : 총 21 항

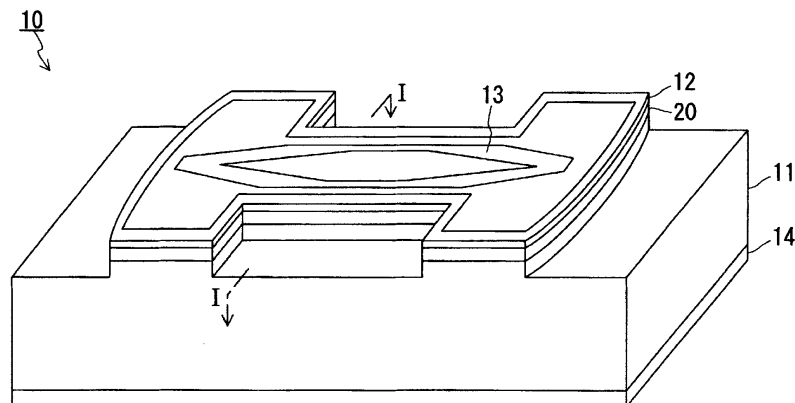
심사관 : 김보철

(54) 반도체 레이저를 이용한 자이로

(57) 요약

제1 및 제2 레이저광을 출사하는 반도체 레이저(10)와, 광검출기를 구비하는 반도체 레이저 자이로이며, 광검출기는 상기 제1 및 제2 레이저광에 의해 간섭 무늬가 형성되는 위치에 배치되어 있다. 반도체 레이저(10)는 활성층과, 활성층에 캐리어를 주입하기 위한 제1 및 제2 전극(13, 14)을 구비한다. 제1 레이저광은 활성층 내에 있어서 다각형의 경로 상을 주회하는 레이저광(L1)의 일부가 출사된 레이저광이며, 제2 레이저광은 상기 경로 상을 레이저광(L1)과는 역방향으로 주회하는 레이저광(L2)의 일부가 출사된 레이저광이다.

대표도 - 도1



## 특허청구의 범위

### 청구항 1

제1 및 제2 레이저광을 출사하는 반도체 레이저와, 광검출기를 구비하는 반도체 레이저 자이로이며,  
 상기 광검출기는 상기 제1 및 제2 레이저광에 의해 간섭 무늬가 형성되는 위치에 배치되어 있고,  
 상기 반도체 레이저는 활성층과, 상기 활성층에 캐리어를 주입하기 위한 제1 및 제2 전극을 구비하고,  
 상기 제1 레이저광은 상기 활성층 내에 있어서 다각형의 경로 상을 주회하는 레이저광(L1)의 일부가 출사된 레이저광이며,  
 상기 제2 레이저광은 상기 경로 상을 상기 레이저광(L1)과는 역방향으로 주회하는 레이저광(L2)의 일부가 출사된 레이저광이고,  
 상기 다각형의 경로는 능형의 경로이며,  
 상기 활성층은 상기 능형의 경로의 제1 내지 제4 모서리부에 대응하는 위치에 형성된 제1 내지 제4 단부면을 갖는 반도체 레이저 자이로.

### 청구항 2

삭제

### 청구항 3

삭제

### 청구항 4

제1항에 있어서, 상기 제1 및 제2 전극으로부터 선택되는 적어도 1개의 전극과, 상기 반도체 레이저를 구성하는 반도체층이 상기 능형의 경로에 따라 접촉하는 반도체 레이저 자이로.

### 청구항 5

제1항에 있어서, 상기 능형의 경로의 대향하는 상기 제1 및 제2 모서리부의 내각은 상기 제3 및 제4 모서리부의 내각보다도 각도가 작고,

상기 제1 및 제2 레이저광은 모두 상기 제1 모서리부에 대응하는 위치에 형성된 상기 제1 단부면으로부터 출사되는 반도체 레이저 자이로.

### 청구항 6

제5항에 있어서, 상기 제1 모서리부와 상기 제2 모서리부를 연결하는 대각선과, 상기 제1 및 제2 레이저광은 비평행한 반도체 레이저 자이로.

### 청구항 7

제5항에 있어서, 상기 활성층은 상기 레이저광(L1) 및 상기 레이저광(L2)이 상기 제3 및 제4 단부면에 있어서 전반사하는 조건을 충족시키는 반도체 레이저 자이로.

### 청구항 8

제5항에 있어서, 상기 제1 및 제2 단부면은, 각각 외측으로 볼록한 곡면인 반도체 레이저 자이로.

### 청구항 9

제8항에 있어서, 상기 활성층은 상기 능형의 경로를 포함하는 제1 영역과, 상기 제1 영역에 인접하는 제2 영역을 포함하고,

상기 제1 영역의 평면 형상은 직사각형의 짧은 변을 외측으로 볼록한 곡면으로 한 형상인 반도체 레이저 자이로.

#### 청구항 10

제9항에 있어서, 상기 제1 영역과 상기 제2 영역으로 구성되는 상기 활성층의 평면 형상이 거의 H자 형상인 반도체 레이저 자이로.

#### 청구항 11

제10항에 있어서, 상기 제1 모서리부와 상기 제2 모서리부를 연결하는 대각선에 평행한 방향에 있어서의 상기 제2 영역의 길이 $[L_s(\mu m)]$ 와, 상기 제1 모서리부와 상기 제2 모서리부의 거리 $[L(\mu m)]$ 가,  $L/4 < L_s$ 를 충족시키는 반도체 레이저 자이로.

#### 청구항 12

제1항에 있어서, 상기 광검출기가 복수의 수광 소자를 구비하는 반도체 레이저 자이로.

#### 청구항 13

제1항에 있어서, 상기 반도체 레이저와 상기 광검출기가 모노리식으로 형성되어 있는 반도체 레이저 자이로.

#### 청구항 14

제13항에 있어서, 상기 반도체 레이저와 상기 광검출기가 같은 적층 구조를 갖는 반도체 레이저 자이로.

#### 청구항 15

제1항에 있어서, 렌즈를 더 구비하고,

상기 광검출기는 상기 렌즈를 투과한 상기 제1 및 제2 레이저광에 의해 간섭 무늬가 형성되는 위치에 배치되어 있는 반도체 레이저 자이로.

#### 청구항 16

제15항에 있어서, 상기 반도체 레이저와 상기 렌즈가 모노리식으로 형성되어 있는 반도체 레이저 자이로.

#### 청구항 17

제16항에 있어서, 상기 반도체 레이저의 반도체층과 상기 렌즈가 같은 적층 구조를 갖는 반도체 레이저 자이로.

#### 청구항 18

제1항에 있어서, 프리즘을 더 구비하고,

상기 광검출기는 상기 프리즘을 투과한 상기 제1 및 제2 레이저광에 의해 간섭 무늬가 형성되는 위치에 배치되어 있는 반도체 레이저 자이로.

#### 청구항 19

제18항에 있어서, 상기 반도체 레이저와 상기 프리즘이 모노리식으로 형성되어 있는 반도체 레이저 자이로.

#### 청구항 20

제19항에 있어서, 상기 반도체 레이저의 반도체층과 상기 프리즘이 같은 적층 구조를 갖는 반도체 레이저 자이로.

#### 청구항 21

제18항에 있어서, 상기 반도체 레이저와 상기 프리즘과 상기 광검출기가 모노리식으로 형성되어 있는 반도체 레이저 자이로.

## 청구항 22

제21항에 있어서, 상기 반도체 레이저의 반도체층과 상기 프리즘과 상기 광검출기의 반도체층이 같은 적층 구조를 갖는 반도체 레이저 자이로.

## 청구항 23

제1항에 있어서, 상기 반도체 레이저는, 상기 활성층을 사이에 두도록 배치된 2개의 클래드 층을 포함하고, 상기 클래드 층 각각은 상기 활성층의 평면 형상과 동일한 평면 형상을 가지는 반도체 레이저 자이로.

## 명세서

### 기술분야

본 발명은 반도체 레이저를 이용한 자이로에 관한 것이다.

### 배경기술

회전하는 물체의 각속도를 검출하기 위한 자이로 중에서도, 광자이로는 정밀도가 높다는 특징을 갖는다. 광자이로에서는 환형의 광로를 서로 역방향으로 진행하는 2개의 레이저광의 주파수차를 이용하여 각속도의 검출을 행한다. 이와 같은 광자이로로서, 희박 가스 레이저를 이용한 광자이로가 제안되어 있다(예를 들어, 일본 특허 공개 평11-351881호 참조). 이들 광자이로에서는 같은 경로를 서로 역방향으로 주회하는 레이저광을 취출하여 간섭 무늬를 형성시킨다. 이들 광자이로의 일반적인 구성을 도16에 도시한다. 도16의 광자이로에 있어서, 간섭 무늬는 이하의 식 1로 나타낸다.

[수학식 1]

$$I = I_0 \left[ 1 + \cos \left( \frac{2\pi \varepsilon X}{\lambda} + 2\pi \Delta \omega t + \phi \right) \right]$$

여기서,  $I_0$ 는 레이저광의 광강도이며,  $\lambda$ 은 레이저광의 파장이다. 또한,  $\varepsilon$ 는 도16에 도시한 각도이며,  $X$ 는 도16에 도시한  $X$  방향의 좌표이다.  $\Delta \omega$ 는 자이로가 회전하였을 때 시계 방향의 모드와 반시계 방향의 모드의 주파수차이며,  $t$ 는 시각이다.  $\Delta \omega$ 는 자이로의 회전의 각속도( $\Omega$ )와 비례 관계에 있다. 즉,  $\Delta \omega = 4A\Omega/(L\lambda)$ 이다. 여기서,  $A$ 는 링 형상이 둘러싸는 면적이며,  $L$ 은 광로 길이이다.  $\phi$ 는 2개의 레이저광의 초기의 위상차를 나타낸다. 이 자이로에서는 간섭 무늬의 이동 속도 및 이동 방향을 검출함으로써, 자이로의 회전 속도 및 회전 방향이 검출된다. 그러나, 희박 가스 레이저를 이용한 광자이로는 구동에 고전압이 필요하여 소비 전력이 크다는 과제 및 장치가 크고 열에 약하다는 과제를 갖고 있었다.

이와 같은 과제를 해결하는 자이로로서, 환형(삼각 환형이나 사각 환형)의 도파로를 구비하는 반도체 링 레이저를 이용한 자이로가 제안되어 있다(예를 들어, 일본 특허 공개 제2000-230831호 공보 참조). 이 자이로로 이용되고 있는 반도체 레이저는, 거의 일정한 폭의 환형의 도파로를 구비한다. 그리고, 그 환형의 도파로를 서로 반대 방향으로 주회하는 2개의 레이저광을 외부로 취출하여 그 간섭 무늬를 검출한다. 그러나, 가는 도파로를 이용하여 밀폐된 레이저광은 도파로의 외부에 출사할 때에 크게 퍼져버리기 때문에, 실제로 간섭 무늬를 정밀도 좋게 검출하는 것은 곤란하다. 그로 인해, 반도체 레이저를 이용하는 자이로에서는 반도체 레이저의 2개의 전극간의 전압 변화로부터, 2개의 레이저광의 주파수차에 대응하는 비트 주파수를 검출하는 자이로(예를 들어, 일본 특허 공개 평4-174317호 공보 참조)나, 공진기의 단부면으로부터 베어 나온 에베네슨트광을 이용하여 비트 주파수를 검출하는 자이로(예를 들어, 일본 특허 공개 제2000-121367호 공보 참조)가 일반적이다.

그러나, 비트 주파수를 검출하는 자이로에서는 회전 방향의 검출에 특별한 장치가 필요해진다.

### 발명의 상세한 설명

이와 같은 상황을 비추어, 본 발명은 신규인 구조의 반도체 레이저를 사용함으로써, 반도체 레이저를 이용한 종래의 자이로보다도 정밀도 좋게 간단히 회전을 검출할 수 있는 반도체 레이저 자이로를 제공하는 것을 목적 중 하나로 한다.

본 발명자들은, 특별한 구조의 반도체 레이저에 의해 특별한 레이저광을 여기할 수 있는 것을 발견하였다. 이

반도체 레이저에서는 능형의 경로를 서로 역방향으로 진행하는 2개의 레이저광이 여기된다. 이 2개의 레이저광은, 각각 좋게 콜리메이트된 상태에서 반도체 레이저로부터 외부로 출사되고, 명료한 간섭 무늬를 형성한다. 본 발명은, 이 새로운 지건을 기초로 하는 것이다.

[0010] 본 발명의 반도체 레이저 자이로(또는, 반도체 레이저 자이로 소자)는 제1 및 제2 레이저광을 출사하는 반도체 레이저와 광검출기를 구비하는 반도체 레이저 자이로이며, 상기 광검출기는 상기 제1 및 제2 레이저광에 의해 간섭 무늬가 형성되는 위치에 배치되어 있고, 상기 반도체 레이저는 활성층과 상기 활성층에 캐리어를 주입하기 위한 제1 및 제2 전극을 구비하고, 상기 제1 레이저광은 상기 활성층 내에 있어서 다각형의 경로 상을 주회하는 레이저광(L1)의 일부가 출사된 레이저광이며, 상기 제2 레이저광은 상기 경로 상을 상기 레이저광(L1)은 역방향으로 주회하는 레이저광(L2)의 일부가 출사된 레이저광이다.

[0011] 본 발명에 따르면, 고정밀도에서 소형의 반도체 레이저 자이로를 실현할 수 있다. 본 발명의 자이로에서는 특별한 구조의 반도체 레이저를 이용하고 있고, 이 반도체 레이저로부터는 환형의 광로를 서로 역방향으로 진행하는 2개의 레이저광이 흔히 콜리메이트된 상태로 출사된다. 또한, 이 반도체 레이저에서는 출사 단부면에 있어서의 레이저광의 열화가 작다. 그로 인해 2개의 레이저광에 의해 명료한 간섭 무늬가 형성되고, 정밀도 좋게 회전 속도(각속도)를 검출할 수 있다.

[0012] 또한, 본 발명의 자이로에 따르면, 2개 이상의 수광 소자로 간섭 무늬의 이동을 관측함으로써, 회전 속도 및 회전 방향을 간단히 산출할 수 있다. 이들 검출에는 회박 가스 레이저를 이용한 종래의 광자이로로 이용되고 있는 회로와 유사의 회로를 적용할 수 있기 때문에, 본 발명의 자이로는 다양한 기기로서의 응용이 용이하다.

## 실시예

[0033] 이하, 본 발명의 실시 형태에 대해 설명한다. 또한, 이하에 설명하는 반도체 레이저 자이로(반도체 레이저 자이로 소자)는 본 발명의 일례이며, 본 발명은 이하의 설명에 한정되지 않는다. 또한, 이하의 설명에서는 같은 부분에 동일한 부호를 붙여 중복되는 설명을 생략할 경우가 있다.

[0034] 본 발명의 반도체 레이저 자이로는, 제1 및 제2 레이저광을 출사하는 반도체 레이저와 광검출기를 구비한다. 광검출기는 제1 및 제2 레이저광에 의해 간섭 무늬가 형성되는 위치에 배치되어 있다. 반도체 레이저는 활성층과, 활성층에 캐리어를 주입하기 위한 제1 및 제2 전극을 구비한다. 제1 레이저광은 활성층 내에 있어서 다각형의 경로 상을 주회하는 레이저(L1)의 일부가 출사된 레이저광이며, 제2 레이저광은 상기 경로 상을 레이저광(L1)은 역방향으로 주회하는 레이저광(L2)의 일부가 출사된 레이저광이다.

[0035] 활성층의 평면 형상은, 상기 다각형의 경로의 모서리부가 외연부에 위치하도록 상기 다각형을 내포하는 형상이다. 활성층에 전류가 주입되면, 광이 발생하지만, 이 광은 활성층의 단부면에서 반사되는 동시에 유도 방출을 발생시킨다. 그리고, 활성층의 평면 형상에 따라서, 특정한 경로를 안정적으로 주회하는 레이저광(L1, L2)이 여기된다. 즉, 활성층은 공진기(캐비티)로서 기능한다. 공진기로서 기능하는 활성층의 단부면은 발생한 광이 소정의 형상의 경로를 주회하도록 형성된다. 예를 들어, 능형의 경로를 주회하는 레이저광을 여기할 경우, 활성층에는 경로(가상의 능형)의 4개의 모서리부의 각각에 대응하는 위치에 단부면(측면)이 형성된다. 활성층 및 그것을 끼우도록 배치되는 클래드층은, 통상 균일한 층이며, 상기 경로에 대응하는 일정한 폭의 도파로는 형성되어 있지 않는다. 다각형의 경로의 형상은 활성층의 형상에 의해 변화시킬 수 있다. 다각형의 경로의 바람직한 형상은 능형이지만, 다른 사각형이나 삼각형이라도 좋다.

[0036] (반도체 레이저)

[0037] 우선, 본 발명의 자이로에 이용되는 반도체 레이저에 대해 설명한다.

[0038] 반도체 레이저의 활성층은, 그 평면 형상이 환형(다각 환형)이 아닌 것이 바람직하다. 환형으로 형성된 가는 도파로 내에 밀폐된 레이저광은 출사될 때에 퍼지기 때문에, 명료한 간섭 무늬가 형성되지 않는다. 그로 인해, 활성층의 평면 형상은 실질적으로 환형이 아닌 것이 바람직하다. 이 경우, 활성층 내에 캐리어를 주입하고, 2차원 방향으로 퍼지는 활성층을 공진기라 하는 특정한 모드의 레이저광, 구체적으로는 활성층 내를 주회하는 레이저광을 얻을 수 있다. 이와 같은 활성층으로부터 출사되는 레이저광은 흔히 콜리메이트되어 있고, 그 레이저광 강도의 반값 폭을 10 °C 이하(예를 들어, 5° 이하)로 하는 것이 가능하다. 또한, 활성층의 중앙 부근에 관통 구멍이 형성되어 있는 경우라도, 실질적으로 환형이 아닌 활성층, 즉 거의 일정한 폭의 도파로가 환형으로 형성되어 있지 않은 활성층이라면 좋다. 또한, 본 명세서에 있어서 「평면 형상」이라 함은, 도3에 도시된 형상, 즉 반도체층의 적층 방향으로 수직인 방향의 형상을 의미한다.

- [0039] 레이저광이 삼각 환형이나 사각 환형의 경로를 주회하는 종래의 반도체 레이저를 이용한 자이로에서는 캐비티(활성층)의 평면 형상이 레이저광의 경로에 대응하는 삼각 환형이나 사각 환형의 형상이다. 이에 대해, 본 발명의 활성층의 평면 형상은 다각 환형이 아니라, 레이저광의 경로를 포함하도록 2차원적으로 퍼져 있다.
- [0040] 상기 다각형의 경로는 능형의 경로이며, 활성층은 상기 능형의 경로의 제1 내지 제4 모서리부에 대응하는 위치에 형성된 제1 내지 제4 단부면을 갖는 것이 바람직하다. 즉, 제1 내지 제4 단부면 상에는, 각각 능형의 경로의 제1 내지 제4 모서리부가 위치한다. 이 경우, 활성층에 캐리어를 주입함으로써, 능형 상을 주회하는 레이저광이 여기된다. 즉, 레이저광(L1)은 상기 능형의 경로 상을 주회하는 레이저광이며, 레이저광(L2)은 상기 능형의 경로 상을 레이저광(L1)과는 역방향으로 주회하는 레이저광이다.
- [0041] 제1 및 제2 전극으로부터 선택되는 적어도 1개의 전극과 반도체 레이저를 구성하는 반도체층이, 상기 능형의 경로(다각형의 경로)를 따라 접촉하는 것이 바람직하다. 전류는 접촉하고 있는 영역을 거쳐서 주입된다. 이 구성에 따르면, 활성층 중 상기 능형의 경로 부분에 캐리어를 주입할 수 있고, 능형의 경로 상을 주회하는 2개의 레이저광(L1, L2)이 용이하게 여기된다. 전형적인 일례에서는, 상기 적어도 1개의 전극이 능형의 경로(다각형의 경로)에 실질적으로 대응하도록 반도체층과 접촉한다. 이들 경우, 상기 적어도 1개의 전극과 반도체층이 환형으로 접촉하고 있어도 좋다. 또한, 본 명세서에 있어서, 「능형의 경로에 실질적으로 대응하도록」이라 함은, 능형의 경로에 완전히 대응할 경우에다가, 능형의 경로의 50 % 이상(바람직하게는, 70 % 이상이고 보다 바람직하게는 90 % 이상)에 대응하는 경우를 포함한다. 또한, 「환형에 접촉」이라 함은, 접촉하고 있는 영역이 실질적으로 고리를 형성하고 있으면 좋고, 완전히 연속한 고리가 아니더라도 되는 것을 의미하고 있다. 또한, 능형의 경로에 대응하는 상기 영역의 면적은 활성층의 평면 형상의 면적에 대해 통상 50 % 이하이며, 예를 들어 30 % 이하이다.
- [0042] 제1 및 제2 전극으로부터 선택되는 적어도 1개의 전극은, 이득이 발생하는 전류를 주입하는 제1 부분과, 제1 부분보다도 적은 전류를 주입하는 제2 부분을 포함해도 좋다. 제1 부분에서는 레이저 발진에 필요한 전류가 주입된다. 제2 부분에는 이득이 발생하지 않도록 약한 전류를 주입함으로써, 능형의 광로 이외의 방향으로 진행되는 레이저광을 감쇠시킬 수 있다.
- [0043] 상기 능형의 경로의 대향하는 제1 및 제2 모서리부의 내각은, 제3 및 제4 모서리부의 내각보다도 각도가 작아지고, 제1 및 제2 레이저광은 모두 제1 모서리부에 대응하는 위치에 형성된 제1 단부면으로부터 출사되는 것이 바람직하다. 보다 구체적으로는, 제1 및 제2 레이저광은 캐비티로서 기능하는 활성층의 길이 방향의 한쪽 단부로부터 출사되는 것이 바람직하다. 제1 모서리부와 제2 모서리부를 연결하는 대각선과, 제1 및 제2 레이저광과는 비평행하다.
- [0044] 활성층은 레이저광(L1) 및 레이저광(L2)이 제3 및 제4 단부면에 있어서 전반사하는 조건을 충족시키는 것이 바람직하다. 제1 내지 제4 단부면은 미러면으로서 기능하지만, 제3 및 제4 단부면에서 레이저광을 전반사시키므로써 레이저 발진의 임계치를 낮출 수 있다. 제3 및 제4 단부면에 있어서 레이저광을 전반사시키기 위해서는, 제3 및 제4 단부면과 거기에 입사하는 레이저광(L1, L2)이 이루는 각도를, 일정 이하의 각도로 하면 좋다. 전반사에 필요한 각도는 레이저광의 파장과 활성층의 굴절률로부터 간단히 유도된다. 활성층의 단부면과 레이저광이 이루는 각도는 능형의 경로의 형상을 변화시키므로써, 즉 활성층의 평면 형상을 변화시키므로써 조절할 수 있다. 레이저광의 파장이나 활성층의 재질에 의해 바람직한 형상은 다르지만, 제1 모서리부와 제2 모서리부의 거리(능형의 긴 쪽의 대각선의 길이)와, 제3 모서리부와 제4 모서리부를 연결하는 거리(능형의 짧은 쪽의 대각선의 길이)의 비는, 예를 들어 600 : 190 내지 600 : 30의 범위가 된다. 제1 단부면은 미러면이지만, 활성층 내를 주회하는 레이저광의 일부가 외부에 출사되도록, 통상 미러 코트 처리 등은 행하지 않는다. 또한, 제1 단부면에는 레이저광이 외부에 출사하기 쉬운 처리를 해도 좋다. 또한, 제2 모서리부에 있어서의 활성층의 단부면은 미러 코트 처리가 되어 있는 것이 바람직하다.
- [0045] 활성층의 제1 단부면은 곡면인 것이 바람직하다. 특히, 제1 및 제2 단부면은, 각각 외측으로 볼록한 곡면인 것이 바람직하다. 이 구성에 따르면, 능형의 경로를 주회하는 레이저광을 안정하게 발생시킬 수 있는 동시에, 제1 및 제2 레이저광을 제1 단부면으로부터 안정하게 출사할 수 있다. 외측으로 볼록한 2개의 곡면은, 각각 능형의 경로의 제1 및 제2 모서리부를 연결하는 대각선 상에 중심을 갖는 가상의 원기둥의 일부와 같은 곡면인 것이 바람직하다. 또한, 제1 및 제2 단부면으로부터 선택되는 적어도 1개를 평면 또는 내측으로 볼록한 곡면으로 하는 것도 가능하다.
- [0046] 상술한 원기둥의 반경, 즉 상기 제1 단부면의 곡률 반경(R1) 및 제2 단부면의 곡률 반경(R2)은, 모두 제1 모서리부와 제2 모서리부 사이의 거리(L) 이상인 것이 바람직하다. 이 구성에 따르면, 능형의 광로 주회하는 레이



저광(L1, L2)을 안정되게 여기할 수 있다. R1, R2의 상한은 특별히 한정은 없지만, 예를 들어 거리(L)의 2배 이하이다.

- [0047] 활성층은 능형의 경로를 포함하는 제1 영역과, 제1 영역에 인접하는 제2 영역을 포함하는 것이 바람직하다. 이 경우, 제1 영역의 평면 형상은, 거의 직사각형상인 것이 바람직하고, 보다 상세하게는 직사각형의 짧은 변을 외측으로 볼록한 곡면으로 한 형상인 것이 바람직하다. 이 구성에서는 제1 영역을 공진기로서 능형의 광로를 진행하는 레이저광이 여기된다. 또한, 이 구성에 따르면, 능형의 경로 이외의 방향으로 진행하는 레이저광을 제2 영역에 의해 감쇠시킬 수 있다.
- [0048] 상기 제1 영역과 제2 영역으로 구성되는 활성층의 평면 형상은 거의 H자 형상(보다 상세하게는, H를 가로로 늘린 형상)인 것이 바람직하다(도3 참조). 이 경우, 제1 영역에는 4개의 제2 영역이 인접한다. 이 경우, 제1 모서리부와 제2 모서리부를 연결하는 대각선에 평행한 방향에 있어서의 제2 영역의 길이[ $L_s(\mu m)$ ]와, 제1 모서리부와 제2 모서리부의 거리[ $L(\mu m)$ ]가,  $L/4 < L_s$ 를 충족시키는 것이 바람직하다. 또한, 제3 모서리부와 제4 모서리부를 연결하는 대각선에 평행한 방향에 있어서의 제2 영역의 길이( $W_s$ )(도3 참조)는, 예를 들어 제3 모서리부와 제4 모서리부를 연결하는 거리(W)의 1 내지 3배의 범위이다.
- [0049] 본 발명의 반도체 레이저를 구성하는 반도체 및 적층 구조에 특별히 한정은 없으며, 이용하는 레이저광의 파장 등에 따라 선택된다. 레이저광(L1, L2)의 파장에 특별히 한정은 없지만, 파장이 짧은 쪽이 높은 정밀도로 회전의 각속도를 검출할 수 있다. 바람직한 파장은 1550 nm 이하이며, 특히 바람직하게는 900 nm 이하이다. 반도체층의 재료의 일례로서는, 예를 들어 III-V족 화합물 반도체를 들 수 있다.
- [0050] 이하, 본 발명에서 이용되는 반도체 레이저의 바람직한 일례에 대해 설명한다. 반도체 레이저의 일례의 사시도를 도1에 도시하고, 도1의 선 I-I에 있어서의 단면도를 도2에 도시한다. 또한, 본 발명의 설명에 이용하는 도면은 모식적인 것이며, 이해가 용이하도록 모서리부의 축척을 변경하고 있다.
- [0051] 도1의 반도체 레이저(10)는 기판(11)과, 기판(11) 상에 형성된 반도체층(20)과, 반도체층(20) 상에 형성된 절연층(12) 및 제1 전극(13)과, 기판(11)의 이면측의 전체면에 형성된 제2 전극(14)을 구비한다.
- [0052] 도2를 참조하여, 반도체층(20)은 기판(11) 측으로부터 차례로 적층된 버퍼층(21), 버퍼층(22), 그레이디드층(23), 클래드층(24), 그레이디드층(25), 활성층(26), 그레이디드층(27), 클래드층(28) 및 캡층(29)을 포함한다. 캡층(29) 상에는 패터닝된 절연층(12)이 형성되어 있다. 절연층(12) 상에는 제1 전극(13)이 형성되어 있다. 절연층(12)에는 관통 구멍이 형성되어 있기 때문에, 제1 전극(13)과 캡층(29)은 관통 구멍이 형성되어 있는 영역(31)에서 접촉한다.
- [0053] 반도체 레이저(10)의 활성층(26)을 상방으로부터 보았을 때 평면 형상을 도3 및 도4에 도시한다. 도4에는 제1 전극(13)과 반도체층(20)[캡층(29)]이 접촉하고 있는 영역(31)의 부분을 사선으로 나타낸다. 또한, 반도체층(20)은 활성층(26)과 같은 평면 형상을 갖는다.
- [0054] 도3을 참조하여, 활성층(26)은 능형의 경로(32)를 포함하는 면형으로 형성된 박막이다. 경로(32)의 제1 내지 제4 모서리부(32a 32d) 중, 제1 및 제2 모서리부(32a, 32b)는 제3 및 제4 모서리부(32c, 32d)보다도 각도가 작다. 활성층(26)은 모서리부(32a 내지 32d)를 포함하도록 배치된 제1 내지 제4 단부면(미러면)(26a 내지 26d)을 갖는다. 제1 및 제2 단부면(26a, 26b)은 외측을 향해 볼록한 곡면이다. 제3 및 제4 단부면(26c, 26d)은 편평한 평면이다.
- [0055] 활성층(26)은 제1 영역(26f)과, 제1 영역에 인접하는 4개의 제2 영역(26s)을 구비한다. 제1 영역(26f)의 평면 형상은 직사각형의 짧은 변을 외측으로 볼록한 곡면으로 한 형상이다. 경로(32)는 제1 영역(26f) 내에 형성된다. 제1 영역(26f)과 제2 영역(26s)으로 구성되는 활성층(26)은, 거의 H자 형상의 형상(보다 상세하게는 H의 글자를 가로로 연장시킨 형상)을 하고 있다.
- [0056] 도4를 참조하여, 제1 전극(13)과 캡층(29)이 접촉하고 있는 영역(31)은 경로(32)에 대응하도록, 거의 능형으로 형성된다. 영역(31)이 경로(32)에 완전히 대응하지 않고 있는 것은 절연층(12)에 관통 구멍을 형성할 때에, 제조 공정 상의 제한이 있기 때문이다. 경로(32)에 완전히 대응하도록 영역(31)을 공지의 방법에서 능형으로 형성하는 것은 가능하지만, 제조 공정이 복잡해진다.
- [0057] 제1 전극(13)과 제2 전극(14) 사이에 전압을 인가하여 활성층(26)에 캐리어를 주입하면, 활성층(26)에서 광이 발생한다. 이 광은, 그레이디드층 및 클래드층에 의해 밀폐되어 주로 활성층(26) 내를 이동한다. 그와 같은 광 중에서, 경로(32) 상을 진행하는 광은 단부면(26a 내지 26d)에 의해 반사되면서 유도 방출이 생긴다. 이로

인해, 경로(32)를 광로로서 주회하는 레이저광(L1)이 발생한다. 마찬가지로, 경로(32)를 광로로서 레이저광(L1)과는 반대인 방향으로 주회하는 레이저광(L2)이 발생한다. 레이저광(L1, L2) 중 일부가, 제1 단부면(26a)의 제1 모서리부(32a)로부터 출사되고, 제1 및 제2 레이저광(35, 36)이 된다(도4 참조).

[0058] 레이저광(L1, L2)의 손실을 적게 하기 위해, 단부면(26b)에는 유전체 다층막에 의한 미러 코트가 되어 있다. 제1 모서리부(32a)와 제2 모서리부(32b) 사이의 거리(L)(도3 참조)는 600  $\mu\text{m}$ 이며, 제3 모서리부(32c)와 제4 모서리부(32d) 사이의 거리(W)는 60  $\mu\text{m}$ 이다. 반도체 레이저(10)에서는 단부면(26c, 26d)에 있어서, 레이저광(L1, L2)이 전반사된다.

[0059] 4개의 제2 영역(26s)은 제1 영역(26f)에서 발생한 레이저광이 단부면(26c, 26d)에서 다중 반사됨으로써 발생하는 모드를 억제하기 위해 형성된다. 반도체 레이저(10)에서는 제1 모서리부(32a)와 제2 모서리부(32b)를 연결하는 대각선(32ab)에 평행한 방향에 있어서의 제2 영역(26s)의 길이(Ls)(도3 참조)가 160  $\mu\text{m}$ 이다. 한편, L/4는 150  $\mu\text{m}$ 이며, L/4 < Ls가 충족되므로, 상기 모드가 특히 억제된다. 또한, 제3 모서리부(32c)와 제4 모서리부(32d)를 연결하는 대각선(32cd)의 방향에 있어서의 제2 영역(26s)의 길이(Ws)는 70  $\mu\text{m}$ 이다.

[0060] 단부면(26a, 26b)의 형상은, 각각 원기둥의 곡면의 일부의 형상이다. 구체적으로는, 대각선(32ab) 상이며 활성층(26)의 표면과 수직으로 중심축이 배치된 원기둥의 곡면의 일부와 같은 형상이다. 그 원기둥의 반경, 즉 단부면(26a)의 곡률 반경(R1)(도3 참조)은 600  $\mu\text{m}$ 이며, 단부면(26b)의 곡률 반경(R2)(도시하지 않음)도 마찬가지로 600  $\mu\text{m}$ 이다. 반도체 레이저(10)는 대각선(32ab) 및 대각선(32cd)에 대해 선대칭의 형상이며, 단부면(26b)은 제3 모서리부(32c)와 제4 모서리부(32d)를 연결하는 대각선(32cd)에 대해 단부면(26a)과 선대칭의 형상이다. 단, 본 발명의 반도체 레이저는 반드시 선대칭의 형상이 아니라도 좋고, 예를 들어 단부면(26b)은 단부면(26a)과는 곡률이 다른 곡면이라도 좋고, 평면이라도 좋고, 내측으로 볼록한 곡면이라도 좋다.

[0061] 기관(11), 반도체층(20), 절연층(12), 제1 전극(13) 및 제2 전극(14)의 재료 및 막 두께에 대해, 표1에 나타낸다. 표1에 있어서, 일부의 반도체층에 대해서는 밴드 갭(Eg)과, 다수 캐리어 및 그 농도에 대해서도 나타낸다.

[0062] [표1]

층	조성	두께 [ $\mu\text{m}$ ]	Eg [eV]	다수 캐리어와 그 농도 [ $\text{cm}^{-3}$ ]
제1전극(13)	Au Pt Ti	0.6 0.05 0.07	—	—
절연층(12)	$\text{Si}_3\text{N}_4$ 또는 $\text{SiO}_2$	0.4	—	—
캡층(29)	Be 도프 p형 GaAs	0.2	1.41	정공: $1 \times 10^{19}$
클래드층(28)	Be 도프 p형 $\text{Al}_{0.5}\text{Ga}_{0.5}\text{As}$	1.5	2.0	정공: $10^{18}$ 대
그레이디드층(27)	Be 도프 p형 $\text{Al}_x\text{Ga}_{1-x}\text{As}$	0.202		
활성층(26)	난도프 GaAs	0.01		
그레이디드층(25)	Si 도프 n형 $\text{Al}_x\text{Ga}_{1-x}\text{As}$	0.202		
클래드층(24)	Si 도프 n형 $\text{Al}_{0.5}\text{Ga}_{0.5}\text{As}$	1.5	2.0	전자: $10^{18}$ 대
그레이디드층(23)	Si 도프 n형 $\text{Al}_x\text{Ga}_{1-x}\text{As}$	0.2		전자: $10^{18}$ 대
버퍼층(22)	Si 도프 n형 $\text{Al}_{0.2}\text{Ga}_{0.8}\text{As}$	1.0	1.7	전자: $1 \times 10^{18}$
버퍼층(21)	Si 도프 n형 GaAs	0.2	1.41	전자: $3 \times 10^{18}$
기관(11)	단결정 n형 GaAs			
제2전극(14)	Ni Ge Au	0.02 0.1 0.5	—	—

[0063] 또한, 제1 전극(13) 및 제2 전극(14)을 구성하는 각 층은 열처리에 의해 합금화되어 있어도 좋다. 또한, 표1에 나타낸 구성은 일례이며, 반도체 레이저에 요구되는 특성에 따라 적절하게 변경된다.

[0065] 버퍼층(21, 22) 및 그레이디드층(23)은 품질이 높은 III-V족 화합물 반도체 결정을 얻기 위해 형성된다.

[0066] 그레이디드층(23)의 알루미늄의 조성비(X)는 버퍼층(22) 측으로부터 클래드층(24) 측을 향해 서서히 증가한다. 구체적으로는, 조성비(X)는 버퍼층(22)과의 계면에서는 0.2이며, 클래드층(24)과의 계면에서는 0.5이다.

[0067] 그레이디드층(25)에 있어서, 불순물인 Si의 농도는 클래드층(24) 측으로부터 활성층(26) 측을 향해 서서히 감소한다. 구체적으로는, 클래드층(24)과의 계면에서는 약  $1 \times 10^{18} \text{ cm}^{-3}$ 이며, 활성층(26)과의 계면에서는 약  $1 \times 10^{17} \text{ cm}^{-3}$ 이다. 또한, 그레이디드층(25)의 알루미늄의 조성비(X)도 클래드층(24) 측으로부터 활성층(26) 측을 향해 포물선형으로 감소한다. 구체적으로는, 조성비(X)는 클래드층(24)과의 계면에서는 0.5이며, 활성층(26)과의 계면에서는 0.2이다.



- [0068] 그레이디드층(27)에 있어서, 불순물인 Be의 농도는 활성층(26) 측으로부터 클래드층(28) 측을 향해 서서히 증가한다. 구체적으로는, 활성층(26)과의 계면에서는 약  $1 \times 10^{17} \text{ cm}^{-3}$ 이며, 클래드층(28)과의 계면에서는 약  $1 \times 10^{18} \text{ cm}^{-3}$ 이다. 또한, 그레이디드층(27)의 Al의 조성비(X)도, 활성층(26) 측으로부터 클래드층(28) 측을 향해 포물선형으로 증가한다. 구체적으로는, 조성비(X)는 활성층(26)과의 계면에서는 0.2이며, 클래드층(28)과의 계면에서는 0.5이다.
- [0069] 반도체층(20)의 밴드 갭 프로파일을 도5에 모식적으로 도시한다. 그레이디드층(25)의 밴드 갭은 클래드층(24)으로부터 활성층(26) 측을 향해 2.0 eV 내지 1.7 eV까지 포물선형으로 감소한다. 그레이디드층(27)의 밴드 갭은 활성층(26)으로부터 클래드층(28) 측을 향해 1.7 eV 내지 2.0 eV까지 포물선형으로 증가한다.
- [0070] 반도체 레이저(10)는, 소위 단일 양자 우물형의 레이저이며, 2개의 전극으로부터 주입된 캐리어는 활성층(26)에 밀폐되어 낮은 임계치 전류로 레이저 발진이 개시된다. 또한, 활성층(26)은 다중 양자 우물형 등의 다른 형태라도 좋다.
- [0071] 클래드층(24) 내지 클래드층(28)까지의 굴절률의 변화를 도6에 모식적으로 도시한다. 클래드층(24), 그레이디드층(25), 그레이디드층(27) 및 클래드층(28)은 활성층(26) 내에 광을 밀폐하기 위해 활성층(26)보다도 굴절률이 낮은 재료로 이루어진다. 활성층(26)의 굴절률이 가장 높기 때문에, 활성층(26)에서 발생한 광은 주로 활성층(26)에 밀폐된다.
- [0072] 또한, 반도체 레이저(10)의 제1 전극(13)은 이득이 발생하는 전류를 주입하는 제1 부분과, 제1 부분보다도 적은 전류를 주입하는 제2 부분을 포함해도 좋다. 그러한 전극과 반도체층(20)[캡층(29)]이 접촉하는 영역의 형상과, 활성층(26)의 평면 형상과, 경로(32)와의 관계를 도7에 도시한다. 또한, 도7에서는 제1 부분이 캡층(29)과 접촉하는 영역(31a)과, 제2 부분이 캡층(29)과 접촉하는 영역(31b)을 해칭을 붙여 나타내고 있다. 영역(31a)은 경로(32)의 1개의 변에 대응하는 위치에 형성되고, 영역(31b)은 다른 3개의 변에 대응하는 위치에 형성된다. 이와 같은 전극은 절연층(12)의 형상을 변경함으로써 용이하게 형성할 수 있다.
- [0073] 반도체 레이저(10)에서는 주입되는 전류가 임계치 전류를 넘으면 싱글 모드의 발진을 개시한다. 그리고, 주입되는 전류가 임계치 전류로부터 더 증가함에 따라, 발진의 모드가 싱글 모드, 트윈 모드, 로킹 모드라는 차례로 변화된다. 싱글 모드에서는, 도4에 도시한 바와 같이 제1 및 제2 레이저광(35, 36)이 출사된다. 트윈 모드에서는 2개의 레이저광이 주기적으로 교대로 출사된다. 로킹 모드에서는 2개의 레이저광 중 1개의 레이저광만이 출사된다. 따라서, 본 발명에서는, 통상 반도체 레이저(10)를 싱글 모드로 동작시킨다. 구체적으로는, 예를 들어 제1 전극(13)과 제2 전극(14) 사이에 200 mA의 전류를 흐르게 함으로써, 레이저를 발진시키면 좋다. 또한, 본 발명의 자이로에서는 주입하는 전류에 의해 발진의 모드를 변경할 수 있는 것을 이용하여, 특별한 기능을 부여해도 좋다.
- [0074] 반도체 레이저(10)를 싱글 모드로 발진시켰을 때 레이저광의 광각도의 각도 의존성을 제1 단부면(26a)으로부터 약 300 mm의 거리에서 측정한 결과를 도8에 도시한다. 도8에 도시한 바와 같이,  $0^\circ$ 의 방향[대각선(32ab)의 방향]으로부터의 각도가 거의 같은 방향으로 강도가 거의 같은 2개의 레이저광이 출사되었다. 2개의 레이저광의 파장은 862 nm였다. 또한, 2개의 레이저광의 강도의 반값 폭은  $4.2^\circ$ 였다. 또한, 2개의 레이저광이 대각선(32ab)의 방향으로 이루는 각도는, 각각 약  $19.2^\circ$ 였다. 이와 같이, 반도체 레이저(10)는 대각(32ab)에 대해 대칭한 방향으로 강도가 거의 같고, 콜리메이트가 된 2개의 레이저광을 출사하였다. 대각선(32ab)과, 제1 레이저광(또는, 제2 레이저광)이 이루는 각도( $\theta$ )는, 통상 이하의 식 2로 나타낼 수 있다.
- [0075] [수학식 2]
- [0076] 
$$\theta = \pm \sin^{-1} \left( \frac{W \cdot n_{\text{eff}}}{\sqrt{L^2 + W^2}} \right)$$
- [0077] L 및 W는 각각 도3에 도시되는 길이이며,  $L = 600 \mu\text{m}$ ,  $W = 60 \mu\text{m}$ 이다. 또한,  $n_{\text{eff}}$ 는 광의 차광을 행하는 클래드층(24) 내지 클래드층(28)의 실효 굴절률이며, 반도체 레이저(10)에서는 약 3.3이다. 이들 값을 이용하여  $\theta$ 를 계산하면,  $\theta = 19.2^\circ$ 가 되고, 실제의 결과와 잘 일치하였다. 상기 식에 기초로 하면, 제1 및 제2 레이저광(35, 36)의 출사 각도는 활성층의 굴절률이나 L과 W와의 비를 변화시킴으로써 제어할 수 있다.
- [0078] 반도체 레이저(10)로부터 출사된 2개의 레이저광은 단부면(26a)의 근방에서 겹치기 때문에, 단부면(26a)의 근방에서 규칙 바른 간섭 무늬(여현파)가 생긴다. 단부면(26a)의 근방에서 측정한 간섭 무늬를 도9에 도시한다.

- [0079] (반도체 레이저 자이로)
- [0080] 본 발명의 자이로는, 제1 및 제2 레이저광에서 간섭 무늬가 형성된 위치에 배치된 광검출기를 구비한다. 광검출기는 간섭 무늬의 이동을 검출할 수 있는 것이면 특별하게 한정 없이, 통상은 포토다이오드나 포토트랜지스터 등의 반도체 수광 소자가 이용된다. 광검출기는 간섭 무늬의 광량의 강약에 따른 신호를 출력한다. 간섭 무늬가 이동하면, 광검출기에 입력되는 광량이 주기적으로 변화되기 때문에, 간섭 무늬의 이동 속도를 산출할 수 있다.
- [0081] 광검출기는 복수의 수광 소자를 구비하는 2 채널의 광검출기라도 좋다. 2개 이상의 수광 소자를 간섭 무늬의 이동 방향에 배치함으로써, 간섭 무늬의 이동 속도에도 간섭 무늬의 이동 방향을 검출할 수 있다. 간섭 무늬의 이동 속도와 이동 방향을 검출함으로써, 반도체 레이저 자이로의 회전 방향과 회전 속도를 산출할 수 있다.
- [0082] 본 발명의 자이로에서는, 상기 반도체 레이저와 광검출기(수광 소자)가 모노리식(monolithic)으로 형성되어 있어도 좋다. 이 경우, 반도체 레이저와 광검출기(예를 들어, 포토다이오드가 같은 적층 구조를 갖고도 좋다. 이 구성에서는 반도체 레이저와 광검출기를 반도체 소자를 제조하는 일련의 프로세스에서 동시에 형성할 수 있다. 그로 인해 제조가 용이한 동시에, 반도체 레이저와 광검출기를 정확한 배치에 형성할 수 있다.
- [0083] 본 발명의 자이로는 렌즈를 더 구비해도 좋다. 이 경우, 광검출기는 렌즈를 투과한 제1 및 제2 레이저광에 의해 간섭 무늬가 형성되는 위치에 배치된다. 반도체 레이저의 반도체층과 렌즈는, 같은 적층 구조를 갖고도 좋다. 이 경우의 렌즈는, 예를 들어 평면 형상이 반원형의 렌즈이며, 렌즈로서 기능한 부분은 반도체 레이저의 활성층과 같은 반도체로 이루어진다. 그로 인해, 렌즈에 입사한 광은 반도체로 이루어지는 렌즈로 흡수되어 감쇠한다. 그러한 감쇠를 억제하기 위해, 렌즈를 구성하는 적층된 반도체층에 전류를 흐르게 해도 좋다. 전류를 흐르게 하기 위해서는, 예를 들어 전극을 포함하여 반도체 레이저와 렌즈를 아주 같은 적층 구조라고 하면 좋다. 이렇게 흐르게 하는 전류는 레이저 발진을 발생시키는 전류보다는 적은 것이 바람직하다. 전류를 흐르게 함으로써 렌즈에 의한 광의 감쇠를 억제할 수 있다. 또한, 렌즈에 의한 광의 감쇠를 억제하기 위해, 레이저광의 흡수가 적은 재료, 예를 들어 산화 실리콘 등으로 렌즈를 형성해도 좋다. 그 경우라도, 제조 공정은 많아지지만, 렌즈와 반도체 레이저를 공지의 방법에서 모노리식으로 형성할 수 있다.
- [0084] 본 발명의 자이로는 프리즘을 더 구비해도 좋다. 이 경우, 광검출기는 프리즘을 투과한 제1 및 제2 레이저광에 의해 간섭 무늬가 형성되는 위치에 배치된다. 소정의 형상의 프리즘을 사용함으로써, 형성되는 간섭 무늬의 주기장을 길게 할 수 있어 간섭 무늬의 이동을 더 정확하게 측정할 수 있다.
- [0085] 반도체 레이저 자이로가 프리즘을 구비할 경우, 반도체 레이저와 프리즘이 모노리식으로 형성되어도 좋다. 또한, 반도체 레이저와 프리즘과 광검출기가 모노리식으로 형성되어도 좋다. 이들 구성에 따르면, 각 소자를 소정의 위치 및 형상으로 정밀도 좋게 형성할 수 있다. 또한, 이 경우 반도체 레이저의 반도체층과 프리즘이 같은 적층 구조를 갖고도 좋다. 또한, 반도체 레이저의 반도체층과, 광검출기(예를 들어, 포토다이오드)의 반도체층과, 프리즘이 같은 적층 구조를 갖고도 좋다. 이 구성에 따르면, 반도체 레이저를 제조하는 일련의 프로세스로 광검출기 및/또는 프리즘을 형성할 수 있다.
- [0086] 또한, 프리즘의 적층 구조를 반도체 레이저의 반도체층과 같은 적층 구조라고 하였을 경우, 반도체 레이저로부터 출사된 레이저광은 반도체로 이루어지는 프리즘에 입사하여 감쇠한다. 그러한, 감쇠를 억제하기 위해 프리즘을 구성하는 적층된 반도체층에 전류를 흐르게 해도 좋다. 전류를 흐르게 하기 위해서는, 예를 들어 전극을 포함하여 반도체 레이저와 프리즘을 아주 같은 적층 구조로 하면 좋다. 이렇게 흐르게 하는 전류는 레이저 발진을 발생시키는 전류보다는 적은 것이 바람직하다. 전류를 흐르게 함으로써 프리즘에 의한 광의 감쇠를 억제할 수 있다. 또한, 프리즘에 의한 광의 감쇠를 억제하기 위해, 레이저광의 흡수가 적은 재료, 예를 들어 산화 실리콘 등으로 프리즘을 형성해도 좋다. 그 경우라도, 제조 공정은 많아지지만, 프리즘과 반도체 레이저를 공지의 방법에서 모노리식으로 형성할 수 있다.
- [0087] 도4를 참조하면서, 사낙 효과(sagnac 효과)를 이용한 본 발명의 반도체 레이저 자이로의 원리를 간단히 설명한다. 반도체 레이저(10)가 회전하면, 레이저광(L1)과 레이저광(L2)으로는 경로(32)의 광로를 일주하는데 필요로 하는 시간이 변화된다. 광의 속도는 일정하기 때문에, 반도체 레이저(10)가 회전하면, 레이저광(L1)과 레이저광(L2) 사이에서 주파수차가 생기고, 그 주파수차에 따른 속도로 간섭 무늬가 이동한다. 간섭 무늬의 이동 방향은 반도체 레이저(10)의 회전 방향에 따라 변화된다. 이로 인해, 간섭 무늬의 이동 속도를 측정함으로써, 반도체 레이저(10)의 회전 속도 각속도를 산출할 수 있고, 간섭 무늬의 이동 방향을 검출함으로써 반도체 레이저의 회전 방향을 검출할 수 있다. 보다 구체적으로는, 활성층(26)의 표면으로 평행한 면내에 있어서의 회전 방

향과 회전 속도를 산출할 수 있다. 상술한 바와 같이, 이와 같은 광자이로의 원리는 공지의 원리이며, 희박 가스 레이저를 이용한 광자이로 등에서 이용되어 있다. 따라서, 본 발명의 반도체 레이저 자이로는 공지의 구동 회로로 구동할 수 있고, 자이로에 의해 얻어진 정보는 공지의 방법으로 처리할 수 있다. 또한, 본 발명의 반도체 레이저 자이로를 3개 조합함으로써, 전체 방향에 있어서의 회전 방향과 회전 속도를 산출하는 것이 가능하다.

[0088] 이하, 본 발명의 반도체 레이저 자이로에 대해, 예를 들어 설명한다. 또한, 이하의 실시예에서는 제1 전극(13)이 도7에 도시한 전극일 경우에 대해 도시하고 있지만, 제1 전극(13)은 도1 및 도4에 도시한 전극이라도 좋다.

[0089] (제1 실시 형태)

[0090] 제1 실시 형태에서는 반도체 레이저와 광검출기가 모노리식으로 형성되어 있는 반도체 레이저 자이로의 일례에 대해 설명한다. 제1 실시 형태의 자이로(101)의 사시도를 도10a에 도시한다. 또한, 반도체 레이저 자이로(101)의 반도체 레이저(10) 및 광검출기(113)[수광 소자(113a, 113b)]가 모노리식으로 형성된 기판(11)의 사시도를 도10b에 도시한다. 또한, 도10a에서는 커버(111)의 일부를 절단하여 내부를 해방한 상태를 도시하고 있다(이하의 도면에 있어서도 마찬가지임).

[0091] 도10a를 참조하여, 자이로(101)의 주요부는 커버(111)와 스템(112)에 의해 패키지(소위 CAN 패키지)되어 있다. 자이로(101)는 스템(112)과, 스템(112) 상에 배치된 기판(11)을 구비한다. 반도체 레이저(10)와 수광 소자(113a, 113b)는 기판(11)을 공유하여 모노리식으로 형성되어 있다. 스템(112)은 5개의 전극(114)으로 지지되어 있다. 5개의 전극 중 4개는, 각각 반도체 레이저(10)의 제1 전극(13)의 제1 부분(13a), 제2 부분(13b), 수광 소자(113a) 및 수광 소자(113b)에 접속되어 있다. 5개의 전극 중 남은 1개는, 상기 4개 전극과 쌍으로 이루어지는 접지 전극이다. 또한, 전극(114)의 접속 방법은 일례이며, 본 발명은 이에 한정되지 않는다. 원형의 스템(112)의 직경에 한정은 없지만, 규격으로 결정할 수 있던 사이즈, 예를 들어 직경 5.6 mm로 할 수 있다.

[0092] 수광 소자(113a, 113b)는 포토다이오드이며, 반도체 레이저(10)와 같은 적층 구조를 갖는다. 수광 소자(113a, 113b)는 반도체 레이저(10)를 형성하는 제조 공정에서 반도체 레이저(10)와 함께 형성된다.

[0093] 수광 소자(113a, 113b)는, 도9에 도시한 바와 같은 간섭 무늬의 이동 방향 및 이동 속도를 검출하기 위해서, 레이저광이 출사되는 제1 단부면(26a)에 근접하여 배치된다. 또한, 간섭 무늬의 이동 속도를 정밀도 잘 검출하기 위해, 광검출기의 수광 영역의 사이즈는 간섭 무늬의 주기장이나 광검출기의 수광 감도를 고려하여 결정된다. 통상, 수광 영역의 사이즈는 간섭 무늬의 주기장의 5분의 1 정도 이하로 하는 것이 바람직하다.

[0094] 제1 실시 형태의 반도체 레이저 자이로(101)는 프리즘이나 렌즈 등의 광학 소자를 필요로 하지 않는다는 이점이 있다. 한편, 반도체 레이저 자이로(101)를 얻기 위해서는, 미세한 수광 소자(113a, 113b)를 형성할 필요가 있다.

[0095] (제2 실시 형태)

[0096] 제2 실시 형태에서는 렌즈를 구비하는 반도체 레이저 자이로의 일례에 대해 설명한다. 제2 실시 형태의 자이로(102)의 사시도를 도11a에 도시한다. 또한, 자이로(102)에서 이용되는 반도체 레이저(10)의 사시도를 도11b에 도시한다.

[0097] 자이로(102)는 반도체 레이저(10)와, 구면 렌즈(115)와, 광검출기(116)를 구비한다. 광검출기(116)는 2개의 수광 소자를 구비하는 2 채널의 광검출기이다. 자이로(102)는 5개의 전극(114)을 구비하고 있다. 전극(114)은 자이로(101)와 같이 접속된다.

[0098] 구면 렌즈(115)는 그 초점이 레이저광의 출사부[단부면(26a)]의 근방에 위치하도록 배치된다. 또한, 광검출기(116)는 단부면(26a)으로부터 일정한 거리(예를 들어, 몇 센티미터) 떨어진 위치에 배치된다. 따라서, 자이로(102)의 일례의 사이즈는 3 cm × 2 cm × 1 cm 정도이다.

[0099] 단부면(26a)으로부터 출사되는 2개의 레이저광은 구면 렌즈(115)에서 거의 평행한 광이 되고, 중합하여 간섭 무늬를 생긴다. 구면 렌즈(115)를 사용함으로써 간섭 무늬의 주기장을 길게 할 수 있으므로, 자이로(102)에서는 간섭 무늬의 이동을 정확하게 측정할 수 있다.

[0100] 또한, 구면 렌즈(115)는 구형으로 한정되지 않고, 박막 등의 다른 형상이라도 좋다. 예를 들어, 평면 형상이 반원형의 박막형 렌즈를 사용해도 좋다. 이 경우, 렌즈를 기판(11) 상에 모노리식으로 형성해도 좋다. 렌즈의

재료로서는  $\text{SiO}_2$  등의 투명 재료를 이용할 수 있지만, 반도체를 사용해도 좋다. 예를 들어, 반도체 레이저의 반도체층과 렌즈는 같은 적층 구조를 갖고도 좋다.

- [0101] (제3 실시 형태)
- [0102] 제3 실시 형태에서는 반도체 레이저와 프리즘이 모노리식으로 형성되어 있는 반도체 레이저 자이로(103)의 일례에 대해 설명한다. 제3 실시 형태의 자이로(103)의 사시도를 도12a에 도시한다. 또한, 반도체 레이저(10) 및 프리즘(117)이 형성된 기관(11)의 사시도를 도12b에 도시한다.
- [0103] 자이로(103)는 스템(112)과, 스템(112) 상에 배치된 반도체 레이저(10) 및 2 채널의 광검출기(116)와, 기관(11) 상에 형성된 프리즘(117)을 구비한다. 프리즘(117)은 반도체 레이저(10)의 반도체층(20)과 같은 적층 구조를 갖고, 반도체 레이저(10)와 모노리식으로 형성되어 있다. 그로 인해, 프리즘(117)은 반도체층(20)을 형성할 때에 동시에 형성할 수 있다.
- [0104] 자이로(103)에 있어서의 2개의 레이저광의 광로를 도13에 모식적으로 도시한다. 반도체 레이저(10)로부터 출사된 2개의 레이저광은 프리즘(117)에서 중합되어 간섭 무늬를 생긴다. 간섭 무늬의 이동은 광검출기(116)의 2개의 수광 소자(116a, 116b)에 의해 관측된다. 간섭 무늬는 자이로(103)의 회전 속도에 따른 속도로 화살표의 방향으로 이동한다. 간섭 무늬의 이동 방향은 자이로(103)의 회전 방향에 대응하여 변화된다.
- [0105] 프리즘(117)의 형상은 입사하는 2개의 레이저광의 각도나 간격 및 광검출기(116)의 거리 등의 조건에 따라 결정된다. 간섭 무늬의 주기장을 길게 하기 위해, 프리즘(117)의 단면 형상인 삼각형의 가장 큰 각은  $90^\circ$  ( $0.5\pi$  라디안)보다도 약간 큰 것이 바람직하다. 그 각의 각도를  $(0.5\pi + \varepsilon)$  라디안으로 하면,  $\varepsilon$ 는 0.5 라디안 이하인 것이 바람직하다.
- [0106] (제4 실시 형태)
- [0107] 제4 실시 형태에서는 반도체 레이저와 프리즘과 광검출기가 모노리식으로 형성되어 있는 반도체 레이저 자이로(104)의 일례에 대해 설명한다. 제4 실시 형태의 자이로(104)의 사시도를 도14a에 도시하고, 주요부의 사시도를 도14b에 도시한다.
- [0108] 반도체 레이저(10)와, 프리즘(117)과, 광검출기(113)[수광 소자(113a, 113b)]는 기관(11) 상에 모노리식으로 형성되어 있다. 자이로(104)에서는 도13과 마찬가지로 광로를 진행하는 2개의 레이저광에서 간섭 무늬가 형성된다.
- [0109] 반도체 레이저(10)의 반도체층(20)과, 수광 소자(113a, 113b)의 반도체층과, 프리즘(117)은, 같은 적층 구조를 갖는다. 이들은, 반도체층(20)을 형성하는 과정에서 동시에 형성할 수 있으므로, 제조가 용이하다. 또한, 이들은 반도체 프로세스에서 형성할 수 있기 때문에, 정확한 위치 및 형상으로 형성할 수 있다. 또한, 프리즘(117)만을 다른 재료, 예를 들어  $\text{SiO}_2$  등으로 형성하는 것도 가능하다.
- [0110] (반도체 레이저 자이로의 제조 방법)
- [0111] 본 발명의 자이로로 이용되는 반도체 레이저의 제조 방법에 한정은 없고, 공지의 반도체 제조 기술에 의해 제조할 수 있다. 또한, 본 발명의 자이로는 반도체 레이저와 다른 부재를 공지의 기술로 조립함으로써 용이하게 제조할 수 있다. 이하에, 반도체 레이저(10)를 제조하는 방법의 일례를 설명한다.
- [0112] 도15의 (a) 내지 (h)에 제조 공정을 모식적으로 도시한다. 또한, 도15의 (a) 내지 (h)에서는 절연층(12)의 형성 상태의 이해를 쉽게 하기 위해, 절연층(12)의 표면에 해칭을 부여한다.
- [0113] 우선, 도15의 (a)에 도시한 바와 같이, 기관(11) 상에 복수의 반도체층으로 이루어지는 반도체층(20a)과, 두께  $0.4\ \mu\text{m}$ 의 절연층(12a)을 형성한다. 반도체층(20a)은 에칭에 의해 반도체층(20)(도2 및 표1 참조)이 되는 층이다. 반도체층(20a)을 구성하는 각 층은, 일반적인 방법, 예를 들어 MBE(Molecular Beam Epitaxy)법이나 CVD(Chemical Vapor Deposition)법으로 형성할 수 있다. 절연층(12a)은, 예를 들어  $\text{Si}_3\text{N}_4$ 나  $\text{SiO}_2$ 로 이루어진다. 절연층(12a)은 스퍼터링법이나 CVD법 등의 방법으로 형성할 수 있다.
- [0114] 다음에, 도15의 (b)에 도시한 바와 같이, 절연층(12a) 상에 패터닝된 레지스트막(151)을 형성한다. 레지스트막(151)은, 도3에 도시한 활성층(26)의 형상에 패터닝한다.
- [0115] 다음에, 도15의 (c)에 도시한 바와 같이, 레지스트막(151)을 마스크로서, 절연층(12a)과 반도체층(20a)과 기관(H)의 일부를 에칭한 후, 레지스트막(151)을 제거한다. 에칭은 RIE(Reactive Ion Etching)법에 의해 행하고,



적어도 클래드층(24)의 깊이까지 에칭한다. 에칭에 의해, 소정의 형상의 절연층(12) 및 반도체층(20)이 형성된다. 에칭은 반도체층(20)의 측면의 수직성 및 평활성이 높아지는 조건으로 행해진다. 그러한, 조건은 반도체 제조 프로세스에서 일반적으로 채용되고 있다. 에칭에 의해, 반도체층(20)을 구성하는 모든 반도체층의 평면 형상은, 도3에 도시한 활성층(26)의 평면 형상과 같아진다. 또한, 반도체층(20)의 측면은 미러면으로서 기능한다.

[0116] 다음에, 도15의 (d)에 도시한 바와 같이, 영역(31)(도2 및 도4 참조)에 대응하도록, 절연층(12)에 거의 능형의 관통 구멍(12h)을 형성한다. 관통 구멍(12h)은 일반적인 포트리스 에칭 공정으로 형성할 수 있다.

[0117] 다음에, 도15의 (e)에 도시한 바와 같이, 기판(11)의 표면 전체를 덮도록 레지스트막(152)을 형성한다. 이때, 기판(11)의 표면과 절연층(12)의 표면 사이의 단차를 매립하기 위해, 레지스트막(152)은 레지스트층(152a) 및 레지스트층(152b)의 2층으로 이루어지는 것이 바람직하다. 레지스트막(152)은 레지스트층(152a)을 기판(11)의 표면 전체에 도포하여 단차를 매립한 후, 레지스트층(152b)을 도포함으로써 형성할 수 있다. 이 방법에 따르면, 표면의 평탄성이 높은 레지스트막(152)을 형성할 수 있다.

[0118] 다음에, 도15의 (f)에 도시한 바와 같이, 레지스트막(152)을 패터닝하고, 레지스트막(152)에 관통 구멍(152h)을 형성한다. 관통 구멍(152h)은 제1 전극(13)을 형성하는 영역에 대응하는 형상으로 형성된다. 관통 구멍(152h)을 형성한 후, 반도체층(20)[캡층(29)]과 제1 전극(13) 사이에서 양호한 컨택트가 얻어지도록, 관통 구멍(152h) 내의 반도체층(20)[캡층(29)]의 표면을 0.01  $\mu\text{m}$  내지 0.02  $\mu\text{m}$  정도 에칭한다.

[0119] 다음에, 도15의 (g)에 도시한 바와 같이, 제1 전극(13)을 형성한다. 제1 전극(13)은 리프트 오프법으로 형성할 수 있다. 구체적으로는, 우선 레지스트막(152)을 마스크로서, 제1 전극(13)을 구성하는 복수의 금속층을 전자빔법으로 차례로 성막한다. 그 후에 레지스트막(152)을 아세톤으로 제거한다. 이와 같은 방식으로, 소정의 형상의 제1 전극(13)을 형성할 수 있다. 제1 전극(13)은 절연층(12)에 형성된 관통 구멍(12h)을 거쳐서 반도체층(20)[캡층(29)]에 접촉한다.

[0120] 1매의 기판(11)(웨이퍼)을 이용하여 다수의 반도체 레이저를 형성할 경우, 기판(11)의 벽개를 쉽게 하기 위해, 기판(11)의 두께가 100 내지 150  $\mu\text{m}$ 가 되도록 기판(11)의 이면을 연마하는 것이 바람직하다.

[0121] 다음에, 도15의 (h)에 도시한 바와 같이, 기판(11)의 이면측에 복수의 금속층을 증착법으로 차례로 형성하여 제2 전극(14)을 형성한다. 그 후에 제1 전극(13) 및 제2 전극(14)을 구성하는 금속층을 합금화하기 위해, 400 내지 450  $^{\circ}\text{C}$ 에서 열처리한다. 마지막으로, 필요에 따라서 반도체 레이저마다 기판(11)을 벽개한다.

[0122] 이와 같이 하여, 반도체 레이저(10)가 형성된다. 또한, 반도체 레이저(10)와 같은 적층 구조를 갖는 포토다이오드를 모노리식적으로 형성할 경우에는, 반도체 레이저를 형성하는 부분과 포토다이오드를 형성하는 부분에 대응하도록, 레지스트막(151, 152)을 패터닝하면 좋다. 마찬가지로, 반도체 레이저의 반도체층으로 같은 적층 구조를 갖는 프리즘을 형성할 경우에는, 반도체 레이저를 형성하는 부분과 프리즘을 형성하는 부분에 대응하도록 레지스트막(151)을 패터닝하면 좋다.

[0123] 또한, 기판(11)에는 광검출기 및 프리즘 이외의, 다른 광학 소자나 전자 부품을 형성해도 좋다. 예를 들어, 반도체 레이저를 구동하기 위한 구동 회로나, 광검출기로부터 출력된 신호를 처리하기 위한 회로를 형성해도 좋다.

[0124] 또한, 본 발명의 반도체 레이저 자이로에, 종래의 자이로에 이용되고 있는 공지의 기술을 더 적용해도 좋다.

### 산업상 이용 가능성

[0125] 본 발명의 반도체 레이저 자이로는 물체의 회전의 검출이 필요한 다양한 기기에 적용할 수 있다.

[0126] 대표적인 예로서는, 자세 제어 장치나 네비게이션 장치, 손 떨림 보정 장치에 이용할 수 있다. 구체적으로는, 본 발명의 자이로는 로켓나 비행기 등의 항공기, 자동차나 오토바이 등의 이동 수단에 이용할 수 있다. 또한, 본 발명의 자이로는 초소형으로 취급이 용이하다는 이점을 살리고, 휴대 전화나 소형의 퍼스널 컴퓨터 등의 휴대 정보 단말, 완구, 카메라 등에 이용할 수 있다.

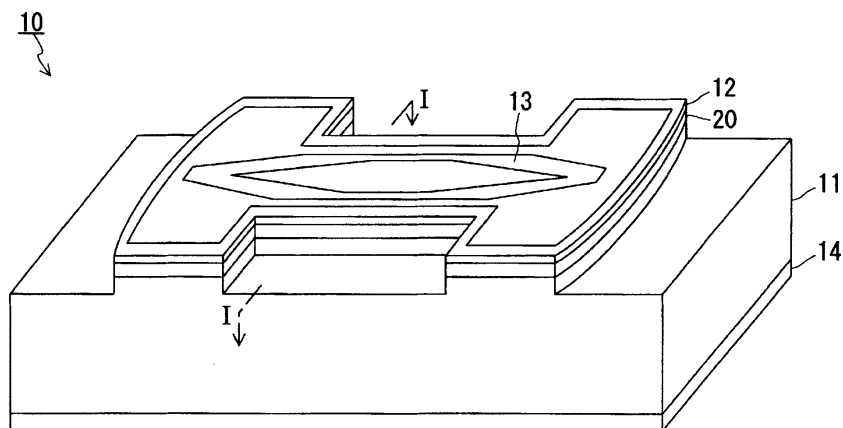
### 도면의 간단한 설명



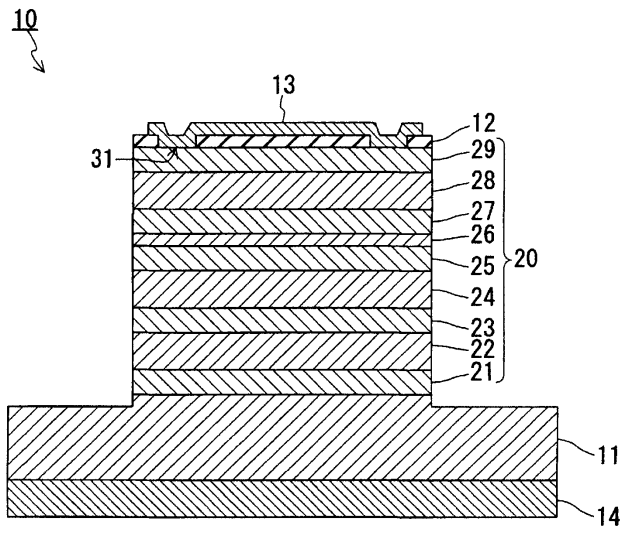
- [0013] 도1은 본 발명의 반도체 레이저 자이로에 이용되는 반도체 레이저의 일례를 모식적으로 도시하는 사시도이다.
- [0014] 도2는 도1에 도시한 반도체 레이저를 모식적으로 도시하는 단면도이다.
- [0015] 도3은 도1에 도시한 반도체 레이저의 활성층의 평면 형상을 모식적으로 도시하는 도면이다.
- [0016] 도4는 도1에 도시한 반도체 레이저의 기능을 설명하는 도면이다.
- [0017] 도5는 도1에 도시한 반도체 레이저의 반도체층의 밴드 갭 프로파일을 모식적으로 도시하는 도면이다.
- [0018] 도6은 도1에 도시한 반도체 레이저의 활성층 부근의 굴절률을 모식적으로 도시하는 도면이다.
- [0019] 도7은 제1 전극의 일례를 모식적으로 도시하는 평면도이다.
- [0020] 도8은 도1에 도시한 반도체 레이저로부터 출사된 레이저광의 광강도의 각도 의존성을 도시하는 도면이다.
- [0021] 도9는 도1에 도시한 반도체 레이저로부터 출사된 2개의 레이저광에 의해 형성된 간섭 무늬를 도시하는 도면이다.
- [0022] 도10a는 본 발명의 반도체 레이저 자이로의 일례를 모식적으로 도시하는 전체의 사시도이다.
- [0023] 도10b는 도10a의 주요부의 사시도이다.
- [0024] 도11a는 본 발명의 반도체 레이저 자이로의 다른 일례를 모식적으로 도시하는 전체의 사시도이다.
- [0025] 도11b는 도11a의 주요부의 사시도이다.
- [0026] 도12a는 본 발명의 반도체 레이저 자이로의 그 밖의 일례를 모식적으로 도시하는 전체의 사시도이다.
- [0027] 도12b는 도12a의 주요부의 사시도이다.
- [0028] 도13은 도12a 및 도12b에 도시한 반도체 레이저 자이로에 있어서의 레이저광의 광로를 도시하는 모식도이다.
- [0029] 도14a는 본 발명의 반도체 레이저 자이로의 그 밖의 일례를 모식적으로 도시하는 전체의 사시도이다.
- [0030] 도14b는 도14a의 주요부의 사시도이다.
- [0031] 도15의 (a) 내지 (h)는 본 발명의 반도체 레이저 자이로로 이용되는 반도체 레이저의 제조 공정의 일례를 모식적으로 도시하는 사시도이다.
- [0032] 도16은 종래의 광자이로의 구성을 모식적으로 도시하는 도면이다.

## 도면

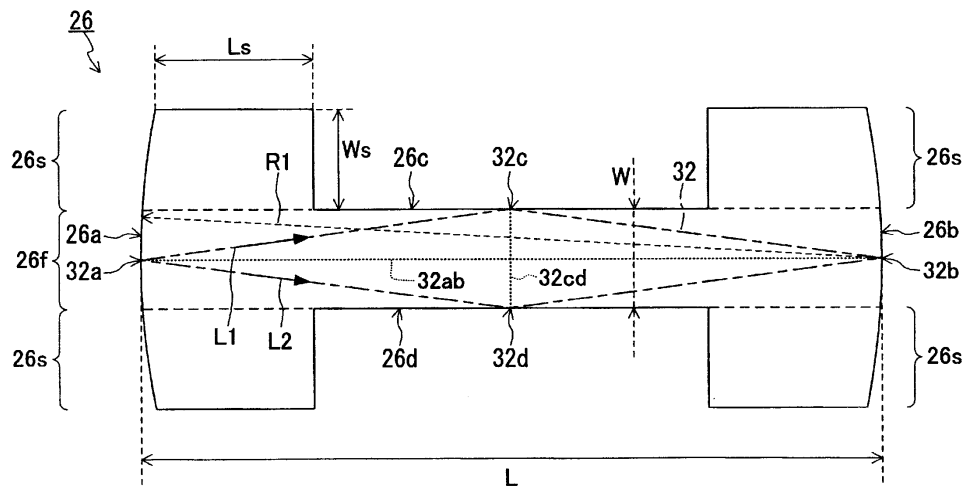
### 도면1



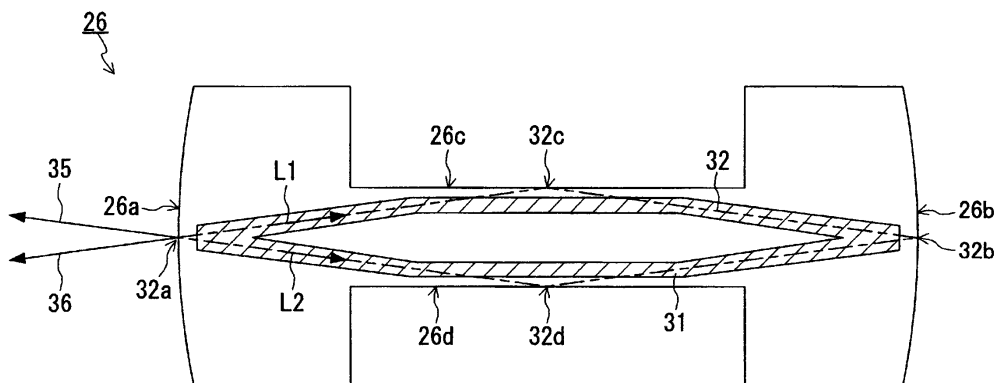
도면2



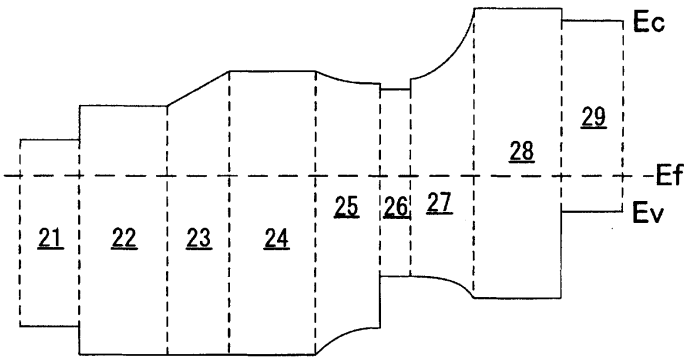
도면3



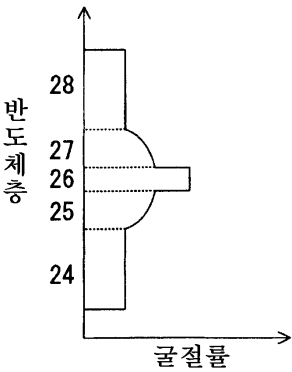
도면4



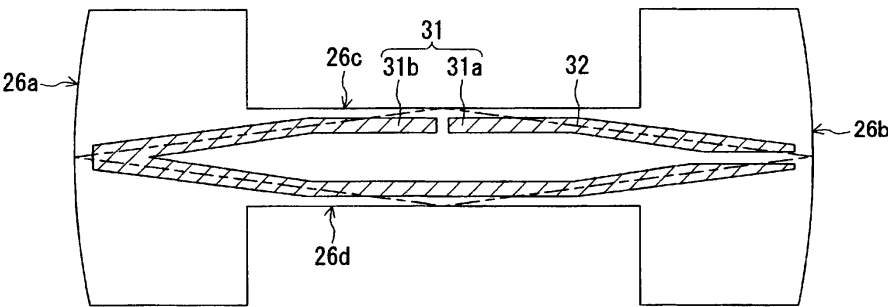
도면5



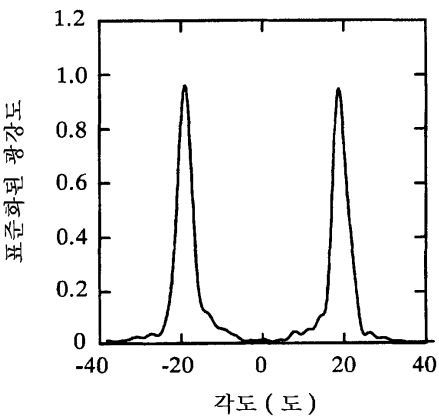
도면6



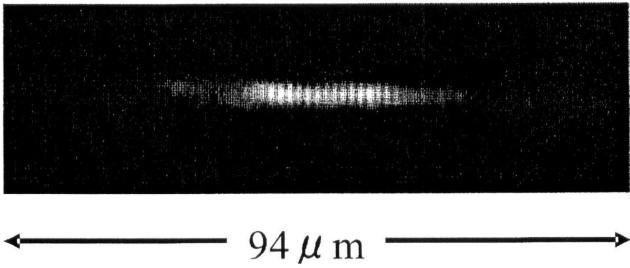
도면7



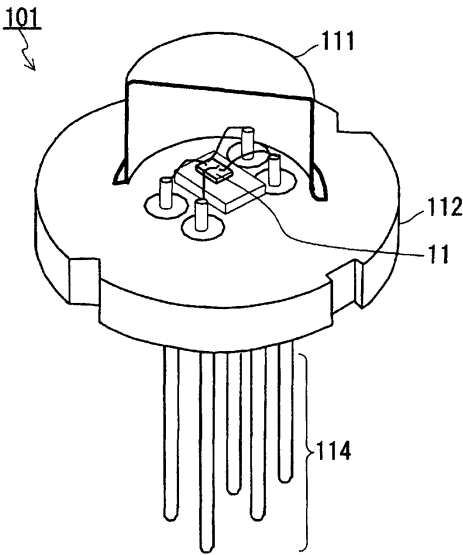
도면8



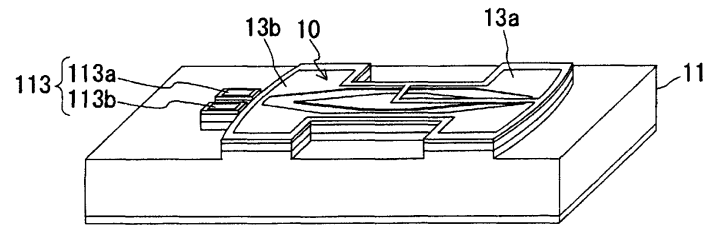
도면9



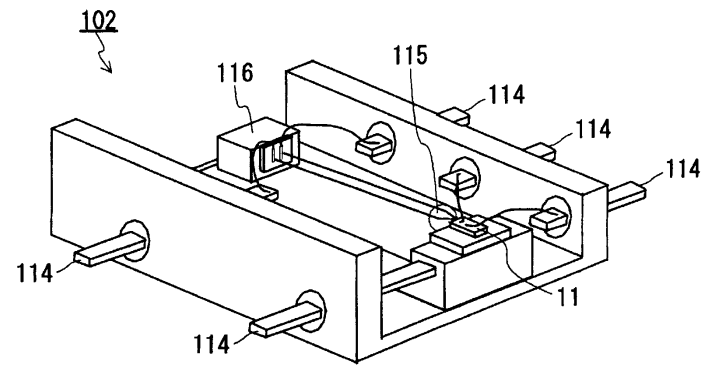
도면10a



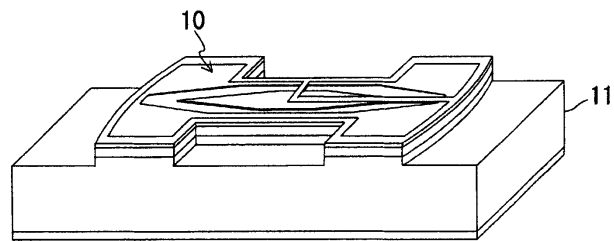
도면10b



도면11a

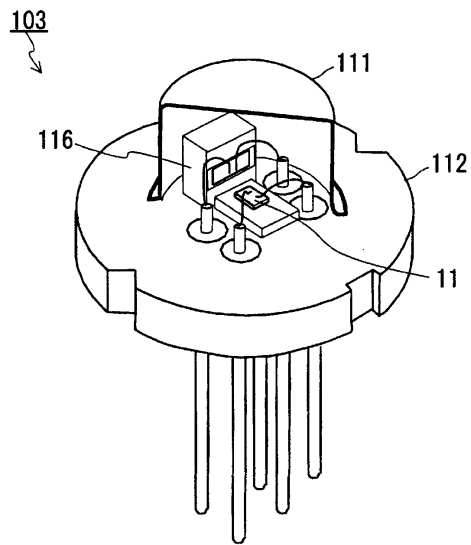


도면11b

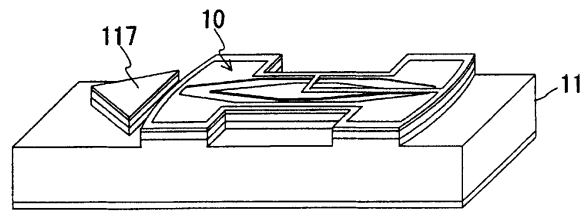




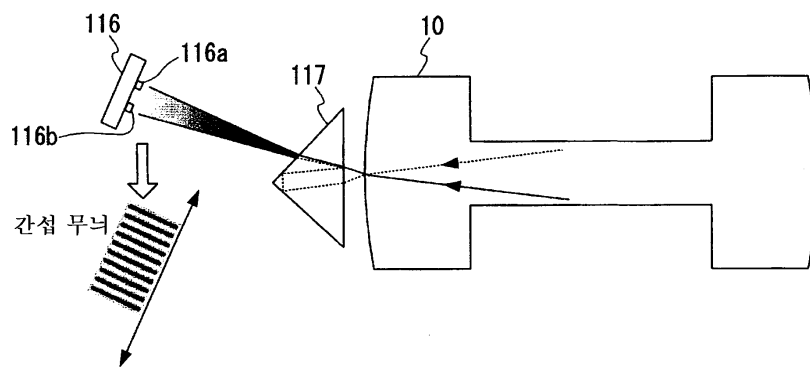
도면12a



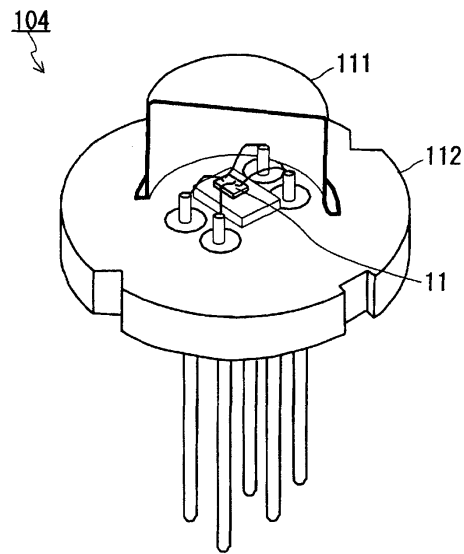
도면12b



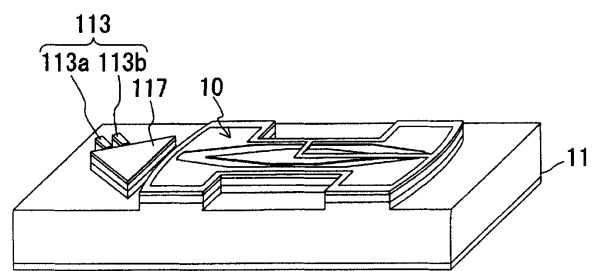
도면13



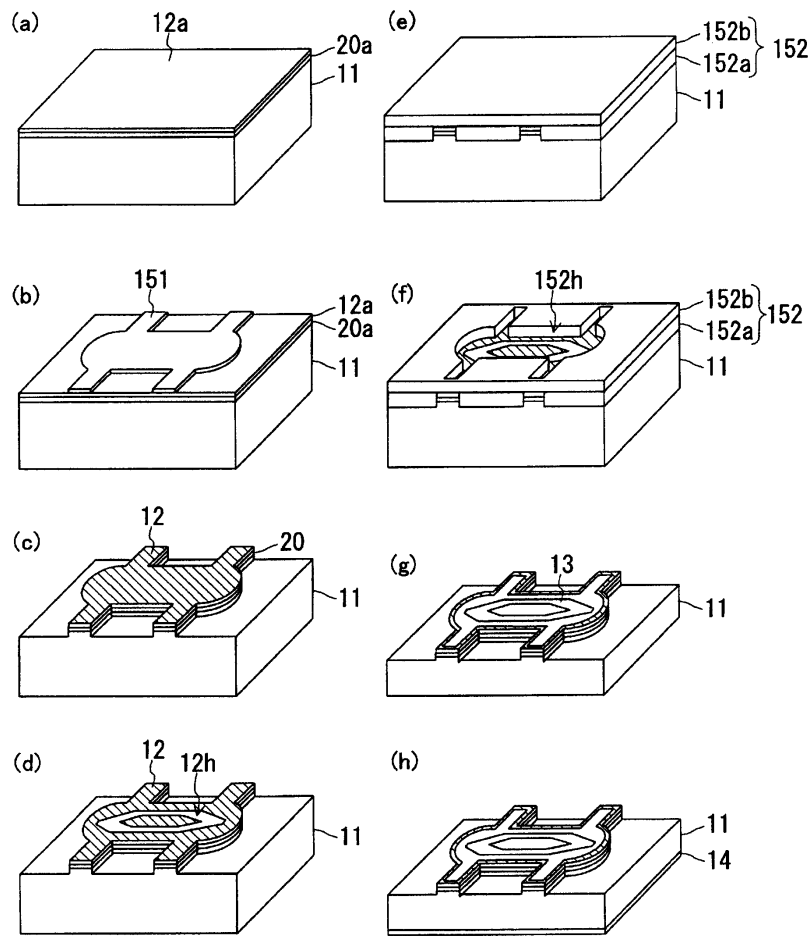
도면14a



도면14b



도면15



도면16

