



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2012년03월07일
(11) 등록번호 10-1116111
(24) 등록일자 2012년01월27일

(51) 국제특허분류(Int. Cl.)
H01L 33/46 (2010.01) H01L 33/36 (2010.01)
(21) 출원번호 10-2004-0088194
(22) 출원일자 2004년11월02일
심사청구일자 2009년09월03일
(65) 공개번호 10-2005-0043638
(43) 공개일자 2005년05월11일
(30) 우선권주장
JP-P-2003-00377204 2003년11월06일 일본(JP)
(56) 선행기술조사문헌
JP09036431 A*
JP2002151739 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
스미토모덴키교교가부시키가이샤
일본 오사카후 오사카시 주오구 기타하마 4쵸메 5반33고
(72) 발명자
이케다야야코
일본국 효고켄 이타미시 코야키타 1쵸 메 1반 1고 스미토모덴키교교가부시키가이샤 이타미세이사쿠 쇼나이
나카이요우이치
일본국 효고켄 이타미시 코야키타 1쵸 메 1반 1고 스미토모덴키교교가부시키가이샤 이타미세이사쿠 쇼나이
나카무라타카오
일본국 효고켄 이타미시 코야키타 1쵸 메 1반 1고 스미토모덴키교교가부시키가이샤 이타미세이사쿠 쇼나이
(74) 대리인
신중훈, 임옥순

전체 청구항 수 : 총 17 항

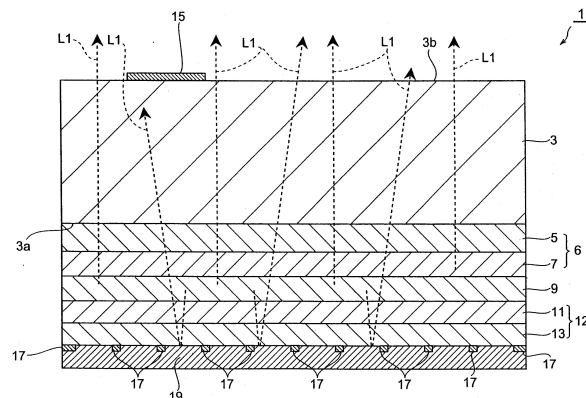
심사관 : 구영희

(54) 발명의 명칭 반도체 발광소자

(57) 요약

본 발명은, 반도체 발광소자는, 질화물 반도체로 이루어진 제1 도전형 반도체층과, 질화물 반도체로 이루어지며, 제1 도전형 반도체층 위에 형성된 제2 도전형 반도체층과, 질화물 반도체로 이루어지며, 제1 도전형 반도체층과 제2 도전형 반도체층과의 사이에 형성된 활성층과, 제1 도전형 반도체층과 전기적으로 접속된 제 1의 전극과, 제 2 도전형 반도체층 위에 소정의 패턴으로 형성된 제 2의 전극과, 제2 도전형 반도체층 위 및 상기 제 2의 전극 위에 형성된 금속반사막을 구비하는 것을 특징으로 한 것이다.

대표도 - 도1



특허청구의 범위

청구항 1

질화물 반도체로 이루어진 제1 도전형 반도체층과,
 질화물 반도체로 이루어지며, 상기 제1 도전형 반도체층 위에 형성된 제2 도전형 반도체층과,
 질화물 반도체로 이루어지며, 상기 제1 도전형 반도체층과 상기 제2 도전형 반도체층과의 사이에 형성된 활성층과,
 상기 제1 도전형 반도체층과 전기적으로 접속된 제 1의 전극과,
 상기 제2 도전형 반도체층 위에 소정의 패턴으로 형성된 제 2의 전극과,
 상기 제2 도전형 반도체층 위 및 상기 제 2의 전극 위에 형성된 금속반사막을 구비하고,
 상기 제1 도전형 반도체층 및 상기 제2 도전형 반도체층의 각각이 $Al_{x1}Ga_{1-x1}N$ ($0 \leq x1 < 1$)을 함유하고,
 상기 활성층이, $Al_{x2}In_{y2}Ga_{1-x2-y2}N$ ($0 \leq x2 < 1$, $0 \leq y2 < 1$, $0 \leq x2+y2 < 1$)을 함유하고,
 상기 소정의 패턴이 단위격자에 의해 구성된 격자형상이고,
 상기 단위격자의 1변의 길이가 $60\mu m$ 이하인 것을 특징으로 하는 반도체 발광소자.

청구항 2

질화물 반도체로 이루어진 제1도전형 반도체층과,
 질화물 반도체로 이루어지며, 상기 제1 도전형 반도체층 위에 형성된 제2 도전형 반도체층과,
 질화물 반도체로 이루어지며, 상기 제1 도전형 반도체층과 상기 제2 도전형 반도체층과의 사이에 형성된 활성층과,
 상기 제1 도전형 반도체층과 전기적으로 접속된 제 1의 전극과,
 상기 제2 도전형 반도체층 위에 소정의 패턴으로 형성된 제 2의 전극과,
 상기 제2 도전형 반도체층 위 및 상기 제 2의 전극 위에 형성된 금속반사막을 구비하고,
 상기 제1 도전형 반도체층 및 상기 제2 도전형 반도체층의 각각이 $Al_{x1}Ga_{1-x1}N$ ($0 \leq x1 < 1$)을 함유하고,
 상기 활성층이, $Al_{x2}In_{y2}Ga_{1-x2-y2}N$ ($0 \leq x2 < 1$, $0 \leq y2 < 1$, $0 \leq x2+y2 < 1$)을 함유하고,
 상기 소정의 패턴이 서로 떨어진 복수의 단위부분으로 이루어지고,
 1개의 상기 단위부분에 대해서 4개 또는 6개의 상기 단위부분이 서로 인접하도록 상기 복수의 단위부분이 규칙적으로 배치되어 있는 것을 특징으로 하는 반도체 발광소자.

청구항 3

제1항 또는 제2항에 있어서,
 GaN계 화합물로 이루어진 기판을 부가해서 구비하고,
 상기 제1 도전형 반도체층이 상기 기판의 주요면 위에 형성되어 있으며,
 상기 제 1의 전극이 상기 기판의 이면 위에 형성되어 있는 것을 특징으로 하는 반도체 발광소자.

청구항 4

제3항에 있어서,
 상기 기판의 비저항률이 $0.5\Omega cm$ 이하인 것을 특징으로 하는 반도체 발광소자.

청구항 5

제3항에 있어서,

파장 400nm이상 800nm이하의 광에 대한 상기 금속반사막의 반사율이 80%이상인 것을 특징으로 하는 반도체 발광소자.

청구항 6

제3항에 있어서,

상기 금속반사막이, Ag 및 Al의 적어도 한쪽을 함유한 금속으로 이루어지는 것을 특징으로 하는 반도체 발광소자.

청구항 7

제3항에 있어서,

상기 제2 도전형 반도체층 표면은, 제 1의 부분 및 제 2의 부분을 가지고 있고, 상기 제 1의 부분이 상기 제 2의 전극에 의해 덮여져 있으며, 상기 제2 부분이 상기 제 2의 전극에 의해 덮여져 있지 않고, 상기 제2의 전극과 상기 제2도전형 반도체층과의 면적비는 60%이하인 것을 특징으로 하는 반도체 발광소자.

청구항 8

제3항에 있어서,

상기 제 2의 전극의 상기 소정의 패턴이, 상기 제2 도전형 반도체층 위에서 균일한 패턴인 것을 특징으로 하는 반도체 발광소자.

청구항 9

제3항에 있어서,

상기 제2 도전형 반도체층의 표면이, 제 1의 영역과 상기 제 1의 영역을 둘러싸는 제 2의 영역을 가지고, 상기 제 2의 전극이 상기 제 1의 영역상에 형성되어 있는 것을 특징으로 하는 반도체 발광소자.

청구항 10

제3항에 있어서,

상기 제2 도전형 반도체층의 표면이, 제 1의 영역과 상기 제 1의 영역을 둘러싸는 제 2의 영역을 가지고,

상기 패턴을 가지는 상기 제 2의 전극은, 제 1의 패턴을 가지고 상기 제 1의 영역상의 제 1의 부분과, 제 2의 패턴을 가지고 상기 제 2의 영역상의 제 2의 부분을 포함하며,

상기 제 2의 전극의 상기 제 1의 부분의 면적의 상기 제 1의 영역의 면적에 대한 비율은, 상기 제 2의 전극의 상기 제 2의 부분의 면적의 상기 제 2의 영역의 면적에 대한 비율보다 큰 것을 특징으로 하는 반도체 발광소자.

청구항 11

제2항에 있어서,

상기 소정의 패턴에서, 서로 인접하는 상기 단위부분 상호간의 간격이 60 μ m이하인 것을 특징으로 하는 반도체 발광소자.

청구항 12

제3항에 있어서,

상기 제2 도전형 반도체층 위에서 상기 제 2의 전극이 존재하지 않는 부분의 어디에서나 상기 제 2의 전극까지의 거리가 30 μ m이하인 것을 특징으로 하는 반도체 발광소자.

청구항 13

제3항에 있어서,

상기 제 2의 전극과 상기 제2 도전형 반도체층과의 사이의 접촉저항률이 $1 \times 10^{-3} \Omega \text{cm}^2$ 이하인 것을 특징으로 하는 반도체 발광소자.

청구항 14

제3항에 있어서,

상기 제 2의 전극이, Ni, Au, Pt, Pd 중 적어도 1종류의 금속으로 이루어지는 것을 특징으로 하는 반도체 발광소자.

청구항 15

제3항에 있어서,

상기 제 2의 전극과 접하는 콘택트층을 부가해서 포함하는 것을 특징으로 하는 반도체 발광소자.

청구항 16

제3항에 있어서,

상기 제 2의 전극의 면적이, 상기 제2 도전형 반도체층의 표면 면적의 10%이상인 것을 특징으로 하는 반도체 발광소자.

청구항 17

제3항에 있어서,

상기 제2 도전형 반도체층 또는 상기 제 2의 전극과 상기 금속반사막과의 사이에 Ti를 함유하는 접착막을 구비하는 것을 특징으로 하는 반도체 발광소자.

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

청구항 21

삭제

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

[0024] 본 발명은, 질화물계 반도체를 이용한 반도체 발광소자에 관한 것이다.

[0025] 최근, 청색 LED나 자외 LED라고 하는 단파장의 LED가 활발히 개발되어서, 실용화되고 있다. 이들의 LED에 사용하는 반도체로서는, 밴드갭이 비교적 큰 GaN계의 화합물반도체가 이용되고 있다. 예를 들면, 특허문헌 1에 개시

된 반도체 발광소자에서는, 사파이어기판 위에 GaN버퍼층을 에피택셜 성장시키고, 그 위에 n형 GaN층, InGaN활성층, p형 AlGaN층, 및 p형 GaN층을 순차적으로 적층하고 있다. 그리고, 이 반도체 발광소자를, 사파이어기판을 위로 해서 배전기판 위에 페이스다운(face down) 실장하고, InGaN활성층에서 발생한 광을 사파이어기판을 투과시켜서 출사하고 있다.

[0026] 또, 특허문헌 1의 반도체 발광소자에서는, 광의 인출효율을 향상시키기 위해, p측 전극으로서, 옴(ohmic) 접촉을 목적으로 한 옴층과, 광의 반사를 목적으로 한 반사층과의 적층구조를 배치하고 있다. 그리고, InGaN활성층으로부터 사파이어기판과는 반대측으로 향하는 광을 반사층에 의해서 반사하고 있다.

[0027] [특허문헌 1]

[0028] 일본국 특개평11-191641호 공보

발명이 이루고자 하는 기술적 과제

[0029] 상기한 반도체 발광소자에서는, InGaN활성층과 반사층과의 사이에 옴층이 개재되어 있다. 옴층은, 일반적으로 GaN과의 옴 접촉성이 좋은 Ni, Co, Sb 등의 금속이 이용된다. 그러나, 특허문헌 1에도 기재되어 있는 바와 같이, 이들의 금속은 반사율이 양호하지 않을 뿐만 아니라 광의 투과율도 낮다. 따라서, 반사층에 있어서의 반사광이 옴층에 의해서 감쇠되어, 광의 인출효율이 저하되게 된다. 특허문헌 1의 반도체 발광소자에서는, 옴층을 얇게 형성함으로써 이 문제를 해결하려고 하고 있지만, 근본적으로 해결되는 것은 아니다.

[0030] 본 발명은, 상기의 문제점을 감안해서 이루어진 것이며, 활성층에서 발생한 광의 인출효율을 향상시킬 수 있는 반도체 발광소자를 제공하는 것을 목적으로 한다.

[0031] 상기한 과제를 해결하기 위해서, 본 발명에 의한 반도체 발광소자는, 질화물 반도체로 이루어진 제1 도전형 반도체층과, 질화물 반도체로 이루어지며, 제1 도전형 반도체층 위에 형성된 제2 도전형 반도체층과, 질화물 반도체로 이루어지며, 제1 도전형 반도체층과 제2 도전형 반도체층과의 사이에 형성된 활성층과, 제1 도전형 반도체층과 전기적으로 접속된 제 1의 전극과, 제2 도전형 반도체층 위에 소정의 패턴으로 형성된 제 2의 전극과, 제2 도전형 반도체층 위 및 제 2의 전극 위에 형성된 금속반사막을 구비하는 것을 특징으로 한다.

[0032] 상기한 반도체 발광소자에서는, 제 2의 전극이 소정패턴으로 형성되고, 금속반사막이 제 2의 전극 위 및 제2 도전형 반도체층 위에 형성되어 있다. 이에 의해, 활성층으로부터 기판과는 반대측으로 향하는 광은, 제2 도전형 반도체층 위에 형성된 금속반사막에서 매우 적합하게 반사하고, 기판을 투과하여 반도체 발광소자의 외부로 출사된다. 따라서, 상기한 반도체 발광소자에 의하면, 금속반사막에서 반사하는 광이 옴층 등에 의해서 감쇠되지 않으므로, 활성층에서 발생한 광의 인출효율을 향상시킬 수 있다.

[0033] 또, 반도체 발광소자는, 제1 도전형 반도체층 및 제2 도전형 반도체층의 각각이 $Al_{x1}Ga_{1-x1}N(0 \leq x1 < 1)$ 을 함유하고, 활성층이, $Al_{x2}In_{y2}Ga_{1-x2-y2}N(0 \leq x2 < 1, 0 \leq y2 < 1, 0 \leq x2+y2 < 1)$ 을 함유하는 것을 특징으로 해도 된다. 이에 의해서, 청색광이나 자외광 등 비교적 단파장의 광을 효율적으로 발생시킬 수 있다.

[0034] 또, 반도체 발광소자는, GaN계 화합물로 이루어진 기판을 부가해서 구비하고, 제1 도전형 반도체층이 기판의 주요면 위에 형성되어 있으며, 제 1의 전극이 기판의 이면 위에 형성되어 있는 것을 특징으로 해도 된다. 이에 의해, 제 1의 전극 및 제 2의 전극을 각각 기판의 양측에 배치할 수 있으므로, 반도체층의 면적이 제한되지 않아서, 활성층에 있어서의 발광효율을 높일 수 있다.

[0035] 또, 반도체 발광소자는, 기판의 비저항률이 $0.5 \Omega \text{cm}$ 이하인 것을 특징으로 해도 된다. 이에 의해서, 기판의 도전성이 양호해져서, 기판 내에서 전류가 퍼지기 쉬워진다. 따라서, 활성층에 있어서의 전류밀도가 거의 균일하게 되므로, 활성층에 있어서의 발광효율을 더욱더 높일 수 있다.

[0036] 또, 반도체 발광소자는, 파장 400nm이상 800nm이하의 광에 대한 금속반사막의 반사율이 80%이상인 것을 특징으로 해도 된다. 이에 의해서, 활성층에서 발생한 광이 가시광인 경우의 인출효율을 한층 더 향상시킬 수 있다.

[0037] 또, 반도체 발광소자는, 금속반사막이, Ag 및 Al의 적어도 한쪽을 함유하는 금속으로 이루어지는 것을 특징으로 해도 된다. 금속반사막이, 광을 반사하기 쉬운 이들의 금속으로 이루어짐으로써, 활성층에서 발생한 광의 인출효율을 한층 더 향상시킬 수 있다.

[0038] 또, 반도체 발광소자는, 두께방향과 교차하는 제 2의 전극의 면적이, 제2 도전형 반도체층의 면적의 60%이하인 것을 특징으로 해도 된다. 이에 의해, 제2 도전형 반도체층 위에서 제 2의 전극이 존재하지 않는 부분에 형성되

는 금속반사막의 면적이 확대되어서, 활성층에서 발생한 광의 인출효율을 한층 더 향상시킬 수 있다.

- [0039] 또, 반도체 발광소자는, 제 2의 전극의 소정의 패턴이, 제2 도전형 반도체층 위에서 균일한 패턴인 것을 특징으로 해도 된다. 이에 의해서, 활성층을 흐르는 전류량을 충분히 확보할 수 있으므로, 제 2의 전극을 패턴화한 것에 의한 발광효율의 저하를 억제할 수 있다.
- [0040] 또, 반도체 발광소자는, 제2 도전형 반도체층의 표면이, 제 1의 영역과 제 1의 영역을 둘러싸는 제 2의 영역을 가지고, 제 2의 전극이 제 1의 영역상에 형성되어 있는 것을 특징으로 해도 된다. 혹은, 반도체 발광소자는, 제 2 도전형 반도체층의 표면이, 제 1의 영역과 제 1의 영역을 둘러싸는 제 2의 영역을 가지고, 소정의 패턴이, 제 1의 영역상의 제 1의 패턴과 제 2의 영역상의 제 2의 패턴으로 구성되어 있으며, 제 1의 패턴의 면적이 제 1의 영역의 면적에 차지하는 비율이, 제 2의 패턴의 면적이 제 2의 영역의 면적에 차지하는 비율보다도 큰 것을 특징으로 해도 된다.
- [0041] 일반적으로, 활성층에서 발생하는 광은, 반도체 발광소자의 주변부분에 모이기 쉽다. 상기한 어느 하나의 반도체 발광소자에 의하면, 반도체 발광소자의 주변부분(즉, 제 2의 영역)에 있어서의 금속반사막의 면적이 확대되므로, 활성층에서 발생한 광의 인출효율을 한층 더 향상시킬 수 있다.
- [0042] 또, 반도체 발광소자는, 소정의 패턴이 격자형상인 것이 바람직하다. 이 경우, 소정의 패턴의 단위격자의 한 변의 길이가 $60\mu\text{m}$ 이하인 것이 보다 바람직하다. 이에 의해서, 활성층에 구동전류를 충분히 흐르게 할 수 있으므로, 제 2의 전극을 패턴화한 것에 의한 발광효율의 저하를 억제할 수 있다.
- [0043] 또, 반도체 발광소자는, 소정의 패턴이, 서로 떨어진 복수의 단위부분으로 이루어지는 것이 바람직하다. 이 경우, 반도체 발광소자는, 소정의 패턴에서, 1개의 단위부분에 대해서 4개 또는 6개의 단위부분이 서로 인접하도록 복수의 단위부분이 규칙적으로 배치되어 있는 것이 보다 바람직하다. 또, 소정의 패턴이 복수의 단위부분으로 이루어지는 경우, 반도체 발광소자는, 서로 인접하는 단위부분 상호간의 간격이 $60\mu\text{m}$ 이하인 것이 보다 바람직하다. 이들 중 어느 하나의 반도체 발광소자에 의하면, 활성층에 구동전류를 충분히 균일하게 흐르게 할 수 있으므로, 제 2의 전극을 패턴화한 것에 의한 발광효율의 저하를 억제할 수 있다.
- [0044] 또, 반도체 발광소자는, 제2 도전형 반도체층 위에서 제 2의 전극이 존재하지 않는 부분의 어디에서나 제 2의 전극까지의 거리가 $30\mu\text{m}$ 이하인 것을 특징으로 해도 된다. 이에 의해서, 활성층에 구동전류를 충분히 균일하게 흐르게 할 수 있으므로, 제 2의 전극을 패턴화한 것에 의한 발광효율의 저하를 억제할 수 있다.
- [0045] 또, 반도체 발광소자는, 제 2의 전극과 제2 도전형 반도체층과의 사이의 접촉저항률이 $1 \times 10^{-3} \Omega \text{cm}^2$ 이하인 것을 특징으로 해도 된다. 이에 의해서, 제 2의 전극과 제2 도전형 반도체층과의 접촉부분에 있어서의 발열량을 낮게 억제할 수 있으므로, 열에 의한 발광효율의 저하나 소비전력의 증대를 방지할 수 있다.
- [0046] 또, 반도체 발광소자는, 제 2의 전극이, Ni, Au, Pt, Pd 중 적어도 1종류의 금속으로 이루어지는 것을 특징으로 해도 된다. 이에 의해서, 제 2의 전극과 제2 도전형 반도체층과의 사이의 옴 접촉을 매우 적합하게 실현할 수 있다.
- [0047] 또, 반도체 발광소자는, 제2 도전형 반도체층이, 제 2의 전극과 접하는 콘택트층을 포함하는 것을 특징으로 해도 된다. 이에 의해서, 제 2의 전극과 제2 도전형 반도체층과의 사이의 옴 접촉을 보다 매우 적합하게 실현할 수 있다.
- [0048] 또, 반도체 발광소자는, 두께방향과 교차하는 제 2의 전극의 면적이, 제2 도전형 반도체층의 면적의 10%이상인 것을 특징으로 해도 된다. 제 2의 전극의 면적이 제2 도전형 반도체층의 면적의 10%보다도 작은 경우, 제 2의 전극과 제2 도전형 반도체층과의 사이의 접촉저항이 증대하여, 소비전력이 증대하는 동시에, 발열에 의해서 활성층에 있어서의 발광효율이 저하될 가능성이 있다. 이에 대하여, 상기한 반도체 발광소자에 의하면, 제 2의 전극과 제2 도전형 반도체층과의 접촉부분에 있어서의 접촉저항을 낮게 억제할 수 있으므로, 열에 의한 발광효율의 저하나 소비전력의 증대를 방지할 수 있다.
- [0049] 또, 반도체 발광소자는, 제2 도전형 반도체층 및 제 2의 전극과 금속반사막과의 사이에 Ti를 함유한 접착막을 구비하는 것을 특징으로 해도 된다. 이에 의해서, 제 2의 전극과 금속반사막과의 전기적인 접속상태를 손상시키지 않고, 금속반사막이 제2 도전형 반도체층 및 제 2의 전극으로부터 박리되는 것을 방지할 수 있다.
- [0050] 본 발명의 상기의 목적 및 다른 목적, 특징, 및 이점은, 첨부 도면을 참조해서 진행되는 본 발명의 매우 적합한 실시의 형태의 이하의 상세한 기술로부터 보다 용이하게 밝혀진다.

발명의 구성 및 작용

- [0051] <발명을 실시하기 위한 최선의 형태>
- [0052] 이하, 첨부 도면을 참조하면서 본 발명에 의한 반도체 발광소자의 실시의 형태를 상세히 설명한다. 또한, 도면의 설명에서 동일한 요소에는 동일한 부호를 붙여서, 중복하는 설명을 생략한다.
- [0053] (제 1의 실시의 형태)
- [0054] 도 1은, 본 발명에 의한 반도체 발광소자의 제1 실시형태로서, 발광다이오드(1)의 구성을 나타낸 단면도이다. 또한, 본 실시형태의 발광다이오드(1)의 형상치수는, 평면형상이 예를 들면 한 변 400 μ m 정도의 직사각형이며, 그 두께가 예를 들면 200 μ m 정도이다. 또, 본 실시형태의 발광다이오드(1)는, 예를 들면 파장 450nm의 청색광을 발광한다.
- [0055] 도 1을 참조하면, 발광다이오드(1)는, 기판(3)을 구비하고 있다. 또, 발광다이오드(1)는, n형(제1 도전형) 반도체층(6)과, p형(제2 도전형) 반도체층(12)과, 활성층(9)을 구비하고 있다. n형 반도체층(6)은, n형 버퍼층(5) 및 n형 클래드층(7)을 포함하고 있다. p형 반도체층(12)은, p형 클래드층(11) 및 p형 콘택트층(13)을 포함하고 있다. n형 버퍼층(5), n형 클래드층(7), 활성층(9), p형 클래드층(11), 및 p형 콘택트층(13)은, 기판(3)의 주요면(3a) 위에 순서로 MOVPE법에 의해서 에피택셜 성장된다. 또, 발광다이오드(1)는, 캐소드전극(15)과, 애노드전극(17)과, 금속반사막(19)을 구비하고 있다.
- [0056] 기판(3)은, 도전성을 지니는 GaN계 화합물로 이루어진다. 본 실시형태에서는, 기판(3)은 GaN으로 이루어진다. 기판(3)은, 활성층(9)에서 발생하는 광을 투과할 수 있다. 기판(3)의 비저항률은, 0.5 Ω cm 이하로 되어 있다. 또, n형 버퍼층(5)은, 기판(3)의 주요면(3a) 위에 형성되어 있다. n형 버퍼층(5)은, n형의 불순물이 도핑된 질화물 반도체로 이루어지고, 예를 들면 본 실시형태에서는 Si가 도핑된 GaN으로 이루어진다.
- [0057] n형 클래드층(7)은, n형의 불순물이 도핑된 질화물 반도체로 이루어진다. 예를 들면, 본 실시형태에서는 n형 클래드층(7)은 Si가 도핑된 $Al_{x1}Ga_{1-x1}N$ ($0 \leq x1 < 1$)으로 이루어진다. n형 클래드층(7)은, n형 버퍼층(5) 위에 형성되어 있다.
- [0058] 활성층(9)은, n형 클래드층(7) 위에 형성되어 있으며, 다중양자우물구조를 가지고 있다. 여기서, 도 2는, 본 실시형태에 있어서의 활성층(9)의 구성을 나타낸 단면도이다. 도 2를 참조하면, 활성층(9)은, 배리어층(29a~29c) 및 우물층(31a, 31b)을 가지고 있다. 즉, 활성층(9)은, 배리어층(29a), 우물층(31a), 배리어층(29b), 우물층(31b), 및 배리어층(29c)이 순서로 n형 클래드층(7) 위에 적층됨으로써 구성되어 있다.
- [0059] 배리어층(29a~29c) 및 우물층(31a, 31b)은, $Al_{x2}In_{y2}Ga_{1-x2-y2}N$ ($0 \leq x2 < 1$, $0 \leq y2 < 1$, $0 \leq x2+y2 < 1$) 등의 GaN계 반도체로 이루어진다. 본 실시형태에서는, 배리어층(29a~29c)의 조성은 $0 < x2 < 1$ 또한 $y2=0$ 이며, 우물층(31a, 31b)의 조성은 $0 < x2 < 1$ 또한 $0 < y2 < 1$ 이다. 배리어층(29a~29c) 및 우물층(31a, 31b)의 조성은, 배리어층(29a~29c)의 밴드갭이 우물층(31a, 31b)보다도 커지도록 조정되어 있다.
- [0060] p형 클래드층(11)은, p형의 불순물이 도핑된 질화물 반도체로 이루어진다. 예를 들면, 본 실시형태에서는 p형 클래드층(11)은 Mg이 도핑된 $Al_{x1}Ga_{1-x1}N$ ($0 \leq x1 < 1$)으로 이루어진다. p형 클래드층(11)은, 활성층(9) 위에 형성되어 있으며, 활성층(9)은, n형 클래드층(7)과 p형 클래드층(11)과의 사이에 형성되게 된다.
- [0061] p형 콘택트층(13)은, p형 클래드층(11)과 애노드전극(17)을 전기적으로 접속하기 위한 층이며, p형의 불순물이 도핑된 질화물 반도체로 이루어진다. 예를 들면, 본 실시형태에서는 p형 콘택트층(13)은 Mg이 도핑된 GaN으로 이루어진다. p형 콘택트층(13)은, p형 클래드층(11) 위에 형성되어 있다.
- [0062] 애노드전극(17)은, p형 콘택트층(13) 위에 형성되어 있다. 애노드전극(17)은, 본 실시형태에 있어서의 제 2의 전극이다. 애노드전극(17)의 두께는, 예를 들면 5nm 이하이다. 여기서, 도 3은, 발광다이오드(1)의 한 면 위의 애노드전극의 하나의 패턴을 나타낸 도면이다. 도 3에 도시한 바와 같이, 애노드전극(17)은, p형 콘택트층(13) 위에서 균일한 패턴으로 형성되어 있다. 여기서, 「균일한 패턴」이란, 어느 형상이 규칙적·주기적으로 배열되어 있는 바와 같은 패턴을 의미한다. 또, 애노드전극(17)은, 격자형상 패턴이라고 하는 패턴으로 형성되어 있다. 애노드전극(17)의 패턴은, 발광다이오드(1)의 두께방향과 교차하는 애노드전극(17)의 면적이 p형 콘택트층(13)의 면적의 10% 이상 60% 이하로 되도록 형성되는 것이 바람직하다. 본 실시형태에서는, 애노드전극(17)의 면적이 p형 콘택트층(13)의 면적의 23%로 되도록 애노드전극(17)의 패턴이 형성되어 있다.

- [0063] 또, 본 실시형태에서는, 애노드전극(17)의 격자형상 패턴에 있어서의 단위격자의 한 번의 길이가, $60\mu\text{m}$ 이하로 되어 있다. 환언하면, 본 실시형태에서는, p형 콘택트층(13) 위의 어디에서나 애노드전극(17)까지의 거리가 $30\mu\text{m}$ 이하로 되어 있다. 또, 애노드전극(17)에 있어서의 격자프레임의 굵기는, 예를 들면 $100\mu\text{m}$ 이하이다.
- [0064] 또, 본 실시형태에서는, 애노드전극(17)과 p형 콘택트층(13)과의 사이의 접촉저항률이 $1 \times 10^{-3} \Omega \text{cm}^2$ 이하로 되어 있다. 즉, 발광다이오드(1)를 제조할 때에, 애노드전극(17)과 p형 콘택트층(13)이 접한 상태에서 가열처리를 함으로써, 애노드전극(17)과 p형 콘택트층(13)과의 옴 접촉을 실현한다. 이에 의해, 낮은 접촉저항률을 얻는 것이 가능해진다.
- [0065] 또, 애노드전극(17)과 p형 콘택트층(13)과의 옴 접촉을 매우 적합하게 실현하기 위해서, 애노드전극(17)은, Ni, Au, Pt, Pd 중 적어도 1종류의 금속으로 이루어지는 것이 바람직하다. 본 실시형태에서는, 애노드전극(17)은 Ni 및 Au에 의한 적층구조로 되어 있다.
- [0066] 금속반사막(19)은, 활성층(9)에서 발생한 광(L1) 중, 기관(3)과는 반대측을 향하는 광(L1)을 반사하기 위한 막이다. 또, 금속반사막(19)은, 발광다이오드(1)의 외부에서 애노드전극(17)으로 구동전류를 공급하기 위해서 금속으로 이루어진다. 금속반사막(19)은, p형 콘택트층(13) 위 및 애노드전극(17) 위에 형성되어 있다. 즉, 금속반사막(19)은, 격자형상의 애노드전극(17) 위와, p형 콘택트층(13) 위에서 격자형상의 애노드전극(17)이 존재하지 않는 부분(즉, 격자의 틈새)에 형성되어 있다. 금속반사막(19)은, 광(L1)에 대한 반사율이 애노드전극(17)보다도 양호한 금속으로 이루어진다. 예를 들면, 금속반사막(19)은, 파장 $400\text{nm} \sim 800\text{nm}$ 이라고 하는 가시광에 대한 반사율이 좋은 Ag 및 Al의 적어도 한쪽을 함유하는 금속으로 이루어지는 것이 바람직하다. 또, 금속반사막(19)은, 상기한 파장의 가시광에 대한 반사율이 80%이상인 것이 바람직하다.
- [0067] 여기서, 도 4는, 애노드전극(17) 및 금속반사막(19) 부근의 확대단면도이다. 도 4를 참조하면, 발광다이오드(1)는, 애노드전극(17) 및 p형 콘택트층(13)과 금속반사막(19)과의 사이에, Ti로 이루어진 접착막(21)을 구비하고 있다. 접착막(21)은, 금속반사막(19)과 애노드전극(17) 및 p형 콘택트층(13)과의 사이의 접착력을 증강하기 위해서 형성되어 있다. 접착막(21)의 두께는, 예를 들면 2nm 이하이다.
- [0068] 재차 도 1을 참조하면, 캐소드전극(15)은, 기관(3)의 이면(3b) 위의 일부에 형성되어 있다. 캐소드전극(15)은, 본 실시형태에 있어서의 제 1의 전극이다. 캐소드전극(15)은, 예를 들면 도시하지 않은 전극패드에 배선을 개재해서 전기적으로 접속되어 있으며, 발광다이오드(1)의 외부로부터 구동전압을 금속반사막(19)과의 사이에 인가된다.
- [0069] 상기한 구성을 구비하는 발광다이오드(1)의 동작은, 이하와 같다. 금속반사막(19)과 캐소드전극(15)과의 사이에 발광다이오드(1)의 외부로부터 구동전압이 인가되면, 애노드전극(17)과 캐소드전극(15)과의 사이에 전계가 발생한다. 그리고, n형 반도체층(6) 및 p형 반도체층(12)에서 발생한 캐리어가 활성층(9) 내의 우물층(31a, 31b)에 집중된다. 이에 의해, 활성층(9)에서 광(L1)이 발생한다. 활성층(9)에서 발생한 광(L1)은 사방으로 산란하지만, 기관(3)과는 반대측으로 향한 광(L1)은, 금속반사막(19)에서 반사하고, 기관(3)을 투과해서 발광다이오드(1)의 외부로 출사된다.
- [0070] 또, 애노드전극(17)의 형성방법은 이하와 같다. 우선, p형 콘택트층(13) 위에, 증착 또는 스퍼터링법에 의해 Ni층을 형성한다. 그리고, 리프트 오프법 또는 에칭에 의해 Ni층을 격자형상 패턴으로 한다. 계속해서, 400°C 이상의 온도에서 열처리를 하고, Ni층과 p형 콘택트층(13)과의 사이에 옴 접촉을 형성한다. 계속해서, 증착 또는 스퍼터링법에 의해 Ni층 위에 Au층을 형성한다. 이렇게 해서, Ni/Au로 이루어진 격자형상의 애노드전극(17)이 형성된다.
- [0071] 상기한 본 실시형태에 의한 발광다이오드(1)는, 다음의 효과를 가진다. 즉, 본 실시형태의 발광다이오드(1)에서는, 애노드전극(17)이 격자형상 패턴이라고 하는 패턴으로 형성되고, 금속반사막(19)이 애노드전극(17) 위 및 격자의 개구부의 p형 콘택트층(13) 위에 형성되어 있다. 이에 의해, 활성층(9)으로부터 기관(3)과는 반대측으로 향하는 광(L1)은, p형 콘택트층(13) 위에 형성된 금속반사막(19)에서 매우 적합하게 반사하고, 기관(3)을 투과해서 발광다이오드(1)의 외부로 출사된다. 따라서, 본 실시형태에 의한 발광다이오드(1)에 의하면, 금속반사막(19)에서 반사하는 광(L1)이 예를 들면 특허문헌 1의 옴층 등에 의해서 감쇠되지 않으므로, 활성층(9)에서 발생한 광(L1)의 인출효율을 향상시킬 수 있다.
- [0072] 또, 본 실시형태에 의한 발광다이오드(1)에서는, n형 반도체층(6) 및 p형 반도체층(12)이, 각각 $\text{Al}_{x1}\text{Ga}_{1-x1}\text{N}$ 으로 이루어진 n형 클래드층(7) 및 p형 클래드층(11)을 가지고 있다. 또, 활성층(9)이, GaN , $\text{Al}_{x2}\text{Ga}_{1-x2}\text{N}$, $\text{In}_{y2}\text{Ga}_{1-y2}\text{N}$,

및 $Al_{x3}In_{y3}Ga_{1-x3-y3}N$ 중 적어도 1종류의 반도체 재료로 이루어진 배리어층(29a~29c) 및 우물층(31a, 31b)을 가지고 있다. 이에 의해, 청색광이나 자외광 등 비교적 단파장의 광을 효율적으로 발생시킬 수 있다.

[0073] 또, 특허문헌 1에 개시된 바와 같은 종래의 반도체 발광소자(특히, 사파이어기판을 이용한 것)에서는, 기판의 도전성이 양호하지 않기 때문에, 기판의 한쪽의 면측에 애노드전극 및 캐소드전극이 배치되어 있다. 이에 대해서, 본 실시형태에 의한 발광다이오드(1)에서는, 도전성을 지니는 GaN계 화합물로 이루어지는 기판(3)의 이면(3b) 위에 캐소드전극(15)이 형성됨으로써, 캐소드전극(15) 및 애노드전극(17)이 각각 기판(3)의 양측에 배치되어 있다.

[0074] 여기서, 도 5는, 기판의 한쪽의 면측에 애노드전극 및 캐소드전극이 배치된 종래의 반도체 발광소자와, 기판(3)의 양측에 애노드전극(17) 및 캐소드전극(15)이 배치된 발광다이오드(1)에 있어서의, 구동전류와 발광강도와 의 상관을 나타낸 그래프이다. 또한, 도 5에서, 그래프 G1은 발광다이오드(1)에 있어서의 경우를 나타내고, 그래프 G2는 종래의 반도체 발광소자에 있어서의 경우를 나타내고 있다. 도 5에 도시한 바와 같이, 그래프 G1에서는 구동전류의 증가에 따라서 발광강도가 순조롭게 상승하고 있지만, 그래프 G2에서는 구동전류의 증가에 따라서 발광강도의 상승이 무디어지고 있다. 이것은, 종래의 반도체 발광소자에서는, 소자의 동일한 측면 위에 캐소드전극 및 애노드전극을 배치함으로써 p형 반도체층(또는 n형 반도체층)의 면적이 제한되는 것에 의한 발열 등의 영향에 의해서, 발광효율이 낮게 억제되고 있기 때문이라고 상정된다. 이것에 대해서, 본 실시형태의 발광다이오드(1)에 의하면, 캐소드전극(15) 및 애노드전극(17)이 각각 기판(3)의 양측에 배치됨으로써, p형 클래드층(11)이나 활성층(9) 등의 반도체층의 면적이 제한되지 않으므로, 활성층(9)에 있어서의 발광효율을 높일 수 있다.

[0075] 또, 본 실시형태에 의한 발광다이오드(1)에서는, 기판(3)의 비저항률이 $0.5\Omega\text{cm}$ 이하로 되어 있다. 기판(3)은 이와 같은 비저항률을 가지는 것이 바람직하고, 이에 의해서, 기판(3)의 도전성이 양호해져서, 기판(3) 내에서 전류가 퍼지기 쉬워진다. 따라서, 활성층(9)에 있어서의 전류밀도가 거의 균일하게 되므로, 활성층(9)에 있어서의 발광효율을 더욱더 높일 수 있다.

[0076] 또, 본 실시형태에 의한 발광다이오드(1)에서는, 파장 400nm이상 800nm이하의 가시광에 대한 금속반사막(19)의 반사율이 80%이상인 것이 바람직하다. 이에 의해서, 활성층(9)에서 발생한 광(L1)이 가시광인 경우의 인출효율을 한층 더 향상시킬 수 있다.

[0077] 또, 본 실시형태에 의한 발광다이오드(1)에서는, 금속반사막(19)이, Ag 및 Al의 적어도 한쪽을 함유한 금속으로 이루어져 있다. 금속반사막(19)이, 광을 반사하기 쉬운 이들의 금속으로 이루어짐으로써, 활성층(9)에서 발생한 광(L1)의 인출효율을 한층 더 향상시킬 수 있다.

[0078] 또, 본 실시형태에 의한 발광다이오드(1)와 같이, 애노드전극(17)의 면적이, p형 콘택트층(13)의 면적의 60%이하인 것이 바람직하다. 여기서, 도 6은, 애노드전극(17)의 면적이 p형 콘택트층(13)의 면적에 차지하는 비율(피복률)과, 기판(3)과는 반대방향으로 향한 광(L1) 중 금속반사막(19)에서 반사하는 광(L1)의 비율과의 상관을 나타낸 그래프이다. 또한, 도 6에서, 그래프 G3은 애노드전극(17)이 Ni/Au로 이루어지는 경우를 나타내고, 그래프 G4는 애노드전극(17)이 Pt로 이루어지는 경우를 나타내고 있다. 도 6에 도시한 바와 같이, 피복률이 60%이하이면, p형 콘택트층(13) 위에서 애노드전극(17)이 존재하지 않는 부분에 형성되는 금속반사막(19)의 면적이 확대되고, 그래프 G3 및 G4의 쌍방에서 반사비율이 50%이상으로 된다. 발명자의 식견에 의하면, 종래의 반도체 발광소자에서는, 애노드전극 자체의 반사율을 향상시켜도 반사비율이 50%에 못 미친다. 이에 대해서, 본 실시형태의 발광다이오드(1)에 의하면, 반사비율을 50%이상으로 할 수 있으므로, 활성층(9)에서 발생한 광(L1)이 금속반사막(19)에서 보다 많이 반사하게 되어서, 광(L1)의 인출효율을 한층더 향상시킬 수 있다.

[0079] 또, 애노드전극(17)의 면적은, p형 콘택트층(13)의 면적의 10%이상인 것이 바람직하다. 여기서, 도 7은, 애노드전극(17)에 의한 p형 콘택트층(13)의 피복률이 5%, 10%, 및 100%의 각 경우에 있어서의, 구동전류와 발광강도와 의 상관을 나타낸 그래프이다. 또한, 도 7에서, 그래프 G5는 피복률이 5%의 경우를 나타내고, 그래프 G6은 피복률이 10%의 경우를 나타내고, 그래프 G7은 피복률이 100%의 경우를 나타내고 있다. 도 7에 도시한 바와 같이, 피복률이 10%이상이면 구동전류의 증가에 따라서 발광강도도 매우 적합하게 증가하지만, 피복률 5%에서는, 구동전류의 상승에 대해서 발광강도의 상승이 무디어지고 있다. 이것은, 피복률이 작으면, 애노드전극(17)과 p형 콘택트층(13)과의 사이의 접촉저항이 증대하고, 발열에 의해서 활성층(9)에 있어서의 발광효율이 저하되기 때문이라고 상정된다.

[0080] 또, 도 8은, 구동전류가 100mA와 20mA의 각 경우에 있어서의, 피복률과 구동전압과의 상관을 나타낸

그래프이다. 또한, 도 8에서, 그래프 G8은 구동전류가 100mA인 경우를 나타내고, 그래프 G9는 구동전류가 20mA인 경우를 나타내고 있다. 도 8에 도시한 바와 같이, 피복률이 10%이하가 되면, 그래프 G8, G9 모두 구동전압이 급격히 증대하고 있다. 이것은, 피복률이 작으면, 애노드전극(17)과 p형 콘택트층(13)과의 사이의 전류밀도가 증가하기 때문이다. 따라서, 피복률이 작으면, 발광다이오드(1)에 있어서의 소비전력이 급격히 증대하게 된다.

[0081] 본 실시형태에 의한 발광다이오드(1)에 의하면, 피복률이 10%이상이며, 애노드전극(17)과 p형 콘택트층(13)과의 접촉부분에 있어서의 접촉저항을 낮게 억제할 수 있으므로, 열에 의한 발광효율의 저하나 소비전력의 증대를 방지할 수 있다.

[0082] 또, 본 실시형태에 의한 발광다이오드(1)에서는, 애노드전극(17)의 패턴이, p형 콘택트층(13) 위에서 균일한 패턴으로 되어 있다. 이에 의해서, 활성층(9)에 구동전류를 충분히 균일하게 흐르게 할 수 있으므로, 활성층(9)을 흐르는 전류량을 충분히 확보하여, 애노드전극(17)을 격자형상으로 패턴화한 것에 의한 발광효율의 저하를 억제할 수 있다.

[0083] 또, 본 실시형태에 의한 발광다이오드(1)에서는, 애노드전극(17)이 격자형상의 패턴으로 형성되어 있다. 이에 의해서, 활성층(9)을 흐르는 전류량을 충분히 균일하게 확보하여 발광효율의 저하를 억제할 수 있다. 또, 이 경우, 단위격자의 한 변의 길이가 $60\mu\text{m}$ 이하인 것이 바람직하다. 환언하면, p형 콘택트층(13) 위에서 애노드전극(17)이 존재하지 않는 부분의 어디에서나 애노드전극(17)까지의 거리가 $30\mu\text{m}$ 이하인 것이 바람직하다.

[0084] 여기서, 도 9A 및 도 9B는, 애노드전극으로부터의 거리에 따른, 활성층(9)에 있어서의 전류밀도의 해석결과를 설명하기 위한 도면이다. 도 9A는, 해석조건으로 되는 애노드전극 형상을 나타내고 있다. 또한, 이 해석에서는, 점형상의 2개의 애노드전극(30)의 직경(도 9A에 있어서의 거리(a_1))을 $20\mu\text{m}$, 애노드전극(30) 상호간의 간격(도 9A에 있어서의 간격(a_2))을 $60\mu\text{m}$ 으로 하였다.

[0085] 도 9B는, 도 9A에 도시한 애노드전극 형상에서의 해석결과를 나타낸 도면이다. 도 9B에서는, 애노드를 위한 유닛전극(30)의 바로 아래에 있어서의 전류량을 1로 한 경우의, 활성층(9)에 있어서의 전류분포를 나타내고 있다. 도 9B를 참조하면, 유닛전극(30) 상호간의 간격(a_2)이 $60\mu\text{m}$ 이내인 경우에는, 쌍방의 유닛전극(30)으로부터 동등한 거리(a_3)의 위치(도면 중 A)에서 전류량이 0.7이상인 되고, 충분한 전류량을 확보할 수 있음을 알 수 있다. 즉, 애노드전극(17) 상호간의 간격이 $60\mu\text{m}$ 이하, 환언하면 p형 콘택트층(13) 위의 어디에서나 애노드전극(17)까지의 거리가 $30\mu\text{m}$ 이하이면, 활성층(9)에 충분히 균일한 구동전류를 흐르게 할 수 있다. 따라서, 본 실시형태의 발광다이오드(1)에 의하면, 활성층(9)에 구동전류를 충분히 균일하게 흐르게 할 수 있으므로, 애노드전극(17)을 격자형상으로 패턴화한 것에 의한 발광효율의 저하를 억제할 수 있다.

[0086] 또, 본 실시형태에 의한 발광다이오드(1)에서는, 애노드전극(17)과 p형 콘택트층(13)과의 사이의 접촉저항률이 $1 \times 10^{-3} \Omega \text{cm}^2$ 이하로 되어 있다. 이에 의해, 애노드전극(17)과 p형 콘택트층(13)과의 접촉부분에 있어서의 발열량을 낮게 억제할 수 있으므로, 열에 의한 발광효율의 저하나 소비전력의 증대를 방지할 수 있다.

[0087] 또, 본 실시형태에 의한 발광다이오드(1)는, p형 콘택트층(13) 및 애노드전극(17)과 금속반사막(19)과의 사이에 Ti를 함유한 접착막(21)을 구비하고 있다. 이에 의해서, 애노드전극(17)과 금속반사막(19)과의 전기적인 접촉상태를 손상시키지 않고, 금속반사막(19)이 p형 콘택트층(13) 및 애노드전극(17)으로부터 박리되는 것을 방지할 수 있다.

[0088] (제 2의 실시의 형태)

[0089] 도 10은, 본 발명에 의한 반도체 발광소자의 제2 실시형태로서, 발광다이오드(1a)를 나타낸 도면이다. 또한, 도 10은, 발광다이오드(1a)를 나타낸 도면이며, 금속반사막(19) 및 애노드전극(23)이 표시되어 있다. 본 실시형태의 발광다이오드(1a)가 상기한 제1 실시형태의 발광다이오드(1)와 다른 점은, 애노드전극(23)의 패턴형상이다. 발광다이오드(1a)에 있어서의 애노드전극(23) 이외의 구성에 대해서는, 제1 실시형태의 발광다이오드(1)의 구성과 동일하므로, 상세한 설명을 생략한다.

[0090] 도 10을 참조하면, 본 실시형태에 의한 발광다이오드(1a)에서는, 애노드전극(23)의 패턴이, 서로 떨어진 복수의 단위부분(23a)에 의해 구성되어 있다. 애노드전극(23)은 p형 콘택트층(도시하지 않음) 위에 형성되어 있으며, 이 재료는 제1 실시형태의 애노드전극(17)과 동일하다. 또, 애노드전극(23)과 p형 콘택트층이 옴 접촉되어 있는 점도 제1 실시형태와 동일하다.

- [0091] 애노드전극(23)의 패턴은, 1개의 단위부분(23a)에 대해서 4개 또는 6개(본 실시형태에서는 6개)의 단위부분(23a)이 인접하도록 규칙적으로 배치되어 있다. 또, 단위부분(23a)의 직경은 $100\mu\text{m}$ 이하(본 실시형태에서는 $20\mu\text{m}$)이며, 가장 근접하는 단위부분(23a) 상호간의 간격은 $60\mu\text{m}$ 이하(본 실시형태에서는 $50\mu\text{m}$)이다. 즉, 본 실시형태에서는, 발광다이오드(1a)의 두께방향과 교차하는 면방향에 있어서의 복수의 단위부분(23a)의 총면적, p형 콘택트층의 표면의 면적의 14%로 되어 있다. 또한, 본 실시형태에서도, 제1 실시형태와 마찬가지로, 복수의 단위부분(23a)으로 이루어진 애노드전극(23)의 면적이, p형 콘택트층의 면적의 10%이상 60%이하인 것이 바람직하다. 또, 인접하는 단위부분(23a) 상호간의 간격은, 도 9를 참조하여 설명한 바와 같이 $60\mu\text{m}$ 이하인 것, 환언하면 p형 콘택트층 위의 어디에서나 단위부분(23a)까지의 거리가 $30\mu\text{m}$ 이하인 것이 바람직하다.
- [0092] 본 실시형태에 의한 발광다이오드(1a)에서는, 애노드전극(23)의 패턴이, 규칙적으로 배치된 복수의 단위부분(23a)에 의해 구성되어 있다. 이에 의해, 활성층에 구동전류를 효율적으로 흐르게 할 수 있으므로, 애노드전극(23)을 패턴화한 것에 의한 발광효율의 저하를 억제할 수 있다. 또한, 발명자에 의한 해석에서는, p형 콘택트층의 전체면에 애노드전극이 형성된 종래의 반도체 발광소자에 대해서, 본 실시형태에 의한 발광다이오드(1a)에서는 구동전류 20mA로 약 38%의 발광강도의 증가가 확인되었다.
- [0093] (제 3의 실시의 형태)
- [0094] 계속해서, 본 발명에 의한 반도체 발광소자의 제3 실시형태에 대해서 설명한다. 본 실시형태에서는, 반도체 발광소자로서, 한 번이 2mm의 발광다이오드를 예로 예시한다. 도 11은, 본 실시형태에 의한 발광다이오드(1b)의 p형 콘택트층(14)의 표면(14a)을 나타낸 도면이다. 본 실시형태의 p형 콘택트층(14)은, 다음의 점을 제외하고 제1 실시형태의 p형 콘택트층(13)과 동일하다. 즉, 본 실시형태의 p형 콘택트층(14)은, 표면(14a)에 제 1의 영역(25a) 및 제 2의 영역(25b)을 가지고 있다. 제 1의 영역(25a)은, 표면(14a)의 평면형상(직사각형)과 기하학적으로 닮은 형상을 하고 있으며, 표면(14a)의 중앙에 배치되어 있다. 제 2의 영역(25b)은, 표면(14a)에서 제 1의 영역(25a)을 둘러싸고 있다.
- [0095] 또, 애노드전극의 패턴이 제 1의 영역(25a)상의 제 1의 패턴과 제 2의 영역(25b)상의 제 2의 패턴으로 구성되고, 제 1의 패턴의 면적이 제 1의 영역(25a)의 면적에 차지하는 비율이, 제 2의 패턴의 면적이 제 2의 영역(25b)의 면적에 차지하는 비율보다도 크다. 환언하면, p형 콘택트층(14) 위에서, 제 1의 패턴에 의한 제 1의 영역(25a)의 피복률이 제 2의 패턴에 의한 제 2의 영역(25b)의 피복률보다도 크다.
- [0096] 본 실시형태에서는, 애노드전극의 제 1 및 제 2의 패턴은, 모두 복수의 단위부분(도시하지 않음)에 의해 구성되어 있다. 애노드전극의 제 1의 패턴에서는, 단위부분의 직경은 예를 들면 $20\mu\text{m}$ 이며, 서로 인접하는 단위부분 상호간의 간격은 예를 들면 $50\mu\text{m}$ 이다. 또, 제 2의 패턴에서는, 단위부분의 직경은 예를 들면 $15\mu\text{m}$ 이며, 서로 인접하는 단위부분 상호간의 간격은 예를 들면 $60\mu\text{m}$ 이다. 이에 의해, 제 1의 패턴에 의한 피복률은 14%, 제 2의 패턴에 의한 피복률은 5.5%가 된다. 그리고, 제 1의 패턴과 제 2의 패턴을 맞춘 피복률은, 10%가 된다.
- [0097] 일반적으로, 활성층에서 발생하는 광은, 발광다이오드(1b)의 주변부분에 모이기 쉽다. 본 실시형태에 의한 발광다이오드(1b)에 의하면, 발광다이오드(1b)의 주변부분(즉, 제 2의 영역(25b))에 있어서의 금속반사막의 면적이 확대되므로, 활성층에서 발생한 광의 인출효율을 한층더 향상시킬 수 있다. 또한, 발명자에 의한 해석에서는, p형 콘택트층의 전체면에 애노드전극이 형성된 종래의 반도체 발광소자에 대해서, 본 실시형태에 의한 발광다이오드(1b)에서는 구동전류 200mA로 약 38%의 발광강도의 증가가 확인되었다.
- [0098] 본 실시형태의 변형예로서, 애노드전극이 제 1의 영역(25a)상에만 형성되고, 제 2의 영역(25b)에는 형성되지 않게 되는 구성이어도 된다. 이와 같은 구성이어도, 상기한 본 실시형태의 발광다이오드(1b)에 의한 효과와 동일한 효과를 얻을 수 있다.
- [0099] (제 4의 실시의 형태)
- [0100] 도 12는, 본 발명에 의한 반도체 발광소자의 제4 실시형태로서, 발광다이오드(1c)를 나타낸 도면이다. 또한, 도 12는, 발광다이오드(1c)를 나타낸 도면이며, 금속반사막(19)과, 애노드전극(23)의 패턴을 구성하는 복수의 단위부분(23a)이 표시되어 있다. 본 실시형태의 발광다이오드(1c)가 상기한 제1 실시형태의 발광다이오드(1)와 다른 점은, 애노드전극(23)의 패턴형상이다. 즉, 본 실시형태에서는, 애노드전극(23)이, p형 콘택트층 표면의 제 1의 영역(25a) 내에만 형성되어 있고, 제 2의 영역(25b) 내에는 형성되어 있지 않다. 또한, 단위부분(23a)의 직경이나 단위부분(23a) 상호간의 간격은, 제2 실시형태와 동일하다.
- [0101] 본 실시형태에 의한 발광다이오드(1c)에서도, 상기한 각 실시형태와 동일한 효과를 얻을 수 있다. 또한, 발명자

에 의한 해석에서는, p형 콘택트층의 전체면에 애노드전극이 형성된 종래의 반도체 발광소자에 대해서, 본 실시 형태에 의한 발광다이오드(1c)에서는 구동전류 20mA로 약 56%의 발광강도의 증가가 확인되었다.

[0102] (제 5의 실시의 형태)

[0103] 도 13은, 본 발명에 의한 반도체 발광소자의 제5 실시형태로서, 발광다이오드(1d)를 나타낸 도면이다. 또한, 도 13은, 발광다이오드(1d)를 나타낸 도면이며, 금속반사막(19)과, 애노드전극의 제 1의 부분(27a) 및 제 2의 부분(27b)이 표시되어 있다. 본 실시형태의 발광다이오드(1d)가 상기한 제1 실시형태의 발광다이오드(1)와 다른 점은, 애노드전극의 패턴형상이다. 본 실시의 형태에서는, 애노드전극의 제 1의 부분(27a)은 p형 콘택트층의 표면의 제 1의 영역(25a)에 형성되어 있으며, 애노드전극의 제 2의 부분(27b)은, p형 콘택트층의 표면의 제 2의 영역(25b)에 형성되어 있다.

[0104] 애노드전극의 제 1의 부분(27a)은, 격자를 형성하는 패턴을 가지고 있으며, 또 애노드전극의 제 2의 부분(27b)은, 격자를 형성하는 패턴을 가지고 있다. 제 2의 부분(27b)의 각 단위격자의 사이즈는 제 1의 실시의 형태의 단위격자의 사이즈와 동일 또는 유사하다. 제 1의 부분(27a)의 단위부분의 사이즈는 제 2의 부분(27b)의 단위부분의 사이즈보다 작다. 이 실시의 형태에서는, 제 1의 영역(25a)에 있어서의 애노드전극의 제 1의 부분(27a)의 패턴은, 제 2의 영역(25b)에 있어서의 애노드전극의 제 2의 부분(27b)의 패턴보다도 조밀하게 되어 있다.

[0105] 본 실시형태에 의한 발광다이오드(1d)에서도, 상기한 각 실시형태와 동일한 효과를 얻을 수 있다.

[0106] 본 발명에 의한 반도체 발광소자는, 상기한 실시형태에 한정되는 것은 아니며, 그 밖에도 여러 가지 변형이 가능하다. 예를 들면, 애노드전극의 패턴은 상기한 각 실시형태(격자형상 또는 복수의 단위부분) 이외에도, 여러 가지 패턴으로 할 수 있다. 또, 상기한 실시형태의 반도체 발광소자는, GaN으로 이루어진 기판을 구비하고 있지만, 이와 같은 기판을 구비하지 않아도 된다. 예를 들면, 사파이어기판 위에 GaN계 반도체로 이루어진 n형 반도체층, 활성층, 및 p형 반도체층을 적층하고, 사파이어기판으로부터 이들의 층을 박리함으로써 반도체 발광소자를 형성해도 된다. 이와 같은 반도체 발광소자에서도, 본 발명을 적용할 수 있다.

[0107] 매우 적합한 실시의 형태에서 본 발명의 원리를 도시하여 설명해 왔지만, 본 발명은, 그와 같은 원리로부터 이탈하는 일없이 배치 및 상세함에서 변경될 수 있는 것은, 당업자에 의해서 인식된다. 본 발명은, 본 명세서에 개시된 구체적인 예에 한정되어야 하는 것은 아니다. 따라서, 특허청구의 범위 및 그 정신의 범위로부터 오는 모든 수정 및 변경에 권리를 청구한다.

발명의 효과

[0108] 본 발명에 의하면, 반도체 발광소자는, 질화물 반도체로 이루어진 제1 도전형 반도체층과, 질화물 반도체로 이루어지며, 제1 도전형 반도체층 위에 형성된 제2 도전형 반도체층과, 질화물 반도체로 이루어지며, 제1 도전형 반도체층과 제2 도전형 반도체층과의 사이에 형성된 활성층과, 제1 도전형 반도체층과 전기적으로 접속된 제 1의 전극과, 제2 도전형 반도체층 위에 소정의 패턴으로 형성된 제 2의 전극과, 제2 도전형 반도체층 위 및 상기 제 2의 전극 위에 형성된 금속반사막을 구비하는 것을 특징으로 한다.

도면의 간단한 설명

[0001] 도 1은 본 발명에 의한 반도체 발광소자의 제1 실시형태로서, 발광다이오드의 구성을 나타낸 단면도;

[0002] 도 2는 제1 실시형태에 있어서의 활성층의 구성을 나타낸 단면도;

[0003] 도 3은 발광다이오드의 애노드전극 및 금속반사막을 나타낸 평면도;

[0004] 도 4는 애노드전극 및 금속반사막 부근의 확대단면도;

[0005] 도 5는 소자의 한쪽의 면측에 애노드전극 및 캐소드전극이 배치된 종래의 반도체 발광소자와, 소자의 한쪽 측에 애노드전극 및 다른 쪽 측에 캐소드전극이 배치된 발광다이오드에 있어서의, 구동전류와 발광강도와의 관계를 나타낸 그래프;

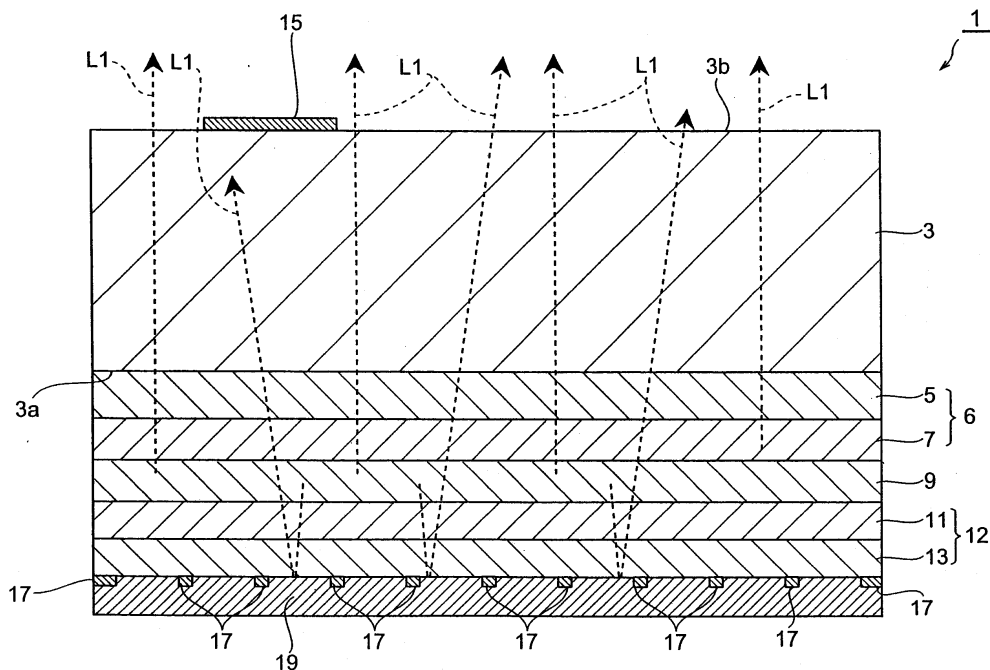
[0006] 도 6은 애노드전극의 면적이 p형 콘택트층의 면적에 차지하는 비율(피복률)과, 기판과는 반대방향을 향한 광이 금속반사막에서 반사하는 비율과의 관계를 나타낸 그래프;

[0007] 도 7은 애노드전극에 의한 p형 콘택트층의 피복률이 5%, 10%, 및 100%의 각 경우에 있어서의, 구동전류와 발광강도와의 관계를 나타낸 그래프;

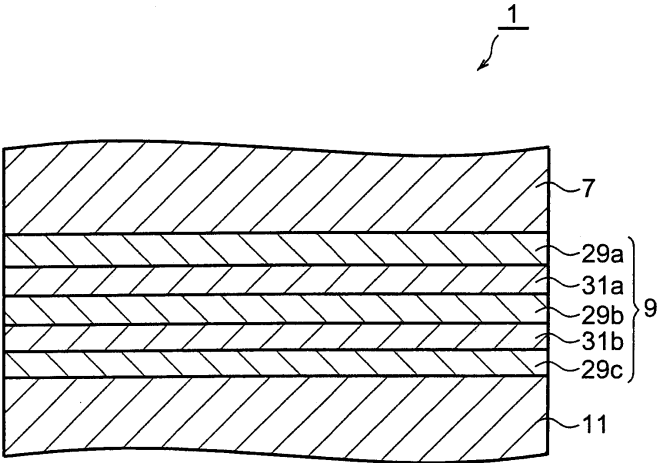
[0008]	도 8은 구동전류가 100mA와 20mA의 각 경우에 있어서의, 피복층과 구동전압과의 관계를 나타낸 그래프;	
[0009]	도 9A 및 도 9B는 애노드전극으로부터의 거리에 따른, 활성층에 있어서의 전류밀도의 해석결과를 설명하기 위한 도면;	
[0010]	도 10은 본 발명에 의한 반도체 발광소자의 제2 실시형태로서, 발광다이오드를 나타낸 도면;	
[0011]	도 11은 제3 실시형태에 의한 발광다이오드의 p형 콘택트층을 나타낸 도면;	
[0012]	도 12는 본 발명에 의한 반도체 발광소자의 제4 실시형태로서, 발광다이오드를 나타낸 도면;	
[0013]	도 13은 본 발명에 의한 반도체 발광소자의 제5 실시형태로서, 발광다이오드를 나타낸 도면.	
[0014]	<도면의 주요부분에 대한 부호의 설명>	
[0015]	1, 1a, 1b, 1c, 1d: 발광다이오드	3: 기판
[0016]	5: n형 버퍼층	6: n형 반도체층
[0017]	7: n형 클래드층	9: 활성층
[0018]	11: p형 클래드층	12: p형 반도체층
[0019]	13: p형 콘택트층	15: 캐소드전극
[0020]	17, 23: 애노드전극	19: 금속반사막
[0021]	21: 접착막	25a: 제 1의 영역
[0022]	25b: 제 2의 영역	29a~29c: 배리어층
[0023]	30: 유닛전극	31a, 31b: 우물층

도면

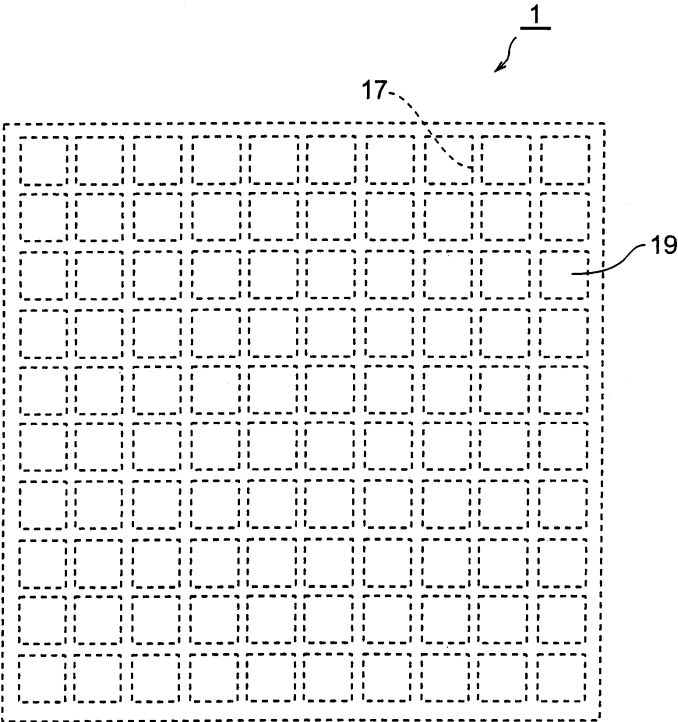
도면1



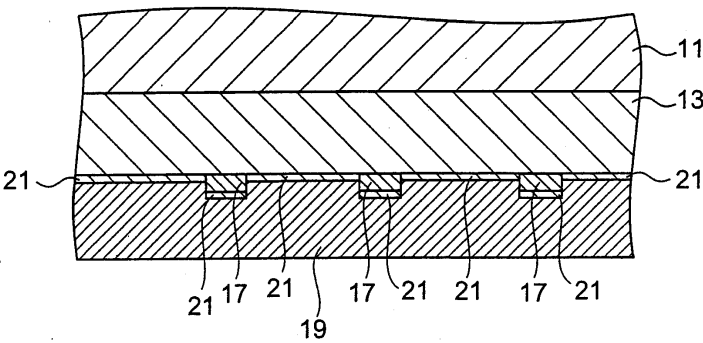
도면2



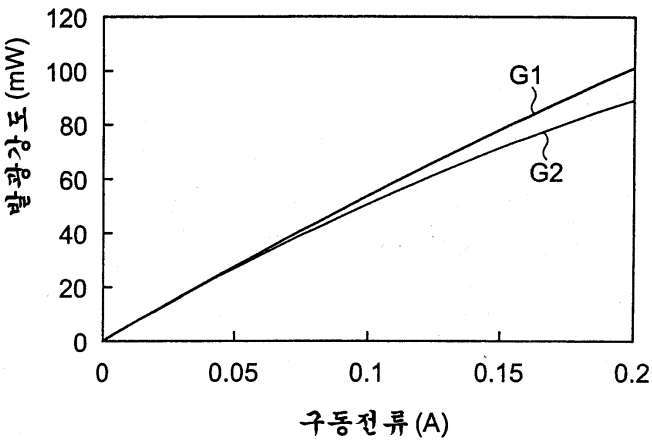
도면3



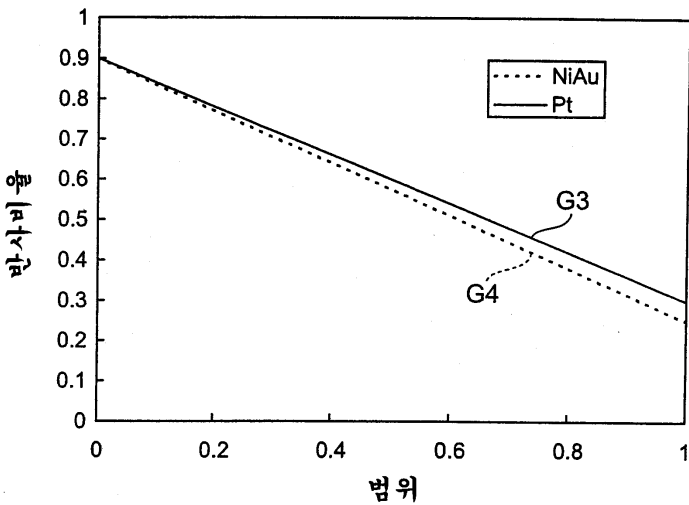
도면4



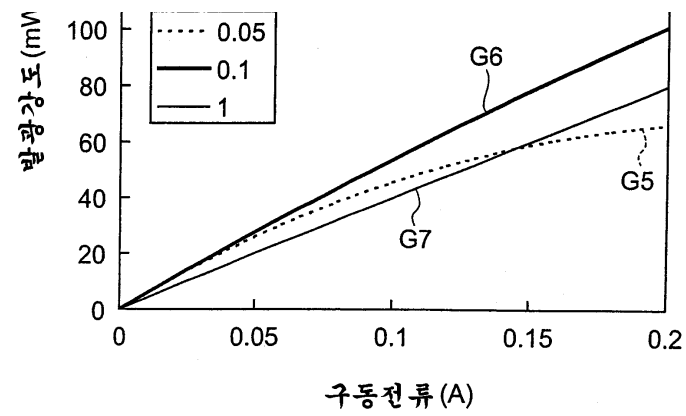
도면5



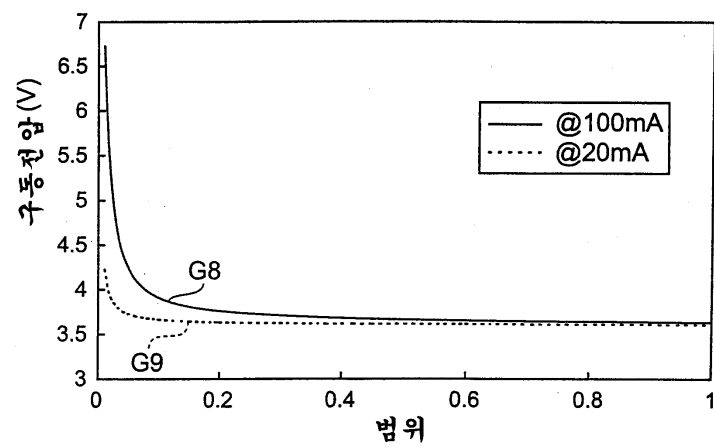
도면6



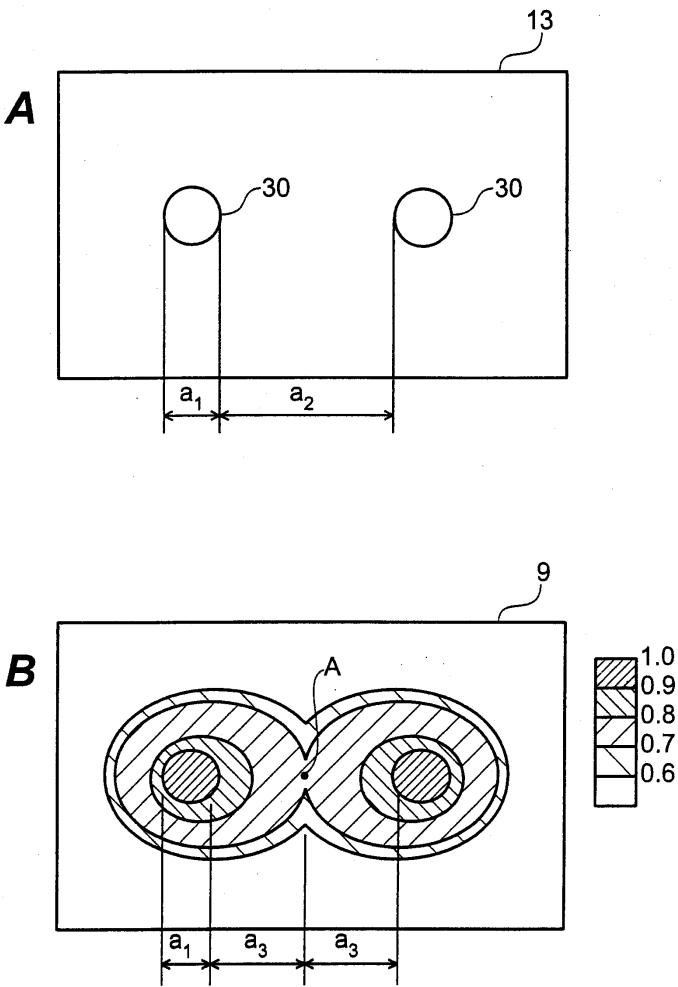
도면7



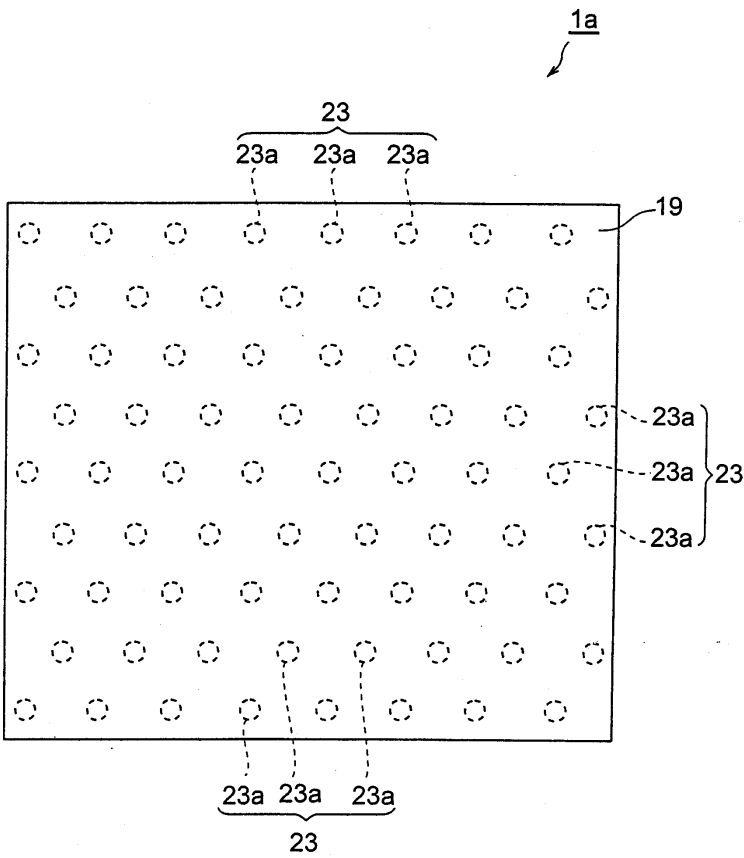
도면8



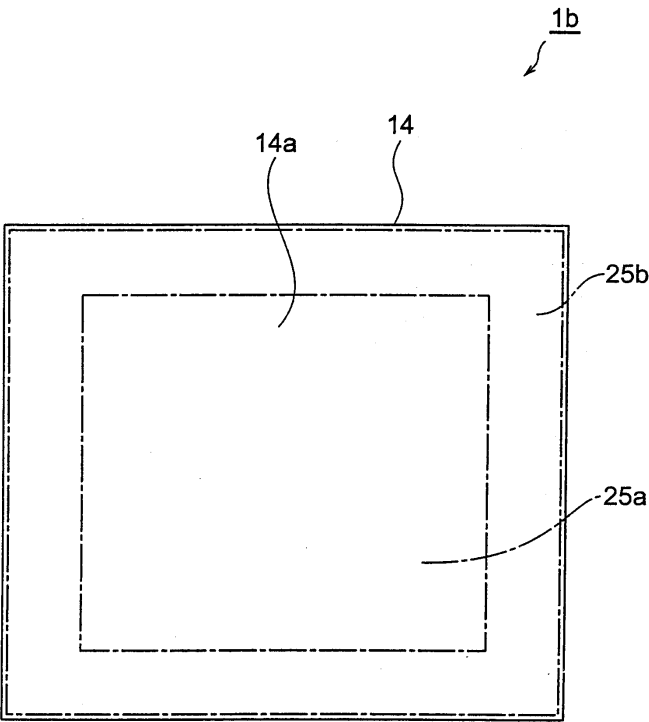
도면9



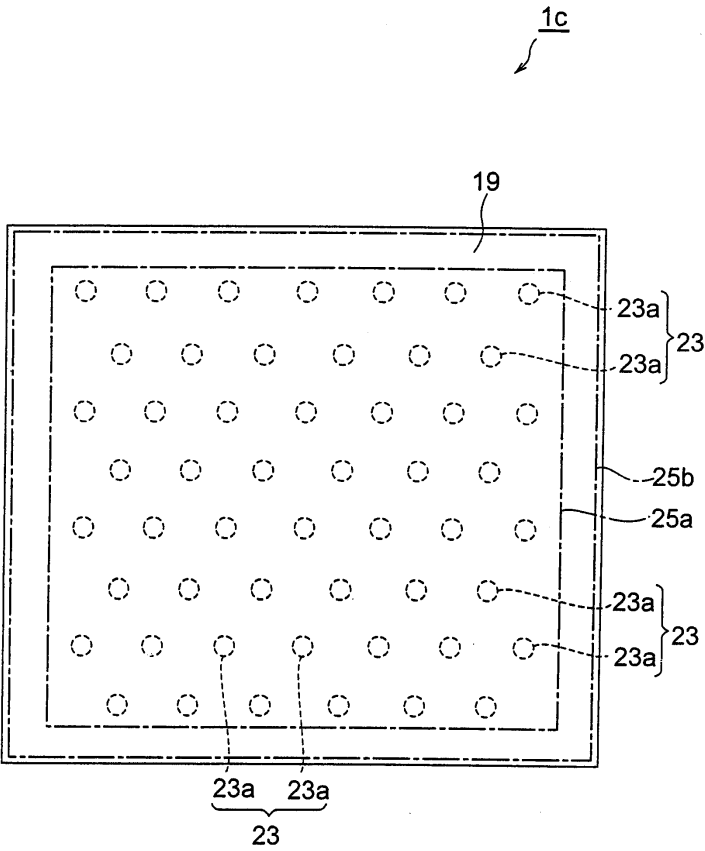
도면10



도면11



도면12



도면13

