

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2017-191830

(P2017-191830A)

(43) 公開日 平成29年10月19日(2017.10.19)

(51) Int.Cl.	F I	テーマコード(参考)
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 6 5 8 F	5 F 0 5 8
HO 1 L 29/78 (2006.01)	HO 1 L 29/78 6 5 2 P	
HO 1 L 29/06 (2006.01)	HO 1 L 29/78 6 5 2 S	
HO 1 L 29/739 (2006.01)	HO 1 L 29/78 6 5 5 A	
HO 1 L 21/318 (2006.01)	HO 1 L 29/06 3 0 1 G	

審査請求 未請求 請求項の数 4 O L (全 16 頁) 最終頁に続く

(21) 出願番号 特願2016-79607(P2016-79607)
 (22) 出願日 平成28年4月12日(2016.4.12)

(71) 出願人 000001199
 株式会社神戸製鋼所
 兵庫県神戸市中央区脇浜海岸通二丁目2番4号
 (74) 代理人 110002000
 特許業務法人栄光特許事務所
 (72) 発明者 後藤 裕史
 兵庫県神戸市中央区脇浜海岸通二丁目2番4号 株式会社神戸製鋼所内
 (72) 発明者 坂本 尚敏
 兵庫県神戸市中央区脇浜海岸通二丁目2番4号 株式会社神戸製鋼所内
 (72) 発明者 岩成 裕美
 兵庫県神戸市中央区脇浜海岸通二丁目2番4号 株式会社神戸製鋼所内
 Fターム(参考) 5F058 BA01 BC08 BF15 BJ04 BJ10

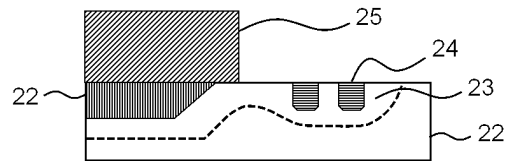
(54) 【発明の名称】 パワー半導体素子およびその製造方法

(57) 【要約】

【課題】 ガードリング構造を有する高耐圧のパワー半導体素子であって、該ガードリングを覆うシリコン窒化膜が半絶縁性であり、導電率が均一で、かつ容易に導電率の制御が可能なガードリング構造を有するパワー半導体素子を提供する。

【解決手段】 半導体基板と、前記半導体基板上に形成された複数のガードリングと、前記複数のガードリングの各々に個別に接続された複数の導体と、前記導体の少なくとも1を覆うように形成されかつ隣接する前記ガードリングと導通している半絶縁性シリコン窒化膜とを備えたパワー半導体素子であって、前記半絶縁性シリコン窒化膜に含まれる窒素量が40原子%以上65原子%未満であるパワー半導体素子。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

半導体基板と、前記半導体基板上に形成された複数のガードリングと、前記複数のガードリングの各々に個別に接続された複数の導体と、前記導体の少なくとも 1 を覆うように形成されかつ隣接する前記ガードリングと導通している半絶縁性シリコン窒化膜とを備えたパワー半導体素子であって、

前記半絶縁性シリコン窒化膜に含まれる窒素量が 40 原子%以上 65 原子%未満であるパワー半導体素子。

【請求項 2】

前記半絶縁性シリコン窒化膜の電気抵抗率が 1×10^6 \cdot cm 以上 1×10^{10} \cdot cm 未満である請求項 1 に記載のパワー半導体素子。 10

【請求項 3】

請求項 1 又は 2 に記載のパワー半導体素子を製造する方法であって、

前記半絶縁性シリコン窒化膜が、窒素ガス又はアルゴンと窒素との混合ガスを用いた反応性スパッタ法により成膜され、

前記混合ガス中の窒素の総流量比が 10 体積%以上 100 体積%未満であるパワー半導体素子の製造方法。

【請求項 4】

請求項 1 又は 2 に記載のパワー半導体素子における前記半絶縁性シリコン窒化膜を成膜するための、比抵抗 100 \cdot cm 以下である多結晶又は単結晶シリコンターゲット材料。 20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、パワー半導体素子とその製造方法、及び前記パワー半導体素子における半絶縁性シリコン窒化膜を成膜するためのシリコンターゲット材料に関する。前記パワー半導体素子とは、具体的には、例えば IGBT (絶縁ゲート型バイポーラトランジスタ) 等の半導体におけるガードリング構造に関するものである。

【背景技術】

【0002】

近年、IGBT やパワー MOSFET (パワー MOS 型電界効果トランジスタ) などの、絶縁ゲート (MOS) 型の半導体装置が大電力を制御するパワーデバイスとして普及している。 30

図 1 を参照しながら一般的な IGBT 10 の構成を説明する。p 型のコレクタ層 12 にはコレクタ電極 11 が接続されている。コレクタ層 12 の上に n 型のベース層 13 が形成されている。n 型のベース層 13 の上部には p 型のボディー領域 14 が形成され、その内部に n 型のエミッタ層 15 が形成されている。2 つのエミッタ層 15 の間にある n 型のベース層 13 の領域がチャンネル領域であり、そのチャンネル領域上には、ゲート絶縁膜 16 およびゲート電極 17 が形成され、層間絶縁膜 18 で覆われている。また、エミッタ層 15 の上部にはエミッタ電極 19 が形成されている。 40

【0003】

一般的にこれらの n 型領域や p 型領域は、Si などからなる基板に P や B が元々含まれるか、領域ごとに決められたドーズ量、加速電圧、注入角度にて P や B をイオン注入した後に、領域ごとに決められた温度、時間で活性化の熱処理を行うことで形成される。

【0004】

チャンネル領域が p 型の IGBT では、エミッタ電極に負のバイアス、裏面電極に正のバイアスを印加すると並行し、ゲート電極に正のバイアスを印加することで、チャンネル領域に反転層が形成され、エミッタ層と n 型ベース層が反転層で接続されて電流が流れる。この電流はコレクタ電極に流れる。上記エミッタ電極等には、例えば純 Al や Al-Si 合金等の Al 系膜が用いられている。 50

【 0 0 0 5 】

I G B Tなどのパワー半導体素子はp n接合を用いるが、p n接合内部では電界強度がp n界面に近づくとつれて増加し、p n接合界面が最も電界強度が大きくなる。p n接合界面にはキャリアがほとんどなく、空乏層が生じる。前記I G B Tの場合は、ゲート電極に負のバイアスを印加すると、空乏層が広がる。空乏層が広がると電界強度が小さくなるが、実際には基板界面で空乏層が縮小し、電界強度が増大するために耐圧が低下する。このため絶縁破壊が生じてしまう。

【 0 0 0 6 】

耐圧の低下による絶縁破壊に対して、プレーナ型の素子に対して、p n接合界面の露出部の電界緩和を図る手法として、ガードリングと呼ばれる構造が用いられている(図2)。n型基板21上にp層22が形成されたp n接合の場合、逆バイアスを加えると接合界面で空乏層23が生じて、p n接合の端部で縮まる。このとき、p層の端から少し距離を置き、周辺を囲むようにp層(ガードリング)24を形成すると、p n接合の界面が伸びて空乏層23が広がる。外周にp層(ガードリング)24を複数設けることで空乏層23が伸びて電界集中を緩和できるため、パワー半導体素子の絶縁破壊を生じにくくすることができる。

10

【 0 0 0 7 】

図3のように、ガードリング31の本数を増やすと高耐圧が得られるため、高耐圧のパワー半導体素子30で用いられるが、一方でチップ面積が増える。

ガードリングの本数を増やしたときに、ガードリングの十分に機能させるためには、複数のガードリング間で電位を最適値に固定されていることが好ましい。特許文献1には、複数のガードリングに導体を積層して同電位とし、更にシリコン窒化膜で形成された半絶縁膜で導体を全面的に覆い、半絶縁膜の導電率を外周部でモニターするパワー半導体素子が提案されている。これにより、半絶縁膜の導電率や界面電荷量がウェハ内、ウェハ間、ロット間でばらつく場合に対応が可能となる。

20

【 先行技術文献 】

【 特許文献 】

【 0 0 0 8 】

【 特許文献1 】 特開2012-4428号公報

【 発明の概要 】

30

【 発明が解決しようとする課題 】

【 0 0 0 9 】

しかしながら、特許文献1ではパワー半導体素子における半絶縁膜としてシリコン窒化膜を用いているが、該シリコン窒化膜の形成方法に関する記載がない。

シリコン窒化膜の一般的な形成方法としてCVD法が挙げられるものの、CVD法で形成されるシリコン窒化膜は絶縁性である。一方、パワー半導体素子の特性上、シリコン窒化膜には最適な抵抗率や窒素含有量が制限されることから、該CVD法により形成される絶縁性シリコン窒化膜は適さない。

【 0 0 1 0 】

そこで本発明は、ガードリング構造を有する高耐圧のパワー半導体素子であって、該ガードリングを覆うシリコン窒化膜が半絶縁性であり、導電率が均一で、かつ容易に導電率の制御が可能なガードリング構造を有するパワー半導体素子を提供することを目的とする。

40

【 課題を解決するための手段 】

【 0 0 1 1 】

本発明者らは、鋭意研究を重ねた結果、ガードリング構造に用いるシリコン窒化膜は、窒素ガス又はアルゴンと窒素との混合ガスを用いた反応性スパッタによって成膜することにより、シリコン窒化膜に含まれる窒素量を最適な量にコントロールすることができ、形成したシリコン窒化膜を半絶縁性とすることができることを見出し、本発明を完成するに至った。

50

【 0 0 1 2 】

すなわち、本発明は、以下の [1] ~ [4] に係るものである。

[1] 半導体基板と、前記半導体基板上に形成された複数のガードリングと、前記複数のガードリングの各々に個別に接続された複数の導体と、前記導体の少なくとも 1 を覆うように形成されかつ隣接する前記ガードリングと導通している半絶縁性シリコン窒化膜とを備えたパワー半導体素子であって、

前記半絶縁性シリコン窒化膜に含まれる窒素量が 4 0 原子 % 以上 6 5 原子 % 未満であるパワー半導体素子。

[2] 前記半絶縁性シリコン窒化膜の電気抵抗率が $1 \times 10^6 \cdot \text{cm}$ 以上 $1 \times 10^{10} \cdot \text{cm}$ 未満である前記 [1] に記載のパワー半導体素子。

[3] 前記 [1] 又は [2] に記載のパワー半導体素子を製造する方法であって、

前記半絶縁性シリコン窒化膜が、窒素ガス又はアルゴンと窒素との混合ガスを用いた反応性スパッタ法により成膜され、

前記混合ガス中の窒素の総流量比が 1 0 体積 % 以上 1 0 0 体積 % 未満であるパワー半導体素子の製造方法。

[4] 前記 [1] 又は [2] に記載のパワー半導体素子における前記半絶縁性シリコン窒化膜を成膜するための、比抵抗 $1 0 0 \cdot \text{cm}$ 以下である多結晶又は単結晶シリコンターゲット材料。

【 発明の効果 】

【 0 0 1 3 】

本発明によれば、得られるシリコン窒化膜中に欠陥が形成され、その欠陥に起因した極浅い準位を起点に室温で励起したキャリアが電気伝導を担うことができることから、シリコン窒化膜の成膜条件によって導電率を制御することが可能である。すなわち、シリコン窒化膜は半絶縁性となり、複数のガードリングを備えるパワー半導体素子の電位が安定的に固定され、素子の歩留り向上が期待できる。以上より、エミッタ電極 - コレクタ電極間のリークを低減し、安定したブロッキング電圧を得ることができる。また、成膜条件を最適化することにより、半絶縁性シリコン窒化膜を従来の C V D 法以上の成膜速度で製造することも可能である。

【 図面の簡単な説明 】

【 0 0 1 4 】

【 図 1 】 図 1 は、一般的な I G B T の構成を示す概略断面図である。

【 図 2 】 図 2 は、一般的なガードリング構造を示す断面図である。

【 図 3 】 図 3 は、図 2 のガードリング構造を含むパワー半導体素子の概略上面図である。

【 図 4 】 図 4 は、本発明に係るパワー半導体素子のガードリング構造を示す断面図である。

【 発明を実施するための形態 】

【 0 0 1 5 】

以下、本発明を詳細に説明するが、本発明は以下の実施形態に限定されるものではなく、本発明の要旨を逸脱しない範囲において、任意に変形して実施することができる。

また本明細書において数値範囲を示す「 ~ 」とは、その前後に記載された数値を下限値及び上限値として含む意味で使用される。

【 0 0 1 6 】

< パワー半導体素子 >

本発明に係るパワー半導体素子は、半導体基板と、前記半導体基板上に形成された複数のガードリングと、前記複数のガードリングの各々に個別に接続された複数の導体と、前記導体の少なくとも 1 を覆うように形成されかつ隣接する前記ガードリングと導通している半絶縁性シリコン窒化膜とを備え、前記半絶縁性シリコン窒化膜に含まれる窒素量が 4 0 原子 % 以上 6 5 原子 % 未満であることを特徴とする。

【 0 0 1 7 】

パワー半導体素子は、例えば図 4 に示すように、 n 型基板 4 1 上に p 層 4 2 が形成され

た p n 接合の場合、エミッタ電極 4 5 に近接して複数のガードリング 4 3 が形成され、該ガードリング 4 3 上に n 型基板 4 1 側から順に、エミッタ電極 4 5 と同一の導体 4 6 及び半絶縁性シリコン窒化膜 4 7 が積層されている。半絶縁性シリコン窒化膜 4 7 は保護用シリコン窒化膜 4 8 で覆われていてもよい。

【 0 0 1 8 】

半絶縁性シリコン窒化膜 4 7 は複数の導体 2 6 のうち少なくとも 1 を覆うように形成され、かつ、隣接するガードリング 4 3 と導通している。隣接するガードリング 4 3 と導通するとは、該半絶縁性シリコン窒化膜 4 7 が隣接するガードリング 4 3 と必ずしも直接接触している必要はなく、図 4 のように、隣接するガードリング 4 3 上に形成された導体 4 6 と接触していることによって、該隣接するガードリング 4 3 と導通していればよい。

10

【 0 0 1 9 】

(半絶縁性シリコン窒化膜)

本発明における半絶縁性シリコン窒化膜に含まれる窒素量は 4 0 原子%以上 6 5 原子%未満である。4 0 原子%以上であることで電気抵抗率を大きくし、パワー半導体素子のエミッタ電極 - コレクタ電極間のリーク電流を低減することができる。また、6 5 原子%未満であることで電気抵抗率を過度に大きくすることを防ぎ、チャージアップによる絶縁破壊防止効果を得ることができる。また、該窒素量はプロセスマージンを考慮した安定性、再現性の点から 4 2 原子%以上が好ましく、4 5 原子%以上がより好ましい。また同様の点から 6 2 原子%以下が好ましく、6 0 原子%以下がより好ましい。

20

【 0 0 2 0 】

半絶縁性シリコン窒化膜の電気抵抗率はパワー半導体素子のエミッタ電極 - コレクタ電極間のリーク電流低減の点から、 $1 \times 10^6 \cdot \text{cm}$ 以上が好ましく、チャージアップによる絶縁破壊防止の点から $1 \times 10^{10} \cdot \text{cm}$ 未満であることが好ましい。電気抵抗率は $5 \times 10^6 \cdot \text{cm}$ 以上がより好ましく、 $1 \times 10^7 \cdot \text{cm}$ 以上がさらに好ましい。また、上限は $5 \times 10^9 \cdot \text{cm}$ 以下がより好ましく、 $1 \times 10^9 \cdot \text{cm}$ 以下がさらに好ましい。

【 0 0 2 1 】

半絶縁性シリコン窒化膜は、反応性スパッタ法により成膜することが好ましい。反応性スパッタ法とは、スパッタする際にチャンバー内に特定のガスを流し、スパッタリングターゲット材料の構成物質に含まれる成分と、該ガスの生成物質とを薄膜として堆積させる方法を言う。

30

反応性スパッタ法によれば、窒素ガスとアルゴンとの混合割合を変えたり、成膜パワーを調整することにより、得られるシリコン窒化膜において所望の窒素添加量を実現でき、それにより、得られる半絶縁性シリコン窒化膜の電気抵抗率(導電率)を最適な値に制御することができる。

すなわち、反応性スパッタ法で用いるスパッタガスの総流量に対する窒素流量比を減らすと、シリコン窒化膜に含まれる窒素量が減り、電気抵抗率が低下する。また、スパッタ時の成膜パワーを小さくすると、膜中の窒素量が減り、電気抵抗率が低下する。

シリコン窒化膜の電気抵抗率の制御により、パワー半導体素子におけるエミッタ電極 - コレクタ電極間のリークを低減し、安定したブロッキング電圧を得ることが可能となる。

40

【 0 0 2 2 】

反応性スパッタ法により得られる半絶縁性シリコン窒化膜は、膜中に欠陥が形成され、その欠陥に起因した極浅い準位を起点に室温で励起したキャリアが電気伝導を担うことから、半絶縁性シリコン窒化膜の成膜条件によって導電率を制御することが可能となる。このため、複数のガードリングを備えるパワー半導体素子の電位が安定的に固定され、パワー半導体素子の歩留り向上が期待できる。

【 0 0 2 3 】

また、反応性スパッタ法により得られる半絶縁性シリコン窒化膜はアモルファスとなり、膜中に窒素が均一に分散することから、膜内の導電率を均一にすることもできる。

スパッタリング条件を最適化することにより、半絶縁性シリコン窒化膜の成膜速度を、

50

従来のCVD法による成膜速度よりも速くすることも可能である。例えば、放電パワーを増加させる、ターゲットと基板の距離を小さくする、スパッタ時の圧力を下げる、等を行うことで、成膜速度を速くすることができる。成膜速度は、50nm/分以上が好ましく、80nm/分以上がより好ましい。

【0024】

反応性スパッタ法により半絶縁性シリコン窒化膜を形成する場合、アルゴンと窒素との混合ガスを用いた反応性スパッタ法により成膜することが好ましく、前記混合ガス中の窒素の総流量比は窒素との反応性と成膜速度、異常放電抑制の点から10体積%以上100体積%以下がより好ましい。すなわち、窒素ガス単独、又は、窒素の総流量比が10体積%以上100体積%未満のアルゴンと窒素との混合ガスがより好ましい。混合ガスの場合、窒素の総流量比は20体積%以上がさらに好ましく、80体積%以下がさらに好ましい。

10

【0025】

反応性スパッタ法におけるスパッタ時のパワーは大きくするほどシリコン窒化膜中の窒素量は小さくなり、電気抵抗率も小さくなる。スパッタリング装置やその他の条件によって、スパッタ時のパワーを調整し、所望の窒素量及び電気抵抗率を実現することができる。

【0026】

スパッタリング時の雰囲気及び成膜パワー以外の成膜条件は、一般的な条件で行えばよい。すなわち、例えば基板温度は10~250℃が好ましく、到達真空度は 8×10^{-4} Pa以下、成膜時ガス圧は0.1~0.5 Pa、ターゲット-基板間距離は4~12 cmがそれぞれ好ましい。

20

【0027】

反応性スパッタ法によるシリコン窒化膜を形成するターゲット材料は、シリコンターゲット材料が好ましい。シリコンターゲット材料は単結晶シリコンでも多結晶シリコンでもよく、比抵抗が $100 \Omega \cdot \text{cm}$ 以下であると、異常放電を抑制し、直流電源が使用できるため、高速成膜の点から好ましく、 $1 \Omega \cdot \text{cm}$ 以下がより好ましい。また、比抵抗の下限は、比抵抗を下げるためにターゲットに添加するドーパントがあまりに多すぎると、パワー半導体素子の特性に影響を及ぼす懸念から、 $0.0001 \Omega \cdot \text{cm}$ 以上が好ましい。

【0028】

シリコンターゲット材料におけるシリコンとしては、例えば、Sbドープ多結晶シリコンやBドープ多結晶シリコン、リンドープ多結晶シリコン、ヒ素ドープ多結晶シリコン等が挙げられる。中でも、Sbドープ多結晶シリコンやBドープ多結晶シリコン、リンドープ多結晶シリコンが、原材料供給の点から好ましい。

30

【0029】

半絶縁性シリコン窒化膜を、反応性スパッタ法ではなくCVD法によって形成する場合を検討する。

CVD法には熱反応で成膜するLP-CVD法とプラズマを用いて成膜するプラズマCVD法があるが、シリコン窒化膜の組成を化学量論組成からずらし、電気抵抗率を変化させるためには、プラズマCVD法を用いる必要がある。

40

【0030】

プラズマCVD法の場合、成膜に用いるシランガスとアンモニア及び窒素ガスの少なくともいずれか一方との混合比やパワーを調整して所望の特性に調整する必要がある。

また、成膜時に300℃程度に基板を加熱するため、室温に戻した時にSiN膜に応力が加わりやすい。IGBTなどのパワー半導体では、スイッチング特性を向上させるために、研磨等により基板を100µm以下にする。このとき、前記応力が大きいと基板が反り、破損する場合がある。

以上より、プラズマCVD法により本発明における半絶縁性シリコン窒化膜を形成することは可能であるが、基板の反り等の観点から、前記反応性スパッタ法により形成することが好ましい。なお、反応性スパッタ法の場合は基板温度を室温のままで成膜するため、

50

応力変化を抑えることができる。

【0031】

本発明に係るパワー半導体素子において、半絶縁性シリコン窒化膜は、導体を均一に被覆し、複数存在するガードリングの電圧を均一かつ安定にさせる役割を有する。一方、前記導体はエミッタ電極と同時に成膜するため、膜厚は4 μm以上と厚い。そこで、半絶縁性シリコン窒化膜はガードリングの電圧の均一性及び安定性のため、膜厚は100 nm以上が好ましく、200 nm以上がより好ましい。一方で、半絶縁性シリコン窒化膜の膜厚が厚すぎるとエッチング加工が困難となるため、600 nm以下が好ましく、500 nm以下がより好ましい。

【0032】

半絶縁性シリコン窒化膜の下地は、絶縁膜(BPSG(Boron-Phospho-Silicate Glass)などのシリコン酸化膜系材料)や、導体やエミッタ電極に用いられる純AlやAl-Si等である。

反応性スパッタ法では、スパッタ粒子が一定のエネルギーを持って基板に衝突するため、一般に密着性が向上する。本発明においても、反応性スパッタ法により形成された半絶縁性シリコン窒化膜の下地との密着性は良好となる。

【0033】

(その他の構成)

パワー半導体素子を構成するその他の部分は、従来公知のものを従来と同様に用いることができ、その形成方法も従来と同様である。

すなわち、ガードリング構造における半導体基板としては、シリコン、SOI(絶縁膜上に単結晶シリコンを形成した基板)、SiC等を用いることができる。またp層やガードリング(p層)としては、シリコン、SOI、SiC等へのイオン注入によって形成することができる。絶縁層としては、シリコン酸化膜やシリコン窒化膜、シリコン酸窒化膜、BPSG(Boron-Phospho-Silicate Glass)やPSG(Phospho-Silicate Glass)等を用いることができ、CVD法等によって形成することができる。エミッタ電極や導体としては、AlやAl-Si、Ti等を用いることができ、スパッタ等によって形成することができる。保護用シリコン窒化膜としてはシリコン窒化膜、シリコン酸窒化膜等を用いることができ、CVD法等によって形成することができる。

【0034】

(パワー半導体素子の製造方法)

本発明に係るパワー半導体素子は、前記半絶縁性シリコン窒化膜の成膜方法以外は、従来公知の方法により製造することができる。

例えば、下記の工程を含むことができる。これらはすべての工程を含んでも、一部の工程を含んでもよい。

- (a) ゲート絶縁膜を熱酸化によって形成する工程、
- (b) ゲート電極となるポリシリコンをCVD法によって成膜する工程、
- (c) ポリシリコンをエッチング加工して電極形状に加工する工程、
- (d) 半導体基板にイオン注入装置によって不純物イオンを注入する工程(エミッタ層領域へのn型不純物注入、ガードリングおよびボディー領域へのp型不純物の注入)、
- (e) ゲート電極上に層間絶縁膜としてシリコン酸化膜をCVD法によって成膜する工程、
- (f) エミッタ電極と基板との間に電氣的接続できるように、ゲート絶縁膜および層間絶縁膜の一部をエッチングにより除去する工程、
- (g) エミッタ電極となるAl-Siをスパッタによって成膜する工程、
- (h) Al-Siをエッチング加工して電極形状に加工する工程、
- (i) 半絶縁性シリコン窒化膜をスパッタによって成膜する工程、
- (j) ゲート電極およびエミッタ電極上の半絶縁性シリコン窒化膜をエッチングにより除去する工程、

10

20

30

40

50

(k) 保護膜となる絶縁性シリコン窒化膜をCVD法によって成膜する工程、
 (l) 外部から電極との電氣的接続を行うために、エミッタ電極およびゲート電極上の絶縁性シリコン窒化膜およびシリコン酸化膜を除去する工程。

【0035】

<シリコンターゲット材料>

また本発明は、上述した半絶縁性シリコン窒化膜を成膜するためのシリコンターゲット材料にも関する。

すなわち、半絶縁性シリコン窒化膜を反応性スパッタ法により成膜する際に用いるシリコンターゲット材料は、異常放電によるターゲット割れを防ぐ観点から比抵抗 $100 \cdot \text{cm}$ 以下が好ましく、 $1 \cdot \text{cm}$ 以下がより好ましい。また、比抵抗を下げるためにターゲットに添加するドーパントがあまりに多すぎると、所望の窒化膜が得られなくなるおそれがあることから、 $0.0001 \cdot \text{cm}$ 以上が好ましい。

シリコンターゲット材料は多結晶のシリコンターゲットであっても、単結晶のシリコンターゲットであってもよく、好ましい具体例は先述したとおりである。

【実施例】

【0036】

以下に、実施例を挙げて本発明をさらに具体的に説明するが、本発明は、これらの実施例に限定されるものではなく、本発明の趣旨に適合し得る範囲で変更を加えて実施することが可能であり、それらはいずれも本発明の技術的範囲に包含される。

【0037】

<パワー半導体素子の製造1 (No. 1-1~1-8)>

ガードリング構造に関して、反応性スパッタ法で窒化シリコン膜又はシリコン膜を形成したSi-IGBTを用いて検討を行った。

すなわち、Al-Siエミッタ電極が既に形成された素子を用いた。該素子のガードリング上にはAl-Siエミッタ電極と同じレイヤで導体 (Al-Si電極) が形成されている。その後、該導体上に反応性スパッタ法を用いてシリコン窒化膜 (SiN) 又はシリコン膜を形成した。シリコン窒化膜又はシリコン膜の成膜にはシリコンターゲットを使用し、アルゴンと窒素の混合ガスによるRFマグネトロンスパッタ、又はアルゴンガスによるDCマグネトロンスパッタを用いて下記成膜条件により成膜を行った。

【0038】

(シリコン窒化膜又はシリコン膜の成膜条件)

膜厚: 220 nm

スパッタリングターゲット: Sbドープ多結晶Si (直径 = 4 インチ 、電気抵抗率 $0.02 \cdot \text{cm}$)

装置: スパッタリング装置 (アルバック社製、CS-200)

スパッタガス: アルゴン、窒素

ガス圧: 2 mTorr

パワー: RF $250 \sim 500 \text{ W}$

T/S距離: 12 cm

【0039】

シリコン窒化膜 (No. 1-2~1-8) 又はシリコン膜 (No. 1-1) を成膜後、フォトレジストを塗布してリソグラフィにてレジストパターンを形成した。すなわち、ガードリング部分にシリコン窒化膜又はシリコン膜が残るよう、六フッ化硫黄ガスを用いてプラズマエッチングによって、シリコン窒化膜又はシリコン膜をパターンニングした。次いで剥離液 (東京応化工業 (株) 製、TOK106) を用いてレジストを剥離した後、フォーミングガスを用いて、シンタリングを行った。ウェハを研磨後、熱処理によって研磨ダメージを回復し、ウェハ裏面のコレクタ層のイオン注入と純アルミニウムを用いたコレクタ電極のスパッタ成膜を行い、 400 の活性化熱処理を加えた。これにより、パワー半導体素子を得た。

【0040】

10

20

30

40

50

< シリコン窒化膜又はシリコン膜の評価 1 >

表 1 に No. 1 - 1 ~ 1 - 8 それぞれのシリコン窒化膜又はシリコン膜の成膜条件と、電気抵抗率、窒素含有量の評価結果をまとめた。電気抵抗率と窒素含有量の評価条件を下記に示す。

【 0 0 4 1 】

(シリコン窒化膜又はシリコン膜の電気抵抗率)

装置：ハイレスタ MCP - HT 450 (三菱化学アナリテック社製、URS プローブ利用、RCF (S) 補正係数 10.09)

サンプル基板：イーグルガラス (コーニング社製)、熱酸化膜付き Si 基板

換算方法：

$$\text{体積抵抗率 } P_v = V / I \times RCF \times t$$

ここで、V は電圧、I は電流、RCF は形状補正係数、t は膜厚である。

【 0 0 4 2 】

(シリコン窒化膜又はシリコン膜の窒素含有量)

装置：PHI 650 走査型オージェ電子分光装置 (パ・キン・エルマ・社製)

・一次電子

エネルギー、電流：10 keV、約 150 nA

入射角度：試料法線に対して 30°

・分析領域

約 40 μm × 50 μm

・イオンスパッタ (Ar⁺)

エネルギー、電流：3 keV、25 mA

入射角度：試料法線に対して約 58°

スパッタ速度：約 20 nm/min

・定量方法

各元素のピーク強度 (Peak-to-Peak) とその相対感度係数を用い、次式に基づいて定量を行った。なお、各元素の相対感度係数は、実測値ではなく、装置付属のハンドブックに掲載されている値を用いた。

【 0 0 4 3 】

【数 1】

$$C_i = \frac{(I_i/S_i)}{\sum_{j=1}^N (I_j/S_j)} \times 100$$

C : 濃度 (原子%)

I : オージェピーク強度

S : 相対感度係数

i、j : 元素の種類

【 0 0 4 4 】

< パワー半導体素子の評価 1 >

上記で得られたガードリング構造を耐圧 1700 V の IGBT に用いて、パワー半導体素子特性を確認した。表 1 に、パワー半導体素子のリーク電流値 (50 V、1800 V)、ブロッキング電圧 (耐圧) をまとめた。

【 0 0 4 5 】

表 1 中、No. 1 - 1 のパワー半導体素子はリファレンスとして、アルゴンガスのみ (窒素流量比 0%) でシリコンターゲット (Si ターゲット) を DC (直流) スパッタリン

10

20

30

40

50

グして成膜した a - S i 膜 (シリコン膜) を用いた結果を示す。アモルファス S i 膜の電気抵抗率が小さく、エミッタ電極 - コレクタ電極間のリーク電流が大きいため、パワー半導体素子特性を満たしていない。

また No . 1 - 2 および No . 1 - 3 のパワー半導体素子はシリコン窒化膜が形成されているものの、該膜中の窒素含有量が小さく電気抵抗率が小さいため、エミッタ電極 - コレクタ電極間のリーク電流が大きい。

次に No . 1 - 4 ~ No . 1 - 7 のパワー半導体素子は、電気抵抗率が $2.86 \times 10^7 \sim 6.13 \times 10^9 \text{ } \cdot \text{cm}$ であり、このときのリーク電流、ブロッキング電圧ともに問題ないレベルであった。No . 1 - 8 のパワー半導体素子については、電気抵抗率が $1.10 \times 10^{10} \text{ cm}$ と高く、定格よりも小さい電圧ではリーク電流は小さいものの、定格と同等の高電圧を加えるとリーク電流が増大した。これはガードリング間の電圧が不安定となり、不具合が生じているものと思われる。

【 0 0 4 6 】

【表 1】

表1

No.	成膜条件		シリコン窒化膜又はシリコン膜		パワー半導体素子特性		
	総流量に対する 窒素流量比 (%)	スパッタ時の パワー(W)	電気抵抗率 ($\Omega \cdot \text{cm}$)	窒素量 (原子%)	エミッタコレクタ間 リーク電流@50V(mA)	エミッタコレクタ間 リーク電流@1800V(mA)	ブロッキング電圧 (V)
1-1	0	500 (DC放電)	1.60E+04 (シリコン膜)	12.8 (酸素量)	>1	>1	-
1-2	5.3	500 (RF放電)	3.37E+04	15.3	>1	>1	-
1-3	10.5	500 (RF放電)	2.47E+05	31.4	>1	>1	-
1-4	10.5	300 (RF放電)	2.86E+07	47.1	<0.01	<0.05	>1800
1-5	15.8	400 (RF放電)	2.82E+09	54.7	<0.01	<0.05	>1800
1-6	15.8	500 (RF放電)	2.25E+07	47.9	<0.01	<0.05	>1800
1-7	21.1	500 (RF放電)	6.13E+09	59.6	<0.01	<0.01	>1800
1-8	21.1	500 (RF放電)	1.10E+10	59.7	<0.01	<0.1	<1400

10

20

30

40

また、パワー半導体素子を製造する工程において、エミッタ電極上の半絶縁性シリコン窒化膜をエッチングにより除去する工程を含む場合、No. 1 - 1 および No. 1 - 2 のパワー半導体素子の場合、エミッタ電極上に、シリコンとエミッタ電極のアルミニウムが反応した反応生成物が残渣として残る。これは半絶縁性シリコン窒化膜上の保護用シリコン窒化膜を成膜する際に300程度の熱履歴を受けるが、その際に、シリコンリッチな膜は下地のアルミニウムと容易に反応生成物を作り、これがエッチングで除去できないために残渣として生じたものと考えられる。

【0048】

<パワー半導体素子の製造2 (No. 2 - 1 ~ 2 - 11)>

ガードリング構造に関して、反応性スパッタ法又はプラズマCVD法で窒化シリコン膜又はシリコン膜を形成したSi-IGBTを用いて検討を行った。

すなわち、Al-Siエミッタ電極が既に形成された素子を用いた。該素子のガードリング上にはAl-Siエミッタ電極と同じレイヤで導体 (Al-Si電極) が形成されている。その後、該導体上に反応性スパッタ法又はプラズマCVD法を用いてシリコン窒化膜又はシリコン膜を形成した。シリコン窒化膜又はシリコン膜の成膜には反応性スパッタ法においてはシリコンターゲットを使用し、アルゴンと窒素との混合ガス、窒素ガス若しくはアルゴンガスによるRFマグネトロンスパッタ (No. 2 - 3 ~ 2 - 8)、又は、アルゴンと窒素との混合ガス、若しくはアルゴンガスによるDCマグネトロンスパッタ (No. 2 - 9 ~ 2 - 11)) を用いて下記成膜条件により成膜を行った。またプラズマCVD法 (No. 2 - 1 及び 2 - 2) においてはシランとアンモニアと窒素ガスを用いて下記成膜条件により成膜を行った。

【0049】

(シリコン窒化膜又はシリコン膜の成膜条件：反応性スパッタ法 (No. 2 - 3 ~ 2 - 11))

膜厚：220nm

スパッタリングターゲット：Bドープ多結晶Si (直径 = 4インチ、電気抵抗率0.02・cm、No. 2 - 3 ~ 2 - 11)

装置：ロードロック付スパッタリング装置 (アルバック社製、CS-200) (No. 2 - 3 ~ 2 - 8)

スパッタリング装置 ((株)島津製作所製、HSM-542) (No. 2 - 9 ~ 2 - 11)

スパッタガス：アルゴン、窒素

ガス圧：2mTorr

パワー：RF250~500W (No. 2 - 3 ~ 2 - 8)、DC250~500W (No. 2 - 9 ~ 2 - 11)

T/S距離：12cm (CS-200使用時)、4cm (HSM-542使用時)

【0050】

(シリコン窒化膜又はシリコン膜の成膜条件：プラズマCVD法 (No. 2 - 1 ~ 2 - 2))

プロセスガス：シラン、アンモニア、窒素

アンモニアガス (50~100sccm)、N₂-10体積%シラン混合ガス (300sccm)、窒素ガス (0~50sccm)

装置：ロードロック式3連プラズマCVD装置 (SAMCO社製、PD-2203L)

膜厚：100nm ガス圧：133Pa

パワー：100W

製膜温度：320

【0051】

シリコン窒化膜又はシリコン膜を成膜後、前記<パワー半導体素子の製造1>と同様にして、パワー半導体素子を得た。

【0052】

10

20

30

40

50

<シリコン窒化膜又はシリコン膜の評価2>

表2にNo. 2-1~2-11それぞれのシリコン窒化膜又はシリコン膜の成膜条件と、電気抵抗率、窒素含有量の評価結果をまとめた。電気抵抗率と窒素含有量の評価条件は前記<シリコン窒化膜又はシリコン膜の評価1>における条件と同様である。

【0053】

表2中、プラズマCVD法で作製したNo. 2-1及び2-2のシリコン窒化膜の抵抗率は $1 \times 10^{10} \cdot \text{cm}$ 以上となり、半絶縁性のシリコン窒化膜は得ることができなかった。一方、成膜ガス中の窒素流量比(窒素添加量)を調整して、シリコン窒化膜に含まれる窒素量を40原子%以上65原子%未満とすることにより、電気抵抗率 $1 \times 10^6 \cdot \text{cm} \sim 1 \times 10^{10} \cdot \text{cm}$ を示す半絶縁性シリコン窒化膜を実現でき、さらには、CVD法と同等又はCVD法よりも速い速度で成膜することができた。

【0054】

【表 2】

No.	成膜条件				シリコン窒化膜又はシリコン膜	
	成膜方法	総流量に対する窒素流量比(%)	成膜速度 nm/min	スパッタ時の パワー(W)	電気抵抗率($\Omega \cdot \text{cm}$)	窒素量(原子%)
2-1	CVD	68	54	-	2.7E+10	53.6
2-2	CVD	80	65	-	2.2E+10	56.8
2-3	RFスパッタリング	0	153	500	1.1E+04(シリコン膜)	11.4(酸素量)
2-4	RFスパッタリング	20	96	500	2.3E+08	50.2
2-5	RFスパッタリング	40	55	500	1.4E+08	49.8
2-6	RFスパッタリング	60	50	500	1.0E+09	52.1
2-7	RFスパッタリング	80	38	500	4.5E+07	47.1
2-8	RFスパッタリング	100	35	500	1.4E+09	54.7
2-9	DCスパッタリング	0	297	500	6.0E+03(シリコン膜)	5.9(酸素量)
2-10	DCスパッタリング	20	178	500	5.5E+06	42.2
2-11	DCスパッタリング	40	122	500	1.0E+09	50.9

表2

【産業上の利用可能性】

【0055】

本発明における半絶縁性シリコン窒化膜を備えたパワー半導体素子とすることにより、パワー半導体素子が安定に動作し、歩留りの向上を期待することができる。

10

20

30

40

50

【符号の説明】

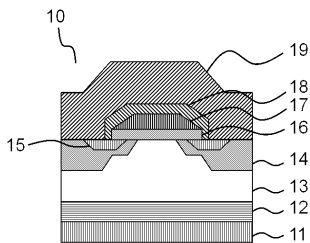
【0056】

- 10 IGBT
- 11 コレクタ電極
- 12 コレクタ層
- 13 ベース層
- 14 ボディー領域
- 15 エミッタ層
- 16 ゲート絶縁膜
- 17、33 ゲート電極
- 18 層間絶縁膜
- 19、25、32、45 エミッタ電極
- 21、41 n型基板
- 22、42 p層
- 23 空乏層
- 24、43 p層(ガードリング)
- 30 パワー半導体素子
- 31 ガードリング
- 44 絶縁層
- 46 導体
- 47 半絶縁性シリコン窒化膜
- 48 保護用シリコン窒化膜

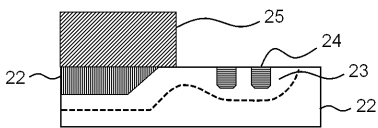
10

20

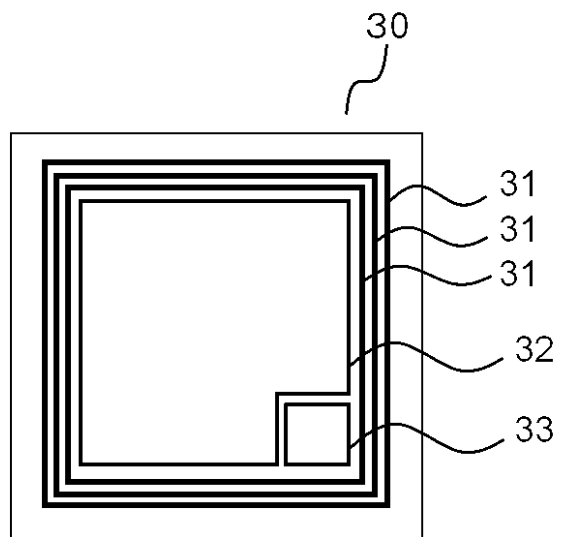
【図1】



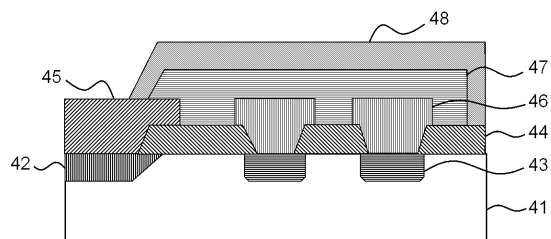
【図2】



【図3】



【図4】



フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

H 0 1 L	29/06	3 0 1 V
H 0 1 L	21/318	B
H 0 1 L	29/78	6 5 2 A