

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局



(43) 国际公布日
2011 年 7 月 7 日 (07.07.2011)

PCT

(10) 国际公布号
WO 2011/079604 A1

- (51) 国际专利分类号:
H01L 21/336 (2006.01) H01L 29/78 (2006.01)
- (21) 国际申请号: PCT/CN2010/074584
- (22) 国际申请日: 2010 年 6 月 28 日 (28.06.2010)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
200910244134.7 2009 年 12 月 29 日 (29.12.2009) CN
- (71) 申请人 (对除美国外的所有指定国): 中国科学院
微电子研究所 (INSTITUTE OF MICROELECTRONICS, CHINESE ACADEMY OF SCIENCES)
[CN/CN]; 中国北京市朝阳区北土城西路 3 号, Beijing 100029 (CN)。
- (72) 发明人: 及
- (75) 发明人/申请人 (仅对美国): 骆志炯 (LUO, Zhi-jiong) [CN/US]; 美国纽约州波基普西市洛克科劳斯特街 11 号, New York 12603 (US)。朱慧珑 (ZHU, Huilong) [US/US]; 美国纽约州波基普西市奥特姆街 93 号, New York 12603 (US)。尹海洲 (YIN, Haizhou) [CN/US]; 美国纽约州波基普西市洛克科劳斯特街 11 号, New York 12603 (US)。
- (74) 代理人: 北京市立方律师事务所 (LIFANG & PARTNERS LAW FIRM); 中国北京市东四十条甲 22 号南新仓国际大厦 A1105 室, Beijing 100007 (CN)。
- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。
- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG)。

[见续页]

(54) Title: SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF

(54) 发明名称: 一种半导体器件及其制造方法

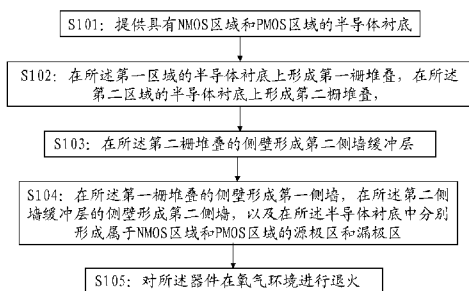


图 1 /Fig.1

(57) Abstract: A semiconductor device and a manufacturing method thereof are provided, the method includes that: after forming a gate stack, second sidewall buffer layers are formed on the sidewalls of the gate stack of a PMOS, the second sidewall buffer layers are composed of a loose low k dielectric material; then a sidewall of the device and source/drain halo regions and source/drain regions are formed; then anneal is performed in an oxygen environment in order that the oxygen of the oxygen environment diffuses into the high k dielectric layer of the second gate stack through the second sidewall buffer layers. The method can not only reduce the threshold voltage of the PMOS without affecting the threshold voltage of the NMOS, but also avoid the damage of the gate and the substrate during removing the sidewall of the PMOS in the conventional process, thereby effectively improve the performance of the device.

[见续页]

S101 providing a semiconductor substrate having a NMOS region and a pmos region
S102 forming a first gate stack on the first region of the semiconductor substrate, forming a second gate stack on the second region of the semiconductor substrate
S103 FORMING second sidewall buffer layers on the sidewalls of the second gate stack
S104 forming a first sidewall on the sidewalls of the first gate stack, forming second sidewalls on the second sidewall buffer layers, and respectively forming a source region and a drain region of the NMOS region and the PMOS region in the semiconductor substrate
S105 annealing the device in the oxygen environment

WO 2011/079604 A1



本国际公布:

— 包括国际检索报告(条约第 21 条(3))。

(57) 摘要:

一种半导体器件及其制造方法,所述方法包括:在形成栅极堆叠后,在 PMOS 栅堆叠的侧壁形成第二侧墙缓冲层,所述第二侧墙缓冲层由疏松的低 k 介质材料形成;而后形成器件的侧墙以及源/漏 halo 区和源/漏极区;而后在氧气环境中高温退火,以使氧气环境中的氧气通过所述第二侧墙缓冲层扩散到所述第二栅堆叠的高 k 栅介质层中。该方法不仅降低了 PMOS 的阈值电压,且不影响 NMOS 的阈值电压,而且还可以避免传统工艺去除 PMOS 侧墙时对栅极及衬底的损伤,从而有效提高器件的性能。

一种半导体器件及其制造方法

技术领域

- 5 本发明通常涉及一种半导体器件及其制造方法，具体来说，涉及一种可以降低高 k 栅介质/金属栅器件的 PMOS 阈值电压的器件及其制造方法。

背景技术

- 随着半导体技术的发展，具有更高性能和更强功能的集成电路要求更大的元件密度，而且各个部件、元件之间或各个元件自身的尺寸、大小和空间也需要进一步缩小。32/22 纳米工艺集成电路核心技术的应用已经成为集成电路发展的必然趋势，也是国际上主要半导体公司 and 研究组织竞相研究的课题之一。以“高 k 栅介质/金属栅”技术为核心的 CMOS 器件栅工程研究是 32/22 纳米技术中最有代表性的核心工艺，与之相关的材料、工艺及结构研究已在广泛的进行中。

- 对于将高 k 栅介质材料和金属栅集成在一起的器件，实现了具有高迁移率沟道的晶体管，但是由于在集成中的高温处理，使金属和高 k 绝缘材料交界面的性质发生改变，引起了高 k 栅介质材料中的氧空位，这使 PMOS 的阈值电压升高，进而降低了器件的可靠性，如何有效控制 PMOS 阈值电压是“高 k 栅介质/金属栅”器件的首要问题。目前降低“高 k 栅介质/金属栅”器件 PMOS 阈值电压的一种方法是氧扩散的方法（Symposium on VLSI technology Digest of Technical Papers, 2009），该方法是将侧墙去除后，从高 k/金属栅的侧壁扩散氧到高 k 栅介质材料中，但这种方法需要将侧墙去除，去除侧墙在工艺上比较难控制，会对栅介质层、栅电极以及源/漏区衬底等造成损伤，进而影响器件的性能。

因此，需要提出一种能够降低 PMOS 器件的阈值电压，且不会对器件造成损伤的制造半导体器件的方法及其器件结构。

发明内容

鉴于上述问题，本发明提供了一种制造所述半导体器件的方法，所述方法包括：提供具有 NMOS 区域和 PMOS 区域的半导体衬底，其中所述 NMOS 区域与所述 PMOS 区域相互隔离；在所述 NMOS 区域的半导体衬底上形成第一栅堆叠，在所述 PMOS 区域的半导体衬底上形成第二栅堆叠，其中所述第一栅堆叠的形成包括形成第一高 k 栅介质层和其上的第一金属栅电极，所述第二栅堆叠的形成包括形成第二高 k 栅介质层和其上的第二金属栅电极；在所述第二栅堆叠的侧壁形成第二侧墙缓冲层，其中所述第二侧墙缓冲层采用低 k 介质材料形成；在所述第一栅堆叠的侧壁形成第一侧墙，并且在所述第二侧墙缓冲层的侧壁形成第二侧墙；在所述半导体衬底中分别形成属于 NMOS 区域和 PMOS 区域的源/漏延伸区和/或 halo 区以及源极区和漏极区；对所述器件在氧气环境进行退火，以使氧气环境中的氧气通过所述第二侧墙缓冲层扩散到所述第二栅堆叠的第二高 k 栅介质层中。

本发明还提供了另一种制造所述半导体器件的方法，所述方法包括：提供具有 NMOS 区域和 PMOS 区域的半导体衬底，其中所述 NMOS 区域与所述 PMOS 区域相互隔离；在所述 NMOS 区域的半导体衬底上形成第一栅堆叠，在所述 PMOS 区域的半导体衬底上形成第二栅堆叠，其中所述第一栅堆叠的形成包括形成第一高 k 栅介质层和其上的第一金属栅电极，所述第二栅堆叠的形成包括形成第二高 k 栅介质层和其上的第二金属栅电极；在所述第二栅堆叠的侧壁形成第二侧墙缓冲层，其中所述第二侧墙缓冲层采用低 k 介质材料形成；在所述第一栅堆叠的侧壁形成第一侧墙，在所述第二侧墙缓冲层的侧壁形成第二侧墙；在所述半导体衬底中分别形成属于 NMOS 区域和 PMOS 区域的源/漏延伸区和/或 halo 区以及源极区和漏极区；去除所述第二侧墙；对所述器件在氧气环境进行退火，以使氧气环境中的氧气通过所述第二侧墙缓冲层扩散到所述第二栅堆叠的高 k 栅介质层中。

本发明还提供了由以上方法制造的器件，所述器件包括：具有 NMOS 区域和 PMOS 区域的半导体衬底，其中所述 NMOS 区域与所述 PMOS 区域相互隔离；形成于所述 NMOS 区域的半导体衬底上的第一栅堆叠和形成

于所述 PMOS 区域的半导体衬底上的第二栅堆叠；其中所述第一栅堆叠包括：第一高 k 栅介质层；形成于所述第一高 k 栅介质层上的第一金属栅电极；所述第二栅堆叠包括：第二高 k 栅介质层；形成于所述第二高 k 栅介质层上的第二金属栅电极；其中所述第二栅堆叠侧壁有第二侧墙缓冲层，
5 所述第二侧墙缓冲层可以使器件在氧环境中退火时，使氧环境中的氧气通过所述第二侧墙缓冲层扩散至所述第二栅堆叠的第二高 k 栅介质层中。其中所述第二侧墙缓冲层采用低 k 介质材料形成。

通过采用本发明所述的器件结构及制造方法，不仅可以使氧原子扩散至 PMOS 所在的高 k 栅介质材料层中，进而降低 PMOS 器件的阈值电压，
10 且不影响 NMOS 器件的阈值电压，而且还可以避免传统工艺去除 PMOS 侧墙时对栅极及衬底的损伤，从而有效提高器件的整体性能。

附图说明

图 1 示出了根据本发明的第一实施例的半导体器件的制造方法的流程图；

15 图 2-6 示出了根据本发明的第一实施例的半导体器件各个制造阶段的示意图；

图 7 示出了根据本发明的第二实施例的半导体器件的制造方法的流程图；

图 8 示出了根据本发明的第二实施例的半导体器件各个制造阶段的示意图。

具体实施方式

本发明通常涉及半导体器件及其制造方法。下文的公开提供了许多不同的实施例或例子用来实现本发明的不同结构。为了简化本发明的公开，下文中对特定例子的部件和设置进行描述。当然，它们仅仅为示例，并且
25 目的不在于限制本发明。此外，本发明可以在不同例子中重复参考数字和/或字母。这种重复是为了简化和清楚的目的，其本身不指示所讨论各种实施例和/或设置之间的关系。此外，本发明提供了的各种特定的工艺和材料的例子，但是本领域普通技术人员可以意识到其他工艺的可应用于性和/或其他材料的使用。另外，以下描述的第一特征在第二特征之“上”的结构可

以包括第一和第二特征形成为直接接触的实施例，也可以包括另外的特征形成在第一和第二特征之间的实施例，这样第一和第二特征可能不是直接接触。

5 第一实施例

根据本发明的第一实施例，参考图 1，图 1 示出了根据本发明的实施例的半导体器件的制造方法的流程图。在步骤 S101，提供具有 NMOS 区域 201 和 PMOS 区域 202 的半导体衬底 200，其中所述 NMOS 区域 201 与 PMOS 区域 202 相互隔离，参考图 2。在本实施例中，衬底 200 包括位于晶体结构中的硅衬底（例如晶片），还可以包括其他基本半导体或化合物半导体，例如 Ge、GeSi、GaAs、InP、SiC 或金刚石等。根据现有技术公知的设计要求（例如 p 型衬底或者 n 型衬底），衬底 200 可以包括各种掺杂配置。此外，衬底 200 可以可选地包括外延层，可以被应力改变以增强性能，以及可以包括绝缘体上硅（SOI）结构。

15 在步骤 S102，在所述 NMOS 区域 201 的半导体衬底 200 上形成第一栅堆叠 300，在所述 PMOS 区域 202 的半导体衬底 200 上形成第二栅堆叠 400，如图 2 所示。其中所述第一栅堆叠 300 和第二栅堆叠 400 为包括高 k 栅介质和金属栅极的多层栅堆叠结构。在本实施例中，在半导体衬底 200 上依次沉积高 k 介质层为 HfO_2 、金属栅电极为 TiN 以及多晶硅层为多晶硅，
20 而后利用干法或湿法刻蚀技术将其图形化，分别形成属于 NMOS 区域 201 的包括第一高 k 栅介质层 204、第一金属栅电极 208 和第一多晶硅层 212 的第一栅堆叠 300，属于 PMOS 区域 202 的包括第二高 k 栅介质层 206、第二金属栅电极 210 和第二多晶硅层 214 的第二栅堆叠 400，如图 2 所示，这仅仅是作为示例，不局限于此，所述第一栅堆叠 300 和第二栅堆叠 400
25 还可以是包括高 k 栅介质层和金属栅极层的其他多层栅堆叠结构。所述高 k 介质层的材料还可以是 HfZrOX 、 Al_2O_3 或 Gd_2O_3 等。所述金属栅电极的材料还可以是 TaN、 Ta_2C 、HfN、HfC、TiC、Mo 或 Ru 等。所述栅堆叠的沉积可以使用例如化学气相沉积（CVD）、物理气相沉积（PVD）、原子层沉积（ALD）及/或其他合适的工艺等方法形成。

在步骤 S103, 在所述第二栅堆叠 400 的侧壁形成第二侧墙缓冲层 218。如图 3 所示, 先在所述器件上沉积低 k 介质材料层 215, 然后使用 RIE 的方法图形化所述低 k 介质材料层 215, 形成属于 NMOS 区域 201 的第一侧墙缓冲层 216 和属于 PMOS 区域 202 的第二侧墙缓冲层 218, 如图 4 所示。

5 然后将 PMOS 区域 202 掩膜, 使用干法或湿法刻蚀去除 NMOS 区域 201 的第一侧墙缓冲层 216, 在将 PMOS 区域 202 上的掩膜, 从而形成第二栅堆叠 400 的第二侧墙缓冲层 218, 如图 5 所示。其中所述第二侧墙缓冲层 218 的厚度为大约 1 至 100 纳米, 所述第二侧墙缓冲层 218 采用低 k 介质材料形成, 可以是 SiCOH、SiO 或 SiCO 等。所述低 k 介质材料的相对介电常数
10 小于 3.5, 由低 k 材料形成的所述第二侧墙缓冲层具有疏松的结构, 因此可以成为之后氧原子扩散的通道, 且由于缓冲层具有疏松的结构, 较易去除, 所以在去除过程中对栅极及衬底的损伤较小。所述低 k 材料的沉积可以使用例如化学气相沉积 (CVD)、物理气相沉积 (PVD)、原子层沉积 (ALD) 及/或其他合适的工艺等方法形成。

15 在步骤 S104, 在所述第一栅堆叠 300 的侧壁形成第一侧墙 228, 在所述第二侧墙缓冲层 218 的侧壁形成第二侧墙 230, 以及在所述半导体衬底 200 中分别形成属于 NMOS 区域 201 的源/漏延伸区和/或 halo 区 220 以及源极区和漏极区 222 和 PMOS 区域 202 的源/漏延伸区和/或 halo 区 224 以及源极区和漏极区 226, 如图 6 所示。所述第一侧墙 228 和第二侧墙 230
20 可以是多层结构, 可以由氮化硅、氧化硅、氮氧化硅、碳化硅、氟化物掺杂硅玻璃及其组合, 和/或其他合适的材料形成。在本实施例中, 第一侧墙 228 和第二侧墙 230 是两层结构, 通过沉积、刻蚀依次形成第一侧墙层一 228-1 和第二侧墙层二为 Si_3N_4 , 以及第一侧墙层二 228-2 和第二侧墙层二 230-2 为 SiO_2 , 如图 6 所示, 这仅仅是作为示例, 不局限于此。所述侧墙的
25 沉积可以使用例如化学气相沉积 (CVD)、物理气相沉积 (PVD)、原子层沉积 (ALD) 及/或其他合适的工艺等方法形成。

优选地, 在形成源极区和漏极区之前, 可以形成源/漏延伸区和/或 halo 区, 源/漏延伸区和/或 halo 区 220、224 可以通过根据期望的晶体管结构, 注入 p 型或 n 型掺杂物或杂质到 NMOS 区域 201 和 PMOS 区域 202 的衬底

200 中而形成，参考 6。

源极区和漏极区 222、226，可以由包括光刻、离子注入、扩散和/或其他合适工艺的方法形成，参考图 6，根据期望的晶体管结构，注入 p 型或 n 型掺杂物或杂质到 NMOS 区域 201 和 PMOS 区域 202 的衬底 200 中，而后
5 对源/漏极区 222、226 进行退火，以激活掺杂。

在通常的源/漏极区高温退火后，在步骤 S105，对所述器件在氧气环境进行退火，以使氧气环境中的氧气通过所述第二侧墙缓冲层 218 扩散到所述第二栅堆叠 400 的高 k 栅介质层 206 中。所述退火温度为大约 300℃至 800℃，所述退火时间为大约 1 至 3000 秒，所述退火保护气体为 O₂，由于
10 所述第二侧墙缓冲层 218 由疏松结构的低 k 介质材料形成，氧原子可以沿着所述第二侧墙缓冲层 218 的通道，如图 6 箭头所示方向，扩散至第二高 k 栅介质层 206 中，以补充由于工艺集成过程中引起的高 k 栅介质材料的氧空位，进而达到降低 PMOS 阈值电压的作用。

上面对在 PMOS 区域 202 上形成第二侧墙缓冲层 218，并在 NMOS 区域和 PMOS 侧墙形成后进行退火补充氧空位的方法和器件进行了描述。根据本发明第一实施例的方法，只在 PMOS 区域 202 的第二栅堆叠 400 侧壁形成第二侧壁缓冲层 218，NMOS 区域 201 的第一栅堆叠 300 的侧壁直接由第一侧墙 228 覆盖，而且第二侧墙缓冲层 218 为疏松的低 k 材料，如 SiCOH、SiO、SiCO 等。第一侧墙 228 为相对致密的材料，如 Si₃N₄，这样在氧环境高温退火后，氧原子沿着第二侧壁缓冲层 218 扩散至第二高 k 介质层进而降低其 PMOS 器件的阈值电压，而受 Si₃N₄ 第一侧墙 228 的保护，氧原子不会扩散至 NMOS 器件，NMOS 器件的阈值电压将不受影响，此外，高温退火工艺在 NMOS 和 PMOS 有侧墙结构后进行，保护了器件的栅极及衬底不受破坏，有效控制 PMOS 器件的阈值电压以及提高了器件的
25 整体性能。

第二实施例

下面将仅就第二实施例区别于第一实施例的方面进行阐述。未描述的部分应当认为与第一实施例采用了相同的步骤、方法或者工艺来进行，因

此在此不再赘述。

参考图 7，图 7 示出了根据本发明的第二实施例的制造半导体器件的方法的流程图，根据本发明的第二实施例的步骤 S201 至步骤 S204，同第一实施例中的步骤 S101 至步骤 S104 相同，视为与第一实施例采用了相同的步骤、
5 方法或者工艺来进行，在此不再赘述。

在步骤 S205，去除属于所述 PMOS 区域 202 的第二侧墙 230。将 NMOS 区域 201 掩膜，使用干法或湿法刻蚀去除 PMOS 区域 202 的第二侧墙 230，如图 8 所示。

在步骤 S206，对所述器件在氧气环境进行退火，以使氧气环境中的氧气通过所述第二侧墙缓冲层 218 扩散到所述第二栅堆叠 400 的高 k 栅介质层 206 中。所述退火温度为大约 300℃至 800℃，所述退火时间为大约 1 至 3000 秒，所述退火保护气体为 O₂，由于所述第二侧墙缓冲层 218 由疏松结构的低 k 介质材料形成，氧原子可以沿着所述第二侧墙缓冲层 218 的通道的竖直及侧壁方向，如图 8 箭头所示方向，扩散至第二高 k 栅介质层 206
10 中，以补充由于工艺集成过程中引起的高 k 栅介质材料的氧空位，进而达到降低 PMOS 阈值电压的作用，同本发明所述实施例一相比，所述实施例二有更多的方向沿第二侧墙缓冲层 218 的扩散通道实现氧扩散，具有更好的扩散效果。

本发明对在 PMOS 区域 202 上形成第二侧墙缓冲层 218，并在 NMOS 区域侧墙形成后进行退火补充氧空位的方法和器件进行了描述。根据本发明的方法，只在 PMOS 区域 202 的第二栅堆叠 400 侧壁形成第二侧壁缓冲层 218，NMOS 区域 201 的第一栅堆叠 300 的侧壁直接由第一侧墙 228 覆盖，而且第二侧壁缓冲层 218 为疏松的低 k 材料，如 SiCOH、SiO、SiCO。第一侧墙 228 为相对致密的材料，如 Si₃N₄，这样在氧环境高温退火后，
20 氧原子沿着第二侧壁缓冲层 218 扩散至第二高 k 介质层进而降低其 PMOS 器件的阈值电压，而受 Si₃N₄ 第一侧墙 228 的保护，氧原子不会扩散至 NMOS 器件，NMOS 器件的阈值电压将不受影响，有效控制 PMOS 器件的阈值电压以及提高了器件的整体性能。

虽然关于示例实施例及其优点已经详细说明，应当理解在不脱离本发明的

精神和所附权利要求限定的保护范围的情况下,可以对这些实施例进行各种变化、替换和修改。对于其他例子,本领域的普通技术人员应当容易理解在保持本发明保护范围内的同时,工艺步骤的次序可以变化。

此外,本发明的应用范围不局限于说明书中描述的特定实施例的工艺、机构、制造、物质组成、手段、方法及步骤。从本发明的公开内容,作为本领域的普通技术人员将容易地理解,对于目前已存在或者以后即将开发出的工艺、机构、制造、物质组成、手段、方法或步骤,其中它们执行与本发明描述的对应实施例大体相同的功能或者获得大体相同的结果,依照本发明可以对它们进行应用。因此,本发明所附权利要求旨在将这些工艺、机构、制造、物质组成、手段、方法或步骤包含在其保护范围内。

15

20

25

权利要求书

1. 一种制造半导体器件的方法，所述方法包括：

提供具有 NMOS 区域和 PMOS 区域的半导体衬底；

5 在所述 NMOS 区域的半导体衬底上形成第一栅堆叠，在所述 PMOS 区域的半导体衬底上形成第二栅堆叠，其中所述第一栅堆叠的形成包括形成第一高 k 栅介质层和其上的第一金属栅电极，所述第二栅堆叠的形成包括形成第二高 k 栅介质层和其上的第二金属栅电极；

在所述第二栅堆叠的侧壁形成第二侧墙缓冲层，其中所述第二侧墙缓冲层采用低 k 介质材料形成；

10 在所述第一栅堆叠的侧壁形成第一侧墙，并且在所述第二侧墙缓冲层的侧壁形成第二侧墙；

在所述半导体衬底中分别形成属于 NMOS 区域和 PMOS 区域的源极区和漏极区；

15 对所述器件在氧气环境进行退火，以使氧气环境中的氧气通过所述第二侧墙缓冲层扩散到所述第二栅堆叠的第二高 k 栅介质层中。

2. 根据权利要求 1 所述的方法，其中形成所述第二侧墙缓冲层的低 k 介质材料的相对介电常数小于 3.5。

3. 根据权利要求 1 所述的方法，其中形成所述第二侧墙缓冲层的低 k 介质材料包括：SiCOH、SiO 或 SiCO。

20 4. 根据权利要求 1 所述的方法，其中所述第二侧墙缓冲层的厚度为大约 1 至 100 纳米。

5. 根据权利要求 1 所述的方法，其中所述退火温度为大约 300℃ 至 800℃。

25 6. 根据权利要求 1 所述的方法，其中所述退火时间为大约 1 至 3000 秒。

7. 一种制造半导体器件的方法，所述方法包括：

提供具有 NMOS 区域和 PMOS 区域的半导体衬底；

在所述 NMOS 区域的半导体衬底上形成第一栅堆叠，在所述 PMOS 区域的半导体衬底上形成第二栅堆叠，其中所述第一栅堆叠的形成包括形成

第一高 k 栅介质层和其上的第一金属栅电极，所述第二栅堆叠的形成包括形成第二高 k 栅介质层和其上的第二金属栅电极；

在所述第二栅堆叠的侧壁形成第二侧墙缓冲层，其中所述第二侧墙缓冲层采用低 k 介质材料形成；

5 在所述第一栅堆叠的侧壁形成第一侧墙，在所述第二侧墙缓冲层的侧壁形成第二侧墙；

在所述半导体衬底中分别形成属于 NMOS 区域和 PMOS 区域的源极区和漏极区；

去除所述第二侧墙；

10 对所述器件在氧气环境进行退火，以使氧气环境中的氧气通过所述第二侧墙缓冲层扩散到所述第二栅堆叠的第二高 k 栅介质层中。

8. 根据权利要求 7 所述的方法，其中所述低 k 介质材料的相对介电常数小于 3.5。

9. 根据权利要求 7 所述的方法，其中形成所述第二侧墙缓冲层的低 k 15 介质材料包括：SiCOH、SiO 或 SiCO。

10. 根据权利要求 7 所述的方法，其中所述第二侧墙缓冲层的厚度为大约 1 至 100 纳米。

11. 根据权利要求 7 所述的方法，其中所述退火温度为大约 300℃至 800℃。

20 12. 根据权利要求 7 所述的方法，其中所述退火时间为大约 1 至 3000 秒。

13. 一种半导体器件，所述器件包括：

具有 NMOS 区域和 PMOS 区域的半导体衬底，其中所述 NMOS 区域与所述 PMOS 区域相互隔离；

25 形成于所述 NMOS 区域的半导体衬底上的第一栅堆叠和形成于所述 PMOS 区域的半导体衬底上的第二栅堆叠；

形成于半导体衬底中分别属于 NMOS 区域和 PMOS 区域的源极区和漏极区；

其中所述第一栅堆叠包括：第一高 k 栅介质层；形成于所述第一高 k

栅介质层上的第一金属栅电极;

所述第二栅堆叠包括: 第二高 k 栅介质层; 形成于所述第二高 k 栅介质层上的第二金属栅电极;

其中所述第二栅堆叠侧壁有第二侧墙缓冲层, 所述第二侧墙缓冲层可以使器件在氧环境中退火时, 使氧环境中的氧气通过所述第二侧墙缓冲层扩散至所述第二栅堆叠的第二高 k 栅介质层中。

14. 根据权利要求 13 所述的器件, 其中所述第二侧墙缓冲层采用低 k 介质材料形成。

15. 根据权利要求 14 所述的器件, 其中所述低 k 介质材料包括: SiCOH、SiO 和 SiCO。

16. 根据权利要求 13 所述的器件, 其中所述第二侧墙缓冲层的厚度为大约 1 至 100 纳米。

15

20

25

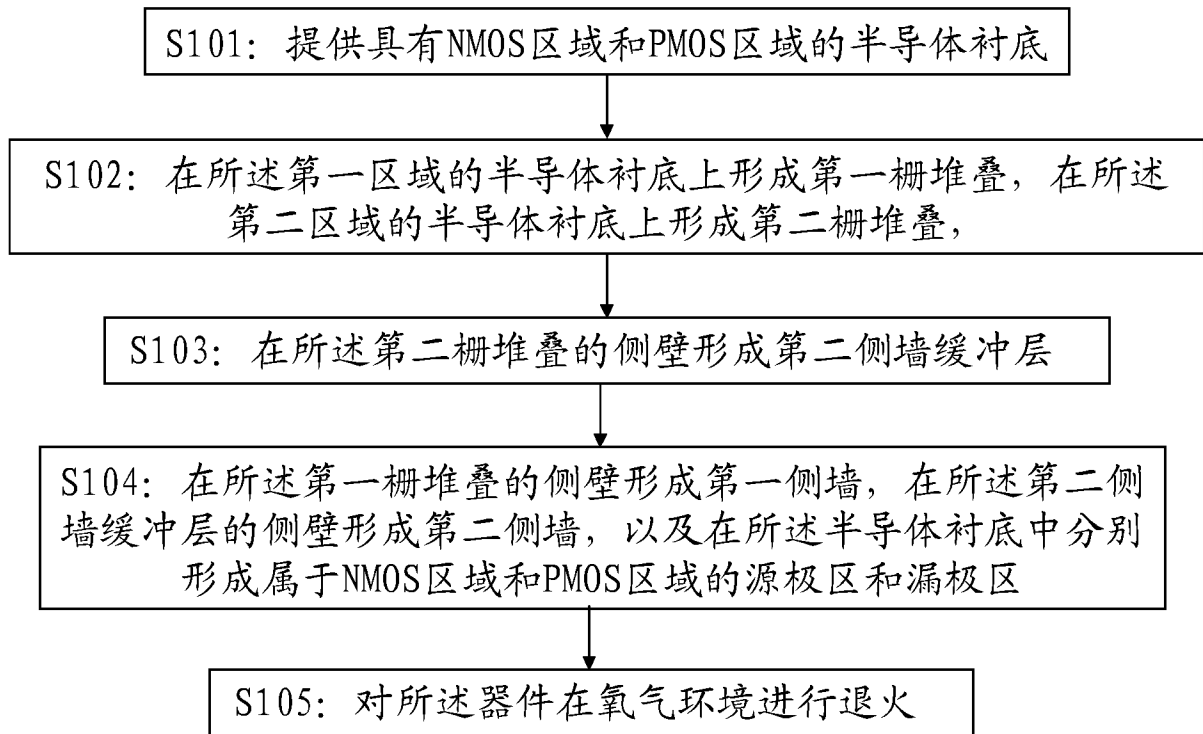


图 1

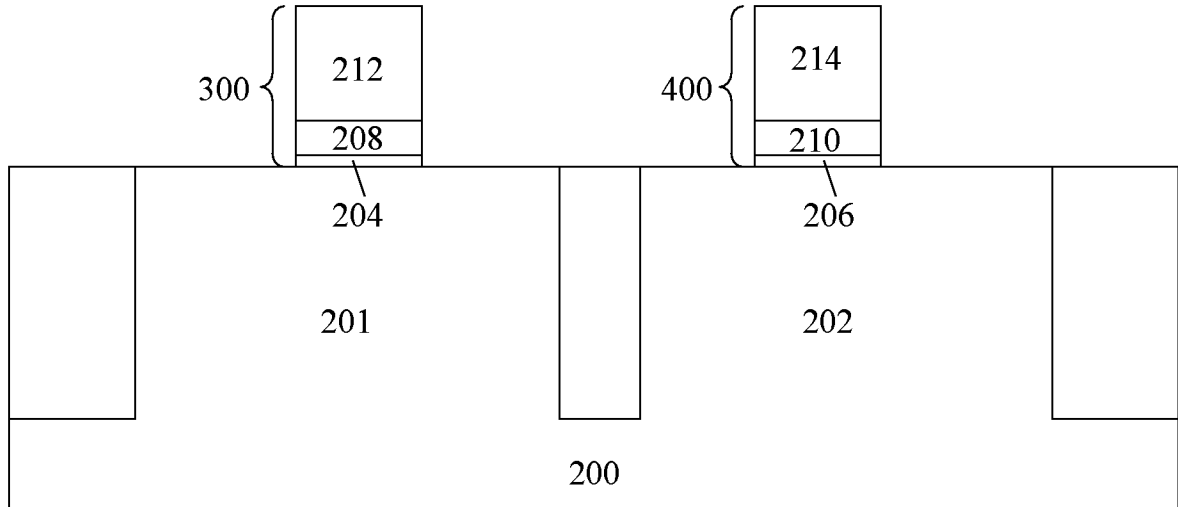


图 2

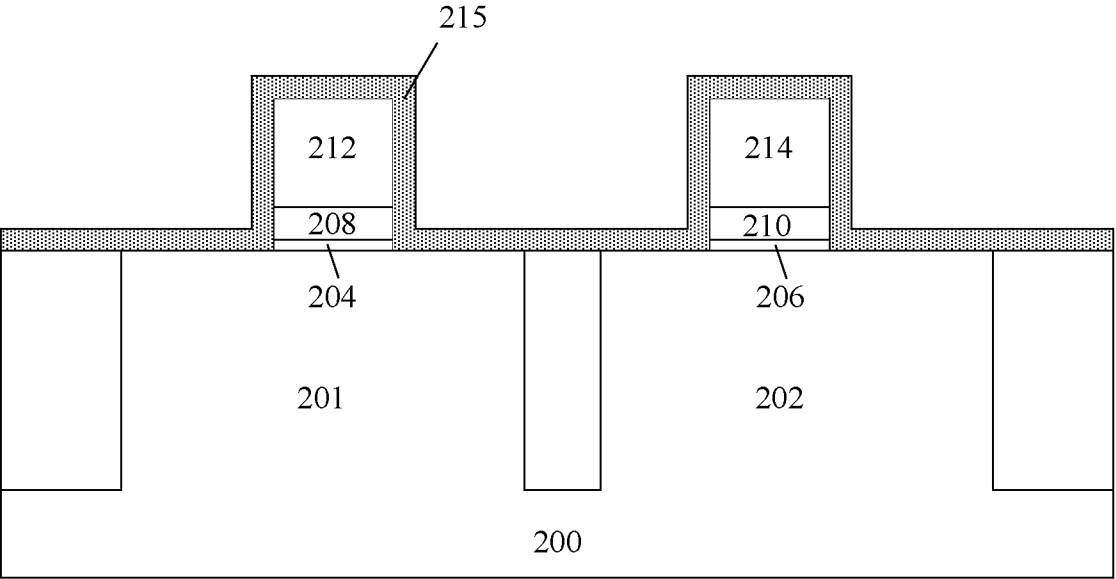


图 3

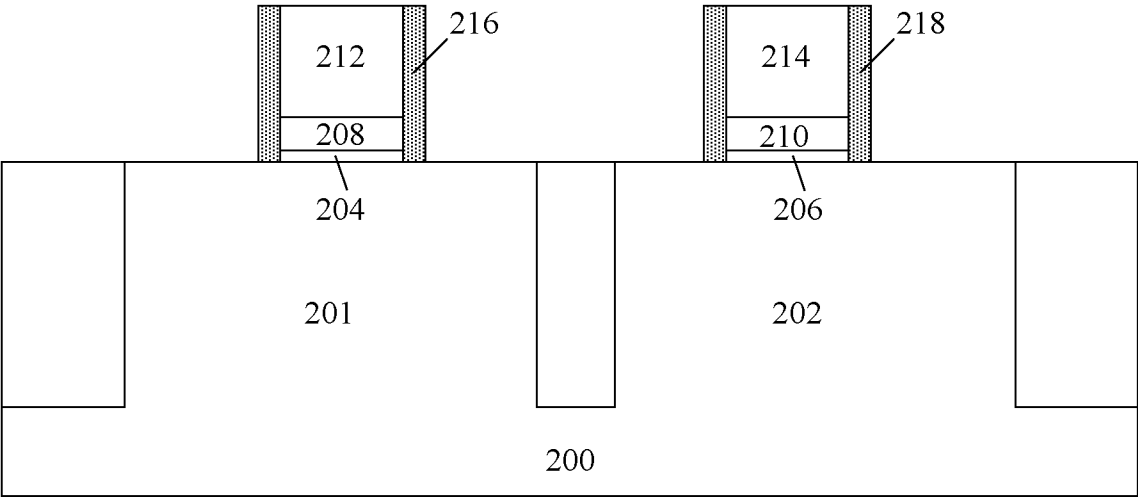


图 4

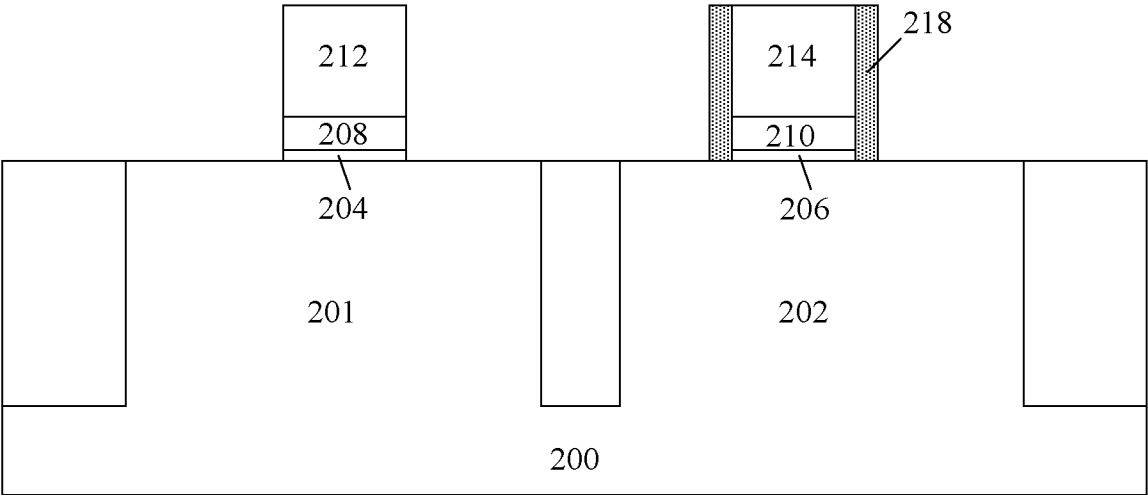


图 5

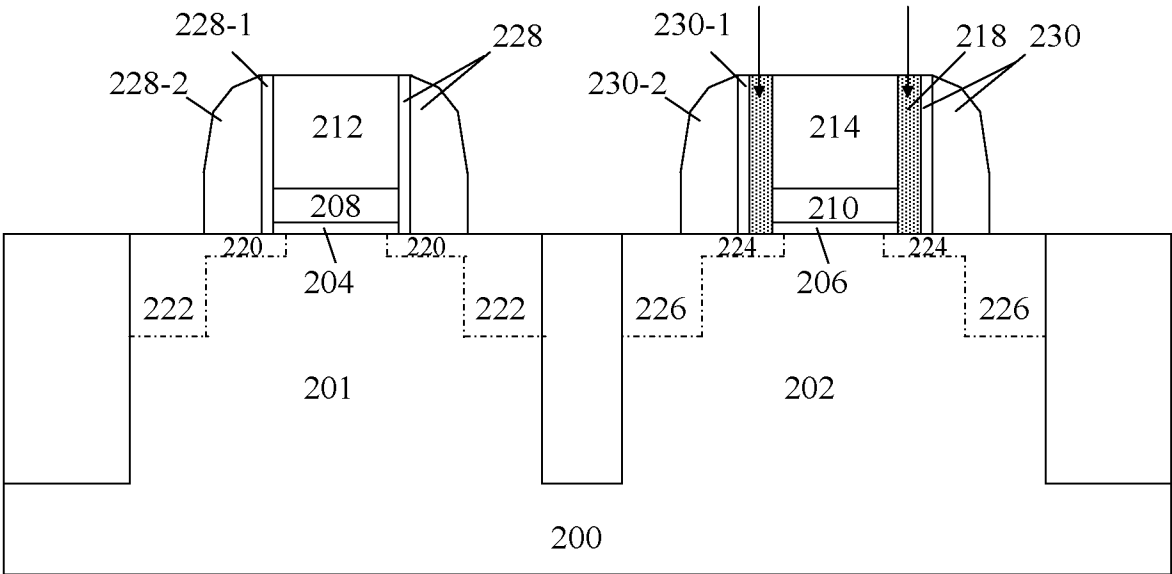


图 6

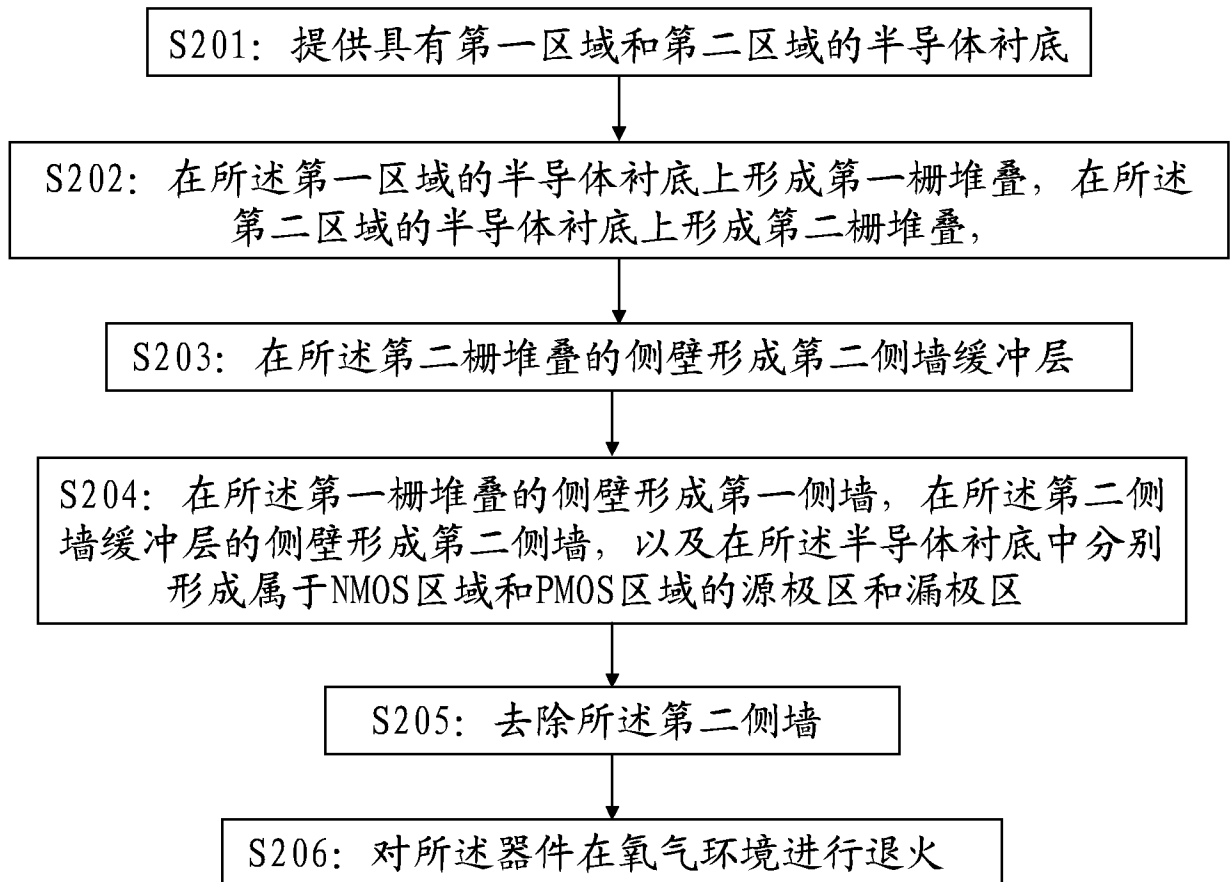


图 7

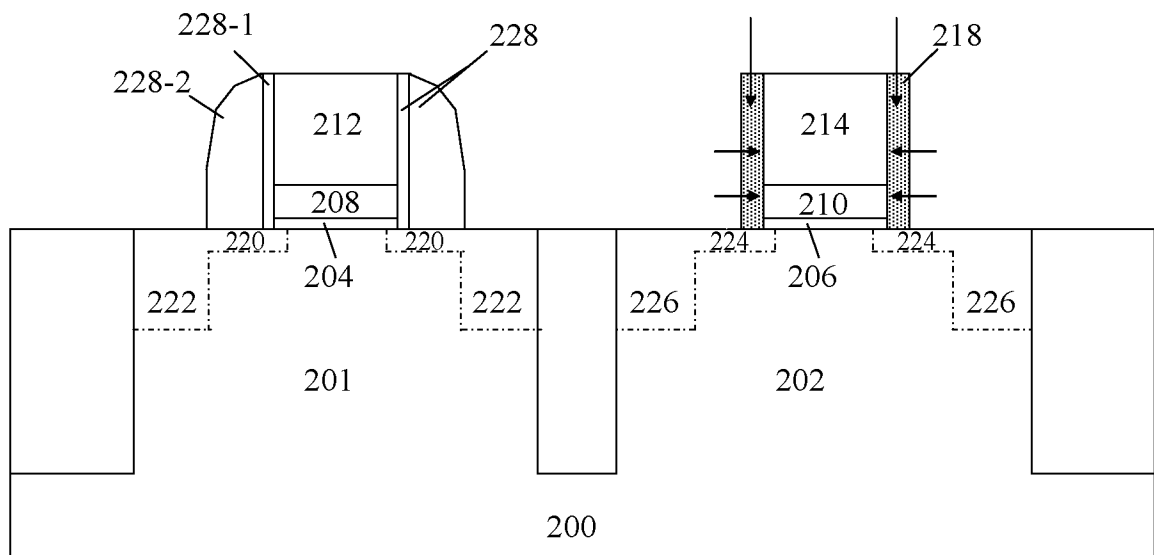


图 8

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2010/074584

A. CLASSIFICATION OF SUBJECT MATTER

See extra sheet

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC:H01L21/-,H01L29/-

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT,CNKI,WPI,EPODOC: semiconductor device complementary metal oxide transistor substrate insulate dielectric constant gate anneal oxygen

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN101425479A(TAIWAN SEMICONDUCTOR MFG CO.,LTD.) 06 May 2009 (06.05.2009) the whole document	1-16
A	CN1437269A(TAIWAN IC MFR CO.,LTD.) 20 Aug.2003(20.08.2003) the whole document	1-16
A	US6596599B1(TAIWAN SEMICONDUCTOR MANUFACTURING COMPANY) 22 Jul.2003 (22.07.2003) the whole document	1-16
A	US2008/0099851A1 (TAIWAN SEMICONDUCTOR MANUFACTURING CO., LTD.) 01 May 2008 (01.05.2008) the whole document	1-16

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“A” document defining the general state of the art which is not considered to be of particular relevance	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“E” earlier application or patent but published on or after the international filing date	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“L” document which may throw doubts on priority claim (S) or which is cited to establish the publication date of another citation or other special reason (as specified)	“&”document member of the same patent family
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 31 Aug. 2010 (31.08.2010)	Date of mailing of the international search report 28 Oct. 2010 (28.10.2010)
Name and mailing address of the ISA/CN The State Intellectual Property Office, the P.R.China 6 Xitucheng Rd., Jimen Bridge, Haidian District, Beijing, China 100088 Facsimile No. 86-10-62019451	Authorized officer WANGLin Telephone No. (86-10)6241 1816

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2010/074584

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN101425479A	06.05.2009	US2009/0108365A1	30.04.2009
		US7625791B1	01.12.2009
CN1437269A	20.08.2003	CN100438070C	26.11.2008
US6596599B1	22.07.2003	US2003/0211684A1	13.11.2003
		US6894357B2	17.05.2005
US2008/0099851A1	01.05.2008	US7378713B2	27.05.2008
		TW200820435A	01.05.2008
		US2008/0188044A1	07.08.2008

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2010/074584

CLASSIFICATION OF SUBJECT MATTER

H01L 21/336(2006.01) i

H01L 29/78 (2006.01) i

国际检索报告

国际申请号
PCT/CN2010/074584

A. 主题的分类

参见附加页

按照国际专利分类(IPC)或者同时按照国家分类和 IPC 两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

IPC:H01L21/-,H01L29/-

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNPAT,CNKI:半导体 器件 互补 金属 氧化物 晶体管 衬底 绝缘 电介质 介电常数 栅极 退火 氧气

WPI,EPODOC: semiconductor device complementary metal oxide transistor substrate insulate dielectric constant gate anneal oxygen

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
A	CN101425479A (台湾积体电路制造股份有限公司) 06.5 月 2009 (06.05.2009) 全文	1-16
A	CN1437269A (台湾积体电路制造股份有限公司) 20.8 月 2003 (20.08.2003) 全文	1-16
A	US6596599B1 (TAIWAN SEMICONDUCTOR MANUFACTURING COMPANY) 22.7 月 2003 (22.07.2003) 全文	1-16
A	US2008/0099851A1 (TAIWAN SEMICONDUCTOR MANUFACTURING CO., LTD.)01.5 月 2008 (01.05.2008) 全文	1-16

☐ 其余文件在 C 栏的续页中列出。

☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期
31.8 月 2010 (31.08.2010)

国际检索报告邮寄日期
28.10 月 2010 (28.10.2010)

ISA/CN 的名称和邮寄地址:
中华人民共和国国家知识产权局
中国北京市海淀区蓟门桥西土城路 6 号 100088
传真号: (86-10)62019451

授权官员

王琳
电话号码: (86-10) **6241 1816**

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2010/074584

检索报告中引用的 专利文件	公布日期	同族专利	公布日期
CN101425479A	06.05.2009	US2009/0108365A1	30.04.2009
		US7625791B1	01.12.2009
CN1437269A	20.08.2003	CN100438070C	26.11.2008
US6596599B1	22.07.2003	US2003/0211684A1	13.11.2003
		US6894357B2	17.05.2005
US2008/0099851A1	01.05.2008	US7378713B2	27.05.2008
		TW200820435A	01.05.2008
		US2008/0188044A1	07.08.2008

主题的分类

H01L 21/336(2006.01) i

H01L 29/78 (2006.01) i