

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2021-190845

(P2021-190845A)

(43) 公開日 令和3年12月13日(2021.12.13)

(51) Int.Cl.

H03G 3/12 (2006.01)

F I

H03G 3/12

B

テーマコード (参考)

5 J 1 0 0

審査請求 未請求 請求項の数 3 O L (全 9 頁)

(21) 出願番号 特願2020-94547 (P2020-94547)
 (22) 出願日 令和2年5月29日 (2020.5.29)

(71) 出願人 000003193
 凸版印刷株式会社
 東京都台東区台東1丁目5番1号
 (74) 代理人 100111763
 弁理士 松本 隆
 (74) 代理人 100163832
 弁理士 後藤 直哉
 (72) 発明者 荒木 啓充
 東京都台東区台東1丁目5番1号 凸版印刷株式会社内
 (72) 発明者 中部 高臣
 東京都台東区台東1丁目5番1号 凸版印刷株式会社内
 Fターム(参考) 5J100 AA02 BA05 BB02 BB07 BB22
 BC05 CA02 CA05 CA19 EA02

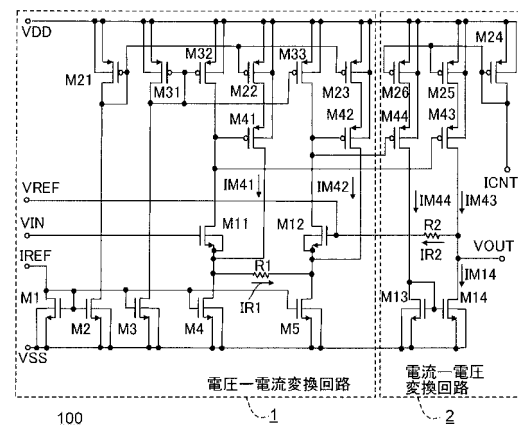
(54) 【発明の名称】 利得制御増幅器

(57) 【要約】

【課題】 利得が入力信号の電圧値に依存しない利得制御増幅器を提供する。

【解決手段】 第1の入力信号VINおよび第2の入力信号VREFの電圧差に応じた電流差を有する第1の電流IM41および第2の電流IM42を生成する電圧-電流変換回路1と、両電流の電流差に応じた電圧の信号VOUTを出力する電流-電圧変換回路2とを有する。電流-電圧変換回路2は、第1の電流に応じた第3の電流IM43を発生する第1の電流源と、第2の電流に応じた第4の電流IM14を発生する第2の電流源と、両電流の差分が流れることにより出力信号VOUTを発生する抵抗R2とを有する。第1の電流源は、利得制御電流ICNTに応じて第1の電流と第3の電流との比例係数を制御する第1の電流制御部を有し、第2の電流源は、利得制御電流ICNTに応じて第2の電流と第4の電流との比例係数を制御する第2の電流制御部を有する。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

第 1 の入力信号および第 2 の入力信号の電圧差に応じた電流差を有する第 1 および第 2 の電流を生成する電圧 - 電流変換回路と、

前記第 1 の電流および前記第 2 の電流の電流差に応じた電圧の信号を出力する電流 - 電圧変換回路と、を有し、

前記電流 - 電圧変換回路は、

前記第 1 の電流に応じた第 3 の電流を発生する第 1 の電流源と、

前記第 2 の電流に応じた第 4 の電流を発生する第 2 の電流源と、

前記第 3 の電流と前記第 4 の電流との差分が与えられることにより前記電流 - 電圧変換回路の出力信号を発生する抵抗と、を有し、 10

前記第 1 の電流源は、利得制御信号に応じて前記第 1 の電流と前記第 3 の電流との比例係数を制御する第 1 の電流制御部を有し、

前記第 2 の電流源は、前記利得制御信号に応じて前記第 2 の電流と前記第 4 の電流との比例係数を制御する第 2 の電流制御部を有することを特徴とする利得制御増幅器。

【請求項 2】

前記電圧 - 電流変換回路は、

第 1 ~ 第 4 のトランジスタを有し、

前記第 1 のトランジスタのゲートに前記第 1 の入力信号が入力され、

前記第 2 のトランジスタのゲートに前記第 2 の入力信号が入力され、 20

前記第 1 のトランジスタのソースと前記第 2 のトランジスタのソースとの間に抵抗が接続され、

前記第 3 のトランジスタは、前記第 1 の電流を前記第 1 のトランジスタのソースに供給するものであり、前記第 1 のトランジスタのドレイン電圧の増減に応じて前記第 1 の電流を増減し、

前記第 4 のトランジスタは、前記第 2 の電流を前記第 2 のトランジスタのソースに供給するものであり、前記第 2 のトランジスタのドレイン電圧の増減に応じて前記第 2 の電流を増減することを特徴とする請求項 1 に記載の利得制御増幅器。

【請求項 3】

前記電流 - 電圧変換回路において、 30

前記第 1 の電流制御部は、前記第 1 の電流源において前記第 3 の電流を発生するトランジスタに直列接続された第 1 の電流制御用トランジスタを含み、

前記第 2 の電流制御部は、前記第 2 の電流源において前記第 4 の電流を発生するトランジスタに直列接続された第 2 の電流制御用トランジスタを含み、

前記第 1 の電流制御用トランジスタの ON 抵抗および前記第 2 の電流制御用トランジスタの ON 抵抗が前記利得制御信号により制御されることを特徴とする請求項 1 または 2 に記載の利得制御増幅器。

【発明の詳細な説明】**【技術分野】****【0001】**

この発明は、制御信号に応じた利得で信号を増幅する利得制御増幅器に関する。 40

【背景技術】**【0002】**

特許文献 1 は、M O S F E T (Metal Oxide Semiconductor Field Effect Transistor ; 金属 - 酸化膜 - 半導体構造のトランジスタ) の ON 抵抗を利用した利得制御増幅器を開示している。この特許文献 1 に開示の技術では、M O S F E T のゲートに与える制御電圧を変化させることにより、M O S F E T の ON 抵抗を変化させ、利得制御増幅器の利得を変化させている。

【先行技術文献】**【特許文献】**

【 0 0 0 3 】

【特許文献 1】特許第 4 0 5 4 7 1 6 号

【発明の概要】

【発明が解決しようとする課題】

【 0 0 0 4 】

ところで、上述した従来の利得制御増幅器は、M O S F E T のソースの電位が、増幅対象である入力信号の電圧値の影響を受ける。このため、従来の利得制御増幅器は、制御電圧が一定である状況においても、入力信号の電圧値の変化により利得が変化する問題があった。

【 0 0 0 5 】

10

この発明は、以上説明した事情に鑑みてなされたものであり、利得が入力信号の電圧値に依存しない利得制御増幅器を提供することを目的とする。

【課題を解決するための手段】

【 0 0 0 6 】

この発明は、第 1 の入力信号および第 2 の入力信号の電圧差に応じた電流差を有する第 1 および第 2 の電流を生成する電圧 - 電流変換回路と、前記第 1 の電流および前記第 2 の電流の電流差に応じた電圧の信号を出力する電流 - 電圧変換回路と、を有し、前記電流 - 電圧変換回路は、前記第 1 の電流に応じた第 3 の電流を発生する第 1 の電流源と、前記第 2 の電流に応じた第 4 の電流を発生する第 2 の電流源と、前記第 3 の電流と前記第 4 の電流との差分が与えられることにより前記電流 - 電圧変換回路の出力信号を発生する抵抗と、を有し、前記第 1 の電流源は、利得制御信号に応じて前記第 1 の電流と前記第 3 の電流との比例係数を制御する第 1 の電流制御部を有し、前記第 2 の電流源は、前記利得制御信号に応じて前記第 2 の電流と前記第 4 の電流との比例係数を制御する第 2 の電流制御部を有することを特徴とする利得制御増幅器を提供する。

20

【 0 0 0 7 】

この発明によれば、電圧 - 電流変換回路において、第 1 の入力信号と第 2 の入力信号との電圧差に応じた電流差を有する第 1 の電流および第 2 の電流が発生し、電流 - 電圧変換回路において、第 1 の電流に応じた第 3 の電流と第 2 の電流に応じた第 4 の電流とが発生し、第 3 の電流と第 4 の電流の電流差に応じた電圧の信号が発生する。そして、利得制御信号に基づいて、第 1 の電流と第 3 の電流との比例係数および第 2 の電流と第 4 の電流の比例係数が制御される。従って、利得を入力信号の電圧値に依存させず、第 1 および第 2 の入力信号を増幅することができる。

30

【図面の簡単な説明】

【 0 0 0 8 】

【図 1】この発明の第 1 実施形態である利得制御増幅器の構成を示す回路図である。

【図 2】この発明の第 2 実施形態である利得制御増幅器の構成を示す回路図である。

【発明を実施するための形態】

【 0 0 0 9 】

以下、図面を参照し、この発明の実施形態について説明する。

【 0 0 1 0 】

40

< 第 1 実施形態 >

図 1 はこの発明の第 1 実施形態である利得制御増幅器 1 0 0 の構成を示す回路図である。この利得制御増幅器 1 0 0 は、複数の M O S F E T (以下、単にトランジスタという。) 、具体的には N チャネルトランジスタ M 1 ~ M 5 および M 1 1 ~ M 1 4 と、 P チャネルトランジスタ M 2 1 ~ M 2 6 、 M 3 1 ~ M 3 3 および M 4 1 ~ M 4 4 とを有する。また、利得制御増幅器 1 0 0 は、各々純抵抗である抵抗 R 1 および R 2 を有する。

【 0 0 1 1 】

図 1 に示すように、利得制御増幅器 1 0 0 の全回路は、電圧 - 電流変換回路 1 と、電流 - 電圧変換回路 2 とに分けることができる。ここで、電圧 - 電流変換回路 1 は、第 1 の入力信号 V I N および第 2 の入力信号 V R E F の電圧差に応じた電流差を有する第 1 の電流

50

IM41および第2の電流IM42を生成する回路である。また、電流 - 電圧変換回路2は、第1の電流IM41および第2の電流IM42の電流差に応じた電圧の信号VOUTを出力する回路である。以下、電圧 - 電流変換回路1の構成を説明し、次いで電流 - 電圧変換回路2の構成を説明する。

【0012】

電圧 - 電流変換回路1において、NチャネルトランジスタM1～M5は、各々のソースおよびバックゲートが低電位電源VSSに接続されている。ここで、NチャネルトランジスタM1は、ドレインおよびゲートが共通接続されており、この共通接続ノードには、定電流源からの基準電流IREFが供給される。そして、NチャネルトランジスタM1のドレインおよびゲートの共通接続ノードは、NチャネルトランジスタM2～M5のゲートに各々接続されている。従って、NチャネルトランジスタM2～M5の各々は、NチャネルトランジスタM1とともにカレントミラーを各々構成し、基準電流IREFに比例した電流値の定電流源として各々機能する。

10

【0013】

PチャネルトランジスタM21～M23は、各々のソースおよびバックゲートが低電位電源VSSより電位の高い高電位電源VDDに接続されている。ここで、PチャネルトランジスタM21は、ドレインおよびゲートが共通接続されており、この共通接続ノードには、NチャネルトランジスタM2のドレインが接続される。そして、PチャネルトランジスタM21のドレインおよびゲートの共通接続ノードは、PチャネルトランジスタM22およびM23のゲートに各々接続されている。このような構成において、PチャネルトランジスタM21には、基準電流IREFに依存したゲート電圧が発生し、このゲート電圧がPチャネルトランジスタM22およびM23に与えられる。従って、PチャネルトランジスタM22およびM23の各々のON抵抗は、PチャネルトランジスタM21のゲート電圧を決定する基準電流IREFに依存した抵抗値となる。

20

【0014】

PチャネルトランジスタM31～M33は、各々のソースおよびバックゲートが高電位電源VDDに接続されている。ここで、PチャネルトランジスタM31は、ドレインおよびゲートが共通接続されており、この共通接続ノードには、NチャネルトランジスタM3のドレインが接続される。そして、PチャネルトランジスタM31のドレインおよびゲートの共通接続ノードは、PチャネルトランジスタM32およびM33のゲートに各々接続されている。従って、PチャネルトランジスタM32およびM33の各々は、PチャネルトランジスタM31、NチャネルトランジスタM3およびM1とともにカレントミラーを各々構成し、基準電流IREFに比例した電流値の定電流源として各々機能する。

30

【0015】

電圧 - 電流変換回路1において、第1のトランジスタであるNチャネルトランジスタM11のゲートには第1の入力信号VINが与えられる。このNチャネルトランジスタM11は、ソースおよびバックゲートが共通接続されており、この共通接続ノードには定電流源として機能するNチャネルトランジスタM4のドレインが接続されている。第2のトランジスタであるNチャネルトランジスタM12のゲートには第2の入力信号VREFが与えられる。このNチャネルトランジスタM12は、ソースおよびバックゲートが共通接続されており、この共通接続ノードには定電流源として機能するNチャネルトランジスタM5のドレインが接続されている。そして、NチャネルトランジスタM11およびM12の各ソース間には抵抗R1が接続されている。

40

【0016】

NチャネルトランジスタM11のドレインには定電流源として機能するPチャネルトランジスタM32のドレインが接続される。第3のトランジスタであるPチャネルトランジスタM41は、バックゲートが高電位電源VDDに接続され、ソースがPチャネルトランジスタM22のドレインに接続され、ゲートがNチャネルトランジスタM11のドレインに接続され、ドレインがNチャネルトランジスタM11のソースに接続される。

【0017】

50

NチャネルトランジスタM 1 2のドレインには定電流源として機能するPチャネルトランジスタM 3 3のドレインが接続される。第4のトランジスタであるPチャネルトランジスタM 4 2は、バックゲートが高電位電源V D Dに接続され、ソースがPチャネルトランジスタM 2 3のドレインに接続され、ゲートがNチャネルトランジスタM 1 2のドレインに接続され、ドレインがNチャネルトランジスタM 1 2のソースに接続される。

【0018】

電圧 - 電流変換回路1では、第3のトランジスタであるPチャネルトランジスタM 4 1が、第1の電流を第1のトランジスタであるトランジスタM 1 1のソースに供給し、第1のトランジスタのドレイン電圧の増減に応じて第1の電流を増減することにより、第1のトランジスタのコンダクタンスを一定に保つ。また、第4のトランジスタであるPチャネルトランジスタM 4 2が、第2の電流を第2のトランジスタであるトランジスタM 1 2のソースに供給し、第2のトランジスタのドレイン電圧の増減に応じて第2の電流を増減することにより、第2のトランジスタのコンダクタンスを一定に保つ。

【0019】

さらに詳述すると、例えば第1の入力信号V I Nのレベルが高くなり、NチャネルトランジスタM 1 1のコンダクタンスが高くなると、NチャネルトランジスタM 1 1のドレイン電圧が低下することによりPチャネルトランジスタM 4 1のドレイン電流（第1の電流）が増加する。これによりNチャネルトランジスタM 1 1のソース電圧が高くなり、NチャネルトランジスタM 1 1のコンダクタンスが低下する。また、第2の入力信号V R E Fのレベルが高くなり、NチャネルトランジスタM 1 2のコンダクタンスが高くなると、NチャネルトランジスタM 1 2のドレイン電圧が低下することによりPチャネルトランジスタM 4 2のドレイン電流（第2の電流）が増加する。これによりNチャネルトランジスタM 1 2のソース電圧が高くなり、NチャネルトランジスタM 1 2のコンダクタンスが低下する。

【0020】

このようなPチャネルトランジスタM 4 1による帰還制御およびPチャネルトランジスタM 4 2による帰還制御が行われることにより、NチャネルトランジスタM 1 1およびM 1 2に流れる電流は、第1の入力信号V I Nおよび第2の入力信号V R E Fが変化したとしても一定となる。その一方、PチャネルトランジスタM 4 1およびM 4 2が、NチャネルトランジスタM 1 1のゲートに与えられる第1の入力信号V I Nと、NチャネルトランジスタM 1 2のゲートに与えられるおよび第2の入力信号V R E Fとの電圧差を吸収する。例えば第1の入力信号V I Nのレベルが第2の入力信号V R E Fのレベルよりも高い場合、そのレベル差分だけNチャネルトランジスタM 1 1のソース電圧がNチャネルトランジスタM 1 2のソース電圧よりも高くなり、電流 $I_{R1} = (V_{IN} - V_{REF}) / R_1$ が抵抗R 1に流れる。そして、PチャネルトランジスタM 4 1に流れるドレイン電流（第1の電流） I_{M41} と、PチャネルトランジスタM 4 2に流れるドレイン電流（第2の電流） I_{M42} との間に、第1の入力信号V I Nおよび第2の入力信号V R E Fの電圧差に応じた電流差、すなわち、電流 I_{R1} 相当の電流差が生じる。

以上が電圧 - 電流変換回路1の構成である。

【0021】

次に電流 - 電圧変換回路2の構成について説明する。電流 - 電圧変換回路2において、PチャネルトランジスタM 2 4 ~ M 2 6は、各々のソースおよびバックゲートが高電位電源V D Dに接続されている。ここで、PチャネルトランジスタM 2 4は、ドレインおよびゲートが共通接続されており、この共通接続ノードには、制御電流源から利得制御電流I C N Tが供給される。そして、PチャネルトランジスタM 2 4のドレインおよびゲートの共通接続ノードは、PチャネルトランジスタM 2 5およびM 2 6のゲートに各々接続されている。このような構成において、PチャネルトランジスタM 2 4には、利得制御電流I C N Tに依存したゲート電圧が発生し、このゲート電圧がPチャネルトランジスタM 2 5およびM 2 6に与えられる。従って、PチャネルトランジスタM 2 5およびM 2 6の各々のON抵抗は、PチャネルトランジスタM 2 4のゲート電圧を決定する利得制御電流I C

N Tに依存した抵抗値となる。

【 0 0 2 2 】

PチャネルトランジスタM 4 3は、バックゲートが高電位電源V D Dに接続され、ソースがPチャネルトランジスタM 2 5のドレインに接続され、ゲートがPチャネルトランジスタM 4 1のゲートに接続されている。従って、PチャネルトランジスタM 4 3に流れるドレイン電流である第3の電流I M 4 3は、電圧 - 電流変換回路1のPチャネルトランジスタM 4 1が発生する第1の電流I M 4 1に依存する。

【 0 0 2 3 】

この場合の第3の電流I M 4 3は、PチャネルトランジスタM 2 5のON抵抗による制限を受け、第1の電流I M 4 1と第3の電流I M 4 3との比例係数は、PチャネルトランジスタM 2 5のON抵抗に依存する。そして、PチャネルトランジスタM 2 5のON抵抗は、利得制御電流I C N Tに依存する。

10

【 0 0 2 4 】

このように電流 - 電圧変換回路2において、PチャネルトランジスタM 4 3およびM 2 5は、第1の電流I M 4 1に応じた第3の電流I M 4 3を発生する第1の電流源として機能する。また、PチャネルトランジスタM 2 5は、第1の電流I M 4 1と第3の電流I M 4 3との比例係数を利得制御電流I C N Tに応じて制御する第1の電流制御部として機能する。

【 0 0 2 5 】

また、PチャネルトランジスタM 4 4は、バックゲートが高電位電源V D Dに接続され、ソースがPチャネルトランジスタM 2 6のドレインに接続され、ゲートがPチャネルトランジスタM 4 2のゲートに接続されている。従って、PチャネルトランジスタM 4 4に流れるドレイン電流は、電圧 - 電流変換回路1のPチャネルトランジスタM 4 2が発生する第2の電流I M 4 2に依存する。

20

【 0 0 2 6 】

そして、PチャネルトランジスタM 4 4のドレインは、NチャネルトランジスタM 1 3のドレインおよびゲートに接続され、このNチャネルトランジスタM 1 3のソースおよびバックゲートは低電位電源V S Sに接続されている。また、NチャネルトランジスタM 1 4は、ソースおよびバックゲートが低電位電源V S Sに接続され、ゲートがNチャネルトランジスタM 1 3のゲートおよびドレインに接続されている。

30

【 0 0 2 7 】

このNチャネルトランジスタM 1 4に流れるドレイン電流である第4の電流I M 1 4は、PチャネルトランジスタM 4 4に流れるドレイン電流に比例した電流となる。従って、第4の電流I M 1 4は、第2の電流I M 4 2に依存した電流となる。一方、PチャネルトランジスタM 4 4に流れるドレイン電流は、PチャネルトランジスタM 2 6のON抵抗による制限を受ける。従って、第4の電流I M 1 4は、第2の電流I M 4 2に依存し、かつ、第2の電流I M 4 2と第4の電流I M 1 4との比例係数はPチャネルトランジスタM 2 6のON抵抗に依存することとなる。そして、PチャネルトランジスタM 2 6のON抵抗は、利得制御電流I C N Tに依存する。

【 0 0 2 8 】

40

このように電流 - 電圧変換回路2において、NチャネルトランジスタM 1 4、M 1 3およびPチャネルトランジスタM 4 4、M 2 6は、電圧 - 電流変換回路1の第2の電流I M 4 2に応じた第4の電流I M 1 4を発生する第2の電流源として機能する。また、PチャネルトランジスタM 2 6は、第2の電流I M 4 2と第4の電流I M 1 4との比例係数を利得制御電流I C N Tに応じて制御する第2の電流制御部として機能する。

【 0 0 2 9 】

そして、電流 - 電圧変換回路2では、PチャネルトランジスタM 4 3のドレインとNチャネルトランジスタM 1 4のドレインとが共通接続されており、この共通接続ノードに利得制御増幅器1 0 0の出力信号V O U Tが発生する。そして、PチャネルトランジスタM 4 3のドレインおよびNチャネルトランジスタM 1 4のドレインの共通接続ノードと電圧

50

- 電流変換回路 1 における N チャネルトランジスタ M 1 2 のゲートとの間に抵抗 R 2 が接続されている。電流 - 電圧変換回路 2 では、P チャネルトランジスタ M 4 3 に流れる第 3 の電流 I M 4 3 と、N チャネルトランジスタ M 1 4 に流れる第 4 の電流 I M 1 4 との差分に相当する電流が抵抗 R 2 に流れることにより出力信号 V O U T が発生する。

以上が電流 - 電圧変換回路 2 の構成である。

【 0 0 3 0 】

次に本実施形態の動作について説明する。

本実施形態において、第 1 の入力信号 V I N および第 2 の入力信号 V R E F が N チャネルトランジスタ M 1 1 および M 1 2 の各ゲートに与えられると、第 1 の入力信号 V I N および第 2 の入力信号 V R E F の電圧差に応じた電流 I R 1 = (V I N 1 - V R E F) / R 1 が抵抗 R 1 に流れる。また、電圧 - 電流変換回路 1 の P チャネルトランジスタ M 4 1 に流れる第 1 の電流 I M 1 1 と、P チャネルトランジスタ M 4 2 に流れる第 2 の電流 I M 1 2 との間に、第 1 の入力信号 V I N および第 2 の入力信号 V R E F の電圧差に応じた電流差 I R 1 = (V I N 1 - V R E F) / R 1 が生じる。

【 0 0 3 1 】

電流 - 電圧変換回路 2 では、第 1 の電流源により第 3 の電流 I M 4 3 が P チャネルトランジスタ M 4 3 に流れ、第 2 の電流源により第 4 の電流 I M 1 4 が N チャネルトランジスタ M 1 4 に流れる。この結果、第 3 の電流と第 4 の電流の差分が抵抗 R 2 に流れ、出力信号 V O U T が発生する。この出力信号 V O U T は、次式により与えられる。

$$V O U T = V R E F + (I M 4 3 - I M 1 4) \cdot R 2 \quad \dots \dots (1)$$

【 0 0 3 2 】

ここで、第 3 の電流 I M 4 3 は、電圧 - 電流変換回路 1 に発生する第 1 の電流 I M 4 1 に依存し、第 4 の電流 I M 1 4 は、電圧 - 電流変換回路 1 に発生する第 2 の電流 I M 4 2 に依存するので、次式のように表すことができる。

$$I M 4 3 = k 1 \cdot I M 4 1 \quad \dots \dots (2)$$

$$I M 1 4 = k 2 \cdot I M 4 2 \quad \dots \dots (3)$$

【 0 0 3 3 】

そして、第 1 の電流源における第 1 の電流 I M 4 1 と第 3 の電流 I M 4 3 との比例係数 k 1 と、第 2 の電流源における第 2 の電流 I M 4 2 と第 4 の電流 I M 1 4 との比例係数 k 2 とが同じであり、k 1 = k 2 = k である状況では、上記式 (1) を次式のように変形することができる。

$$\begin{aligned} V O U T &= V R E F + k \cdot (I M 4 1 - I M 4 2) \cdot R 2 \\ &= V R E F + k \cdot ((V I N - V R E F) / R 1) \cdot R 2 \\ &= V R E F + k \cdot (R 2 / R 1) \cdot (V I N - V R E F) \quad \dots \dots (4) \end{aligned}$$

【 0 0 3 4 】

従って、利得 G は次式のようになる。

$$\begin{aligned} G &= (V O U T - V R E F) / (V I N - V R E F) \\ &= k \cdot (R 2 / R 1) \quad \dots \dots (5) \end{aligned}$$

【 0 0 3 5 】

上記式 (5) における k は、第 1 の電流源の電流路に挿入された P チャネルトランジスタ M 2 5 の ON 抵抗と、第 2 の電流源の電流路に挿入された P チャネルトランジスタ M 2 6 の ON 抵抗とに依存し、両 ON 抵抗が小さくなる程、k は大きくなる。従って、利得制御電流 I C N T の電流値を変えることにより上記式 (5) の k を変化させ、利得制御増幅器 1 0 0 の利得 G を変化させることができる。

【 0 0 3 6 】

上記式 (5) にも示されるように、利得制御増幅器 1 0 0 の利得 G は、入力信号 V I N および V R E F の電圧値に依存しない。このように本実施形態によれば、利得が入力信号の電圧値に依存しない利得制御増幅器を実現することができる。

【 0 0 3 7 】

< 第 2 実施形態 >

10

20

30

40

50

図 2 はこの発明の第 2 実施形態である利得制御増幅器 100A の構成を示す回路図である。なお、この図 2 において、上記第 1 実施形態と共通する部分には同じ符号を付し、その説明を省略する。

【0038】

本実施形態における電圧 - 電流変換回路 1A では、Pチャネルトランジスタ M22 および M23 が削除されている。そして、Pチャネルトランジスタ M22 の代わりに、Pチャネルトランジスタ M41 と同じゲート電圧が与えられる Pチャネルトランジスタ M41a が設けられている。また、Pチャネルトランジスタ M23 の代わりに、Pチャネルトランジスタ M42 と同じゲート電圧が与えられる Pチャネルトランジスタ M42a が設けられている。また、Pチャネルトランジスタ M22 および M23 が削除されたことにより、これらにゲート電圧を供給する Pチャネルトランジスタ M21 が不要になった。このため、Pチャネルトランジスタ M21 と、これに電流を供給する Nチャネルトランジスタ M2 が削除されている。

10

【0039】

本実施形態では、直列接続された Pチャネルトランジスタ M41 および M41a が Nチャネルトランジスタ M11 のコンダクタンスを一定に保つ制御を行う。また、直列接続された Pチャネルトランジスタ M42 および M42a が Nチャネルトランジスタ M12 のコンダクタンスを一定に保つ制御を行う。

本実施形態においても、上記第 1 実施形態と同様な効果が得られる。

【0040】

20

< 他の実施形態 >

以上、この発明の各実施形態について説明したが、この発明には、これ以外にも他の実施形態が考えられる。

【0041】

(1) 上記各実施形態では、電界効果トランジスタにより利得制御増幅器を構成したが、バイポーラトランジスタにより利得制御増幅器を構成してもよい。

【0042】

(2) 上記各実施形態において、Pチャネルのトランジスタを Nチャネルのトランジスタに変更し、Nチャネルのトランジスタを Pチャネルのトランジスタに変更し、高電位電源と低電位電源とを入れ替えてもよい。

30

【0043】

(3) 抵抗 R1 および R2 は、利得制御増幅器を構成するトランジスタが形成される半導体基板と同じ基板に形成された抵抗であってもよく、利得制御増幅器の外付けの抵抗であってもよい。また、抵抗 R1 および R2 の一方または他方を温度センサ、圧力センサ等のセンサに置き換え、あるいはこれらのセンサと組み合わせてもよい。

【0044】

(4) 上記第 1 および第 2 実施形態では、Pチャネルトランジスタ M25 および M26 の ON 抵抗を変化させるために、利得制御電流 ICNT の与えられる Pチャネルトランジスタ M24 に発生するゲート電圧を Pチャネルトランジスタ M25 および M26 に与えたが、ON 抵抗を変化させるための手段はこれに限定されるものではない。他の任意の回路により Pチャネルトランジスタ M25 および M26 の各ゲートに与える電圧を調整すればよい。

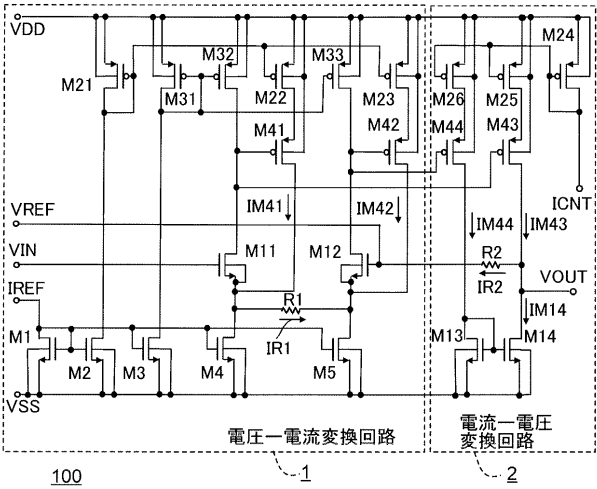
40

【符号の説明】

【0045】

100, 100A ... 利得制御増幅器、1, 1A ... 電圧 - 電流変換回路、2 ... 電流 - 電圧変換回路、M1 ~ M5, M11 ~ M14 ... Nチャネルトランジスタ、M21 ~ M26, M31 ~ M33, M41 ~ M44, M41a, M42a ... Pチャネルトランジスタ。

【 図 1 】



【 図 2 】

