



(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl. (11) 공개번호 10-2007-0038798
H01L 23/12 (2006.01) (43) 공개일자 2007년04월11일

(21) 출원번호 10-2005-0094090
(22) 출원일자 2005년10월07일
심사청구일자 없음

(71) 출원인 삼성전자주식회사
경기도 수원시 영통구 매탄동 416

(72) 발명자 한성일
경기 수원시 영통구 영통동 1005-12번지 307호
양운석
서울 성북구 길음1동 삼부아파트 105-508
이강욱
경기 수원시 영통구 영통동 988번지 신명아파트 631-501
권용재
경기 수원시 영통구 망포동 520-6 조은빌라 206-301
마금희
경상북도 안동시 평화동 영남맨션 A-602호

(74) 대리인 박영우

전체 청구항 수 : 총 5 항

(54) 확장형 적층 반도체 패키지 및 이의 제조 방법

(57) 요약

확장형 적층 반도체 패키지 및 이의 제조 방법이 개시되어 있다. 적층 반도체 패키지는 기판, 데이터 저장 칩들, 컨트롤 칩, 제1 입/출력부들 및 제2 입/출력부들을 포함한다. 기판은 회로패턴을 갖고, 데이터 저장 칩들은 복수개가 수직하게 적층되며, 각각 데이터를 저장하기 위한 데이터 저장 셀을 갖는다. 컨트롤 칩은 데이터 저장 칩의 상부에 배치되어 각 데이터 저장 칩들을 제어하기 위한 제어 신호를 발생한다. 제1 입/출력부들은 회로패턴, 데이터 저장 칩들 및 컨트롤 칩을 전기적으로 연결하여 제어신호에 대응하는 데이터를 회로패턴으로 전송하고, 제2 입/출력부들은 데이터 저장 칩들 및 컨트롤 칩을 전기적으로 연결하여 제어 신호를 데이터 저장 칩들로 인가한다.

대표도

도 1

특허청구의 범위

청구항 1.

회로패턴이 형성된 기관;

복수개가 수직하게 적층 되며, 각각 데이터를 저장하기 위한 데이터 저장 셀을 갖는 데이터 저장 칩들;

상기 데이터 저장 칩의 상부에 배치되어 상기 각 데이터 저장 칩들을 제어하기 위한 제어 신호를 발생하는 메모리 셀 어레이 제어 회로를 포함하는 컨트롤 칩;

상기 회로패턴, 상기 데이터 저장 칩들 및 상기 컨트롤 칩을 전기적으로 연결하여 상기 제어신호에 대응하는 상기 데이터를 상기 회로패턴으로 전송하기 위한 제1 입/출력부들; 및

상기 데이터 저장 칩들 및 상기 컨트롤 칩을 전기적으로 연결하여 상기 제어 신호를 상기 데이터 저장 칩들로 인가하는 제2 입/출력부들을 포함하는 적층 반도체 패키지.

청구항 2.

제1항에 있어서, 상기 제1 입/출력부들은 상기 데이터 저장 칩들을 관통하는 관통 비아(through-via)인 것을 특징으로 하는 적층 반도체 패키지.

청구항 3.

제1항에 있어서, 상기 컨트롤 칩 및 상기 데이터 저장 칩들은 보호 부재에 의하여 봉지(encapsulation)된 것을 특징으로 하는 적층 반도체 패키지.

청구항 4.

데이터를 저장하기 위한 데이터 저장 셀 및 상기 데이터를 입/출입하기 위한 제1 입/출력부 및 상기 데이터 저장 셀을 제어하기 위한 제어 신호가 인가되는 제2 입/출력부를 갖는 복수개의 데이터 저장 칩을 각각 제조하는 단계;

상기 제어 신호를 발생하는 메모리 셀 어레이 제어 회로 및 상기 제1 입/출력부와 대응하는 제1 제어신호 입/출력부 및 상기 제2 입/출력부와 대응하는 제2 제어신호 입/출력부를 갖는 컨트롤 칩을 제조하는 단계;

기관에 형성된 회로 패턴에 최하부 데이터 저장 칩의 상기 제1 및 제2 입/출력부를 연결하는 단계;

상기 각 데이터 저장 칩들이 제1 및 제2 입/출력부들을 상호 연결시켜 상기 데이터 저장 칩들을 수직 적층 하는 단계; 및

최상부 상기 데이터 저장 칩의 상기 제1 및 제2 입/출력부 및 상기 컨트롤 칩의 제1 및 제1 제어신호 입/출력부 연결하는 단계를 포함하는 것을 특징으로 하는 적층 반도체 패키지의 제조 방법.

청구항 5.

제1 항에 있어서, 상기 컨트롤 칩 및 상기 데이터 저장 칩들을 연결한 후, 상기 컨트롤 칩 및 상기 데이터 저장 칩들은 에폭시 수지에 의하여 봉지 되는 것을 특징으로 하는 적층 반도체 패키지의 제조 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 메모리의 용량 확장이 용이한 적층형 반도체 패키지 및 이의 제조 방법에 관한 것이다. 보다 구체적으로, 본 발명은 데이터 저장 용량을 확장할 수 있는 적층형 반도체 패키지 및 이의 제조 방법에 관한 것이다.

일반적으로, 반도체 제품(semiconductor device)은 실리콘 기판(silicon substrate) 상에 집적 회로(integrated circuit)를 갖는 반도체칩(semiconductor chip)을 제조하기 위한 반도체칩 제조 공정, 반도체칩을 전기적으로 검사하여 소팅(sorting)하기 위한 EDS(electrically die sorting) 공정 및 반도체칩을 보호하기 위한 패키지 공정에 의하여 제조된다.

최근에는 반도체 제품의 집적도를 보다 향상시키기 위해, 칩 스케일 패키지(chip scale package, CSP), 적층 패키지(stacked package) 등이 개발된 바 있다.

그러나, 대부분 반도체 패키지에 포함된 칩들은 각각 데이터를 저장하기 위한 데이터 저장 셀 및 데이터 저장 셀의 주변에 배치되어 데이터의 입/출력을 제어하는 주변 회로부를 갖는다.

한편, 반도체 패키지에 포함된 칩들은 데이터 저장 용량을 증가시키기 위해서는 데이터 저장 셀 및 주변 회로부를 가능한 작은 면적으로 새로 디자인 해야 하므로 개발에 있어 시간적, 공정적 문제점을 갖는다.

발명이 이루고자 하는 기술적 과제

본 발명의 실시예들은 데이터 저장 용량을 크게 증가시킨 적층 반도체 패키지를 제공한다.

본 발명의 실시예들은 상기 적층 반도체 패키지의 제조 방법을 제공한다.

발명의 구성

이와 같은 본 발명의 하나의 목적을 구현하기 위한 적층 반도체 패키지는 기판, 데이터 저장 칩들, 컨트롤 칩, 제1 입/출력부들 및 제2 입/출력부들을 포함한다. 기판은 회로패턴을 갖고, 데이터 저장 칩들은 복수개가 수직하게 적층되며, 각각 데이터를 저장하기 위한 데이터 저장 셀을 갖는다. 컨트롤 칩은 데이터 저장 칩의 상부에 배치되어 각 데이터 저장 칩들을 제어하기 위한 제어 신호를 발생한다. 제1 입/출력부들은 회로패턴, 데이터 저장 칩들 및 컨트롤 칩을 전기적으로 연결하여 제어신호에 대응하는 데이터를 회로패턴으로 전송하고, 제2 입/출력부들은 데이터 저장 칩들 및 컨트롤 칩을 전기적으로 연결하여 제어 신호를 데이터 저장 칩들로 인가한다.

본 발명의 다른 목적을 구현하기 위한 적층 반도체 패키지의 제조 방법은 데이터를 저장하기 위한 데이터 저장 셀 및 데이터를 입/출입하기 위한 제1 입/출력부 및 데이터 저장 셀을 제어하기 위한 제어 신호가 인가되는 제2 입/출력부를 갖는 복수개의 데이터 저장 칩을 각각 제조한다. 제어 신호를 발생하는 메모리 셀 어레이 제어 회로 및 제1 입/출력부와 대응하는 제1 제어신호 입/출력부 및 제2 입/출력부와 대응하는 제2 제어신호 입/출력부를 갖는 컨트롤 칩을 제조한다. 기판에 형성된 회로 패턴에 최하부 데이터 저장 칩의 제1 및 제2 입/출력부를 연결 및 각 데이터 저장 칩들이 제1 및 제2 입/출력부들을 상호 연결시켜 상기 데이터 저장 칩들을 수직 적층 한다. 이어서, 최상부 데이터 저장 칩의 제1 및 제2 입/출력부 및 컨트롤 칩의 제1 및 제1 제어신호 입/출력부 연결한다.

이하, 첨부된 도면들을 참조하여 본 발명의 바람직한 실시예들에 따른 적층 반도체 패키지 및 적층 반도체 패키지의 제조 방법에 대하여 상세하게 설명하지만, 본 발명이 하기의 실시예들에 제한되는 것은 아니며, 해당 분야에서 통상의 지식을 가진 자라면 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 본 발명을 다양한 다른 형태로 구현할 수 있을 것이다. 첨부된 도면에 있어서, 기판, 층(막), 영역, 패드, 패턴들 또는 구조물들 치수는 본 발명의 명확성을 기하기 위하여 실제보다 확대하여 도시한 것이다. 본 발명에 있어서, 각 층(막), 영역, 패드, 패턴 또는 구조물들이 기판, 각 층(막), 영역, 패드 또는 패턴들의 "상에", "상부에" 또는 "하부"에 형성되는 것으로 언급되는 경우에는 각 층(막), 영역, 패드, 패턴 또는 구조물들이 직접 기판, 각 층(막), 영역, 패드 또는 패턴들 위에 형성되거나 아래에 위치하는 것을 의미하거나, 다른 층(막), 다른 영역, 다른 패드, 다른 패턴 또는 다른 구조물들이 기판 상에 추가적으로 형성될 수 있다. 또한, 각 층(막), 영역, 패드, 전극, 패턴 또는 구조물들이 "제1", "제2", "제3" 및/또는 "제4"로 언급되는 경우, 이러한 부재들을 한정하기 위한 것이 아니라 단지 각 층(막), 영역, 패드, 패턴 또는 구조물들을 구분하기 위한 것이다. 따라서, "제1", "제2", "제3" 및/또는 "제4"는 각 층(막), 영역, 전극, 패드, 패턴 또는 구조물들에 대하여 각기 선택적으로 또는 교환적으로 사용될 수 있다.

적층 반도체 패키지

도 1은 본 발명의 일실시예에 의한 적층 반도체 패키지의 단면도이다.

도 1을 참조하면, 적층 반도체 패키지(100)는 기판(10), 데이터 저장 칩(20), 컨트롤 칩(30), 제1 입/출력부(40) 및 제2 입/출력부(50)를 포함한다.

기판(10)은, 예를 들어, 인쇄회로기판(printed circuit board)일 수 있다. 본 실시예에서, 기판(10)은 복수개의 회로 패턴(12)들을 포함한다. 외부로부터 인가된 입력 신호는 회로 패턴(12)들을 통해 데이터 저장 칩(20) 또는 컨트롤 칩(30)으로 인가되고, 데이터 저장 칩(20)에 저장된 데이터는 회로 패턴(12)들을 통해 외부로 출력된다.

데이터 저장 칩(20)은 웨이퍼(wafer)상에 형성되며, 데이터를 저장하기 위한 데이터 저장 셀(22)을 포함한다. 구체적으로, 데이터 저장 칩(20)은 회로 패턴(12)을 통해 어드레스 신호(address signal)와 함께 인가된 데이터를 데이터 저장 셀(22) 내에 저장한다. 어드레스 신호는, 예를 들어, 상세하게 후술될 컨트롤 칩(30)에 의하여 발생된 제어 신호에 의하여 데이터 저장 칩(20)으로 전달된다. 예를 들어, 데이터 저장 칩(20)에는 0 또는 1 상태로 데이터가 저장된다.

컨트롤 칩(30)은, 예를 들어, 데이터 저장 칩(20)들의 최상부에 배치되며, 제어 신호를 발생하기 위한 메모리 셀 어레이 제어 회로(32)를 포함한다. 컨트롤 칩(30)은 각 데이터 저장 칩(20)과 전기적으로 연결된다. 각 데이터 저장 칩(20)에 전기적으로 연결된 컨트롤 칩(30)은 각 데이터 저장 칩(20)을 독립적으로 인식하며, 컨트롤 칩(30)에서 발생된 제어 신호에 의하여 어드레스 신호와 함께 전달된 데이터를 각 데이터 저장 칩(20)의 지정된 어드레스에 저장한다. 이와 다르게, 데이터 저장 칩(20)에 저장된 데이터는 컨트롤 칩(30)에서 발생된 제어 신호에 의하여 회로 패턴(12)을 통해 외부로 출력될 수 있다.

제1 입/출력부(40)는 각 데이터 저장 칩(20)들에 배치된다. 제1 입/출력부(40)는 각 데이터 저장 칩(20)의 상면 및 하면에 각각 배치된다. 따라서, 기판(10)에 근접한 데이터 저장 칩(20)의 하면에 배치된 제1 입/출력부(40)는 기판(10)의 회로 패턴(12)과 전기적으로 연결된다. 또한, 제1 입/출력부(40)는 각 데이터 저장 칩(20)들을 상호 전기적으로 연결한다. 또한, 컨트롤 칩(30)에 근접한 데이터 저장 칩(20)의 상면에 배치된 제1 입/출력부(40)는 컨트롤 칩(30)에 전기적으로 연결된다.

컨트롤 칩(30)으로부터 발생된 제어 신호에 따라 데이터 저장 칩(20)에 저장된 데이터는 제1 입/출력부(40)를 통해서 기판(10)의 회로패턴(12)으로 인가될 수 있다. 이와 다르게, 컨트롤 칩(30)으로부터 발생된 제어 신호에 따라 외부로부터 인가된 데이터는 제1 입/출력부(40)를 통해 지정된 데이터 저장 칩(20)의 지정된 어드레스에 저장될 수 있다. 본 실시예에서, 데이터 저장 칩(20)에 저장된 데이터를 입/출입하기 위해 컨트롤 칩(30)은 공통으로 사용된다.

본 실시예에서, 제1 입/출력부(40)는 각 데이터 저장 칩(20)들을 관통하여 형성된 관통-비아(through-via)일 수 있다.

제2 입/출력부(50)는 각 데이터 저장 칩(20)들에 배치된다. 제2 입/출력부(50)는 각 데이터 저장 칩(20)의 상면 및 하면에 각각 배치된다. 따라서, 기판(10)에 근접한 데이터 저장 칩(20)의 하면에 배치된 제2 입/출력부(50)는 기판(10)의 회로 패턴(12)과 전기적으로 연결된다. 또한, 제2 입/출력부(50)는 각 데이터 저장 칩(20)들을 상호 전기적으로 연결한다. 또한, 컨트롤 칩(30)에 근접한 데이터 저장 칩(20)의 상면에 배치된 제2 입/출력부(50)는 컨트롤 칩(30)에 전기적으로 연결된다.

제2 입/출력부(50)는 컨트롤 칩(30)으로부터 발생된 제어 신호를 각 데이터 저장 칩(20)에 인가하여 데이터 저장 칩(20)에 데이터를 입력 또는 데이터 저장 칩(20)으로부터 데이터를 외부로 출력할 수 있도록 한다.

본 실시예에서, 제2 입/출력부(50)는 데이터 저장 칩(20)들에 형성된 관통 비아인 것이 바람직하다.

한편, 제1 입/출력부(40) 및 제2 입/출력부(50)는 데이터 저장 칩(20)의 서로 다른 위치에 배치되는 것이 바람직하다.

한편, 기판(10)상에 적층된 컨트롤 칩(30) 및 복수개의 데이터 저장 칩(20)들이 외부에서 가해진 충격 또는 진동에 의하여 파손되는 것을 방지하기 위해, 선택적으로, 기판(10)상에 적층된 컨트롤 칩(30) 및 데이터 저장 칩(20)들은 에폭시 수지와 같은 합성 수지에 의하여 봉지(encapsulation)될 수 있다.

한편, 기판(10)의 회로 패턴(12)은 데이터 저장 칩(20)으로 데이터를 저장 및 데이터를 출력하기 위해 복수개의 도전 부재(60)가 배치된다. 도전 부재(60)는, 예를 들어, 솔더(solder)를 포함하는 솔더볼(solder ball)일 수 있다.

본 실시예에 의하면, 데이터 저장 칩(20)들은 데이터가 저장되는 데이터 저장 셀(22)을 갖는 반면, 데이터 저장 칩(20)으로부터 데이터를 입/출력하기 위한 메모리 셀 어레이 제어 회로를 갖고 있지 않다. 또한, 컨트롤 칩(30)들은 데이터 저장 칩(20)으로부터 데이터를 입/출력하기 위한 메모리 셀 어레이 제어 회로(32)만을 갖고, 데이터를 저장하는 데이터 저장 셀(22)을 갖고 있지 않는다. 또한, 하나의 컨트롤 칩(30)은 복수개의 데이터 저장 칩(20)과 전기적으로 연결되어 하나의 컨트롤 칩(30)은 복수개의 데이터 저장 칩(20)을 개별적으로 제어할 수 있다.

이와 같이 하나의 컨트롤 칩(30)으로부터 복수개의 데이터 저장 칩(20)을 개별적으로 제어하여 데이터를 입/출입할 경우, 오로지 데이터만을 저장하는 데이터 저장 칩(20)을 기판(10)상에 원하는 개수만큼 확장함에 따라 반도체 패키지의 데이터의 저장 용량을 사용자의 요구에 맞게 증가시킬 수 있다.

이와 다르게, 각 데이터 저장 칩(20)을 모듈화 함으로써, 기판(10)상에 데이터 저장 칩(20)을 연결하거나, 기판(10) 상에 이미 장착된 데이터 저장 칩(20)의 상면에 데이터 저장 칩(20)들을 사용자가 직접 추가적으로 결합할 수 있도록 할 수 있다. 이 경우, 일반적인 반도체 패키지의 저장 용량이 고정된 것과 다르게 본 발명에서는 각 데이터 저장 칩(20)의 용량을 사용자가 직접 증가시키거나 감소시킬 수 있게 된다. 이를 구현하기 위해서는, 각 데이터 저장 칩(20)의 사이에 각 데이터 저장 칩(20)을 고정하기 위한 데이터 저장 칩 고정 부재를 개재하는 것이 바람직하다.

적층 반도체 패키지의 제조 방법

도 2는 본 발명의 일실시예에 따른 적층 반도체 패키지의 제조 방법에 따른 데이터 저장 칩을 도시한 단면도이다.

도 2를 참조하면, 데이터 저장 칩(120)을 제조하기 위해서, 먼저, 실리콘웨이퍼(미도시) 상에 반도체 제조 공정을 통해 데이터 저장 셀(122), 제1 입/출력부(140) 및 제2 입/출력부(150)를 갖는 데이터 저장부(미도시)를 제조한 후, 개별화 공정을 통해 웨이퍼로부터 데이터 저장부를 절단하여 복수개의 데이터 저장 칩(120)들을 형성한다.

제1 입/출력부(140)는 데이터 저장 칩(120)에 저장된 데이터를 데이터 저장 칩(120)의 외부로 출력 또는 외부의 데이터를 데이터 저장 칩(120)에 저장하는 단자 역할을 한다. 한편, 제2 입/출력부(150)는 데이터 저장 칩(120)에 저장된 데이터를 외부로 출력 또는 외부의 데이터를 데이터 저장 칩(120)에 저장하기 위한 제어 신호를 입력 또는 출력한다. 제1 입/출력부(140) 및 제2 입/출력부(150)는 데이터 저장 칩(120)을 관통하는 관통-비아인 것이 바람직하다. 본 실시예에서, 데이터 저장 칩(120)에는 저장된 데이터를 입력 또는 출력하기 위한 메모리 셀 어레이 제어 회로를 포함하지 않는다.

도 3은 본 발명의 일실시예에 따른 적층 반도체 패키지의 제조 방법에 따른 컨트롤 칩을 도시한 단면도이다.

도 3을 참조하면, 컨트롤 칩(130)을 제조하기 위해서, 먼저, 실리콘웨이퍼(미도시) 상에 반도체 제조 공정을 통해 메모리 셀 어레이 제어 회로(132), 제1 제어신호 입/출력부(134) 및 제2 제어신호 입/출력부(156)를 갖는 컨트롤 제어부(미도시)를 형성한 후, 개별화 공정을 통해 웨이퍼로부터 컨트롤 제어부를 절단하여 복수개의 컨트롤 칩(130)들을 형성한다.

제1 제어 신호 입/출력부(134)는 데이터 저장 칩(120)에 형성된 제1 입/출력부(140)와 대응하며, 제2 제어 신호 입/출력부(136)는 데이터 저장 칩(120)에 형성된 제2 입/출력부(150)와 대응한다. 본 실시예에서, 제1 제어신호 입/출력부(134) 및 제2 제어신호 입/출력부(136)는 컨트롤 칩(130)을 관통하는 관통-비아인 것이 바람직하다. 본 실시예에서, 컨트롤 칩(130)에는 데이터를 저장하기 위한 데이터 저장 셀을 포함하지 않는다.

도 4는 도 2 및 도 3에 도시된 데이터 저장 칩 및 컨트롤 칩을 기판에 실장 하는 것을 도시한 단면도이다.

도 4를 참조하면, 데이터 저장 칩(120) 및 컨트롤 칩(130)은 기판(110) 상에 실장 된다.

기판(110) 상에는 외부로부터 인가된 전기적 신호를 컨트롤 칩(130)으로 입력 및 데이터 저장 칩(120)에 저장된 데이터를 외부로 출력하기 위한 회로 패턴(112)들이 형성된다.

기판(110)의 회로 패턴(112)들에는 데이터 저장 칩(120)이 배치된다. 구체적으로, 데이터 저장 칩(120)의 제1 입/출력부(140) 및 제2 입/출력부(150)는 회로 패턴(112)들에 각각 전기적으로 접속된다.

이어서, 데이터 저장 칩(120)에는 적어도 1개, 바람직하게는 복수개의 다른 데이터 저장 칩(120)들이 배치된다. 이때, 각 데이터 저장 칩(120)들의 제1 입/출력부(140)들 및 제2 입/출력부(150)들은 각각 전기적으로 접속된다.

참조부호 160은 외부 기기와 접속되는 도전부재로, 예를 들어, 도전부재는 솔더를 포함하는 솔더볼일 수 있다.

도 5는 본 발명의 일실시예에 의한 적층 반도체 패키지의 컨트롤 칩 및 데이터 저장 칩을 도시한 단면도이다.

도 5를 참조하면, 복수개의 데이터 저장 칩(120)들 중 최외곽에 배치된 데이터 저장 칩(120)에는 컨트롤 칩(130)이 배치된다.

이때, 데이터 저장 칩(120)의 제1 입/출력부(140)는 컨트롤 칩(130)의 제1 제어신호 입/출력부(134)와 전기적으로 연결되고, 데이터 저장 칩(120)의 제2 입/출력부(150)는 컨트롤 칩(130)의 제2 제어신호 입/출력부(136)와 전기적으로 접속된다.

이어서, 컨트롤 칩(130) 및 데이터 저장 칩(120)을 덮도록 에폭시 수지 등에 의하여 컨트롤 칩(130) 및 데이터 저장 칩(120)들은 봉지 되어, 적층 반도체 패키지(100)가 제조된다.

발명의 효과

이상에서 상세하게 설명한 바에 의하면, 오직 데이터를 저장하는 데이터 저장 셀을 갖는 데이터 저장 칩 및 데이터 저장 칩을 제어하는 메모리 셀 어레이 제어 회로를 갖는 컨트롤 칩을 각각 제조한 후, 데이터 저장 칩 및 컨트롤 칩을 어셈블리하여 적층 반도체 패키지를 형성함으로써, 적층 반도체 패키지의 데이터 저장 용량을 크게 증가시키는 장점을 갖는다. 또한, 데이터 저장 용량을 늘릴 필요가 있을 경우, 패키지 제조 단계에서 데이터 저장 칩만 추가로 늘려 적층함으로써 반도체의 재설계의 필요없이 원하는 목적을 실현할 수 있다.

앞서 설명한 본 발명의 상세한 설명에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술분야의 숙련된 당업자 또는 해당 기술분야에 통상의 지식을 갖는 자라면 후술될 특허청구범위에 기재된 본 발명의 사상 및 기술 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

도면의 간단한 설명

도 1은 본 발명의 일실시예에 의한 적층 반도체 패키지의 단면도이다.

도 2는 본 발명의 일실시예에 따른 적층 반도체 패키지의 제조 방법에 따른 데이터 저장 칩을 도시한 단면도이다.

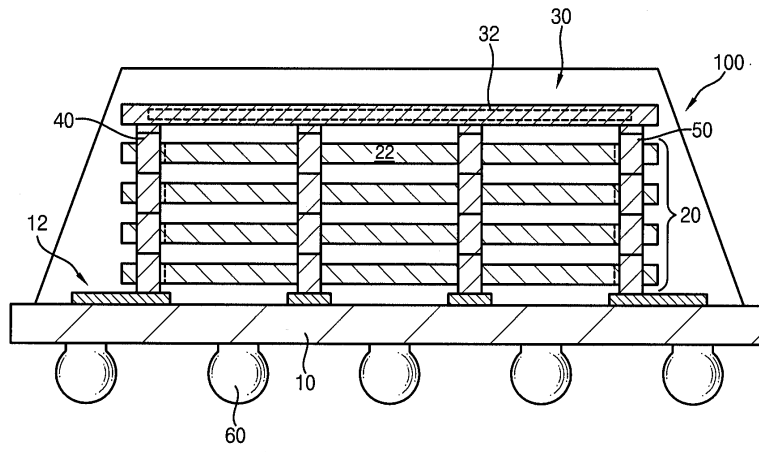
도 3은 본 발명의 일실시예에 따른 적층 반도체 패키지의 제조 방법에 따른 컨트롤 칩을 도시한 단면도이다.

도 4는 도 2 및 도 3에 도시된 데이터 저장 칩 및 컨트롤 칩을 기판에 실장 하는 것을 도시한 단면도이다.

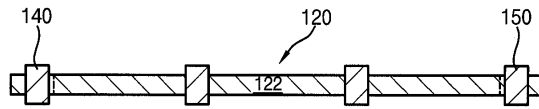
도 5는 본 발명의 일실시예에 의한 적층 반도체 패키지의 컨트롤 칩 및 데이터 저장 칩을 도시한 단면도이다.

도면

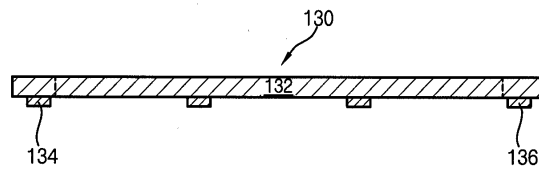
도면1



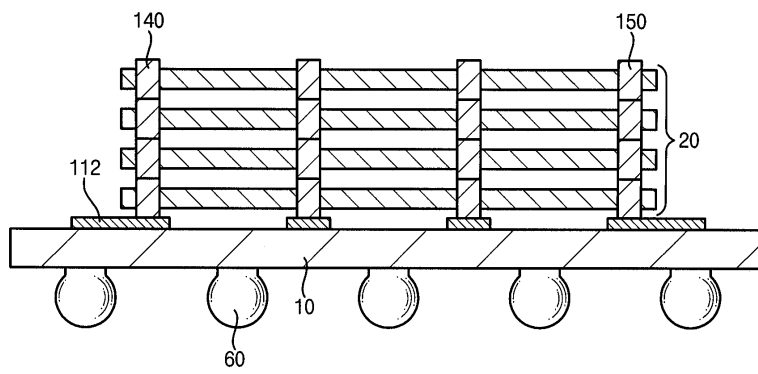
도면2



도면3



도면4



도면5

