

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6148070号
(P6148070)

(45) 発行日 平成29年6月14日(2017.6.14)

(24) 登録日 平成29年5月26日(2017.5.26)

(51) Int.Cl.	F I	
HO 1 L 29/812 (2006.01)	HO 1 L 29/80	V
HO 1 L 29/808 (2006.01)	HO 1 L 21/265	F
HO 1 L 21/338 (2006.01)	HO 1 L 21/265	Z
HO 1 L 21/337 (2006.01)	HO 1 L 29/06	3 O 1 F
HO 1 L 21/265 (2006.01)	HO 1 L 29/06	3 O 1 G
請求項の数 22 (全 35 頁) 最終頁に続く		

(21) 出願番号	特願2013-110780 (P2013-110780)	(73) 特許権者	302062931 ルネサスエレクトロニクス株式会社 東京都江東区豊洲三丁目2番24号
(22) 出願日	平成25年5月27日(2013.5.27)	(74) 代理人	110000350 ポレール特許業務法人
(65) 公開番号	特開2014-229859 (P2014-229859A)	(74) 代理人	100089071 弁理士 玉村 静世
(43) 公開日	平成26年12月8日(2014.12.8)	(72) 発明者	久田 賢一 神奈川県川崎市中原区下沼部1753番地 ルネサスエレクトロニクス株式会社内
審査請求日	平成28年2月12日(2016.2.12)	(72) 発明者	新井 耕一 神奈川県川崎市中原区下沼部1753番地 ルネサスエレクトロニクス株式会社内
		審査官	恩田 和彦
		最終頁に続く	

(54) 【発明の名称】 縦チャンネル型ジャンクションSiCパワーFETおよびその製造方法

(57) 【特許請求の範囲】

【請求項1】

以下を含む縦チャンネル型ジャンクションSiCパワーFET:

- (a) 第1の主面および第2の主面を有するSiC半導体基板;
- (b) 前記SiC半導体基板の前記第1の主面側の表面から内部に亘り設けられた第1導電型を有するドリフト領域;
- (c) 前記SiC半導体基板の前記第2の主面側の表面領域に設けられ、前記ドリフト領域よりも高濃度の前記第1導電型を有するドレイン領域;
- (d) 前記第1の主面側の表面から内部に亘り設けられたアクティブセル領域;
- (e) 前記アクティブセル領域内に設けられた複数の単位セル領域、10
ここで、各単位セル領域は、以下を含む:
 - (e1) 前記ドリフト領域の表面領域に設けられ、前記ドリフト領域よりも高濃度の前記第1導電型を有するソース領域;
 - (e2) 前記ソース領域の下方であって、これに近接するように、前記ドリフト領域内に設けられ、前記第1導電型と反対導電型の第2導電型を有するフローティング領域;
 - (e3) 前記ソース領域および前記フローティング領域を少なくとも両側から挟むように、前記ドリフト領域の表面領域に設けられ、前記第2導電型を有するゲート領域、
ここで、前記フローティング領域は、第1領域と第2領域とを含み、
前記第1領域は前記ゲート領域の間に位置し、前記第1領域の幅は、平面視において、
前記ソース領域の幅内に位置し、
20

前記第 2 領域は、前記ゲート領域の下端よりも深い領域に位置する。

【請求項 2】

請求項 1 に記載の縦チャンネル型ジャンクション SiC パワー FET において、前記第 1 領域の幅は、平面視において、前記第 2 領域の幅よりも狭い。

【請求項 3】

請求項 2 に記載の縦チャンネル型ジャンクション SiC パワー FET において、前記第 1 領域の下端は、前記ゲート領域の下端よりも深い領域に位置する。

【請求項 4】

請求項 3 に記載の縦チャンネル型ジャンクション SiC パワー FET において、前記第 2 領域の幅は、平面視において、前記ソース領域の幅よりも広い。

【請求項 5】

請求項 1 に記載の縦チャンネル型ジャンクション SiC パワー FET において、デバイス構造は、プレーナ型に属する。

【請求項 6】

請求項 1 に記載の縦チャンネル型ジャンクション SiC パワー FET において、動作モードは、ノーマリオン型である。

【請求項 7】

請求項 1 に記載の縦チャンネル型ジャンクション SiC パワー FET において、前記フローティング領域は、イオン注入によるものである。

【請求項 8】

請求項 1 に記載の縦チャンネル型ジャンクション SiC パワー FET において、前記ゲート領域は、イオン注入によるものである。

【請求項 9】

請求項 1 に記載の縦チャンネル型ジャンクション SiC パワー FET において、平面的に見たとき、前記ゲート領域は、ストライプ状である。

【請求項 10】

請求項 9 に記載の縦チャンネル型ジャンクション SiC パワー FET において、平面的に見たとき、前記ゲート領域は、前記アクティブセル領域の端部に於いて、相互に連結されている。

【請求項 11】

請求項 1 に記載の縦チャンネル型ジャンクション SiC パワー FET において、平面的に見たとき、前記ゲート領域は、メッシュ状である。

【請求項 12】

請求項 7 に記載の縦チャンネル型ジャンクション SiC パワー FET において、前記フローティング領域は、複数段のイオン注入によるものである。

【請求項 13】

以下の工程を含む縦チャンネル型ジャンクション SiC パワー FET の製造方法：

(a) 第 1 の主面および第 2 の主面を有する SiC 半導体ウエハであって、前記第 1 の主面側の表面から内部に亘り第 1 導電型を有するドリフト領域が形成され、且つ、前記第 2 の主面側の表面領域に前記ドリフト領域よりも高濃度の前記第 1 導電型を有するドレイン領域が形成された SiC 半導体ウエハを準備する工程；

(b) 前記第 1 の主面の表面から内部に亘り、複数の単位セル領域を有するアクティブセル領域を、導入する工程、

ここで、このアクティブセル領域を導入する工程は、各単位セル領域に対して行われ、以下の下位工程を含む：

(b 1) 前記ドリフト領域の表面領域に、前記ドリフト領域よりも高濃度の前記第 1 導電型を有するソース領域を、導入する工程；

(b 2) 前記ソース領域の下方であって、これに近接するように、前記ドリフト領域内に、前記第 1 導電型と反対導電型の第 2 導電型を有するフローティング領域を、導入する工程；

10

20

30

40

50

(b 3) 前記ソース領域および前記フローティング領域を少なくとも両側から挟むように、前記ドリフト領域の表面領域に、前記第 2 導電型を有するゲート領域を、導入する工程

ここで、前記フローティング領域は、第 1 領域と第 2 領域とを含み、

前記第 1 領域は前記ゲート領域の間に位置し、前記第 1 領域の幅は、平面視において、前記ソース領域の幅内に位置し、

前記第 2 領域は、前記ゲート領域の下端よりも深い領域に位置する。

【請求項 1 4】

請求項 1 3 に記載の縦チャンネル型ジャンクション S i C パワー F E T の製造方法において、

前記第 1 領域の幅は、平面視において、前記第 2 領域の幅よりも狭い。

【請求項 1 5】

請求項 1 4 に記載の縦チャンネル型ジャンクション S i C パワー F E T の製造方法において、

前記第 1 領域の下端は、前記ゲート領域の下端よりも深い領域に位置する。

【請求項 1 6】

請求項 1 5 に記載の縦チャンネル型ジャンクション S i C パワー F E T の製造方法において、

前記第 2 領域の幅は、平面視において、前記ソース領域の幅よりも広い。

【請求項 1 7】

請求項 1 3 に記載の縦チャンネル型ジャンクション S i C パワー F E T の製造方法において、前記フローティング領域は、イオン注入により導入される。

【請求項 1 8】

請求項 1 7 に記載の縦チャンネル型ジャンクション S i C パワー F E T の製造方法において、前記フローティング領域は、複数段のイオン注入により導入される。

【請求項 1 9】

請求項 1 3 に記載の縦チャンネル型ジャンクション S i C パワー F E T の製造方法において、前記ゲート領域は、イオン注入により導入される。

【請求項 2 0】

請求項 1 3 に記載の縦チャンネル型ジャンクション S i C パワー F E T の製造方法において、デバイス構造は、プレーナ型に属する。

【請求項 2 1】

請求項 1 3 に記載の縦チャンネル型ジャンクション S i C パワー F E T の製造方法において、前記下位工程 (b 2) は、前記下位工程 (b 3) より後に実行される。

【請求項 2 2】

請求項 1 3 に記載の縦チャンネル型ジャンクション S i C パワー F E T の製造方法において、前記下位工程 (b 2) は、前記下位工程 (b 1) より前に実行される。

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

本願は、ジャンクション型パワー F E T (または半導体装置) および、その製造方法に関し、たとえば、ジャンクション型 S i C パワー F E T に適用することができるものである。

【背景技術】

【0 0 0 2】

日本特表 2 0 0 2 - 5 2 0 8 1 6 号公報 (特許文献 1) または、これに対応する米国特許第 6 8 4 7 0 9 1 号公報 (特許文献 2) は、主にプレーナ (P l a n a r) 型パーティカルパワー (V e r t i c a l P o w e r) M O S F E T に関するものである。そこには、プレーナ型パーティカルパワー M O S F E T に関して、ドリフト領域内に反対導電型のフローティング領域を分散配置したデバイス構造が示されており、ジャンクション (J

10

20

30

40

50

unction) FET等へも適用できる旨、説明されている。

【0003】

日本特開2003-31591号公報(特許文献3)または、これに対応する米国特許公開2002-167011号公報(特許文献4)は、パーティカル非プレーナ型ジャンクションFETに関するものである。そこには、横チャンネル(Lateral Channel)を有し、ドリフト領域にソース電位の反対導電型領域を有するパーティカル型ジャンクションFETが開示されている。

【0004】

国際公開第2000/14809号パンフレット(特許文献5)または、これに対応する米国特許公開2005-6649号公報(特許文献6)は、パーティカルプレーナ型ジャンクションFETに関するものである。そこには、横チャンネル下部にフローティングP型領域を有するパーティカルプレーナ型ジャンクションFETが開示されている。

10

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特表2002-520816号公報

【特許文献2】米国特許第6847091号公報

【特許文献3】特開2003-31591号公報

【特許文献4】米国特許公開2002-167011号公報

【特許文献5】国際公開第2000/14809号パンフレット

20

【特許文献6】米国特許公開2005-6649号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

一般に、シリコン等に比べて、格段に不純物拡散速度が遅いSiC系のJFET(unction FET)素子においては、ゲート領域にトレンチを形成し、その側壁等にイオン注入して、ゲート領域を形成する。しかし、JFETの性能を確保するためには、ゲート領域間を高精度に制御しつつゲート深さを確保する必要がある。すなわちゲート間隔とゲート深さで規定されるチャンネル領域を高アスペクト比にする必要があるほか、プロセスの制約により、ソース領域内にゲート領域を形成するため、ソース領域およびゲート領域間で高濃度PN接合が形成される。そのため、接合電流の増加が避けられない等の種々の問題がある。また、ターミネーション構造の作製には極めて高エネルギー(2MeV程度)のイオン打ち込みが必要となる。

30

【0007】

トレンチを形成しない手法として、高エネルギーでイオンを注入しゲート領域を形成する方法が考えられる。この場合ゲート領域間は精度の良いホトリソグラフィのみで制御可能となるほか、マスクレイアウトでソース領域とゲート領域間距離を離すことが出来る。しかしながら、高エネルギー注入は必須となり、技術的に解決できているとはいえない。

【0008】

このような課題を解決するための手段等を以下に説明するが、その他の課題と新規な特徴は本明細書の記述及び添付図面から明らかになるであろう。

40

【課題を解決するための手段】

【0009】

本願において開示される実施の形態のうち代表的なものの概要を簡単に説明すれば下記の通りである。

【0010】

すなわち、本願の一実施の形態の概要は、縦チャンネル型SiC系パワーJFETであり、ソース領域の下方であって、ゲート領域間にフローティングゲート領域を形成するものである。

50

【発明の効果】

【0011】

本願において開示される実施の形態のうち代表的なものによって得られる効果を簡単に説明すれば下記のとおりである。

【0012】

すなわち、前記本願の一実施の形態によれば、チャンネル領域の高アスペクト化が可能となる。

【図面の簡単な説明】

【0013】

【図1】本願の一実施の形態の縦チャンネル型ジャンクションSiCパワーFET（縦型プレーナ構造）における単位セル構造の一例（ソースアイランド型直交格子配列セル構造）等を説明するためのアクティブセル領域の部分平面図である。

【図2】図1のA-A'断面に対応する単位セルおよびその周辺の模式的断面図である。

【図3】本願の前記一実施の形態の縦チャンネル型ジャンクションSiCパワーFET（縦型プレーナ構造）におけるチップ全体レイアウト（ソースアイランド型直交格子配列セル構造）等を説明するためのチップ全体上面図（上面メタル構造を含む）である。

【図4】図3に対応するチップ全体上面図（上面メタル構造を除去しコンタクト部分を強調）である。

【図5】図3に対応するチップ全体上面図（上面メタル構造を除去し不純物領域を強調）である。

【図6】図3のB-C断面に対応するデバイス断面図である。

【図7】本願の前記一実施の形態の縦チャンネル型ジャンクションSiCパワーFET（縦型プレーナ構造）におけるチップ全体レイアウト（ソースアイランド型直交格子配列セル基本構造）に対応する製造プロセスの一例を説明するための図6に対応する製造工程途中（ゲート領域導入工程）のデバイス断面図である。

【図8】本願の前記一実施の形態の縦チャンネル型ジャンクションSiCパワーFET（縦型プレーナ構造）におけるチップ全体レイアウト（ソースアイランド型直交格子配列セル基本構造）に対応する製造プロセスの一例を説明するための図6に対応する製造工程途中（フローティング領域導入工程）のデバイス断面図である。

【図9】本願の前記一実施の形態の縦チャンネル型ジャンクションSiCパワーFET（縦型プレーナ構造）におけるチップ全体レイアウト（ソースアイランド型直交格子配列セル基本構造）に対応する製造プロセスの一例を説明するための図6に対応する製造工程途中（接合終端領域導入工程）のデバイス断面図である。

【図10】本願の前記一実施の形態の縦チャンネル型ジャンクションSiCパワーFET（縦型プレーナ構造）におけるチップ全体レイアウト（ソースアイランド型直交格子配列セル基本構造）に対応する製造プロセスの一例を説明するための図6に対応する製造工程途中（ソース領域導入工程）のデバイス断面図である。

【図11】本願の前記一実施の形態の縦チャンネル型ジャンクションSiCパワーFET（縦型プレーナ構造）におけるチップ全体レイアウト（ソースアイランド型直交格子配列セル基本構造）に対応する製造プロセスの一例を説明するための図6に対応する製造工程途中（層間絶縁膜成膜&加工工程）のデバイス断面図である。

【図12】本願の前記一実施の形態の縦チャンネル型ジャンクションSiCパワーFET（縦型プレーナ構造）におけるチップ全体レイアウト（ソースアイランド型直交格子配列セル基本構造）に対応する製造プロセスの一例を説明するための図6に対応する製造工程途中（表面メタル膜成膜&加工工程）のデバイス断面図である。

【図13】本願の前記一実施の形態の縦チャンネル型ジャンクションSiCパワーFET（縦型プレーナ構造）におけるチップ全体レイアウト（ソースアイランド型直交格子配列セル基本構造）に対応する製造プロセスの一例を説明するための図6に対応する製造工程途中（ファイナルパッシベーション膜成膜&加工工程）のデバイス断面図である。

【図14】本願の前記一実施の形態の縦チャンネル型ジャンクションSiCパワーFET（

10

20

30

40

50

縦型プレーナ構造)におけるチップ全体レイアウト(ソースアイランド型直交格子配列セル基本構造)に対応する製造プロセスの一例を説明するための図6に対応する製造工程途中(裏面メタル膜成膜&加工工程)のデバイス断面図である。

【図15】本願の前記一実施の形態の縦チャンネル型ジャンクションSiCパワーFET(縦型プレーナ構造)における単位セル構造(ソースアイランド型セル構造)に関する変形例1(ディープフローティングゲート型ソースアイランド方式セル構造)を説明するための図2に対応する単位セルおよびその周辺の模式的断面図である。

【図16】本願の前記一実施の形態の縦チャンネル型ジャンクションSiCパワーFET(縦型プレーナ構造)における単位セル構造(ソースアイランド型セル構造)に関する変形例2(台形フローティングゲート型ソースアイランド方式セル構造)を説明するための図2に対応する単位セルおよびその周辺の模式的断面図である。

10

【図17】本願の前記一実施の形態の縦チャンネル型ジャンクションSiCパワーFET(縦型プレーナ構造)における単位セル構造(ソースアイランド型セル構造)に関する変形例3(逆T字フローティングゲート型ソースアイランド方式セル構造)を説明するための図2に対応する単位セルおよびその周辺の模式的断面図である。

【図18】本願の前記一実施の形態の縦チャンネル型ジャンクションSiCパワーFET(縦型プレーナ構造)における単位セル構造(ソースアイランド型セル構造)に関する変形例4(2段エピタキシ逆T字フローティングゲート型ソースアイランド方式セル構造)を説明するための図2に対応する単位セルおよびその周辺の模式的断面図である。

【図19】本願の前記一実施の形態の縦チャンネル型ジャンクションSiCパワーFET(縦型プレーナ構造)におけるチップ全体レイアウトに関する変形例1(ストライプ型ソースアイランド方式セル構造)を説明するための図3に対応するチップ全体上面図(上面メタル構造を含む)である。

20

【図20】図19に対応するチップ全体上面図(上面メタル構造を除去しコンタクト部分を強調)である。

【図21】図19に対応するチップ全体上面図(上面メタル構造を除去し不純物領域を強調)である。

【図22】本願の前記一実施の形態の縦チャンネル型ジャンクションSiCパワーFET(縦型プレーナ構造)におけるチップ全体レイアウトに関する変形例2(斜交格子型ソースアイランド方式セル構造)を説明するための図4に対応するチップ全体上面図(上面メタル構造を含む)である。

30

【図23】図22に対応するチップ全体上面図(上面メタル構造を除去しコンタクト部分を強調)である。

【図24】図22に対応するチップ全体上面図(上面メタル構造を除去し不純物領域を強調)である。

【図25】本願の前記一実施の形態の縦チャンネル型ジャンクションSiCパワーFET(縦型プレーナ構造)におけるチップ全体レイアウトに関する変形例3(正方格子型ゲートアイランド方式セル構造)を説明するための図3に対応するチップ全体上面図(上面メタル構造を含む)である。

【図26】図25に対応するチップ全体上面図(上面メタル構造を除去しコンタクト部分を強調)である。

40

【図27】図25に対応するチップ全体上面図(上面メタル構造を除去し不純物領域を強調)である。

【図28】図25のB-C断面に対応するデバイス断面図である。

【図29】本願の前記一実施の形態の縦チャンネル型ジャンクションSiCパワーFET(縦型プレーナ構造)におけるチップ全体レイアウトに関する変形例4(ストライプ型ゲートアイランド方式セル構造)を説明するための図3に対応するチップ全体上面図(上面メタル構造を含む)である。

【図30】図29に対応するチップ全体上面図(上面メタル構造を除去しコンタクト部分を強調)である。

50

【図3 1】図2 9に対応するチップ全体上面図（上面メタル構造を除去し不純物領域を強調）である。

【図3 2】本願の前記一実施の形態の縦チャンネル型ジャンクションSiCパワーFET（縦型プレーナ構造）におけるチップ全体レイアウトに関する変形例5（変形斜交格子型ゲートアイランド方式セル構造）を説明するための図3に対応するチップ全体上面図（上面メタル構造を含む）である。

【図3 3】図3 2に対応するチップ全体上面図（上面メタル構造を除去しコンタクト部分を強調）である。

【図3 4】図3 2に対応するチップ全体上面図（上面メタル構造を除去し不純物領域を強調）である。

10

【図3 5】本願の前記一実施の形態の縦チャンネル型ジャンクションSiCパワーFETのアウトラインを説明するための図2の単位セルに対応する部分の模式的断面図である。

【図3 6】本願の前記一実施の形態の縦チャンネル型ジャンクションSiCパワーFETの使用状態の一例を示すノーマリオフ複合型トランジスタの回路図である。

【発明を実施するための形態】

【0014】

〔実施の形態の概要〕

先ず、本願において開示される代表的な実施の形態について概要を説明する。

【0015】

1．以下を含む縦チャンネル型ジャンクションSiCパワーFET：

20

（a）第1の主面および第2の主面を有するSiC半導体基板；

（b）前記SiC半導体基板の前記第1の主面側の表面から内部に亘り設けられた第1導電型を有するドリフト領域；

（c）前記SiC半導体基板の前記第2の主面側の表面領域に設けられ、前記ドリフト領域よりも高濃度の前記第1導電型を有するドレイン領域；

（d）前記ドリフト領域の表面から内部に亘り設けられたアクティブセル領域；

（e）前記アクティブセル領域内に設けられた複数の単位セル領域、

ここで、各単位セル領域は、以下を含む：

（e1）前記ドリフト領域の表面領域に設けられ、前記ドリフト領域よりも高濃度の前記第1導電型を有するソース領域；

30

（e2）前記ソース領域の下方であって、これに近接するように、前記ドリフト領域内に設けられ、前記第1導電型と反対導電型の第2導電型を有するフローティング領域；

（e3）前記ソース領域および前記フローティング領域を少なくとも両側から挟むように、前記ドリフト領域の表面領域に設けられ、前記第2導電型を有するゲート領域。

【0016】

2．前記項1に記載の縦チャンネル型ジャンクションSiCパワーFETにおいて、デバイス構造は、プレーナ型に属する。

【0017】

3．前記項1または2に記載の縦チャンネル型ジャンクションSiCパワーFETにおいて、動作モードは、ノーマリオン型である。

40

【0018】

4．前記項1から3のいずれか一つに記載の縦チャンネル型ジャンクションSiCパワーFETにおいて、前記フローティング領域は、イオン注入によるものである。

【0019】

5．前記項1から4のいずれか一つに記載の縦チャンネル型ジャンクションSiCパワーFETにおいて、前記ゲート領域は、イオン注入によるものである。

【0020】

6．前記項1から5のいずれか一つに記載の縦チャンネル型ジャンクションSiCパワーFETにおいて、平面的に見たとき、前記フローティング領域は、前記ソース領域の幅内にある。

50

【 0 0 2 1 】

7 . 前記項 1 から 6 のいずれか一つに記載の縦チャンネル型ジャンクション S i C パワー F E T において、平面的に見たとき、前記ゲート領域は、ストライプ状である。

【 0 0 2 2 】

8 . 前記項 7 に記載の縦チャンネル型ジャンクション S i C パワー F E T において、平面的に見たとき、前記ゲート領域は、前記アクティブセル領域の端部に於いて、相互に連結されている。

【 0 0 2 3 】

9 . 前記項 1 から 6 のいずれか一つに記載の縦チャンネル型ジャンクション S i C パワー F E T において、平面的に見たとき、前記ゲート領域は、メッシュ状である。

10

【 0 0 2 4 】

1 0 . 前記項 4 に記載の縦チャンネル型ジャンクション S i C パワー F E T において、前記フローティング領域は、複数段のイオン注入によるものである。

【 0 0 2 5 】

1 1 . 前記項 1 から 1 0 のいずれか一つに記載の縦チャンネル型ジャンクション S i C パワー F E T において、前記フローティング領域は、深さ方向に関して、少なくとも、前記ゲート領域間の領域から、前記ゲート領域の下端まで延在する。

【 0 0 2 6 】

1 2 . 以下の工程を含む縦チャンネル型ジャンクション S i C パワー F E T の製造方法：
 (a) 第 1 の主面および第 2 の主面を有する S i C 半導体ウエハであって、前記第 1 の主面側の表面から内部に亘り第 1 導電型を有するドリフト領域が形成され、且つ、前記第 2 の主面側の表面領域に前記ドリフト領域よりも高濃度の前記第 1 導電型を有するドレイン領域が形成された S i C 半導体ウエハを準備する工程；

20

(b) 前記ドリフト領域の表面から内部に亘り、複数の単位セル領域を有するアクティブセル領域を、導入する工程、

ここで、このアクティブセル領域を導入する工程は、各単位セル領域に対して行われ、以下の下位工程を含む：

(b 1) 前記ドリフト領域の表面領域に、前記ドリフト領域よりも高濃度の前記第 1 導電型を有するソース領域を、導入する工程；

(b 2) 前記ソース領域の下方であって、これに近接するように、前記ドリフト領域内に、前記第 1 導電型と反対導電型の第 2 導電型を有するフローティング領域を、導入する工程；

30

(b 3) 前記ソース領域および前記フローティング領域を少なくとも両側から挟むように、前記ドリフト領域の表面領域に、前記第 2 導電型を有するゲート領域を、導入する工程。

【 0 0 2 7 】

1 3 . 前記項 1 2 に記載の縦チャンネル型ジャンクション S i C パワー F E T の製造方法において、前記フローティング領域は、イオン注入により導入される。

【 0 0 2 8 】

1 4 . 前記項 1 3 に記載の縦チャンネル型ジャンクション S i C パワー F E T の製造方法において、前記フローティング領域は、複数段のイオン注入により導入される。

40

【 0 0 2 9 】

1 5 . 前記項 1 2 から 1 4 のいずれか一つに記載の縦チャンネル型ジャンクション S i C パワー F E T の製造方法において、前記ゲート領域は、イオン注入により導入される。

【 0 0 3 0 】

1 6 . 前記項 1 2 から 1 5 のいずれか一つに記載の縦チャンネル型ジャンクション S i C パワー F E T の製造方法において、デバイス構造は、プレーナ型に属する。

【 0 0 3 1 】

1 7 . 前記項 1 2 から 1 6 のいずれか一つに記載の縦チャンネル型ジャンクション S i C パワー F E T の製造方法において、前記下位工程 (b 2) は、前記下位工程 (b 3) より

50

後に実行される。

【 0 0 3 2 】

18．前記項12から17のいずれか一つに記載の縦チャンネル型ジャンクションSiCパワーFETの製造方法において、前記下位工程(b2)は、前記下位工程(b1)より前に実行される。

【 0 0 3 3 】

19．前記項12から18のいずれか一つに記載の縦チャンネル型ジャンクションSiCパワーFETの製造方法において、平面的に見たとき、前記フローティング領域は、前記ソース領域の幅内にある。

【 0 0 3 4 】

20．前記項12から19のいずれか一つに記載の縦チャンネル型ジャンクションSiCパワーFETの製造方法において、前記フローティング領域は、深さ方向に関して、少なくとも、前記ゲート領域間の領域から、前記ゲート領域の下端まで延在する。

【 0 0 3 5 】

〔本願における記載形式、基本的用語、用法の説明〕

1．本願において、実施の態様の記載は、必要に応じて、便宜上複数のセクションに分けて記載する場合もあるが、特にそうでない旨明示した場合を除き、これらは相互に独立別個のものではなく、単一の例の各部分、一方が他方の一部詳細または一部または全部の変形例等である。また、原則として、同様の部分は繰り返しを省略する。また、実施の態様における各構成要素は、特にそうでない旨明示した場合、理論的にその数に限定される場合および文脈から明らかにそうでない場合を除き、必須のものではない。

【 0 0 3 6 】

更に、本願において、「半導体チップ」、「半導体装置」または「半導体集積回路装置」というときは、主に、各種トランジスタ(能動素子)単体、および、それらを中心に、抵抗、コンデンサ、ダイオード等を半導体チップ等(半導体チップ材料としては、たとえば単結晶SiC基板、単結晶シリコン基板、これらの複合基板等。SiCの結晶多形としては、主に4H-SiCを対象とするが、その他の結晶多形でもよいことは、言うまでもない)上に集積したものをいう。

【 0 0 3 7 】

また、本願において、「電子回路装置」というときは、半導体チップ、半導体装置、半導体集積回路装置、抵抗、コンデンサ、ダイオード等、及び、これらの相互接続系を示す。

【 0 0 3 8 】

ここで、各種トランジスタの代表的なものとしては、接合FET、すなわち、ジャンクションFET(Junction Field Effect Transistor)を例示することができる。

【 0 0 3 9 】

今日のパワー系の電子回路装置、半導体装置、または半導体集積回路装置のソースおよびゲートのメタル電極は、通常、たとえば、アルミニウム系(またはタングステン系などの高融点金属系)のM1配線層の一層か、または、アルミニウム系(またはタングステン系などの高融点金属系)のM1配線層およびM2配線層からなる2層から構成される場合が多い。なお、これらの配線層として、銅系配線層が用いられることがある。また、一般に、「パワー系の素子」とは、数ワット以上の電力を扱うことができるデバイス等を言う。

【 0 0 4 0 】

2．同様に実施の態様等の記載において、材料、組成等について、「AからなるX」等といっても、特にそうでない旨明示した場合および文脈から明らかに、そうでない場合を除き、A以外の要素を主要な構成要素のひとつとするものを排除するものではない。たとえば、成分についていえば、「Aを主要な成分として含むX」等の意味である。たとえば、「シリコン部材」または「SiC(炭化珪素)部材」等といっても、純粋なシリコンや

10

20

30

40

50

SiCに限定されるものではなく、その他シリコンまたはSiCを主要な成分とする多元半導体、その他の添加物等を含む部材も含むものであることはいうまでもない。同様に、「酸化シリコン膜」、「酸化シリコン系絶縁膜」等と言っても、比較的純粋な非ドーパド酸化シリコン(Undoped Silicon Dioxide)だけでなく、その他の酸化シリコンを主要な成分とする絶縁膜を含む。たとえば、TEOSベース酸化シリコン(TEOS-based silicon oxide)、PSG(Phosphorus Silicate Glass)、BPSG(Borophosphosilicate Glass)等の不純物をドーパドした酸化シリコン系絶縁膜も酸化シリコン膜である。また、熱酸化膜、CVD酸化膜のほか、SOG(Spin On Glass)、ナノクラスタリングシリカ(NSC: Nano-Clustering Silica)等の塗布系膜も酸化シリコン膜または酸化シリコン系絶縁膜である。そのほか、FSG(Fluorosilicate Glass)、SiOC(Silicon Oxycarbide)またはカーボンドーパド酸化シリコン(Carbon-doped Silicon oxide)またはOSG(Organosilicate Glass)等のLow-k絶縁膜も同様に、酸化シリコン膜または酸化シリコン系絶縁膜である。更に、これらと同様な部材に空孔を導入したシリカ系Low-k絶縁膜(ポーラス系絶縁膜、「ポーラスまたは多孔質」というときは、分子性多孔質を含む)も酸化シリコン膜または酸化シリコン系絶縁膜である。

10

【0041】

また、酸化シリコン系絶縁膜と並んで、半導体分野で常用されているシリコン系絶縁膜としては、窒化シリコン系絶縁膜がある。この系統の属する材料としては、SiN, SiCN, SiNH, SiCNH等がある。ここで、「窒化シリコン」というときは、特にそうでない旨明示したときを除き、SiNおよびSiNHの両方を含む。同様に、「SiCN」というときは、特にそうでない旨明示したときを除き、SiCNおよびSiCNHの両方を含む。

20

【0042】

3. 同様に、図形、位置、属性等に関して、好適な例示をするが、特にそうでない旨明示した場合および文脈から明らかにそうでない場合を除き、厳密にそれに限定されるものではないことは言うまでもない。

【0043】

4. 図形、位置、属性等に関して、好適な例示をするが、特にそうでない旨明示した場合および文脈から明らかにそうでない場合を除き、厳密にそれに限定されるものではないことは言うまでもない。従って、たとえば、「正方形」とは、ほぼ正方形を含み、「直交」とは、ほぼ直交する場合を含み、「一致」とは、ほぼ一致する場合を含む。このことは、「平行」、「直角」についても同じである。従って、たとえば、完全な平行からの10度程度のずれは、平行に属する。

30

【0044】

また、ある領域について、「全体」、「全般」、「全域」等というときは、「ほぼ全体」、「ほぼ全般」、「ほぼ全域」等の場合を含む。従って、たとえば、ある領域の80%以上は、「全体」、「全般」、「全域」ということができる。このことは、「全周」、「全長」等についても同じである。

40

【0045】

更に、有るものの形状について、「矩形」というときは、「ほぼ矩形」を含む。従って、たとえば、矩形と異なる部分の面積が、全体の20%程度未満であれば、矩形とすることができる。この場合に於いて、このことは、「環状」等についても同じである。この場合に於いて、環状体が、分断されている場合は、その分断された要素部分を内挿または外挿した部分が環状体の一部である。

【0046】

また、周期性についても、「周期的」は、ほぼ周期的を含み、個々の要素について、たとえば、周期のずれが20%未満程度であれば、個々の要素は「周期的」ということがで

50

きる。更に、この範囲から外れるものが、その周期性の対象となる全要素のたとえば20%未満程度であれば、全体として「周期的」ということができる。

【0047】

なお、本節の定義は、一般的なものであり、以下の個別の記載で異なる定義があるときは、ここの部分については、個別の記載を優先する。ただし、当該個別の記載部分に規定等されていない部分については、明確に否定されていない限り、本節の定義、規定等がなお有効である。

【0048】

5. 「ウエハ」というときは、通常は半導体集積回路装置（半導体装置、電子装置も同じ）をその上に形成する炭化珪素単結晶ウエハ、単結晶シリコンウエハ等を指すが、エピタキシャルウエハ、LCDガラス基板等の絶縁基板と半導体層等の複合ウエハ等も含むことは言うまでもない。

10

【0049】

6. 本願において、接合FETの内、表面側にソース電極が形成され、裏面側にドレイン電極が形成された基本構造を有する縦型接合（Vertical Junction）FETを例に取り主に説明する。なお、接合FETとしては、このほかに、ソース電極およびドレイン電極がともに、表面側に形成された横型接合（Lateral Junction）FETがある。

【0050】

縦型接合FETは、横方向に主要なチャネルを有する横チャネル（Lateral Channel）型と縦方向に主要なチャネルを有する縦チャネル（Vertical Channel）型に分類されるが、本願では、主に、縦チャネル型ジャンクションFETを説明する。

20

【0051】

なお、以下で説明するデバイスが形成される結晶面（例えば、SiCウエハの主面）は、たとえば、（0001）または、これと等価な面を例に取り具体的に説明するが、これらの面から10度以内で傾けた面は、実質的に等価な面に含まれるものとする。また、必要に応じて、これ以外の結晶面でも良いことは言うまでもない。

【0052】

〔実施の形態の詳細〕

30

実施の形態について更に詳述する。各図中において、同一または同様の部分は同一または類似の記号または参照番号で示し、説明は原則として繰り返さない。

【0053】

また、添付図面においては、却って、煩雑になる場合または空隙との区別が明確である場合には、断面であってもハッチング等を省略する場合がある。これに関連して、説明等から明らかである場合等には、平面的に閉じた孔であっても、背景の輪郭線を省略する場合がある。更に、断面でなくとも、空隙でないことを明示するために、ハッチングを付すことがある。

【0054】

なお、二者択一の場合の呼称に関して、一方を「第1」等として、他方を「第2」等と呼ぶ場合に於いて、代表的な実施の形態に沿って、対応付けして例示する場合があるが、たとえば「第1」といっても、例示した当該選択肢に限定されるものではないことは言うまでもない。

40

【0055】

1. 本願の一実施の形態の縦チャネル型ジャンクションSiCパワーFET（縦型プレーナ構造）における単位セル構造の一例（ソースアイランド型直交格子配列セル構造）等の説明（主に図1および図2）

このセクションでは、セクション2で説明する基本的な例について、その特長が明確に現れる単位セル領域およびこれを含むアクティブセル領域の一部を模式的に切り出して、その概要を説明する。

50

【 0 0 5 6 】

図 1 は本願の一実施の形態の縦チャンネル型ジャンクション S i C パワー F E T (縦型プレーナ構造)における単位セル構造の一例(ソースアイランド型直交格子配列セル構造)等を説明するためのアクティブセル領域の部分平面図である。図 2 は図 1 の A - A ' 断面に対応する単位セルおよびその周辺の模式的断面図である。これらに基づいて、本願の一実施の形態の縦チャンネル型ジャンクション S i C パワー F E T (縦型プレーナ構造)における単位セル構造の一例(ソースアイランド型直交格子配列セル構造)等を説明する。

【 0 0 5 7 】

先ず、デバイスの表面および裏面の電極、絶縁膜等の表面構造を省略した模式的デバイス構造を説明する。縦チャンネル型ジャンクション S i C パワー F E T の半導体チップ 2 のアクティブセル領域 9 の内部一部切り出し部 R 1 に対応する模式的上面図を図 1 に示す。図 1 に示すように、アクティブセル領域 9 の半導体基板 2 (たとえば、S i C 基板)の表面 1 a には、この例では、直交格子状に多数の単位セル領域 1 0 が配置されている。なお、この直交格子の配向は、たとえば、ウエハ上のチップの格子状配列の配向および各チップの隣接辺の方向と一致する。

10

【 0 0 5 8 】

各単位セル領域 1 0 は、周辺の P 型ゲート領域 4 (通常ゲート領域)、その内部に作られた N + 型ソース領域 6、そのまた内部に作られた P 型フローティング領域 5 (フローティングゲート領域)等から構成されている。また、P 型ゲート領域 4 と N + 型ソース領域 6 の間は、N - 型ドリフト領域 3 (たとえば、N - 型 S i C エピタキシ層 1 e)によって、相互に隔てられている。このレイアウトでは、P 型ゲート領域 4 は、平面的に見て、全体として、メッシュ状を呈している。

20

【 0 0 5 9 】

次に、図 1 の A - A ' 断面を図 2 に示す。図 2 に示すように、半導体基板 2 の裏面 1 b (第 2 の主面)側の表面領域には、例えば、一様な厚さの N + 型ドレイン領域 7 が設けられている。一方、半導体基板 2 の表面 1 a (第 2 の主面)側の表面から内部に亘っては、この例では、ほぼ一定の厚さを有する N - 型ドリフト領域 3 (たとえば、N - 型 S i C エピタキシ層 1 e)が設けられている。ここで、N + 型ドレイン領域 7 の不純物濃度は、N - 型ドリフト領域 3 の不純物濃度よりも高い。また、両領域の導電型(たとえば、第 1 導電型)は、この例では、N 型であり、同じである。

30

【 0 0 6 0 】

N - 型ドリフト領域 3 (ドリフト領域)の表面領域には、N - 型ドリフト領域 3 よりも高濃度の N + 型ソース領域 6 (ソース領域)が設けられている。この N + 型ソース領域 6 の下方であって、これに近接するように、N - 型ドリフト領域 3 内には、P 型フローティング領域 5 (フローティング領域またはフローティングゲート領域)が設けられている。フローティング領域 5 の導電型(第 2 導電型)は、N - 型ドリフト領域 3 の導電型と反対導電型である。

【 0 0 6 1 】

フローティング領域 5 およびソース領域 6 を少なくとも両側から挟むように、N - 型ドリフト領域 3 の表面から内部に亘っては、P 型ゲート領域 4 が設けられている。この領域は、単一の領域(この例では、たとえば、メッシュ状の単一の領域である)であっても、複数の領域の集合であっても良い。

40

【 0 0 6 2 】

このように、アクティブセル領域 9 は、ドリフト領域 3 の表面から内部に亘り設けられており、アクティブセル領域 9 内には、複数の単位セル領域 1 0 が設けられている。また、このデバイスは、構造的には、いわゆるプレーナ(Planar)型に属する。更に、動作モードについて言えば、いわゆるノーマリオン(Normally ON)型である。なお、ノーマリオフ(Normally OFF)型でもよいことは言うまでもない。

【 0 0 6 3 】

また、この例に於いては、N + 型ソース領域 6、P 型フローティング領域 5、P 型ゲ

50

ト領域 4 等は、イオン注入によって形成されたものである。また、たとえば、この例に於いては、P 型フローティング領域 5 は、多段のイオン注入によって形成されたものである。

【 0 0 6 4 】

更に、図 2 からわかるように、この例では、平面的に見たとき、フローティング領域 5 は、ソース領域 6 の幅 WS 内にある。なお、ソース領域 6 の幅 WS (たとえば、3 マイクロメートル程度) およびフローティング領域 5 の幅 WG (たとえば、1 マイクロメートル程度) を好適な一例として示すことができる。

【 0 0 6 5 】

同様に、フローティング領域 5 は、深さ方向に関して、少なくとも、ゲート領域 4 間の領域から、ゲート領域 4 の下端 4 b まで延在する。

10

【 0 0 6 6 】

なお、このデバイス構造に於いては、図 2 に示すように、チャンネル部 2 3 (電流を実質的に制限する部分) における電流通路が主に縦方向であるから、縦チャンネル型ジャンクション FET に属する。

【 0 0 6 7 】

また、主ゲート領域 4 とは別に、P 型フローティング領域 5 (補助ゲート領域) をフローティングの領域として設けることにより、ゲート層の浅接合化が可能となり、その結果、高エネルギーのイオン注入が不要となるメリットを有する。

【 0 0 6 8 】

更に、補助ゲート領域 5 をフローティングの領域として設けることにより、取り出し配線を不要とすることができるメリットを有する。

20

【 0 0 6 9 】

また、同様に、ゲート層の浅接合化により、接合終端処理領域の高エネルギーのイオン注入が不要となるメリットを有する。

【 0 0 7 0 】

更に、このような構造に於いては、主ゲート領域 4 の間隔を比較的広く設定することができるので、ソース領域 6 との間を比較的広く取ることができるメリットを有する。

【 0 0 7 1 】

また、このような構造に於いては、主ゲート領域 4 上に他の領域がないので、主ゲート領域 4 の直上に、メタルゲート配線をレイアウトすることが可能であり、ゲート抵抗の低減に有効である。

30

【 0 0 7 2 】

更に、縦チャンネル型デバイスであることから、チャンネル領域の高アスペクト化による高耐圧化が容易である。これに対して、横チャンネル型デバイスは、チャンネル領域の高アスペクト化により、デバイスサイズが比例的に拡大するため、高耐圧化が困難である。

【 0 0 7 3 】

また、この例のデバイスは、ノーマリオンモードで動作するので、スイッチング特性に優れ、製造も比較的容易にできるメリットを有する。なお、各領域の濃度等を調整して、ノーマリオフモードとすることもできる。

40

【 0 0 7 4 】

更に、デバイス構造が、プレーナ構造であるため、製造が容易であるメリットを有する。

【 0 0 7 5 】

また、補助ゲート領域 5 が、イオン注入により形成されているので、微細加工が容易であり、付加的なエッチングやエピタキシプロセスを不要とすることができる。更に、補助ゲート領域 5 が、多段のイオン注入により形成されているので、チャンネル領域の高アスペクト化が可能となり、デバイス耐圧の高耐圧化が可能となる。

【 0 0 7 6 】

同様に、主ゲート領域 4 が、イオン注入により形成されているので、微細加工が容易で

50

あり、付加的なエッチングやエピタキシプロセスを不要とすることができる。

【0077】

また、平面的に見たとき、補助ゲート領域5がソース領域6の幅内にあるので、デバイスサイズを微細にすることが容易である。

【0078】

更に、補助ゲート領域5が、深さに関して、少なくとも、主ゲート領域4間の領域から、その下端まで（又は、その近傍）まで延在しているので、十分なチャンネル長を確保することが可能である。

【0079】

2. 本願の前記一実施の形態の縦チャンネル型ジャンクションSiCパワーFET（縦型プレーナ構造）におけるチップ全体レイアウト（ソースアイランド型直交格子配列セル構造）等の説明（主に図3から図6）

10

このセクションでは、セクション1で説明した単位セル領域10（図1、図2）の構造に対応するデバイスの全体構造を説明する。なお、以下の例では、原則として、セクション1で説明していない部分のみを説明する。

【0080】

図3は本願の前記一実施の形態の縦チャンネル型ジャンクションSiCパワーFET（縦型プレーナ構造）におけるチップ全体レイアウト（ソースアイランド型直交格子配列セル構造）等を説明するためのチップ全体上面図（上面メタル構造を含む）である。図4は図3に対応するチップ全体上面図（上面メタル構造を除去しコンタクト部分を強調）である。図5は図3に対応するチップ全体上面図（上面メタル構造を除去し不純物領域を強調）である。図6は図3のB-C断面に対応するデバイス断面図である。これらに基づいて、本願の前記一実施の形態の縦チャンネル型ジャンクションSiCパワーFET（縦型プレーナ構造）におけるチップ全体レイアウト（ソースアイランド型直交格子配列セル構造）等を説明する。

20

【0081】

図3から図5にチップ2の表面1aの全体のレイアウトを示す。図3から図5に示すように、チップ2の周辺部は、N-型ドリフト領域3、すなわち、N-型SiCエピタキシ層1eであり、その内部には、リング状のP型接合終端処理領域8、すなわち、ジャンクションターミネーションエクステンション（Junction Termination Extension）領域が設けられている。

30

【0082】

P型接合終端処理領域8の内部は、P型ゲート領域4（通常ゲート領域）の外周部となっており、この外周部には、ゲートコンタクト部12および、これらを連結するメタルゲート配線16（メタルゲート電極）が設けられている。P型ゲート領域4の外周部の更に内部は、たとえば、アクティブセル領域9内には、単位セル領域10が、直交格子状に配列されている。

【0083】

また、アクティブセル領域9上は、ほぼ全域がメタルソース電極15で覆われており、このメタルソース電極15は、各単位セル領域10のソースコンタクト部11と電氣的に接続されている。メタルソース電極15の内部領域には、たとえば、ソースパッド開口14（ファイナルパッシベーション膜の開口部）が設けられている。

40

【0084】

次に、図3から図5のB-C断面を図6に示す。図6に示すように、半導体基板2の裏面1b（第2の主面）側の表面領域には、例えば、一様な厚さのN+型ドレイン領域7が設けられており、半導体基板2の裏面1bには、裏面メタル電極膜19（メタルドレイン電極膜）が設けられている。

【0085】

一方、半導体基板2の表面1a（第2の主面）側の表面から内部に亘っては、この例では、ほぼ一定の厚さを有するN-型ドリフト領域3（たとえば、N-型SiCエピタキシ

50

層 1 e) が設けられている。

【 0 0 8 6 】

N - 型ドリフト領域 3 (ドリフト領域) の表面領域には、N - 型ドリフト領域 3 よりも高濃度の N + 型ソース領域 6 (ソース領域) が設けられている。この N + 型ソース領域 6 の下方であって、これに近接するように、N - 型ドリフト領域 3 内には、P 型フローティング領域 5 (フローティング領域またはフローティングゲート領域) が設けられている。

【 0 0 8 7 】

フローティング領域 5 およびソース領域 6 を少なくとも両側から挟むように、N - 型ドリフト領域 3 の表面から内部に亘っては、P 型ゲート領域 4 が設けられている。更に、P 型ゲート領域 4 の外側には、P 型接合終端処理領域 8 が設けられている。

10

【 0 0 8 8 】

半導体基板 2 の表面 1 a 上には、たとえば、酸化シリコン膜等の層間絶縁膜 1 7 が設けられている。この層間絶縁膜 1 7 上には、メタルソース電極 1 5 が設けられており、ソースコンタクト部 1 1 を介して、N + 型ソース領域 6 と電氣的に接続されている。一方、層間絶縁膜 1 7 上には、メタルゲート配線 1 6 (メタルゲート電極) が設けられており、ゲートコンタクト部 1 2 を介して、P 型ゲート領域 4 (通常ゲート領域) と電氣的に接続されている。層間絶縁膜 1 7、メタルソース電極 1 5、メタルゲート配線 1 6 等は、一部を除いて、ファイナルパッシベーション膜 1 8 に被覆されている。

【 0 0 8 9 】

ここに説明したように、ソースアイランド型レイアウト (本例、およびセクション 5 のサブセクション (1) および (2) の例) においては、平面的に見たとき、ソース領域 6 および補助ゲート領域 5 (P 型フローティング領域) が、ともにアイランド状になっているので、主ゲート領域 4 (P 型ゲート領域) のレイアウトの自由度が大きくなるメリットを有する。また、補助ゲート領域 5 がフローティングでない場合は、電極の引き出しが困難であるが、この例では、フローティングであり問題が生じない。また、平面的に言って、補助ゲート領域 5 がソース領域 6 の内部に含まれる (内包される) 構造となっているので、面積的有效性は非常に高い。

20

【 0 0 9 0 】

3 . 本願の前記一実施の形態の縦チャンネル型ジャンクション SiC パワー FET (縦型プレーナ構造) におけるチップ全体レイアウト (ソースアイランド型直交格子配列セル基本構造) に対応する製造プロセスの一例の説明 (主に図 7 から図 1 4)

30

このセクションでは、セクション 2 で説明したデバイス構造に対応する製造プロセスの一例を説明する。しかし、これは単なる一例であって、種々変形可能であることは言うまでもない。

【 0 0 9 1 】

以下では、ソース - ドレイン耐圧が 1 0 0 0 ボルト程度のデバイスを例にとり具体的に説明するが、耐圧がそれ以外でも良いことは言うまでもない。

【 0 0 9 2 】

図 7 は本願の前記一実施の形態の縦チャンネル型ジャンクション SiC パワー FET (縦型プレーナ構造) におけるチップ全体レイアウト (ソースアイランド型直交格子配列セル基本構造) に対応する製造プロセスの一例を説明するための図 6 に対応する製造工程途中 (ゲート領域導入工程) のデバイス断面図である。図 8 は本願の前記一実施の形態の縦チャンネル型ジャンクション SiC パワー FET (縦型プレーナ構造) におけるチップ全体レイアウト (ソースアイランド型直交格子配列セル基本構造) に対応する製造プロセスの一例を説明するための図 6 に対応する製造工程途中 (フローティング領域導入工程) のデバイス断面図である。図 9 は本願の前記一実施の形態の縦チャンネル型ジャンクション SiC パワー FET (縦型プレーナ構造) におけるチップ全体レイアウト (ソースアイランド型直交格子配列セル基本構造) に対応する製造プロセスの一例を説明するための図 6 に対応する製造工程途中 (接合終端領域導入工程) のデバイス断面図である。図 1 0 は本願の前記一実施の形態の縦チャンネル型ジャンクション SiC パワー FET (縦型プレーナ構造)

40

50

におけるチップ全体レイアウト（ソースアイランド型直交格子配列セル基本構造）に対応する製造プロセスの一例を説明するための図6に対応する製造工程途中（ソース領域導入工程）のデバイス断面図である。図11は本願の前記一実施の形態の縦チャンネル型ジャンクションSiCパワーFET（縦型プレーナ構造）におけるチップ全体レイアウト（ソースアイランド型直交格子配列セル基本構造）に対応する製造プロセスの一例を説明するための図6に対応する製造工程途中（層間絶縁膜成膜&加工工程）のデバイス断面図である。図12は本願の前記一実施の形態の縦チャンネル型ジャンクションSiCパワーFET（縦型プレーナ構造）におけるチップ全体レイアウト（ソースアイランド型直交格子配列セル基本構造）に対応する製造プロセスの一例を説明するための図6に対応する製造工程途中（表面メタル膜成膜&加工工程）のデバイス断面図である。図13は本願の前記一実施の形態の縦チャンネル型ジャンクションSiCパワーFET（縦型プレーナ構造）におけるチップ全体レイアウト（ソースアイランド型直交格子配列セル基本構造）に対応する製造プロセスの一例を説明するための図6に対応する製造工程途中（ファイナルパッシベーション膜成膜&加工工程）のデバイス断面図である。図14は本願の前記一実施の形態の縦チャンネル型ジャンクションSiCパワーFET（縦型プレーナ構造）におけるチップ全体レイアウト（ソースアイランド型直交格子配列セル基本構造）に対応する製造プロセスの一例を説明するための図6に対応する製造工程途中（裏面メタル膜成膜&加工工程）のデバイス断面図である。これらに基づいて、本願の前記一実施の形態の縦チャンネル型ジャンクションSiCパワーFET（縦型プレーナ構造）におけるチップ全体レイアウト（ソースアイランド型直交格子配列セル基本構造）に対応する製造プロセスの一例を説明する。

10

20

【0093】

まず、図7に示すように、たとえば、N型SiC半導体ウエハ（たとえば、抵抗率は、20ミリcm程度）を準備する。SiCウエハ1（ポリタイプは、たとえば4H）は、たとえば、76（なお、ウエハの直径は、100ファイでも、150ファイでも、それ以外のもので良い）といし、主面の結晶面は、たとえば（0001）面または、これと等価な面とする。ウエハの厚さは、たとえば、350マイクロメートル程度である（必要に応じて、100から900マイクロメートル程度の範囲とする）。なお、任意であるが、ここでは、主オリエンテーションフラットとサブオリエンテーションフラット（オリエンテーションフラット同士はお互いに直交している）を有するものを使用した。結晶方位は、たとえば主オリエンテーションフラットの方向が、[1-100]方向であり、サブオリエンテーションフラットと反対の方向が、たとえば[11-20]方向である。なお、必須ではないが、この例に於いては、各チップ（矩形）の各辺は、いずれかのオリエンテーションフラットとほぼ平行になっている。

30

【0094】

また、主面1aの結晶面は、たとえば（0001）面自体または、これと等価な面自体のみでなく、これらと結晶面の性質が類似している（0001）面または、これと等価な面から一定の方位に10度以内程度傾けた面でも良いことはいうまでもない。ここで、傾ける方向は、たとえば、[1, 1, -2, 0]方向などである。

【0095】

なお、ポリタイプは、4Hのみでなく、必要に応じて、6Hその他でも良い。更に、結晶面は、（0001）面または、これと等価な面以外であっても良い。

40

【0096】

次に、図7に示すように、たとえば、N+型SiC半導体ウエハ1sの表面1a側に、たとえば、耐圧に応じて、10マイクロメートル程度の厚さ（耐圧が1000ボルト程度の場合）のN-型SiCエピタキシ層1eを形成する（不純物濃度は、たとえば、 $1 \times 10^{16} / \text{cm}^3$ 程度）。

【0097】

次に、ウエハ1の表面1a側から、イオン注入を実行することにより、例えば、深さ1マイクロメートル程度のP型ゲート領域4（通常ゲート領域）を導入する。このイオン注入プロセスは、二つのセクションに分けることができる。すなわち、第1セクションは、

50

接合の側面が垂直になるようにするもので、たとえば、イオン種：アルミニウム、打ち込み角度：垂直、打ち込み段数：5段、各段のドーズ量： $1 \times 10^{13} / \text{cm}^2$ から $5 \times 10^{14} / \text{cm}^2$ 程度の範囲を好適なものとして例示することができる。すなわち、各段で打ち込み深さが異なるように、打ち込みエネルギー範囲： 100 KeV から 700 KeV 程度の範囲に対応して、各段で打ち込みエネルギーを変えて打ち込みを実行する。なお、注入温度（イオン注入時のウエハ温度）は、特に表示しない場合は、常温である。このような多段打ち込みは、P型ゲート領域4の側壁の垂直化に有効であり、チャネル領域の高アスペクト化に有効である。

【0098】

同様に、第2セクションは、コンタクト抵抗を低減するためのもので、たとえば、イオン種：アルミニウム、打ち込み角度：垂直、打ち込み段数：2段、各段のドーズ量： $1 \times 10^{15} / \text{cm}^2$ 程度（注入温度は、例えば、摂氏500度程度）の範囲を好適なものとして例示することができる。すなわち、各段で打ち込み深さが異なるように、打ち込みエネルギー範囲： 20 KeV から 100 KeV 程度の範囲に対応して、各段で打ち込みエネルギーを変えて打ち込みを実行する。イオン注入後の熱処理は、そのつど実施しても良いが、ここでは、後にまとめて実施する例を示す。

【0099】

次に、図8に示すように、たとえば、ウエハ1の表面1a側から、イオン注入を実行することにより、例えば、深さ1マイクロメートル程度のP型フローティング領域5（フローティングゲート領域）を導入する。このイオン注入プロセスは、たとえば、イオン種：アルミニウム、打ち込み角度：垂直、打ち込み段数：2段、各段のドーズ量： $1 \times 10^{12} / \text{cm}^2$ から $3 \times 10^{13} / \text{cm}^2$ 程度の範囲を好適なものとして例示することができる。すなわち、各段で打ち込み深さが異なるように、打ち込みエネルギー範囲： 400 KeV から 700 KeV 程度の範囲に対応して、各段で打ち込みエネルギーを変えて打ち込みを実行する。イオン注入後の熱処理は、そのつど実施しても良いが、ここでは、後にまとめて実施する例を示す。なお、イオン注入は、1段でも良い。しかし、多段の方が、側面を垂直に制御する点で有利である。

【0100】

次に、図9に示すように、たとえば、ウエハ1の表面1a側から、イオン注入を実行することにより、例えば、深さ1マイクロメートル程度（好適な範囲としては、たとえば、0.3から1.0マイクロメートル程度）のP型接合終端処理領域8を導入する。ドーズ量は、最大逆バイアス時に、完全空乏化する程度に設定する。このイオン注入プロセスは、たとえば、イオン種：アルミニウム、打ち込み角度：垂直、打ち込み段数：8段、各段のドーズ量： $1 \times 10^{11} / \text{cm}^2$ から $5 \times 10^{12} / \text{cm}^2$ 程度の範囲を好適なものとして例示することができる。すなわち、各段で打ち込み深さが異なるように、打ち込みエネルギー範囲： 100 KeV から 700 KeV 程度の範囲に対応して、各段で打ち込みエネルギーを変えて打ち込みを実行する。イオン注入後の熱処理は、そのつど実施しても良いが、ここでは、後にまとめて実施する例を示す。

【0101】

次に、図10に示すように、たとえば、ウエハ1の表面1a側から、イオン注入を実行することにより、例えば、比較的浅いN+型ソース領域6を導入する。このイオン注入プロセスは、たとえば、イオン種：窒素、打ち込み角度：垂直、打ち込み段数：3段、各段のドーズ量： $1 \times 10^{14} / \text{cm}^2$ から $2 \times 10^{15} / \text{cm}^2$ 程度の範囲を好適なものとして例示することができる。すなわち、各段で打ち込み深さが異なるように、打ち込みエネルギー範囲： 50 KeV から 200 KeV 程度の範囲に対応して、各段で打ち込みエネルギーを変えて打ち込みを実行する。なお、 $1 \times 10^{15} / \text{cm}^2$ から $2 \times 10^{15} / \text{cm}^2$ 程度のドーズ量の場合は、注入温度（イオン注入時のウエハ温度）を、たとえば、摂氏700度程度（範囲としては、摂氏300度から800度）とするのが望ましい。その後、たとえば、不活性ガスの雰囲気下（温度は、例えば、摂氏1700度程度）で、1分程度の活性化熱処理を実行する。

10

20

30

40

50

【 0 1 0 2 】

次に、図 1 1 に示すように、ウエハ 1 の表面 1 a 上に、たとえば、CVD (Chemical Vapor Deposition) により、たとえば、厚さ 500 nm 程度の酸化シリコン系絶縁膜 (たとえば、TEOS-SiO₂ 膜) を層間絶縁膜 1 7 として、成膜する。その後、たとえば、通常のリソグラフィにより、層間絶縁膜 1 7 を加工して、ソースコンタクト開口 2 1、ゲートコンタクト開口 2 2 等を形成する。

【 0 1 0 3 】

次に、図 1 2 に示すように、たとえば、ソースコンタクト開口 2 1、ゲートコンタクト開口 2 2 内にニッケルシリサイド膜等のシリサイド膜を形成することにより (このとき、通常、裏面 1 b にも、シリサイド膜を形成する)、コンタクト抵抗を低減する。このシリサイド化アニールの条件としては、たとえば、アルゴン雰囲気下、摂氏 1000 度程度の温度で、1 から 2 分程度を好適なものとして例示することができる。次に、図 1 2 に示すように、例えば、スパッタリング成膜により、表面メタル膜 2 0 を成膜する。表面メタル膜 2 0 としては、たとえば、下層から、チタン膜 (例えば、厚さ 50 nm 程度)、窒化チタン膜 (例えば、厚さ 50 nm 程度)、アルミニウム系メタル膜 (アルミニウムを主要な成分とするメタル膜で、例えば、厚さ 500 nm 程度) を好適なものとして例示することができる。

10

【 0 1 0 4 】

次に、図 1 3 に示すように、たとえば、塗布により、ポリイミド膜 (例えば、感光性ポリイミド膜) 等のファイナルパッシベーション膜 1 8 を成膜し、たとえば通常のリソグラフィにより、加工することにより、ソースパッド開口 1 4 等を形成する。

20

【 0 1 0 5 】

次に、図 1 4 に示すように、たとえば、ウエハ 1 の裏面 1 b のほぼ全面に、裏面メタルドレイン電極 1 9 (裏面に近い側から、たとえば、チタン、ニッケル、金等) をたとえばスパッタリング成膜等により形成する。その後、ダイシング等により、チップ 2 に分割する。

【 0 1 0 6 】

4 . 本願の前記一実施の形態の縦チャンネル型ジャンクション SiC パワー FET (縦型プレーナ構造) における単位セル構造 (ソースアイランド型セル構造) に関する変形例 1 から 4 の説明 (主に図 1 5 から図 1 8)

30

このセクションでは、セクション 1 の図 2 に対応して、チャンネル領域周辺構造 (P 型フローティング領域 5 とその周辺の構造) に関する各種の変形例を説明する。以下では原則として、ここまでに (主に図 2 に関して) 説明していない部分についてのみ説明する。

【 0 1 0 7 】

なお、以下では、主に、ソースアイランド構造 (図 3 から図 6) を前提に具体的に説明するが、セクション 1 の図 2 の例および、このセクションの各例は、ほぼそのまま、各ゲートアイランド構造 (セクション 5) にも適用できることは言うまでもない。また、ソースアイランド構造の他の例 (セクション 5 のサブセクション (1)、(2)) にもほぼそのまま適用できることは言うまでもない。

【 0 1 0 8 】

40

図 1 5 は本願の前記一実施の形態の縦チャンネル型ジャンクション SiC パワー FET (縦型プレーナ構造) における単位セル構造 (ソースアイランド型セル構造) に関する変形例 1 (ディープフローティングゲート型ソースアイランド方式セル構造) を説明するための図 2 に対応する単位セルおよびその周辺の模式的断面図である。図 1 6 は本願の前記一実施の形態の縦チャンネル型ジャンクション SiC パワー FET (縦型プレーナ構造) における単位セル構造 (ソースアイランド型セル構造) に関する変形例 2 (台形フローティングゲート型ソースアイランド方式セル構造) を説明するための図 2 に対応する単位セルおよびその周辺の模式的断面図である。図 1 7 は本願の前記一実施の形態の縦チャンネル型ジャンクション SiC パワー FET (縦型プレーナ構造) における単位セル構造 (ソースアイランド型セル構造) に関する変形例 3 (逆 T 字フローティングゲート型ソースアイラン

50

ド方式セル構造)を説明するための図2に対応する単位セルおよびその周辺の模式的断面図である。図18は本願の前記一実施の形態の縦チャンネル型ジャンクションSiCパワーFET(縦型プレーナ構造)における単位セル構造(ソースアイランド型セル構造)に関する変形例4(2段エピタキシ逆T字フローティングゲート型ソースアイランド方式セル構造)を説明するための図2に対応する単位セルおよびその周辺の模式的断面図である。これらに基づいて、本願の前記一実施の形態の縦チャンネル型ジャンクションSiCパワーFET(縦型プレーナ構造)における単位セル構造(ソースアイランド型セル構造)に関する変形例1から4を説明する。

【0109】

(1)ディープフローティングゲート型ソースアイランド方式セル構造(主に図15)

10

この例は、図15に示すように、P型フローティング領域5(フローティングゲート領域)の下端が、P型ゲート領域4(通常ゲート領域)の下端4bよりも下に延びている点が付加的な特徴となっている。このことにより、プロセスばらつきにより、P型フローティング領域5(フローティングゲート領域)の下端とP型ゲート領域4(通常ゲート領域)の下端4bの高さがずれたときにも、十分な実効チャンネル長を確保することができる。これに対して、図2の例では、P型フローティング領域5のイオン注入工程を比較的低エネルギーで、且つ、簡単なものとすることができるメリットが有る。

【0110】

(2)台形フローティングゲート型ソースアイランド方式セル構造(主に図16) :

20

この例は、図16に示すように、P型フローティング領域5(フローティングゲート領域)の下端の幅が、上端よりの広く、断面的に台形状となっている点が付加的な特徴となっている。このことにより、横チャンネル型に類似した効果を得ることができる。ただし、P型フローティング領域5のイオン注入工程は、若干複雑になる。すなわち、たとえば、多段のイオン注入で、下の段ほど、イオン注入マスクの開口の幅を広くするか、または、同じ幅のマスクで、打ち込み角度を上の方は垂直とし、下の方は、斜め注入とする。

【0111】

(3)逆T字フローティングゲート型ソースアイランド方式セル構造(主に図17) :

この例は、図17に示すように、図15のP型フローティング領域5(フローティングゲート領域)を二つの部分、すなわち、P型フローティング領域上部5tとP型フローティング領域下部5bに分けたものである。言い換えると、図15のP型フローティング領域5(図17におけるP型フローティング領域上部5t)の下端に、P型フローティング領域下部5bを付加したものである。このようにすることにより、チャンネル部の下端に横チャンネルが付加されるため、副次的に横チャンネルと同様のメリットを享受することができる。一方、P型フローティング領域下部5bの形成には、高エネルギーのイオン注入を必要とするデメリットがある。

30

【0112】

(4)2段エピタキシ逆T字フローティングゲート型ソースアイランド方式セル構造(主に図18) :

この例は、図17の例のデメリットを回避するために、図18に示すように、まず、N型SiC下層エピタキシ層1efを形成した後、イオン注入等でP型フローティング領域下部5bを導入しておき、その後、N型SiC上層エピタキシ層1esし、その後は、図15の例と同じように、P型フローティング領域上部5t(図15のP型フローティング領域5)を形成するものである。

40

【0113】

このようにすることにより、比較的高エネルギーのイオン注入を必要とせず、図17と同様に構造を得ることができる。一方、エピタキシャルプロセスは、2段となるデメリットがある。

【0114】

5.本願の前記一実施の形態の縦チャンネル型ジャンクションSiCパワーFET(縦

50

型プレーナ構造)におけるチップ全体レイアウトに関する変形例1および2(ソースアイランド型セル構造)、並びに3から5(ゲートアイランド型セル構造)の説明(主に図19から図34)

このセクションでは、セクション2で図3から図6について説明した主に平面レイアウト(アクティブセル領域9およびその周辺のレイアウト)に関する変形例を説明する。以下では、原則として、これまでに説明していない点のみを説明する。

【0115】

以下、サブセクション(1)および(2)の例は、図3から図6の例と同様に、ソースアイランド型セル構造に属し、サブセクション(3)、(4)および(5)の例は、ゲートアイランド型セル構造に属する。ソースアイランド型セル構造は、一層メタル構造に於いても、中央に広いソース電極を配置しやすいメリットを有する。一方、ゲートアイランド型セル構造は、ゲートの引き出し、および、ソースの引き出しをほぼ対称形状にできるメリットを有する。

【0116】

なお、以下のサブセクション(1)および(2)におけるB-C断面は、基本的に図6と同じであり、サブセクション(3)から(5)におけるB-C断面は、基本的に図28に於いて説明するものと同じであり、各例に於いて、原則として説明は繰り返さない。

【0117】

図19は本願の前記一実施の形態の縦チャンネル型ジャンクションSiCパワーFET(縦型プレーナ構造)におけるチップ全体レイアウトに関する変形例1(ストライプ型ソースアイランド方式セル構造)を説明するための図3に対応するチップ全体上面図(上面メタル構造を含む)である。図20は図19に対応するチップ全体上面図(上面メタル構造を除去しコンタクト部分を強調)である。図21は図19に対応するチップ全体上面図(上面メタル構造を除去し不純物領域を強調)である。図22は本願の前記一実施の形態の縦チャンネル型ジャンクションSiCパワーFET(縦型プレーナ構造)におけるチップ全体レイアウトに関する変形例2(斜交格子型ソースアイランド方式セル構造)を説明するための図4に対応するチップ全体上面図(上面メタル構造を含む)である。図23は図22に対応するチップ全体上面図(上面メタル構造を除去しコンタクト部分を強調)である。図24は図22に対応するチップ全体上面図(上面メタル構造を除去し不純物領域を強調)である。図25は本願の前記一実施の形態の縦チャンネル型ジャンクションSiCパワーFET(縦型プレーナ構造)におけるチップ全体レイアウトに関する変形例3(正方格子型ゲートアイランド方式セル構造)を説明するための図3に対応するチップ全体上面図(上面メタル構造を含む)である。図26は図25に対応するチップ全体上面図(上面メタル構造を除去しコンタクト部分を強調)である。図27は図25に対応するチップ全体上面図(上面メタル構造を除去し不純物領域を強調)である。図28は図25のB-C断面に対応するデバイス断面図である。図29は本願の前記一実施の形態の縦チャンネル型ジャンクションSiCパワーFET(縦型プレーナ構造)におけるチップ全体レイアウトに関する変形例4(ストライプ型ゲートアイランド方式セル構造)を説明するための図3に対応するチップ全体上面図(上面メタル構造を除去しコンタクト部分を強調)である。図30は図29に対応するチップ全体上面図(上面メタル構造を除去し不純物領域を強調)である。図31は図29に対応するチップ全体上面図(上面メタル構造を除去し不純物領域を強調)である。図32は本願の前記一実施の形態の縦チャンネル型ジャンクションSiCパワーFET(縦型プレーナ構造)におけるチップ全体レイアウトに関する変形例5(変形斜交格子型ゲートアイランド方式セル構造)を説明するための図3に対応するチップ全体上面図(上面メタル構造を含む)である。図33は図32に対応するチップ全体上面図(上面メタル構造を除去しコンタクト部分を強調)である。図34は図32に対応するチップ全体上面図(上面メタル構造を除去し不純物領域を強調)である。これらに基づいて、本願の前記一実施の形態の縦チャンネル型ジャンクションSiCパワーFET(縦型プレーナ構造)におけるチップ全体レイアウトに関する変形例1および2(ソースアイランド型セル構造)、並びに3から5(ゲートアイランド型セル構造)を説明する。

10

20

30

40

50

【 0 1 1 8 】

(1) ストライプ型 (変形例 1) ソースアイランド方式セルレイアウト (主に図 1 9 から図 2 1) :

この例は、図 1 9 から図 2 1 に示すように、図 3 から図 6 の例と基本的に同じものであるが、単位セル領域 1 0 が、アクティブセル領域 9 を縦断している点が特徴となっている。従って、この例に於いては、アクティブセル領域 9 内に於いて、P 型ゲート領域 4 (通常ゲート領域) は、ほぼストライプ状を呈しており、アクティブセル領域 9 の端部に於いて、相互に連結されている。このため、ゲートの引き出しをアクティブセル領域 9 の周辺に設けたメタルゲート配線 1 6 によって、構成することができる。このため、メタルソース電極 1 5 を中央部に広くレイアウトすることができる。

10

【 0 1 1 9 】

(2) 斜交格子型 (変形例 2) ソースアイランド方式単位セルレイアウト (主に図 2 2 から図 2 4) :

この例は、図 2 2 から図 2 5 に示すように、図 3 から図 6 の例と基本的に同じものであるが、列同士を比較すると、隣接する列の単位セル領域 1 0 が斜めにずれて配置されて、斜交格子を形成している点が特徴となっている。従って、チャンネル領域の平面的分布を比較的均一にすることができる。また、先の例と同様に、ゲートの引き出しをアクティブセル領域 9 の周辺に設けたメタルゲート配線 1 6 によって、構成することができる。このため、メタルソース電極 1 5 を中央部に広くレイアウトすることができる。

20

【 0 1 2 0 】

(3) 正方格子型 (変形例 3) ゲートアイランド方式単位セルレイアウト (主に図 2 5 から図 2 8) :

ソースアイランド構造 (図 3 から図 5 等) では、アクティブセル領域 9 に於いて、N + 型ソース領域 6 がアイランド上に格子点に配置されていたが、図 2 5 から図 2 8 に示すように、この例では、反対に、P 型ゲート領域 4 (通常ゲート領域) が、正方格子または直交格子の格子点に配置されている。従って、この場合、一層メタル構造に於いては、各ゲート領域 4 は、くし型のメタルゲート配線 1 6 によって、アクティブセル領域 9 外に取り出されている。

【 0 1 2 1 】

また、このレイアウトでは、ソースアイランド構造とは逆に、P 型フローティング領域 5 (フローティングゲート領域) の方が、平面的に見てメッシュ状を呈する (図 2 7) 。

30

【 0 1 2 2 】

更に、この構造では、実効的なチャンネル幅を比較的大きくすることが可能である。

【 0 1 2 3 】

次に、図 2 5 から図 2 7 の B - C 断面を図 2 8 (図 6 に対応する) に示す。図 6 に示すように、半導体基板 2 の裏面 1 b (第 2 の主面) 側の表面領域には、例えば、一様な厚さの N + 型ドレイン領域 7 が設けられており、半導体基板 2 の裏面 1 b には、裏面メタル電極膜 1 9 (メタルドレイン電極膜) が設けられている。

【 0 1 2 4 】

一方、半導体基板 2 の表面 1 a (第 2 の主面) 側の表面から内部に亘っては、この例では、ほぼ一定の厚さを有する N - 型ドリフト領域 3 (たとえば、N - 型 Si C エピタキシ層 1 e) が設けられている。

40

【 0 1 2 5 】

N - 型ドリフト領域 3 (ドリフト領域) の表面領域には、N - 型ドリフト領域 3 よりも高濃度の N + 型ソース領域 6 (ソース領域) が設けられている。この N + 型ソース領域 6 の下方であって、これに近接するように、N - 型ドリフト領域 3 内には、P 型フローティング領域 5 (フローティング領域またはフローティングゲート領域) が設けられている。

【 0 1 2 6 】

フローティング領域 5 およびソース領域 6 を少なくとも両側から挟むように、N - 型ドリフト領域 3 の表面から内部に亘っては、P 型ゲート領域 4 が設けられている。更に、ア

50

クティブセル領域 9 の端部の P 型ゲート領域 4 の外側には、P 型接合終端処理領域 8 が設けられている。

【 0 1 2 7 】

半導体基板 2 の表面 1 a 上には、たとえば、酸化シリコン膜等の層間絶縁膜 1 7 が設けられている。この層間絶縁膜 1 7 上には、メタルソース電極 1 5 が設けられており、ソースコンタクト部 1 1 を介して、N + 型ソース領域 6 と電氣的に接続されている。一方、層間絶縁膜 1 7 上には、メタルゲート配線 1 6 (メタルゲート電極) が設けられており、ゲートコンタクト部 1 2 を介して、P 型ゲート領域 4 (通常ゲート領域) と電氣的に接続されている。層間絶縁膜 1 7、メタルソース電極 1 5、メタルゲート配線 1 6 等は、一部を除いて、ファイナルパッシベーション膜 1 8 に被覆されている。

10

【 0 1 2 8 】

(4) ストライプ型 (変形例 4) ゲートアイランド方式単位セルレイアウト (主に図 2 9 から図 3 1) :

この例は、ストライプ型ソースアイランド構造 (図 1 9 から図 2 1) に対応するゲートアイランド方式であり、図 2 9 から図 3 1 に示すように、単位セル領域 1 0 が、アクティブセル領域 9 を縦断している点の特徴となっている。この構造は、サブセクション (1) の例と同様に、セル構造が非常に単純なものとなるメリットを有する。

【 0 1 2 9 】

一方、この例に於いては、アクティブセル領域 9 内に於いて、P 型ゲート領域 4 (通常ゲート領域) は、ほぼストライプ状を呈しているが、アクティブセル領域 9 の端部に於いて、相互に連結されていない。逆に、P 型フローティング領域 5 (フローティングゲート領域) の方が、アクティブセル領域 9 内に於いて、ほぼストライプ状を呈しており、アクティブセル領域 9 の端部に於いて、相互に連結されている。

20

【 0 1 3 0 】

この例に於いても、ゲートアイランド方式の特徴として、一層メタル構造に於いては、各ゲート領域 4 は、くし型のメタルゲート配線 1 6 によって、アクティブセル領域 9 外に取り出されている。

【 0 1 3 1 】

(5) 変形斜交格子型 (変形例 5) ゲートアイランド方式単位セルレイアウト (主に図 3 2 から図 3 4) :

この例は、斜交格子型ソースアイランド構造 (図 2 2 から図 2 4) に対応するゲートアイランド方式であり、図 3 2 から図 3 4 に示すように、隣接する列の単位セル領域 1 0 が斜めにずれて配置されて、斜交格子を形成している点の特徴となっている。一方、P 型フローティング領域 5 (フローティングゲート領域) は、平面的に見たとき、ストライプ状を呈している。この構造は、サブセクション (1) の例と同様のメリットを有する。

30

【 0 1 3 2 】

この例に於いても、ゲートアイランド方式の特徴として、一層メタル構造に於いては、各ゲート領域 4 は、くし型のメタルゲート配線 1 6 によって、アクティブセル領域 9 外に取り出されている。

【 0 1 3 3 】

6 . 前記実施の形態 (変形例を含む) に関する補足的説明並びに全般についての考察 (主に図 3 5)

図 3 5 は本願の前記一実施の形態の縦チャンネル型ジャンクション SiC パワー FET のアウトラインを説明するための図 2 の多にセルに対応する部分の模式的断面図である。図 3 6 は本願の前記一実施の形態の縦チャンネル型ジャンクション SiC パワー FET の使用状態の一例を示すノーマリオフ複合型トランジスタの回路図である。これらに基づいて、前記実施の形態 (変形例を含む) に関する補足的説明並びに全般についての考察を行う。

【 0 1 3 4 】

(1) 技術課題等の補足的説明 :

先に説明したように、シリコン等に比べて、格段に不純物拡散速度が遅い SiC 系の J

40

50

F E T (J u n c t i o n F E T) 素子においては、通常、ゲート領域にトレンチを形成し、その側壁等にイオン注入して、ゲート領域を形成する。しかし、J F E T の性能を確保するためには、ゲート領域間を高精度に制御しつつゲート深さを確保する必要がある。すなわちゲート間隔とゲート深さで規定されるチャンネル領域を高アスペクト比にする必要があるほか、プロセスの制約により、ソース領域内にゲート領域を形成するため、ソース領域およびゲート領域間で高濃度 P N 接合が形成される。そのため、接合電流の増加が避けられない等の種々の問題がある。また、ターミネーション構造 (P 型接合終端処理領域) の作製には極めて高エネルギー (2 M e V 程度) のイオン打ち込みが必要となる。

【 0 1 3 5 】

プロセス的に負担のかかるトレンチを形成しない手法として、高エネルギーでイオンを注入しゲート領域を形成する方法が考えられる。この場合、ゲート領域間は精度の良いホトリソグラフィのみで制御可能となるほか、マスクレイアウトでソース領域とゲート領域間距離を離すことが出来る。しかしながら、高エネルギー注入は必須となり、技術的に解決できているとはいえない。

10

【 0 1 3 6 】

(2) 本願の前記一実施の形態の縦チャンネル型ジャンクション S i C パワー F E T のアウトラインの説明 (主に図 3 5) :

このような課題を解決するために、本願の前記一実施の形態においては、図 3 5 に示すように、縦チャンネル型ジャンクション S i C パーティカル F E T において、第 1 の主面の表面領域に設けられたソース領域 6 の下方に、これに近接して、ゲート電位の通常ゲート領域 4 とは別に、フローティングのゲート領域 5 を設けている。

20

【 0 1 3 7 】

このようにすることによって、チャンネル領域の高アスペクト化が可能となる。

【 0 1 3 8 】

この構造 (ノーマリオンモードを仮定する) に於いては、主ゲート領域 4 の電位がソース領域 6 の電位と同じであるときは、オン状態であり、主ゲート領域 4 にマイナスの電圧が印加されると、ドリフト領域 3 側へ空乏層が伸び、電流を制限する。このとき、補助ゲート領域 5 は、電流制限領域として作用する。すなわち、補助ゲート領域 5 は、チャンネルの厚さを薄くする作用をしており、そのことによって、主ゲート領域 4 による電流制御を補助しているのである。

30

【 0 1 3 9 】

(3) 本願の前記一実施の形態の縦チャンネル型ジャンクション S i C パワー F E T の使用状態の一例の補足的説明 (主に図 3 6) :

本願の前記一実施の形態の縦チャンネル型ジャンクション S i C パーティカル F E T (パワー J F E T) は、ノーマリオンモードで動作するものを具体的に例示している。これは、ノーマリオフモードで動作するようにしてもよいが、ノーマリオンモードのデバイスの方が、製造が容易なほか、スイッチング特性に優れる当のメリットを有するからである。ノーマリオンモード J F E T であっても、図 3 6 に示すように、主デバイスとしての高耐圧のノーマリオンモード J F E T (Q 1) と、たとえば、補助デバイスとしての低耐圧のシリコン系または S i C 系のノーマリオフ M O S F E T (Q 2) をカスコード (C a s c o d e) 接続し、カスコード接続複合トランジスタ H T とすることができる。このようにすると、ノーマリオンモード J F E T (Q 1) のドレイン端子 D J 、ノーマリオフ M O S F E T (Q 2) のソース端子 S J 、およびノーマリオフ M O S F E T (Q 2) のゲート端子 G M を複合トランジスタ H T の各端子とすると、全体として、ノーマリオフモード素子と見ることができる。

40

【 0 1 4 0 】

なお、補助デバイス Q 2 は、ノーマリオフモード素子であれば、シリコン系であっても、S i C 系であってもよく、M O S 型デバイスであっても、接合型デバイスであっても良い。補助デバイス Q 2 を S i C 系とすると、摂氏 2 0 0 度以上の高温動作を可能とすることができるメリットがある。また、補助デバイス Q 2 をシリコン系の M O S 型デバイスと

50

すると、コストが低減できるほか、良好なスイッチング特性を教授することができるメリットを有する。

【0141】

7. サマリ

以上本発明者によってなされた発明を実施形態に基づいて具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

【0142】

例えば、前記実施の形態では、主にNチャンネル型パワーJFETについて具体的に説明したが、本発明はそれに限定されるものではなく、Pチャンネル型パワーJFETについても適用できることは言うまでもない。また、前記実施の形態では、主にノーマリオン型パワーJFETについて具体的に説明したが、本発明はそれに限定されるものではなく、ノーマリオフ型パワーJFETについても適用できることは言うまでもない。

【0143】

また、前記実施の形態では、主にSiC等のシリコンカーバイド系の半導体基板（ポリタイプは4Hに限らず、6H等やその他のものでも良い）を使用した能動デバイス（FET, IGBT, ダイオードなど）について具体的に説明したが、本発明はそれに限定されるものではなく、GaN系の能動デバイスについても適用できることは言うまでもない。

【0144】

なお、前記実施の形態では、接合終端処理構造として、ジャンクションターミネーションエクステンションを例に取り具体的に説明したが、接合終端処理構造は、これに限らず、たとえば、フィールドリミットリング（Field Limitting Ring）やフィールドプレート（Field Plate）、これらの複合構造等、その他の構造でも良いことは言うまでもない。

【符号の説明】

【0145】

- 1 半導体ウエハ（SiCウエハ）
- 1a ウエハまたはチップの第1の主面
- 1b ウエハまたはチップの第2の主面
- 1e N-型SiCエピタキシ層
- 1ef N-型SiC下層エピタキシ層
- 1es N-型SiC上層エピタキシ層
- 1s N+型SiC半導体基板（N+型SiC半導体基板層）
- 2 半導体チップまたはチップ領域（SiC半導体基板）
- 3 N-型ドリフト領域
- 4 P型ゲート領域（通常ゲート領域または主ゲート領域）
- 4b P型ゲート領域下端
- 5 P型フローティング領域（フローティングゲート領域または補助ゲート領域）
- 5b P型フローティング領域下部
- 5t P型フローティング領域上部
- 6 N+型ソース領域
- 7 N+型ドレイン領域
- 8 P型接合終端処理領域（ジャンクションターミネーションエクステンション領域）
- 9 アクティブセル領域
- 10 単位セル領域
- 11 ソースコンタクト部
- 12 ゲートコンタクト部
- 14 ソースパッド開口
- 15 メタルソース電極
- 16 メタルゲート配線（メタルゲート電極）

10

20

30

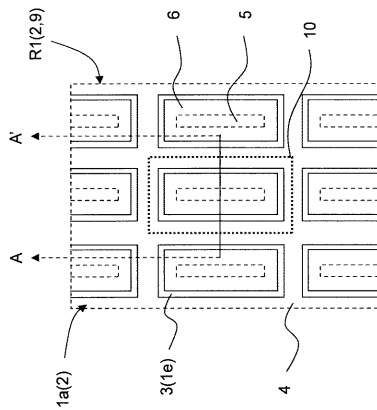
40

50

- 1 7 層間絶縁膜
- 1 8 ファイナルパッシベーション膜
- 1 9 裏面メタル電極膜 (メタルドレイン電極膜)
- 2 0 表面メタル膜
- 2 1 ソースコンタクト開口
- 2 2 ゲートコンタクト開口
- 2 3 チャンネル部
- D J 接合型 F E T のドレイン端子
- G M M O S F E T のゲート端子
- H T カスコード接続複合トランジスタ
- Q 1 ノーマリオン接合型 F E T
- Q 2 ノーマリオフ M O S F E T
- R 1 アクティブセル領域内部一部切り出し部
- S J 接合型 F E T のソース端子
- W G フローティング領域の幅
- W S ソース領域の幅

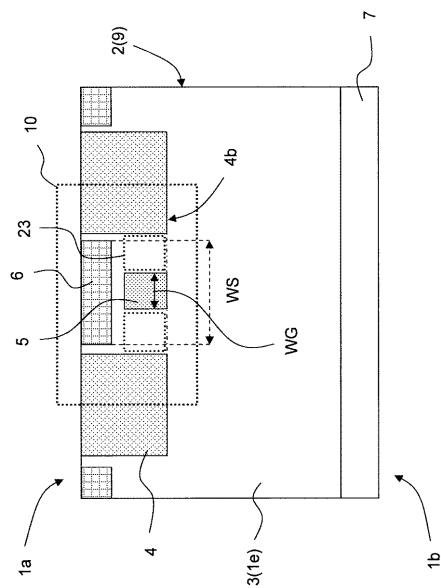
【図 1】

図1



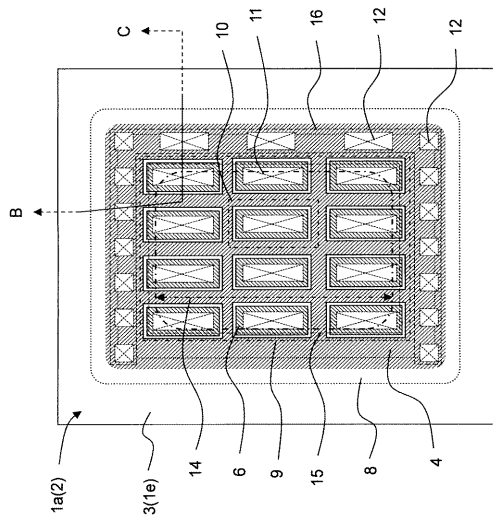
【図 2】

図2



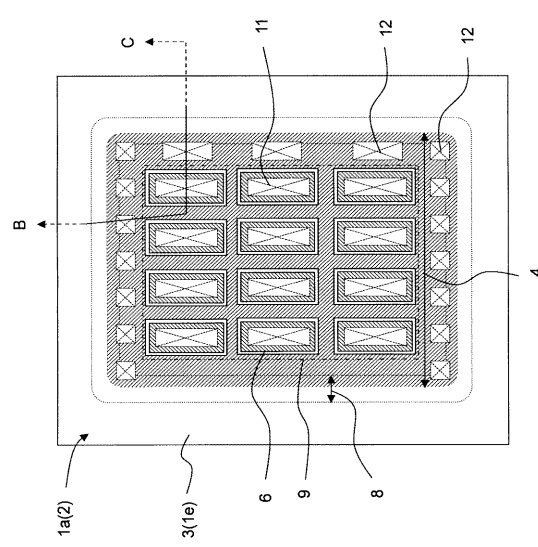
【 図 3 】

図3



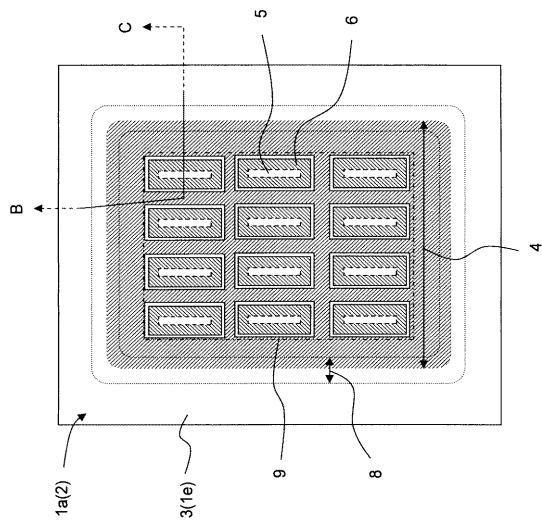
【 図 4 】

図4



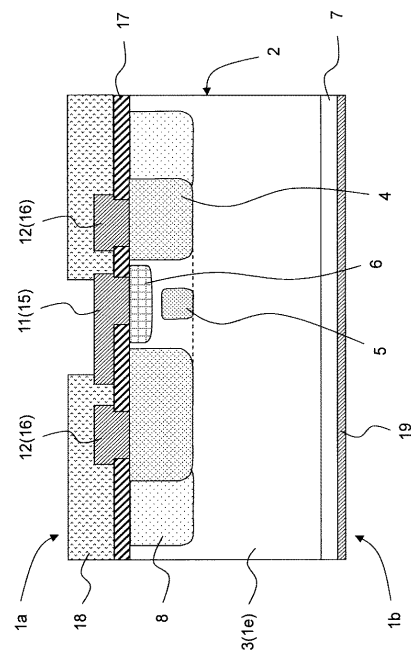
【 図 5 】

図5



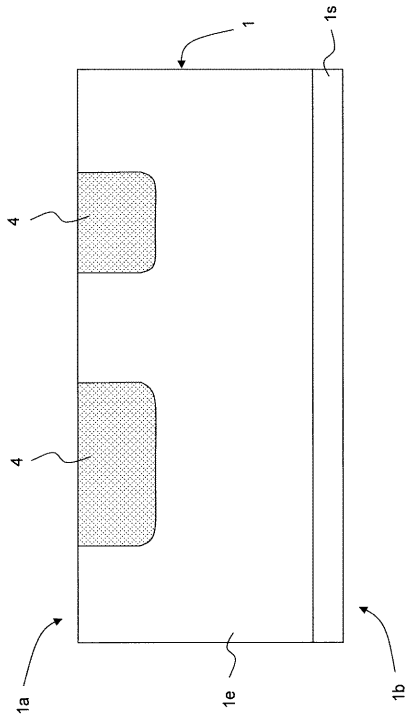
【 図 6 】

図6



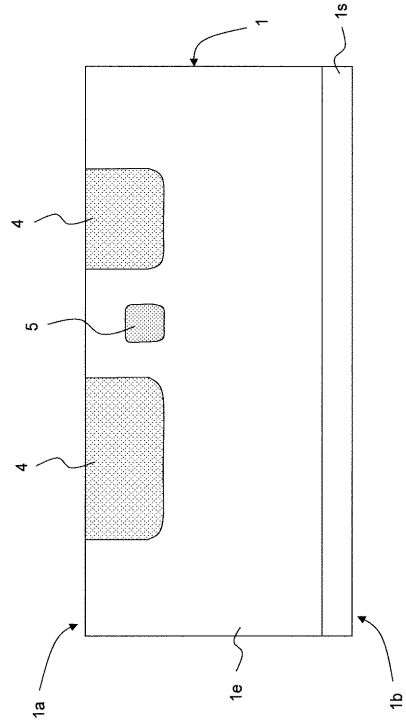
【図7】

図7



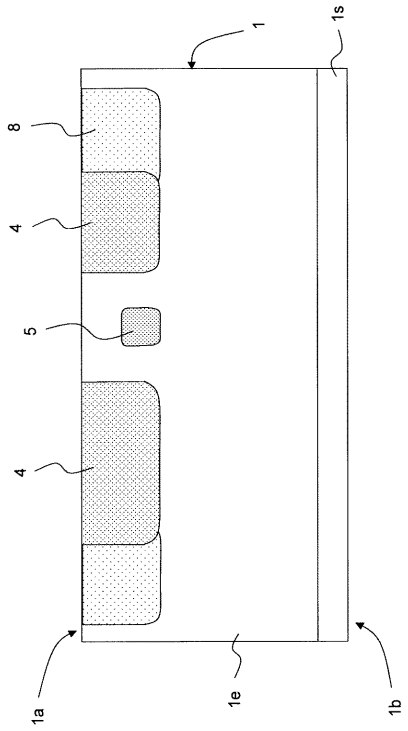
【図8】

図8



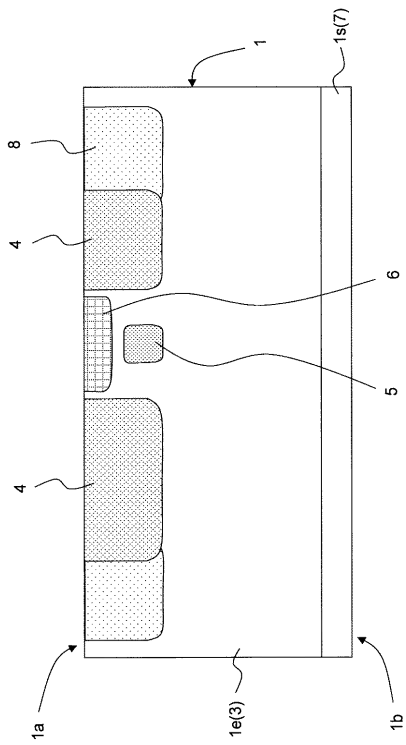
【図9】

図9



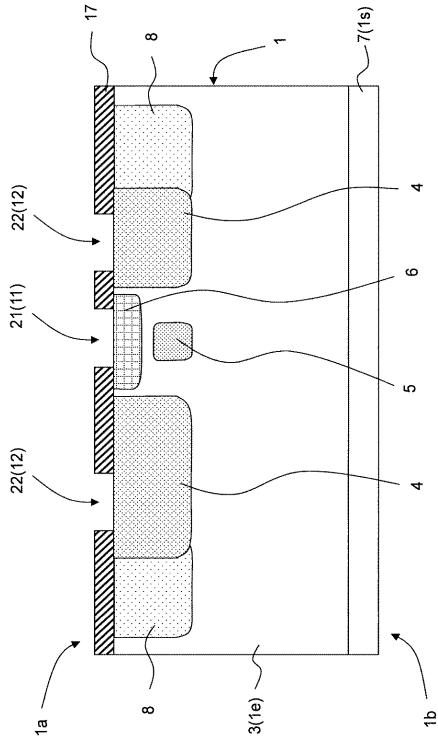
【図10】

図10



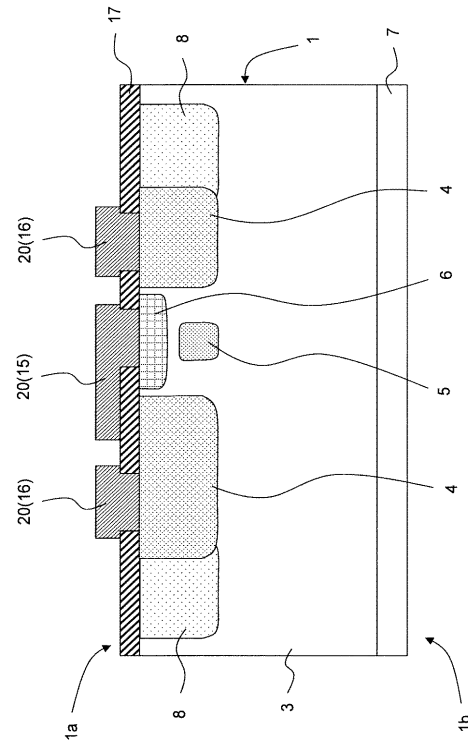
【 図 1 1 】

図11



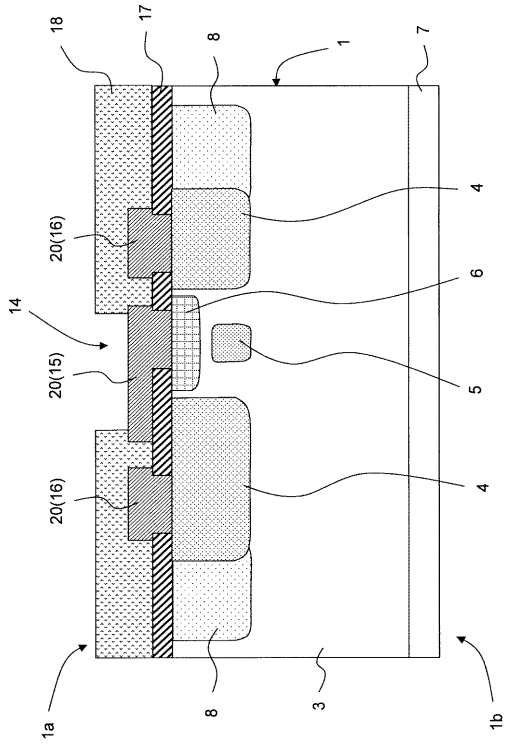
【 図 1 2 】

図12



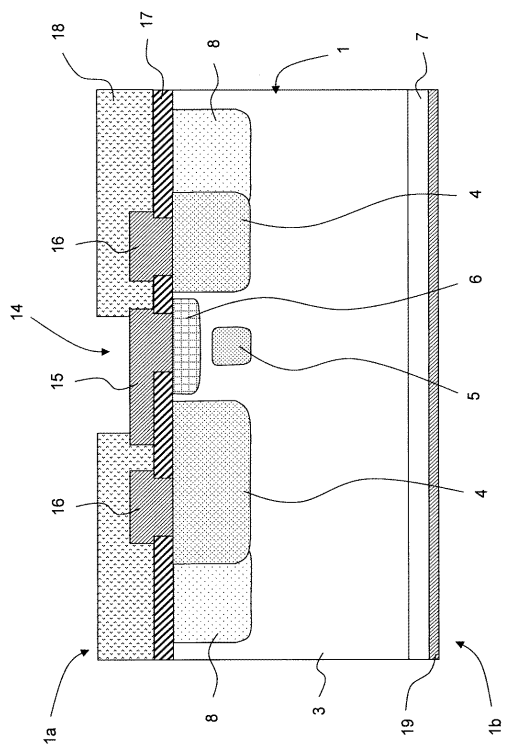
【 図 1 3 】

図13



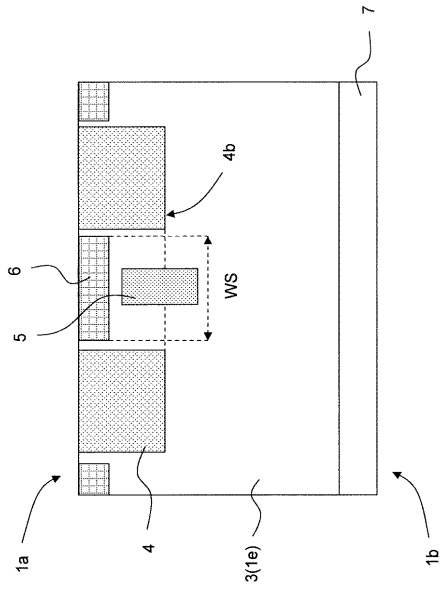
【 図 1 4 】

図14



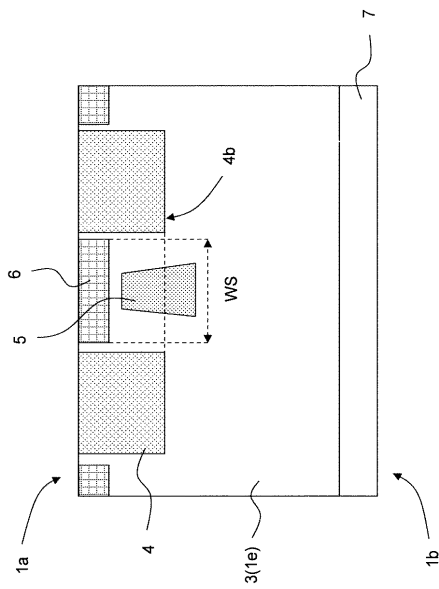
【 図 15 】

図15



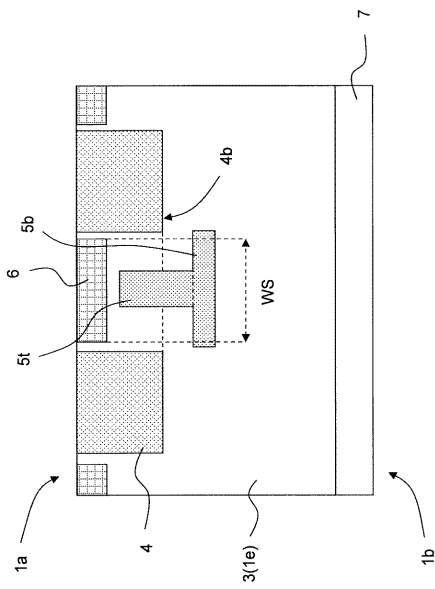
【 図 16 】

図16



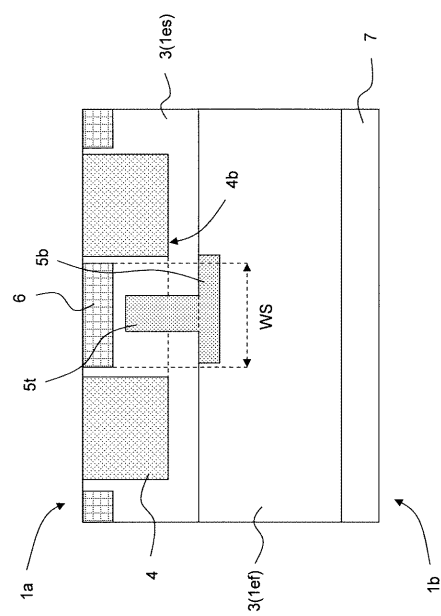
【 図 17 】

図17



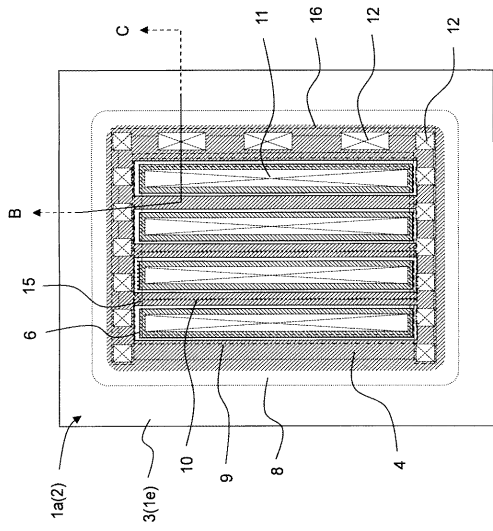
【 図 18 】

図18



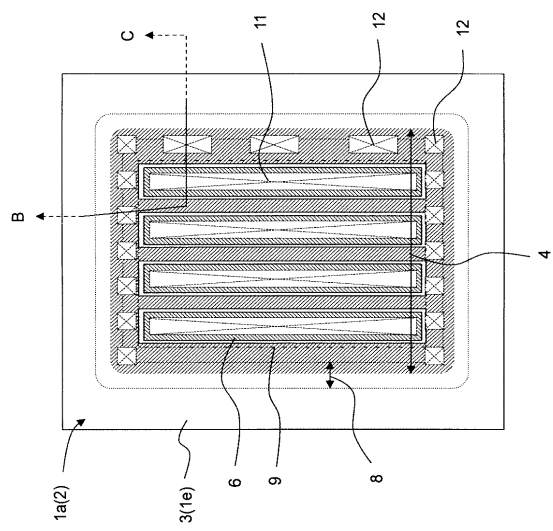
【 19 】

图19



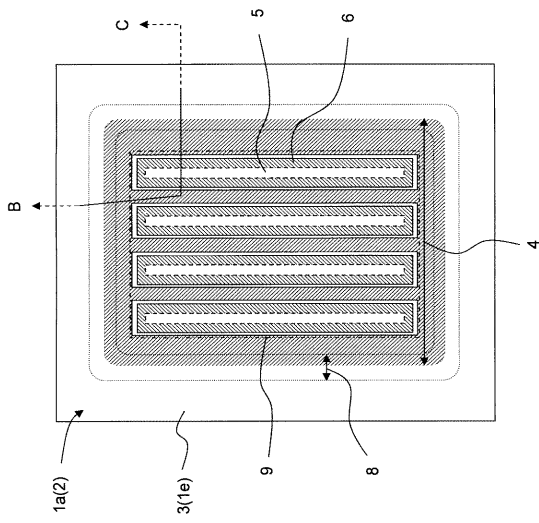
【 20 】

图20



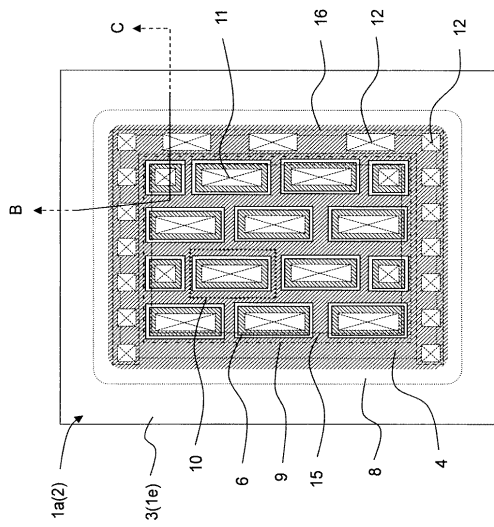
【 21 】

图21



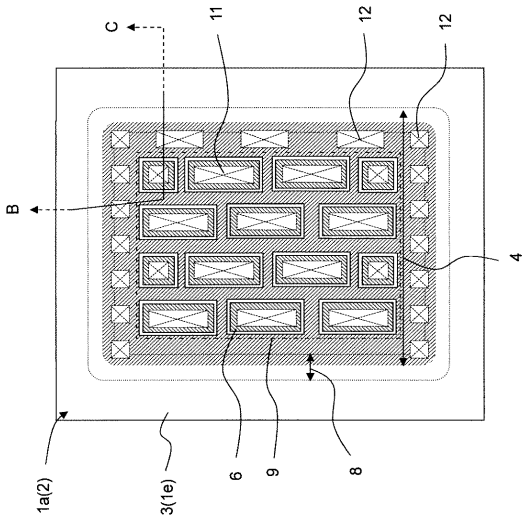
【 22 】

图22



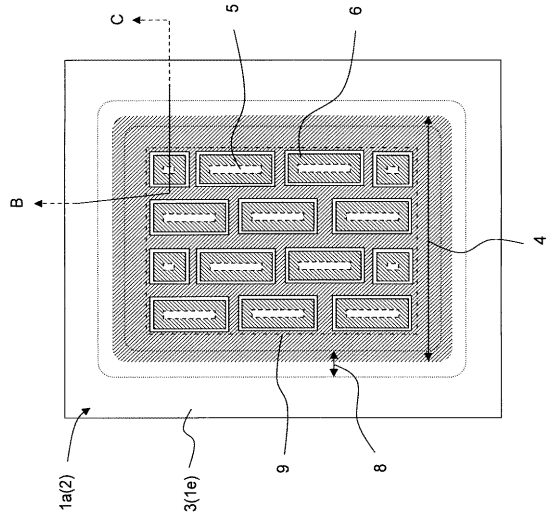
【 2 3 】

23



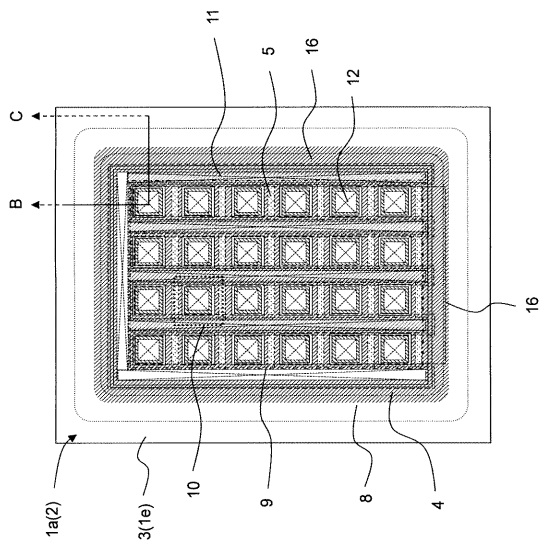
【 2 4 】

24



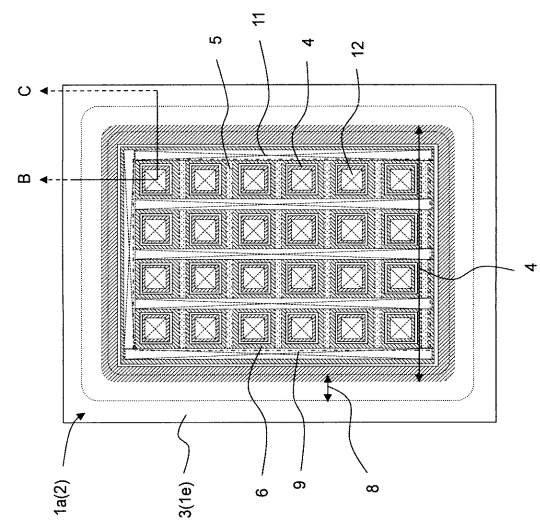
【 2 5 】

25



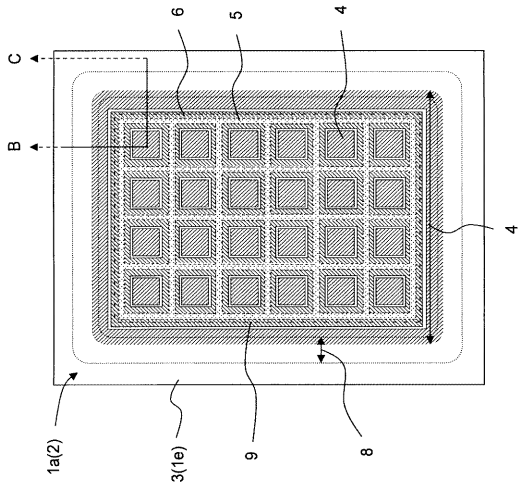
【 2 6 】

26



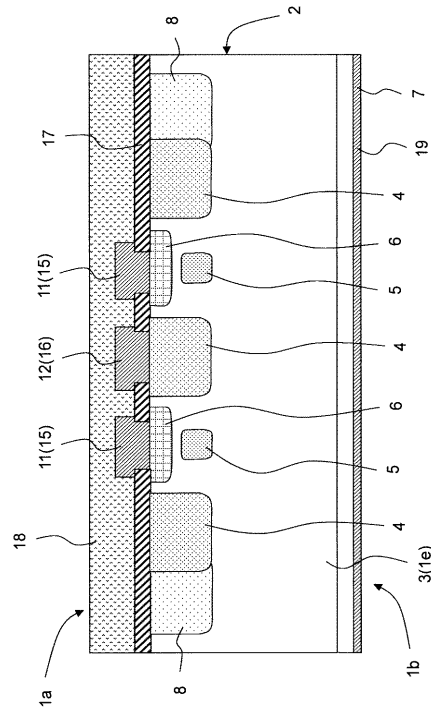
【 27 】

27



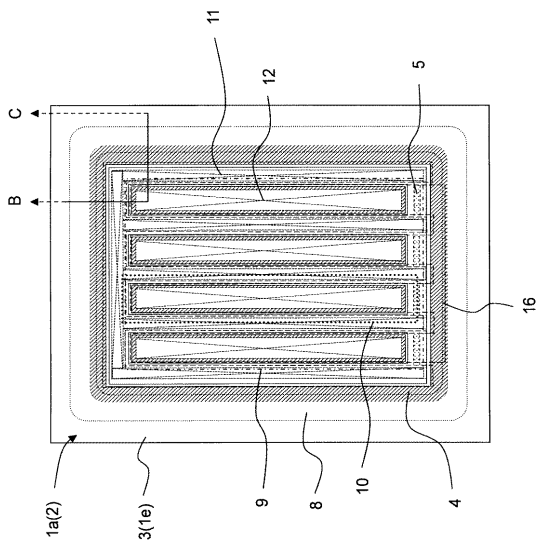
【 28 】

28



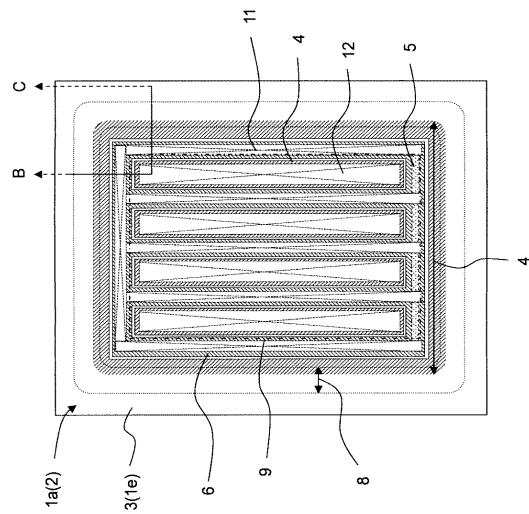
【 29 】

29



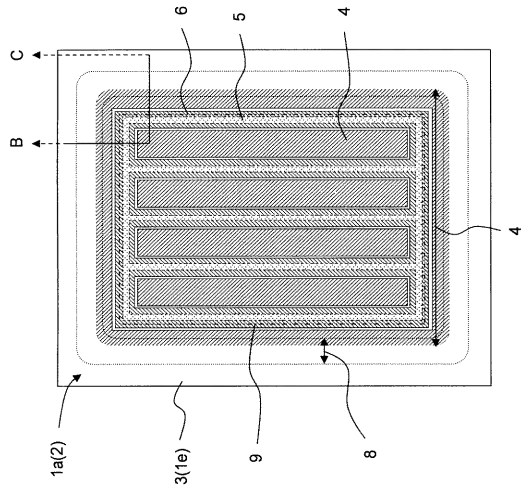
【 30 】

30



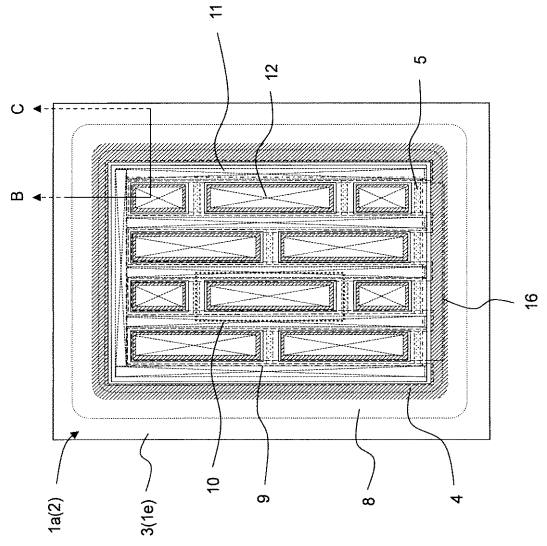
【 3 1 】

31



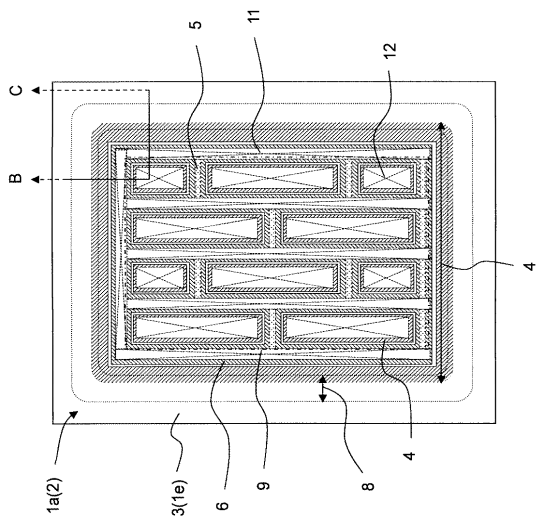
【 3 2 】

32



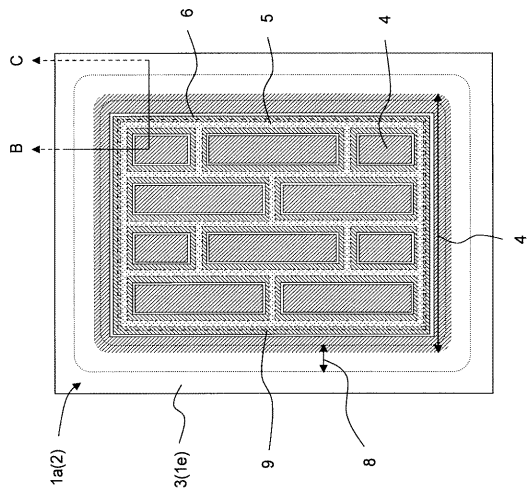
【 3 3 】

33



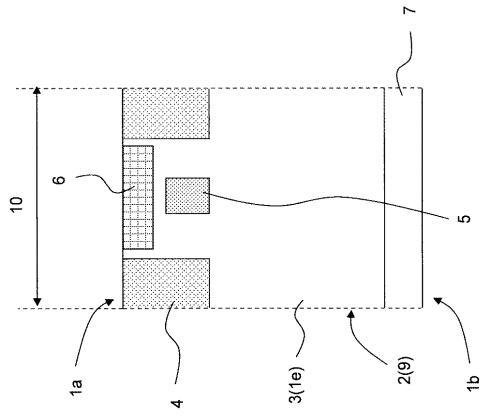
【 3 4 】

34



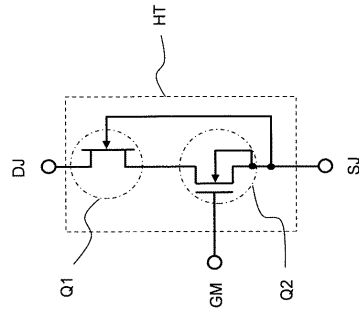
【 3 5 】

35



【 3 6 】

36



フロントページの続き

(51)Int.Cl. F I
H 0 1 L 29/06 (2006.01) H 0 1 L 29/06 3 0 1 V

(56)参考文献 特開2007-042803(JP,A)
中国特許出願公開第102916049(CN,A)
特開昭56-070669(JP,A)
特開昭55-068678(JP,A)
特開2007-088342(JP,A)
特開昭54-100270(JP,A)
特開2003-152195(JP,A)
米国特許出願公開第2005/0173726(US,A1)
特開2005-259797(JP,A)

(58)調査した分野(Int.Cl., DB名)
H 0 1 L 2 1 / 3 3 7
H 0 1 L 2 1 / 2 6 5
H 0 1 L 2 1 / 3 3 8
H 0 1 L 2 9 / 0 6
H 0 1 L 2 9 / 8 0 8
H 0 1 L 2 9 / 8 1 2