

(19)대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) Int. Cl. H01L 21/336 (2006.01) H01L 27/10 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2006년10월31일 10-0639213 2006년10월20일
--	-------------------------------------	--

(21) 출원번호 (22) 출원일자	10-2004-0113633 2004년12월28일	(65) 공개번호 (43) 공개일자	10-2006-0075076 2006년07월04일
------------------------	--------------------------------	------------------------	--------------------------------

(73) 특허권자                    주식회사 하이닉스반도체  
                                      경기 이천시 부발읍 아미리 산136-1

(72) 발명자                       김재영  
                                      경기 안양시 동안구 관양2동 인덕원삼성아파트 105동 905호

                                      남기원  
                                      경기 이천시 부발읍 신하리 신한아파트 101-1306

(74) 대리인                      강성배

심사관 : 김주식

(54) 반도체 소자의 제조방법

요약

본 발명은 STAR(Step-gated asymmetry recess) 셀 형성시의 미소식각처리로 인해 유발되는 리세스 탑 부위의 프로파일 변형 및 주변회로 지역의 액티브 손실 발생을 방지하면서 게이트산화막의 특성 열화를 방지할 수 있는 반도체 소자의 제조방법을 개시한다. 개시된 본 발명의 방법은, 실리콘기판 내에 액티브영역을 한정하는 소자분리막을 형성하는 단계; 상기 소자분리막을 포함한 기판 전면 상에 반사방지막을 형성하는 단계; 상기 반사방지막 상에 소자분리막의 일부분 및 이에 접한 액티브영역 부분의 상부를 노출시키는 감광막패턴을 형성하는 단계; 상기 감광막패턴을 식각마스크로 이용해서 반사방지막, 소자분리막 및 기판을 식각하여 기판 액티브영역을 리세스시키는 단계; 상기 감광막패턴을 잔류시킨 상태로 기판 결과물에 대해 미소식각(LET)을 진행하여 상기 리세스된 기판 액티브영역 표면의 데미지층 및 카본 오염을 제거하는 단계; 및 상기 잔류된 감광막패턴 및 반사방지막을 제거하는 단계;를 포함하는 것을 특징으로 한다.

대표도

도 2c

명세서

도면의 간단한 설명

도 1a 및 도 1b는 종래의 미소식각 진행 유무에 따른 액티브영역의 프로파일을 설명하기 위한 사진.

도 2a 내지 도 2d는 본 발명에 따른 STAR 셀 형성을 위한 반도체 소자의 제조방법을 설명하기 위한 공정별 단면도.

\* 도면의 주요 부분에 대한 부호의 설명 \*

21 : 실리콘기판 22 : 소자분리막

23 : 반사방지막 24 : 감광막패턴

25 : 데미지층

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 소자의 제조방법에 관한 것으로, 보다 상세하게는, STAR (Step-gated asymmetry recess) 셀 형성시의 미소식각처리로 인해 유발되는 리세스 탑 부위의 프로파일 변형 및 주변회로 지역의 액티브 손실 발생을 방지하면서 게이트산화막의 특성 열화를 방지할 수 있는 반도체 소자의 제조방법에 관한 것이다.

디램과 같은 메모리 반도체 소자의 고집적화가 급격히 진행됨에 따라, 기존의 평면형 트랜지스터 구조에서는 셀 지역의 문턱전압 마진 및 리프레쉬 시간 감소로 상당한 어려움을 겪고 있다. 이에, 소자의 고집적화에 부합하는 문턱전압을 확보하면서 리프레쉬 특성을 확보하기 위해 다양한 연구들이 활발히 진행되고 있다.

이러한 노력의 하나로 최근 STAR(Step-gated asymmetry recess) 셀 구조가 제안되었다. STAR 셀은 액티브영역의 일부를 리세스시켜 상기 액티브영역이 단차지도록 만들고, 이렇게 단차진 액티브영역에 게이트를 형성하여 모스펫 소자에서의 유효 채널 길이(effective channel length)를 증가시켜 준 구조로서, 단채널효과를 줄여주어 낮은 문턱전압 도우즈(Vt dose)로도 원하는 정도의 문턱전압을 얻을 수 있으며, 아울러, 모스펫 소자에 걸리는 전계를 낮출 수 있어서, 데이터를 갱신하는 리프레쉬 시간을 기존의 평면형 셀 구조에 비해 3배 이상 개선시킬 수 있다.

특히, 이와 같은 STAR 셀은 기존 공정에 간단한 공정을 추가하거나 변경하여 구현할 수 있으므로, 그 적용이 매우 용이해서 현재로서는 메모리 반도체 소자의 고집적화에 따른 문턱전압 마진 및 리프레쉬 시간의 감소 문제를 해결할 수 있는 매우 유효한 방법으로 대두되고 있다.

이하에서는 종래의 STAR 셀 형성을 위한 반도체 소자의 제조방법을 간략하게 설명하도록 한다.

먼저, 실리콘기판의 필드 영역에 액티브영역을 한정하는 트렌치형의 소자분리막을 형성한다. 그런다음, 기판 전면 상에 반사방지막을 증착한 후, 이러한 반사방지막 상에 소자분리막의 일부 및 이에 접한 액티브영역 부분을 노출시키는 감광막패턴을 형성한다.

이어서, 감광막패턴을 식각마스크로 이용해서 반사방지막과 소자분리막 및 기판 액티브영역을 식각하고, 이를 통해, 소자분리막의 일부 및 이에 접한 기판 액티브영역 부분을 리세스시킨다. 그 다음, 상기 식각마스크로 이용한 감광막패턴을 제거하고, 연이어, 잔류된 반사방지막을 제거한다.

다음으로, 기판 결과물에 대해 저전압 및 다량의 O<sub>2</sub> 가스 분위기에서 미소식각처리(LET; Light Etch Treatment)를 진행하여 상기 기판 리세스시 그 표면에 발생된 데미지층 및 카본 오염을 제거해준다.

이후, 단차진 액티브영역 및 식각된 소자분리막 부분 상에 게이트를 형성하고, 그리고나서, 소오스/드레인 이온주입을 행하여 STAR 셀의 형성을 완성한다.

그런데, 종래의 STAR 셀을 형성하기 위한 반도체 소자의 제조방법은 다음과 같은 문제점이 있다.

전술한 바와 같이, 종래의 STAR 셀 형성방법에서는 기판 리세스 식각후에 데미지층 및 카본 오염을 제거하고자 미소식각처리를 진행한다. 그런데, 이러한 미소식각 역시 기판 식각을 수반하므로, 이 과정에서 리세스된 기판 부분의 탑(Top) 부위에서 프로파일의 변형이 일어나 소자 특성이 변동된다.

한편, 프로파일의 변형을 방지하고자 미소식각처리를 진행하지 않을 경우에는 후속에서 게이트산화막의 특성이 저하되는 현상을 가져오게 된다.

도 1a 및 도 1b는 종래 미소식각 유무에 따른 액티브영역의 프로파일을 설명하기 위한 사진으로서, 이를 설명하면 다음과 같다.

먼저, 도 1a에서 보여지는 바와 같이, 건식식각을 수행하기 전, 액티브영역의 가장자리가 라운딩의 프로파일을 갖는다. 이를 통해, 제조 완료된 소자에서 안정적인 소자 특성이 얻어짐을 유추할 수 있다.

반면, 도 1b에서 보여지는 바와 같이, 건식식각을 수행한 후에는 액티브영역의 가장자리가 수직의 프로파일을 갖게 되며, 이는 제조 완료된 소자에서 액티브영역의 가장자리에 전계가 집중되는 등의 소자 특성 저하가 일어남을 유추할 수 있다.

또한, 상기 미소식각은 셀 지역에서의 리세스 탑 부위의 프로파일 변형을 유발할 뿐만 아니라, 주변회로 지역에서의 기판 액티브영역의 손실을 유발하는 바, 추가적인 공정 조건 조절이 필요하게 되는 등 공정 마진 확보에 어려움을 갖게 한다.

### 발명이 이루고자 하는 기술적 과제

따라서, 본 발명은 상기한 종래의 문제점을 해결하기 위해 안출된 것으로서, 데미지층 및 카본 오염을 제거하기 위한 미소식각(LET)으로 인해 유발되는 리세스 탑 부위의 프로파일 변형 및 주변회로 지역의 액티브 손실 발생을 방지하면서 게이트산화막의 특성 열화를 방지할 수 있는 반도체 소자의 제조방법을 제공함에 그 목적이 있다.

### 발명의 구성 및 작용

상기와 같은 목적을 달성하기 위하여, 본 발명은, STAR 셀을 형성하기 위한 반도체 소자의 제조방법으로서, 실리콘기판 내에 액티브영역을 한정하는 소자분리막을 형성하는 단계; 상기 소자분리막을 포함한 기판 전면 상에 반사방지막을 형성하는 단계; 상기 반사방지막 상에 소자분리막의 일부분 및 이에 접한 액티브영역 부분의 상부를 노출시키는 감광막패턴을 형성하는 단계; 상기 감광막패턴을 식각마스크로 이용해서 반사방지막, 소자분리막 및 기판을 식각하여 기판 액티브영역을 리세스시키는 단계; 상기 감광막패턴을 잔류시킨 상태로 기판 결과물에 대해 미소식각을 진행하여 상기 리세스된 기판 액티브영역 표면의 데미지층 및 카본 오염을 제거하는 단계; 및 상기 잔류된 감광막패턴 및 반사방지막을 제거하는 단계;를 포함하는 반도체 소자의 제조방법을 제공한다.

여기서, 상기 미소식각은 기판 액티브영역을 리세스시키는 단계 후, 인-시튜(in-situ)로 진행한다.

또한, 상기 미소식각은 카본 소오스가 포함되지 않은 가스, 바람직하게, SF<sub>6</sub>, NF<sub>3</sub>, Cl<sub>2</sub> 또는 HBr 중에서 어느 하나를 주 식각 가스로 사용하여 수행한다.

아울러, 상기 미소식각은 CF<sub>4</sub>를 주 식각 가스로 사용하면서 O<sub>2</sub>, Ar, N<sub>2</sub> 또는 H<sub>2</sub> 중에서 어느 하나를 희석 가스로 사용함과 동시에 10~100W의 낮은 파워를 인가하여 진행한다.

(실시예)

이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 상세하게 설명하도록 한다.

도 2a 내지 도 2d는 본 발명에 따른 STAR 셀을 형성하기 위한 반도체 소자의 제조방법을 설명하기 위한 공정별 단면도이다.

도 2a를 참조하면, 실리콘기판(21)의 필드영역에 공지의 STI(Shallow Trench Isolation) 공정에 따라 액티브영역을 한정하는 트렌치형의 소자분리막(22)을 형성한다. 그런다음, 소자분리막(22)을 포함한 기판 전면 상에 반사방지막(23)을 증착한 후, 상기 반사방지막(23) 상에 공지의 포토리소그라피 공정에 따라 소자분리막(22)의 일부 및 이에 접한 액티브영역 부분을 노출시키는 감광막패턴(24)을 형성한다.

도 2b를 참조하면, 감광막패턴을 식각마스크로 이용해서 반사방지막(23)과 소자분리막(22) 및 기판(21)의 액티브영역을 식각하고, 이를 통해, 소자분리막(22)의 일부 및 이에 접한 기판 액티브영역 부분을 리세스시킨다. 이때, 리세스된 기판 액티브영역 부분의 표면에는 데미지층(25)이 발생됨은 물론 카본 오염 등의 결합이 유발된다.

도 2c를 참조하면, 상기 기판 결과물에 대해 감광막패턴(24)을 제거하지 않고 인-시튜(in-situ)로 식각 공정, 즉, 미소식각 처리를 진행하여 리세스된 액티브영역의 표면에 발생된 데미지층 및 카본 오염을 제거해준다. 이때, 상기 식각 공정은 카본 소오스가 포함되지 않은 가스, 예컨대, SF<sub>6</sub>, NF<sub>3</sub>, Cl<sub>2</sub>, 또는 HBr 등의 가스를 주식각 가스로 사용하여 수행한다. 한편, 상기 식각 공정은 CF<sub>4</sub>를 주식각 가스로 사용하면서 O<sub>2</sub>, Ar, N<sub>2</sub> 또는 H<sub>2</sub> 중에서 어느 하나를 희석 가스로 사용함과 동시에 100W 이하, 예컨대, 10~100W의 낮은 파워를 인가하여 진행하는 것도 가능하다.

여기서, 상기 식각 공정은 감광막패턴(24)을 제거하지 않고 잔류시킨 상태로 수행하므로, 상기 감광막패턴(24)이 식각 베리어로 작용하게 되며, 이에 따라, 리세스 탑 부위의 식각이 이루어지지 않음으로써 리세스 탑 부위의 프로파일 변형을 일어나지 않는다. 아울러, 주변회로 지역 또한 감광막패턴에 의해 가려져 있으므로, 상기 주변회로 지역에서의 기판 액티브 영역의 손실도 방지되는 바, 새로운 공정 조건을 조절해야 하는 부담을 덜 수 있다. 또한, 상기 식각 공정은 데미지층을 효과적으로 제거할 수 있는 바, 후속에서 형성되는 게이트산화막의 특성을 기판 리세스를 진행하지 않는 경우와 동일하게 유지할 수 있다.

한편, 상기에서는 식각 공정을 기판 리세스 식각 후에 인-시튜로 진행하였으나, 감광막패턴을 제거하지 않은 상태로 다른 챔버로 이동하여 식각 공정을 진행할 수도 있다.

도 2d를 참조하면, 기판 결과물에 대해 감광막 스트립 공정을 진행하여 감광막패턴을 제거한 후, 연이어, 세정 공정을 진행하여 반사방지막을 제거한다.

이후, 도시하지는 않았으나, 게이트 형성 및 소오스/드레인 영역 형성 공정을 포함한 공지된 일련의 후속 공정들을 차례로 진행하여 본 발명에 따른 STAR 셀을 갖는 반도체 소자의 제조를 완성한다.

이상, 여기에서는 본 발명을 특정 실시예에 관련하여 도시하고 설명하였지만, 본 발명이 그에 한정되는 것은 아니며, 이하의 특허청구의 범위는 본 발명의 정신과 분야를 이탈하지 않는 한도 내에서 본 발명이 다양하게 개조 및 변형될 수 있다는 것을 당업계에서 통상의 지식을 가진 자가 용이하게 알 수 있다.

### 발명의 효과

이상에서와 같이, 본 발명은 기판 리세스 식각시에 식각마스크로 사용된 감광막패턴을 제거하지 않고 잔류시킨 상태로 미소식각 공정을 진행함으로써, 리세스된 액티브영역의 탑 부위에서 프로파일 변동이 일어나는 것을 방지할 수 있으며, 또한, 주변회로 지역의 기판 액티브영역의 손실을 방지할 수 있고, 아울러, 게이트산화막의 특성을 기판 리세스를 진행하지 않는 경우와 같이 유지할 수 있다. 따라서, 본 발명은 STAR 셀의 안정적인 채용을 통해 소망하는 소자 특성을 갖는 고집적 메모리 반도체 소자를 구현할 수 있다.

### (57) 청구의 범위

#### 청구항 1.

STAR(Step-gated asymmetry recess) 셀을 형성하기 위한 반도체 소자의 제조방법으로서,

실리콘기판 내에 액티브영역을 한정하는 소자분리막을 형성하는 단계;

상기 소자분리막을 포함한 기판 전면 상에 반사방지막을 형성하는 단계;

상기 반사방지막 상에 소자분리막의 일부분 및 이에 접한 액티브영역 부분의 상부를 노출시키는 감광막패턴을 형성하는 단계;

상기 감광막패턴을 식각마스크로 이용해서 반사방지막, 소자분리막 및 기판을 식각하여 기판 액티브영역을 리세스시키는 단계;

상기 감광막패턴을 잔류시킨 상태로 기판 결과물에 대해 미소식각(LET)을 진행하여 상기 리세스된 기판 액티브영역 표면의 데미지층 및 카본 오염을 제거하는 단계; 및

상기 잔류된 감광막패턴 및 반사방지막을 제거하는 단계;를 포함하는 것을 특징으로 하는 반도체 소자의 제조방법.

### 청구항 2.

제 1 항에 있어서, 상기 미소식각은 기판 액티브영역을 리세스시키는 단계 후, 인-시튜(in-situ)로 진행하는 것을 특징으로 하는 반도체 소자의 제조방법.

### 청구항 3.

제 1 항 또는 제 2 항에 있어서, 상기 미소식각은 카본 소오스가 포함되지 않은 가스를 사용하여 수행하는 것을 특징으로 하는 반도체 소자의 제조방법.

### 청구항 4.

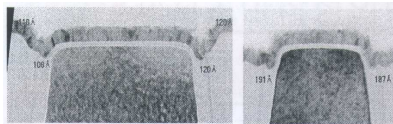
제 3 항에 있어서, 상기 미소식각은 SF<sub>6</sub>, NF<sub>3</sub>, Cl<sub>2</sub> 및 HBr로 구성된 그룹으로부터 선택되는 어느 하나의 가스를 주식각 가스로 사용하여 수행하는 것을 특징으로 하는 반도체 소자의 제조방법.

### 청구항 5.

제 1 항에 있어서, 상기 미소식각은 CF<sub>4</sub>를 주식각 가스로 사용하면서 O<sub>2</sub>, Ar, N<sub>2</sub> 및 H<sub>2</sub>로 구성된 그룹으로부터 선택되는 어느 하나를 희석 가스로 사용하고, 10~100W의 파워를 인가하여 진행하는 것을 특징으로 하는 반도체 소자의 제조방법.

### 도면

도면1a



도면1b



