

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2019年12月19日 (19.12.2019)



(10) 国际公布号
WO 2019/237366 A1

- (51) 国际专利分类号:
H03K 5/156 (2006.01)
- (21) 国际申请号: PCT/CN2018/091691
- (22) 国际申请日: 2018年6月15日 (15.06.2018)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (71) 申请人: 华为技术有限公司 (HUAWEI TECHNOLOGIES CO., LTD.) [CN/CN]; 中国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。
- (72) 发明人: 杨伟 (YANG, Yi); 中国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。 闵卿 (MIN, Qing); 中国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。
- (74) 代理人: 广州三环专利商标代理有限公司 (SCIHEAD IP LAW FIRM); 中国广东省广州市越秀区先烈中路80号汇华商贸大厦1508室, Guangdong 510070 (CN)。
- (81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,

(54) Title: REFERENCE CLOCK DUTY RATIO CALIBRATION CIRCUIT

(54) 发明名称: 参考时钟占空比校准电路

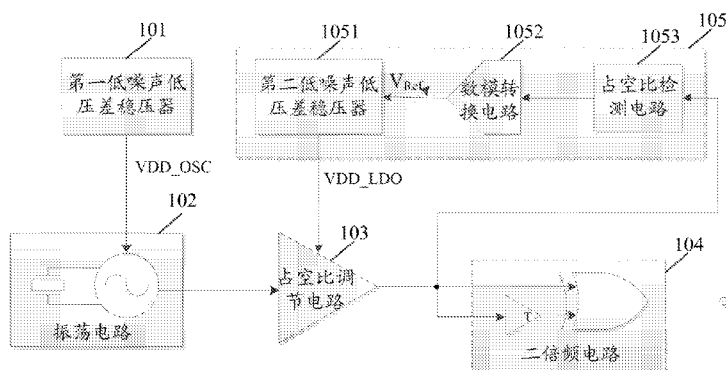


图 1

- 101 First low-noise low-dropout regulator
- 102 Oscillation circuit
- 103 Duty ratio adjustment circuit
- 104 Double frequency circuit
- 1051 Second low-noise low-dropout regulator
- 1052 Digital-to-analog conversion circuit
- 1053 Duty ratio detection circuit

(57) Abstract: Disclosed in the present invention is a reference clock duty ratio calibration circuit, comprising a low-noise low-dropout regulator, an oscillation circuit, a duty ratio adjustment circuit and a duty ratio calibration circuit. The duty ratio detection circuit of the reference clock duty ratio calibration circuit detects the duty ratio of a reference clock signal outputted by the duty ratio adjustment circuit, and when it is determined that the duty ratio of the reference clock signal deviates from a preset duty ratio, the duty ratio detection circuit adjusts the amplitude of the output signal thereof, and the duty ratio of the reference clock signal outputted by the duty ratio adjustment circuit is adjusted by means of the output voltage of the digital-to-analog conversion circuit and the output voltage of the low-noise low-voltage differential regulator. The reference clock duty ratio calibration circuit of the present invention can be used to effectively reduce the noise of the reference clock, improving the communication performance.

(57) 摘要: 本发明公开了一种参考时钟占空比校准电路, 该电路包括低噪声低压差稳压器、振荡电路、占空比调节电路和占空比校准电路。参考时钟占空比校准电路的占空比检测电路检测占空比调节电路输出的参考时钟信号的占空比, 当确定该参考时钟信号的占空比偏离预设占空比时, 上述占空比检测电路调整其输出信号的幅值, 通过数模转换电路的输出电压和低噪声低压差稳压器的输出电压以调节占空比调节电路输出的参考时钟信号的占空比。采用本发明的参考时钟占空比校准电路能够有效改善参考时钟的噪声, 提高通信性能。

WO 2019/237366 A1

SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, ZA, ZM, ZW。

- (84) 指定国 (除另有指明, 要求每一种可提供的地区
保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ,
NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM,
AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG,
CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU,
IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT,
RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

- 包括国际检索报告 (条约第21条(3))。

参考时钟占空比校准电路

技术领域

本申请涉及电路领域，特别涉及一种参考时钟占空比校准电路。

背景技术

现代通信中，无线通信技术占主导地位，比如终端无线通讯、短距离无线通讯以及大型公共网络无线通讯。随着无线通信的发展，对数据传输的质量和速度的要求越来越高。

为了提高数据传输的质量和速度，在 802.11ac 标准中提出了更高的射频带宽（提高至 160MHz），更多的多输入多输出（multiple input multiple output, MIMO）和更高阶的调制。这就要求发射机的 RMS EVM 达到 -32dB，在发射机线性度达到要求的前提下，最主要限制来源于锁相环的相位噪声。参考时钟噪声是当前 PLL 的相位噪声主要来源之一，因此改善参考时钟噪声成为提高通信性能的必要条件。

发明内容

本发明实施例公开了一种参考时钟占空比校准电路，采用该电路能够有效改善参考时钟的噪声，提高通信性能。

第一方面，本发明实施例提供了一种参考时钟占空比校准电路，包括：第一低噪声低压差稳压器，用于提供低噪声电压；振荡电路，用于在所述低噪声电压的提供驱动下，产生正弦波信号；占空比调节电路，用于根据第一参考电压和所述正弦波信号调整第一参考时钟信号的占空比；占空比校准电路，包括：占空比检测电路，用于检测所述第一参考时钟信号的占空比，并根据所述第一参考时钟信号的占空比调整所述占空比检测电路输出信号的幅值；第二低噪声低压差稳压器，用于根据所述占空比检测电路输出信号的幅值，调整并输出所述第一参考电压，所述第一参考电压值与所述占空比检测电路输出信号的幅值成正比。通过低噪声电压驱动的振荡电路产生的正弦波信号具有低噪声的特性，使得该参考时钟占空比校准电路输出的信号也具有低噪声特性，有效改善参考时钟的噪声，提高通信性能。

在一种可行的实施例中，所述振荡电路产生的所述正弦波信号，以直流耦合的方式输入所述占空比调节电路。

在一种可行的实施例中，所述占空比检测电路根据所述第一参考时钟信号的占空比调整所述占空比检测电路输出信号的幅值，包括：

所述占空比检测电路，用于检测所述第一参考时钟信号的占空比是否偏离预设占空比；

所述占空比检测电路，还用于当确定所述第一参考时钟信号的占空比偏离预设占空比时，调整所述占空比检测电路输出信号的幅值；当确定所述第一参考时钟信号的占空比未偏离预设占空比时，不调整所述占空比检测电路输出信号的幅值。

在一种可行的实施例中，所述占空比检测电路用于当所述第一参考时钟信号的占空比偏离预设占空比时，调整所述占空比检测电路输出信号的幅值，具体包括：

当连续 N 次检测到所述第一参考时钟信号的占空比大于所述预设占空比时，所述占空

比检测电路增大其输出信号的幅值, 所述 N 为大于 1 的整数;

当连续 M 次检测到所述第一参考时钟信号的占空比小于所述预设占空比时, 所述占空比检测电路减小其输出信号的幅值, 所述 M 为大于 1 的整数。由于第一参考电压值与所述占空比检测电路输出信号的幅值成正比, 通过调整占空比检测电路输出信号的幅值可以实现对第一参考电压的调整, 实现占空比调节电路对第一参考时钟信号的占空比的调整, 进而达到对该参考时钟占空比较准电路输出信号的占空比的动态调整。

在一种可行的实施例中, 所述占空比检测电路获取所述第一参考时钟信号的占空比, 包括:

所述占空比检测电路, 用于获取所述第一参考时钟信号的高电平时长或低电平时长;

所述占空比检测电路, 用于根据所述第一参考时钟信号的周期与所述第一参考时钟信号的高电平时长或低电平时长确定所述第一参考时钟信号的占空比。

在一种可行的实施例中, 所述预设占空比为 50%。

在一种可行的实施例中, 所述占空比较准电路还包括:

数模转换电路, 用于将所述占空比检测电路的输出信号转换为第二参考电压, 并将所述第二参考电压输入至所述第二低噪声低压差稳压器, 以调整所述第二低噪声低压差稳压器输出的第一参考电压。

在一种可行的实施例中, 所述占空比调节电路包括: 第一晶体管 Q1 和第二晶体管 Q2;

所述第一晶体管 Q1 的源极耦合到所述占空比较准电路, 所述第一晶体管 Q1 的栅极和所述第二晶体管 Q2 的栅极均耦合到所述振荡电路, 所述第一晶体管 Q1 的漏极和所述第二晶体管 Q2 的漏极均耦合到所述占空比较准电路, 所述第二晶体管 Q2 的源极耦合到地;

当所述第一晶体管 Q1 的源极电压增大时, 所述第一参考时钟信号的占空比减小; 当所述第一晶体管 Q2 的源极电压减小时, 所述第一参考时钟信号的占空比增大。

在一种可行的实施例中, 所述参考时钟占空比较准电路还包括;

二倍频电路, 用于将所述第一参考时钟信号转换为第二参考时钟信号, 所述第二参考时钟信号的频率为所述第一参考信号的两倍。

可以看出, 在本发明实施例的方案中, 参考时钟占空比较准电路的占空比检测电路检测占空比调节电路输出的参考时钟信号的占空比, 当确定该参考时钟信号的占空比偏离预设占空比时, 上述占空比检测电路调整其输出信号的幅值, 从而使数模转换电路的输出电压发生变化。由于上述数模转换电路输出的电压为第二低噪声稳压器的参考电压, 并且第二低噪声低压差稳压器大的输出电压与其参考电压成正比, 故第二低噪声低压差稳压器的输出电压随着占空比检测电路的输出电压的变化而变化。又由于占空比调节电路输出的参考时钟信号的占空比与占空比检测电路的参考电压成反比, 而第二低噪声低压差稳压器的输出电压为占空比调节电路的参考电压, 因此可以通过调整第二低噪声低压差稳压器的输出电压来调节占空比调节电路输出的参考时钟信号的占空比。采用本发明的参考时钟占空比较准电路能够有效改善参考时钟的噪声, 提高通信性能。

附图说明

为了更清楚地说明本发明实施例中的技术方案, 下面将对实施例或现有技术描述中所

需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本发明的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。

图 1 为本发明实施例提供的一种参考时钟占空比较准电路的示意图；

图 2 为本发明实施例提供的一种占空比调节电路的结构和工作原理示意图；

图 3a 为本发明实施例提供的一种占空比检测电路的结构示意图；

图 3b 为本发明实施例提供的一种占空比检测电路在模式 1 下信号流向示意图；

图 3c 为本发明实施例提供的一种占空比检测电路在模式 2 下信号流向示意图；

图 3d 为本发明实施例提供的一种占空比检测电路在模式 0 下信号流向示意图；

图 4 为本发明实施例提供的一种占空比检测电路的时钟信号时序示意图。

具体实施方式

下面将结合本发明实施例中的附图，对本发明实施例中的技术方案进行清楚、完整地描述。

参见图 1，图 1 为本发明实施例提供的一种参考时钟占空比较准电路的示意图。如图 1 所示，该参考时钟占空比较准电路包括第一低噪声低压差稳压器 101，振荡电路 102、占空比调节电路 103、二倍频电路 104 和占空比较准电路 105。

其中，上述第一低噪声低压差稳压器 101 耦合到上述振荡电路 102，该振荡电路 102 产生的正弦波信号，以直流耦合的方式输入上述占空比调节电路 103。该占空比调节电路 103 耦合到上述占空比较准电路 105。上述占空比较准电路 105 耦合到上述占空比调节电路 103；上述占空比调节电路 103 耦合到上述二倍频电路 104。

上述第一低噪声低压差稳压器 101 输出的电压为低噪声电压，该低噪声电压用于驱动上述振荡电路 102，以使该振荡电路 102 产生时钟信号，该时钟信号为正弦波信号，且上述第一低噪声低压差稳压器 101 输出的低噪声电压为直流电压。该振荡电路 102 将产生的时钟信号输入到上述占空比调节电路 103，该占空比调节电路 103 根据上述占空比较准电路 105 的第二低噪声低压差稳压器 1051 提供的第一参考电压调整根据上述振荡电路 102 提供的正弦波信号产生的第一参考时钟信号的占空比，该第一参考时钟信号为方波信号。上述第一参考电压为幅值可调的低噪声直流电压。

上述占空比较准电路 105 包括：占空比检测电路 1053 和与该占空比检测电路 1053 耦合的第二低噪声低压差稳压器 1051；

上述占空比检测电路 1053，用于检测上述第一参考时钟信号的占空比，并根据该第一参考时钟信号的占空比调整上述占空比检测电路 1053 输出信号的幅值；

上述第二低噪声低压差稳压器，用于根据所述占空比检测电路输出信号的幅值，调整并输出上述第一参考电压，该第一参考电压的幅值与上述占空比检测电路输出信号的幅值成正比。

上述占空比较准电路 105 还包括：

数模转换电路 1052，用于将上述占空比检测电路 1053 的输出信号转换为第二参考电压，并将该第二参考电压输入至上述第二低噪声低压差稳压器 1051，以调整上述第二低噪

声低压差稳压器 1051 输出的第一参考电压。

其中，上述第二参考电压与上述占空比检测电路 1053 输出信号的幅值成正比，且第一参考电压与上述第二参考电压成正比，即上述第一参考电压与上述占空比检测电路 1053 输出信号的幅值成正比。

具体地，所述占空比检测电路 1053 用于当所述第一参考时钟信号的占空比偏离预设占空比时，调整所述占空比检测电路 1053 输出信号的幅值，具体包括：

当连续 N 次检测到所述第一参考时钟信号的占空比大于所述预设占空比时，所述占空比检测电路 1053 增大其输出信号的幅值，所述 N 为大于 1 的整数；

当连续 M 次检测到所述第一参考时钟信号的占空比小于所述预设占空比时，所述占空比检测电路 1053 减小其输出信号的幅值，所述 M 为大于 1 的整数，且 M 与 N 相等或者不相等。

可选地，预设占空比为 50%。

其中，上述占空比检测电路 1053 获取上述第一参考时钟信号的占空比，包括：

上述占空比检测电路 1053 获取上述第一参考时钟信号的高电平时长或低电平时长；并根据上述第一参考时钟信号的周期与上述第一参考时钟信号的高电平时长或低电平时长确定上述第一参考时钟信号的占空比。

其中，上述占空比检测电路 1053 的输出信号的幅值与上述第一参考电压值成正比。

下面具体介绍上述占空比调节电路 103 的工作原理。该占空比调节电路 103 的结构如图 2 的 a 图所示，该占空比调节电路包括两个晶体管：第一晶体管 Q1 和第二场效应管 Q2。上述第一晶体管 Q1 的源极 (s) 耦合到上述占空比较准电路，上述第一晶体管 Q1 的栅极 (g) 和上述第二晶体管 Q2 的栅极 (g) 均耦合到上述振荡电路，上述第一晶体管 Q1 的漏极 (d) 和上述第二晶体管 Q2 的漏极 (d) 均耦合到上述占空比较准电路，上述第二晶体管 Q2 的源极 (s) 耦合到地；

当上述第一晶体管 Q1 的源极电压增大时，上述第一参考时钟信号的占空比减小；当上述第一晶体管 Q2 的源极电压减小时，上述第一参考时钟信号的占空比增大。

上述第二低噪声低压差稳压器的输出电压为 VDD_LDO，即上述第一参考电压为 VDD_LDO。

需要指出的是，上述晶体管 Q1 和 Q2 均为金属氧化物场效应晶体管。

如图 2 的 b 图所示，第一参考时钟信号的周期为 T_{ref} ，当 $VDD_LDO=VDD_LDO1$ 时，上述占空比调节电路 103 输出的高电平时间为 t_1 ，此时占空比调节电路 103 输出的第一参考时钟信号的占空比为 t_1/T_{ref} ；当 $VDD_LDO=VDD_LDO2$ 时，上述占空比调节电路 103 输出的高电平时间为 t_2 ，此时占空比调节电路 103 输出的第一参考时钟信号的占空比为 t_2/T_{ref} 。由图 2 的 b 图可知，上述 $t_2 > t_1$ ，故 $t_2/T_{ref} > t_1/T_{ref}$ ，因此可以通过调节占空比调节电路 103 输入的直流电压（即第一参考电压）的大小来调节上述第一参考时钟信号的占空比。

当上述占空比调节电路 103 的第一参考电压增大时，该占空比调节电路 103 输出的第一参考时钟信号的占空比减小；当上述占空比调节电路 103 的第一参考电压减小时，该占空比调节电路 103 输出的第一参考时钟信号的占空比增大。由此可以反推，当上述占空比检测电路 1053 确定上述第一参考时钟信号的占空比大于上述预设占空比时，上述占空比检

测电路 1053 增大其输出信号的幅值，从而提高上述第二低噪声低压差稳压器 1051 的参考电压（即上述第二参考电压）。由于上述第二低噪声低压差稳压器 1051 的输出信号的电压与上述第二参考电压成正比，因此上述占空比调节电路 103 的参考电压增大，进而使得上述第一参考时钟信号的占空比减小；反之，当上述占空比检测电路 1053 确定上述第一参考时钟信号的占空比小于上述预设占空比时，上述占空比检测电路 1053 减小其输出信号的幅值，从而降低上述第二低噪声低压差稳压器 1051 的参考电压（即上述第二参考电压）。由于上述第二低噪声低压差稳压器 1051 的输出信号的电压与上述第二参考电压成正比，因此上述占空比调节电路 103 的参考电压减小，进而使得上述第一参考时钟信号的占空比增大。

在一种可行的实施例中，上述参考时钟占空比较准电路还包括二倍频电路 104，该二倍频电路 104 耦合到上述占空比调节电路。

其中，上述二倍频电路 104 包括延时电路和异或门电路。上述延时电路耦合到上述异或门电路，且上述延时电路和异或门电路耦合到上述占空比调节电路。

上述占空比调节电路 103 输出的第一参考时钟信号同时驱动上述二倍频电路 104 和上述占空比较准电路 105 的占空比检测电路 1053。

具体地，上述占空比调节电路 103 将输出的参考时钟信号直接输入到上述二倍频电路的异或门电路和延时电路，上述延时电路对占空比调节电路输出的参考时钟信号进行延时，然后将延时后的参考时钟信号输入到上述异或门电路。上述参考时钟信号和延时后的参考时钟信号通过上述异或门后，得到 2 倍频的参考时钟信号。比如上述参考时钟信号的频率为 f_{ref} ，幅度为 V ，则 2 倍频的参考时钟信号的频率 $f=2f_{ref}$ ，幅值为 V 。

需要说明的是，本申请对上述延时电路对参考时钟信号进行延时的时长不做限定。

下面具体介绍上述占空比检测电路 1053 的结构框架及工作原理。

如图 3a 所示，上述占空比检测电路 1053 包括信号缓冲器 301、两个反相器（包括第一反相器 302 和第二反相器 303），四个多路选择器（包括第一多路选择器 304、第二多路选择器 305、第三多路选择器 307 和第四多路选择器 308）延时链 306 和鉴相器 309。

其中，上述信号缓冲器 301 耦合到上述第一反相器 302 和上述第一多路选择器 304，该第一反相器 302 耦合到上述第二反相器 303、上述第一多路选择器 304 和上述第二多路选择器 305，上述第二反相器 303 耦合到上述第二多路选择器 305。上述第一多路选择器 304 耦合到上述延时链 306，该延时链 306 耦合到上述第三多路选择器 307，上述第二多路选择器 305 耦合到上述第四多路选择器 308；上述第一反相器 302 还耦合到上述第三多路选择器 307 和上述第四多路选择器 308。上述第三多路选择器 307 和上述第四多路选择器 308 分别耦合到上述鉴相器 309。

上述占空比检测电路 1053（即上述信号缓冲器 301）输入的参考时钟信号为 P_0 ，该参考时钟信号 P_0 经过该信号缓冲器 301 得到时钟信号 P_1 ，该时钟信号 P_1 的频率、幅值和占空比与上述参考时钟信号 P_0 相同。上述时钟信号 P_1 经过上述第一反相器 302 得到时钟信号 P_2 ，该时钟信号 P_2 的频率和幅值与时钟信号 P_1 相同，但时钟信号 P_2 的相位与时钟信号 P_1 的相反，且时钟信号 P_1 的占空比等于 1 减去时钟信号 P_2 的占空比；时钟信号 P_2 经过上述第二反相器 303 得到时钟信号 P_3 ，该时钟信号 P_3 的频率、幅值和占空比与上述时

钟信号 P1 相同，但时钟信号 P3 的相位与上述时钟信号 P2 的相反，即该时钟信号 P3 的相位与上述时钟信号 P1 的相同。

上述占空比检测电路有三种工作模式：模式 1、模式 2 和模式 0。模式 1 为通过检测输入信号为高电平的时间 T2 来确定输入信号的占空比；模式 2 为通过检测输入信号为低电平的时间 T1；模式 0 为校准鉴相器 309。

当上述占空比检测电路 1053 的工作模式为模式 1 时，如图 3b 所示，上述第一多路选择器 304 选通其第一输入信号（即时钟信号 P1）和第二多路选择器 305 选通其第二输入信号（即时钟信号 P2）。时钟信号 P1 经过上述延时链 306 后得到延时后的时钟信号 P1。上述第三多路选择器 307 选通其第一输入信号（即延时后的时钟信号 P1），即上述鉴相器 309 的第一输入信号（IN1）为上述延时后的时钟信号 P1，上述第四多路选择器 308 选通其第二输入信号（从第二多路选择器 305 输出的信号），即上述鉴相器 309 的第二输入信号（IN2）为从上述第二多路选择器 305 输出的信号。

上述时钟信号 P0、P1、P2 和 P3 的时序图如图 4 的 a 图所示，时钟信号 P2 与时钟信号 P1 之间的时延为 INV1_D，即时钟信号经过第一反相器 302 而产生的时延为 INV1_D；时钟信号 P3 与时钟信号 P2 之间的时延为 INV2_D，即时钟信号经过第二反相器 303 而产生的时延为 INV2_D；且上述时钟信号 P0、P1 和 P3 的低电平的时长为 T1，高电平的时长为 T2；由于时钟信号 P2 是由时钟信号 P1 经过反相器得到的，故时钟信号 P2 的低电平时长为 T2，高电平的时长为 T1。

上述占空比检测电路 1053 的工作模式为模式 1 时，其鉴相器 309 的第一输入信号（IN1）和第二输入信号（IN2）的时序如图 4 的 b 图所示。上述时钟信号 P1 经过第一多路选择器 304、延时链 306 和第三多路选择器 307 后产生的时延分别为 MUX1_D、DLY_D 和 MUX3_D，时钟信号 P2 经过第二多路选择器 305 和第四多路选择器 308 后产生的时延分别为 MUX2_D 和 MUX4_D。上述延时链 306 对时钟信号 P2 产生延时为 DLY_D，当上述鉴相器 309 的输入信号 IN1 和 IN2 的相位差为 0 时，满足条件 $INV1 + MUX2_D + MUX4_D + T2 = MUX1_D + MUX3_D + DLY_D$ 。若上述时钟信号经过上述第一多路选择器 304、第二多路选择器 305、第三多路选择器 307 和第四多路选择器 308 后产生的时延相等，则上述 $INV1(\text{上升沿}) + T2 = DLY_D$ 。

当上述占空比检测电路 1053 的工作模式为模式 2 时，如图 3c 所示，上述第一多路选择器 304 选通其第二输入信号（即时钟信号 P2）和第二多路选择器 305 选通其第二输入信号（即时钟信号 P2）。时钟信号 P2 经过上述延时链 306 后得到延时后的时钟信号 P2。上述第三多路选择器 307 选通其第一输入信号（即延时后的时钟信号 P2），即上述鉴相器 309 的第一输入信号（IN1）为上述延时后的时钟信号 P2，上述第四多路选择器 308 选通其第二输入信号（即从第二多路选择器 305 输出的信号），即上述鉴相器 309 的第二输入信号（IN2）为从上述第二多路选择器 305 输出的信号。

上述占空比检测电路 1053 的工作模式为模式 2 时，其鉴相器 309 的第一输入信号（IN1）和第二输入信号（IN2）的时序如图 4 的 c 图所示。上述时钟信号 P2 经过第一多路选择器 304、延时链 306 和第三多路选择器 307 后产生的时延分别为 MUX1_D、DLY_D 和 MUX3_D，时钟信号 P3 经过第二多路选择器 305 和第四多路选择器 308 后产生的时延分别为 MUX2_D

和 MUX4_D。上述延时链 306 对时钟信号 P2 产生延时为 DLY_D，当上述鉴相器 309 的输入信号 IN1 和 IN2 的相位差为 0 时，满足条件 $INV2$ （上升沿）+MXU2_D+MUX4_D+T2=MUX1_D+MUX3_D+DLY_D。若上述时钟信号经过上述第一多路选择器 304、第二多路选择器 305、第三多路选择器 307 和第四多路选择器 308 后产生的时延相等，则上述 $INV2$ (上升沿)+T2=DLY_D。

综上所述，当上述 INV1 和 INV2 的上升沿延时是相等的，则延时链的延时时长则代表 T1 和 T2 的相对关系。当上述时钟信号的占空比为 50%（即 T1=T2）时，模式 1 和模式 2 下的延时链产生的延时是相等的。

下面介绍上述鉴相器 309 获取上述延时链 309 的延时时长 DLY_D 的方法。

上述鉴相器 309 预设 3 个比特组，包括粗调比特组、中调比特组和细调比特组。其中，粗调比特组包含 s1 个比特位，中调比特组包含 s2 个比特位，细调比特组包含 s3 个比特位。上述鉴相器 309 判断是否进行粗调和中调。

当确定进行粗调和中调时，上述鉴相器 309 进行粗调，具体如下：

上述鉴相器 309 等待第一预设时长。然后该鉴相器 309 判断其第一输入信号（IN1）的上升沿与第二输入信号（IN2）的上升沿是否对齐，即第一输入信号（IN1）和第二输入信号（IN2）的是否存在时延差；当第一输入信号（IN1）和第二输入信号（IN2）不存在时延差时，上述鉴相器 309 将上述粗调比特组的第 1 个比特位置 0；当第一输入信号（IN1）和第二输入信号（IN2）存在时延差时，上述鉴相器 309 将上述粗调比特组的第 1 个比特位置 1。然后上述鉴相器 309 重复执行上述过程 s1 次，且执行上述过程 s1 次后，上述粗调比特组的 s1 个比特位均被置 0 或者 1，s1 为大于 1 的整数。该粗调比特组可以看成由 0 和 1 组成的字符串。

然后上述鉴相器 309 进行中调，中调过程类似于上述粗调过程。具体如下：

上述鉴相器 309 等待第二预设时长。然后该鉴相器 309 判断第一输入信号（IN1）和第二输入信号（IN2）的是否存在时延差；当第一输入信号（IN1）和第二输入信号（IN2）不存在时延差时，上述鉴相器 309 将上述中调比特组的第 1 个比特位置 0；当第一输入信号（IN1）和第二输入信号（IN2）存在时延差时，上述鉴相器 309 将上述中调比特组的第 1 个比特位置 1。然后上述鉴相器 309 重复执行上述过程 s2 次，且执行上述过程 s2 次后，上述粗调比特组的 s2 个比特位均被置 0 或者 1，s1 为大于 1 的整数。该中调比特组可以看成由 0 和 1 组成的字符串。

当确定跳过粗调和中调时，上述鉴相器 309 直接进入细调。细调过程类似于上述粗调和中调过程，在此不再叙述。

上述鉴相器 309 执行完上述细调过程后，上述细调比特组的 s3 个比特位均被置 0 或者 1。该中细调比特组可以看成由 0 和 1 组成的字符串。

上述鉴相器 309 执行完上述粗调、中调和细调后，该鉴相器 309 根据上述粗调比特组、中调比特组和细调比特组确定上述延时链的延时时长。具体地，上述鉴相器 309 分别获取上述粗调比特组、中调比特组和细调比特组中被置为 1 的比特位的数量。粗调比特组、中调比特组和细调比特组中被置为 1 的比特位的数量分别为 n1, n2 和 n3。上述粗调比特组中每一个被置为 1 的比特位代表的延时时长为 t1 秒，上述中调比特组中每一个被置为 1 的

比特位代表的延时时长为 t_2 秒，上述细调比特组中每一个被置为 1 的比特位代表的延时时长为 t_3 秒，其中， $t_1 > t_2 > t_3$ 。因此，上述鉴相器 309 确定上述延时链 306 的延时时长 $DLY_D = t_1 * n_1 + t_2 * n_2 + t_3 * n_3$ 。

比如，上述粗调比特组中每一个被置为 1 的比特位代表的延时时长为 0.5 纳秒，上述中调比特组中每一个被置为 1 的比特位代表的延时时长为 15 皮秒，上述细调比特组中每一个被置为 1 的比特位代表的延时时长为 500 飞秒，粗调比特组、中调比特组和细调比特组中被置为 1 的比特位的数量分别为 4，6 和 7，则上述延时链 306 的延时时长 $DLY_D = 0.5$ 纳秒 * 4 + 15 皮秒 * 6 + 500 飞秒 * 7 = 2.0935 纳秒。

按照上述方法，上述鉴相器 309 可获取上述延时链的延时时长 DLY_D 。

进一步地，上述占空比检测电路还包括一个微处理器，该微处理器用于工作模式为模式 1 和模式 2 时调整上述延时链对上述第一多路选择器 304 输出的时钟信号的产生的延时，以使上述鉴相器 309 的第一输入信号和第二输入信号的延时差为 0。

具体地，上述微处理器获取上述鉴相器检测输入的两路信号（即 IN1 和 IN2）的相位是否为 0。当上述鉴相器 309 确定其两路输入信号的相位差不为 0 且第一输入信号（即 IN1）的相位超前于上述第二输入信号（即 IN2）时，上述微处理器增大上述延时链对上述第三多路选择器 307 的第一输入信号的延时，从而增大上述鉴相器 309 第一输入信号（即 IN1）的延时，使得上述鉴相器 309 的两路输入信号的相位差减小；当上述鉴相器 309 确定其两路输入信号的相位差不为 0 且第一输入信号（IN1）滞后于第二输入信号（IN2）时，上述微处理器减小上述延时链对上述第三多路选择器 307 的第一输入信号的延时，从而减小上述鉴相器 309 第一输入信号（即 IN1）的延时，使得上述鉴相器 309 的两路输入信号的相位差减小。

当上述占空比检测电路 1053 的工作模式为模式 0 时，如图 3d 所示，上述第三多路选择器 307 选通其第二输入信号和上述第四多路选择器 308 选通其第一输入信号，即上述鉴相器 309 的第一输入信号和第二输入信号均为 P2。由于上述第三多路选择器 307 和第四多路选择器 308 对 P2 的延时一致，因此输入到鉴相器 309 的两路信号的相位差为 0。换句话说，上述第三多路选择器 307 和第四多路选择器 308 选通同一输入信号进入上述鉴相器 309。如图 4 的 d 图所示，上述鉴相器 309 的第一输入信号（即 IN1）和第二输入信号（即 IN2）的相位差为 0。

以上对本发明实施例进行了详细介绍，本文中应用了具体个例对本发明的原理及实施方式进行了阐述，以上实施例的说明只是用于帮助理解本发明的方法及其核心思想；同时，对于本领域的一般技术人员，依据本发明的思想，在具体实施方式及应用范围上均会有改变之处，综上所述，本说明书内容不应理解为对本发明的限制。

权利要求

- 1、一种参考时钟占空比校准电路，其特征在于，包括：
 - 第一低噪声低压差稳压器，用于提供低噪声电压；
 - 振荡电路，用于在所述低噪声电压的提供驱动下，产生正弦波信号；
 - 占空比调节电路，用于根据第一参考电压调整根据所述正弦波信号产生的第一参考时钟信号的占空比；
 - 占空比校准电路，包括：
 - 占空比检测电路，用于检测所述第一参考时钟信号的占空比，并根据所述第一参考时钟信号的占空比调整所述占空比检测电路输出信号的幅值；
 - 第二低噪声低压差稳压器，用于根据所述占空比检测电路输出信号的幅值，调整并输出所述第一参考电压，所述第一参考电压值与所述占空比检测电路输出信号的幅值成正比。
- 2、根据权利要求1所述的电路，其特征在于，所述振荡电路产生的所述正弦波信号，以直流耦合的方式输入所述占空比调节电路。
- 3、根据权利要求1或2所述的电路，其特征在于，所述占空比检测电路根据所述第一参考时钟信号的占空比调整所述占空比检测电路输出信号的幅值，包括：
 - 所述占空比检测电路，用于检测所述第一参考时钟信号的占空比是否偏离预设占空比；
 - 所述占空比检测电路，还用于当确定所述第一参考时钟信号的占空比偏离预设占空比时，调整所述占空比检测电路输出信号的幅值；当确定所述第一参考时钟信号的占空比未偏离预设占空比时，不调整所述占空比检测电路输出信号的幅值。
- 4、根据权利要求3所述的电路，其特征在于，所述占空比检测电路用于当所述第一参考时钟信号的占空比偏离预设占空比时，调整所述占空比检测电路输出信号的幅值，具体包括：
 - 当连续N次检测到所述第一参考时钟信号的占空比大于所述预设占空比时，所述占空比检测电路增大其输出信号的幅值，所述N为大于1的整数。
- 5、根据权利要求3所述的电路，其特征在于，所述占空比检测电路用于当所述第一参考时钟信号的占空比偏离预设占空比时，调整所述占空比检测电路输出信号的幅值，具体包括：
 - 当连续M次检测到所述第一参考时钟信号的占空比小于所述预设占空比时，所述占空比检测电路减小其输出信号的幅值，所述M为大于1的整数。
- 6、根据权利要求4或5所述的电路，其特征在于，所述占空比检测电路获取所述第一参考时钟信号的占空比，包括：
 - 所述占空比检测电路，用于获取所述第一参考时钟信号的高电平时长或低电平时长；

所述占空比检测电路，用于根据所述第一参考时钟信号的周期与所述第一参考时钟信号的高电平时长或低电平时长确定所述第一参考时钟信号的占空比。

7、根据权利要求 3-5 任一项所述的电路，其特征在于，所述预设占空比为 50%。

8、根据权利要求 3 所述的电路，其特征在于，所述占空比校准电路还包括：

数模转换电路，用于将所述占空比检测电路的输出信号转换为第二参考电压，并将所述第二参考电压输入至所述第二低噪声低压差稳压器，以调整所述第二低噪声低压差稳压器输出的第一参考电压。

9、根据权利要求 1-8 任一项所述的电路，其特征在于，所述占空比调节电路包括：第一晶体管 Q1 和第二晶体管 Q2；

所述第一晶体管 Q1 的源极耦合到所述占空比校准电路，所述第一晶体管 Q1 的栅极和所述第二晶体管 Q2 的栅极均耦合到所述振荡电路，所述第一晶体管 Q1 的漏极和所述第二晶体管 Q2 的漏极均耦合到所述占空比校准电路，所述第二晶体管 Q2 的源极耦合到地；

当所述第一晶体管 Q1 的源极电压增大时，所述第一参考时钟信号的占空比减小；当所述第一晶体管 Q2 的源极电压减小时，所述第一参考时钟信号的占空比增大。

10、根据权利要求 1-9 任一项所述的电路，其特征在于，所述参考时钟占空比校准电路还包括：

二倍频电路，用于将所述第一参考时钟信号转换为第二参考时钟信号，所述第二参考时钟信号的频率为所述第一参考信号的两倍。

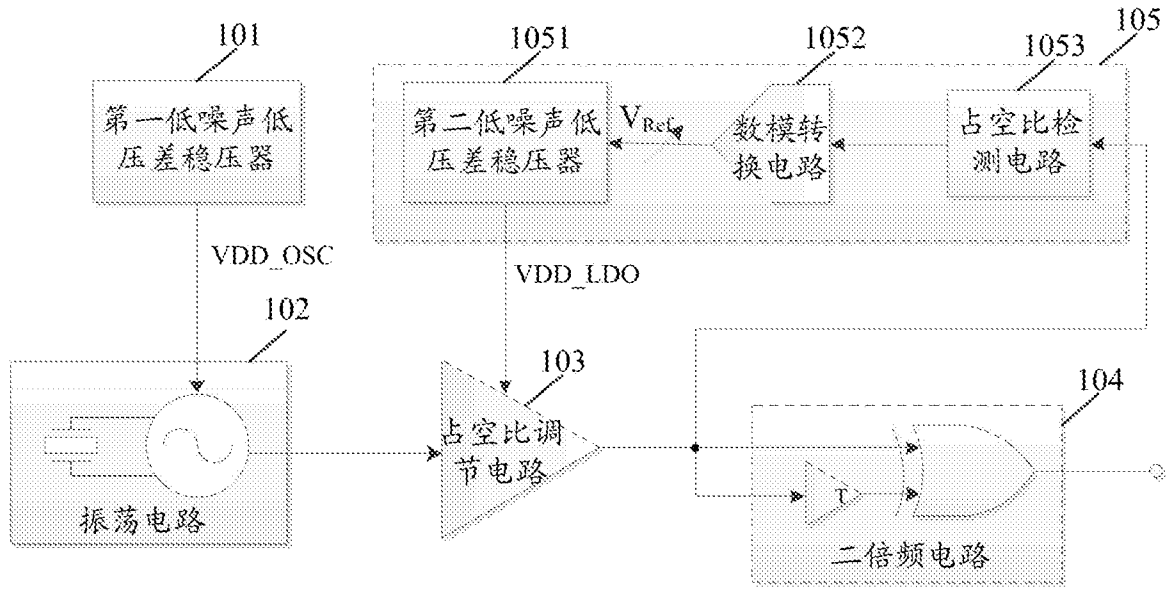


图 1

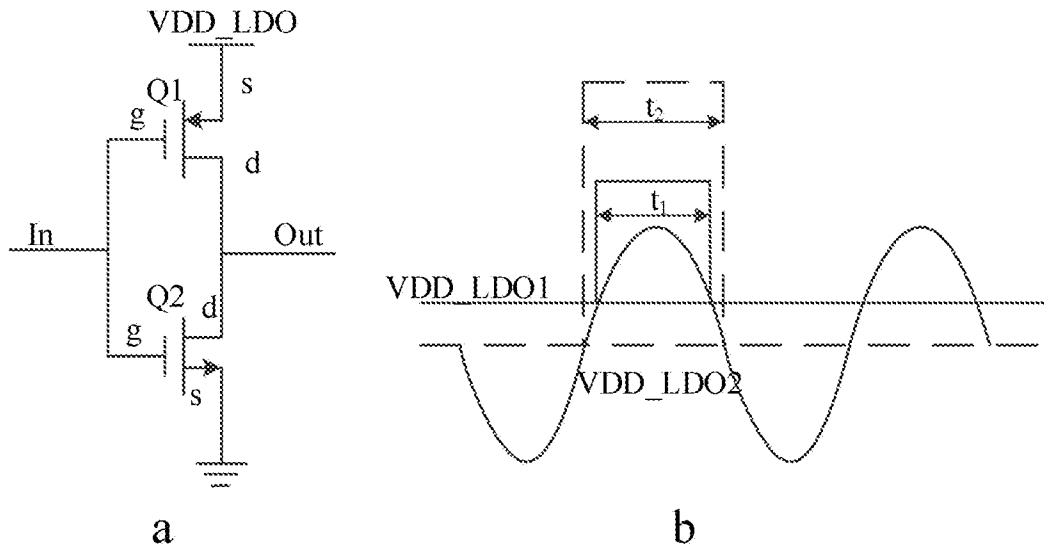


图 2

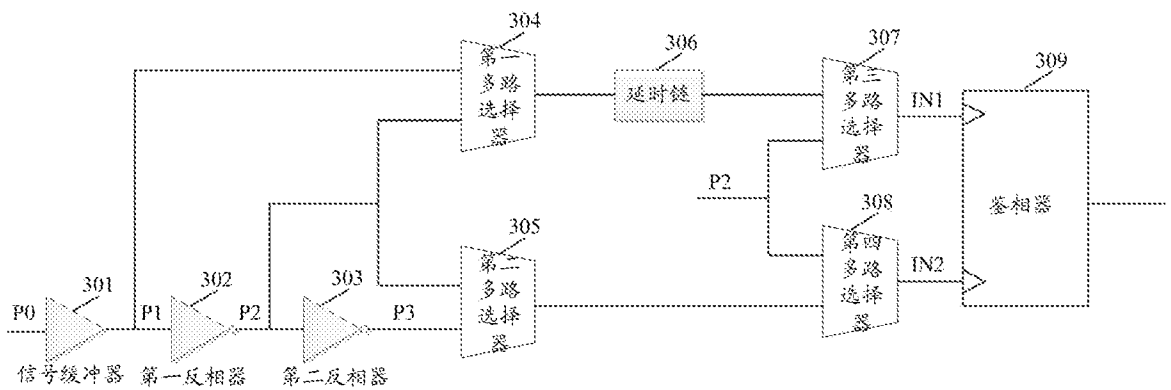


图 3a

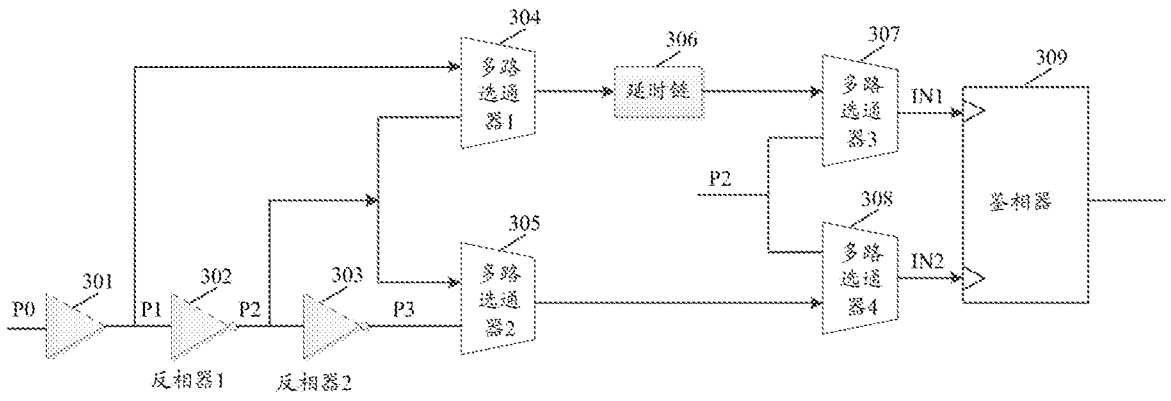


图 3b

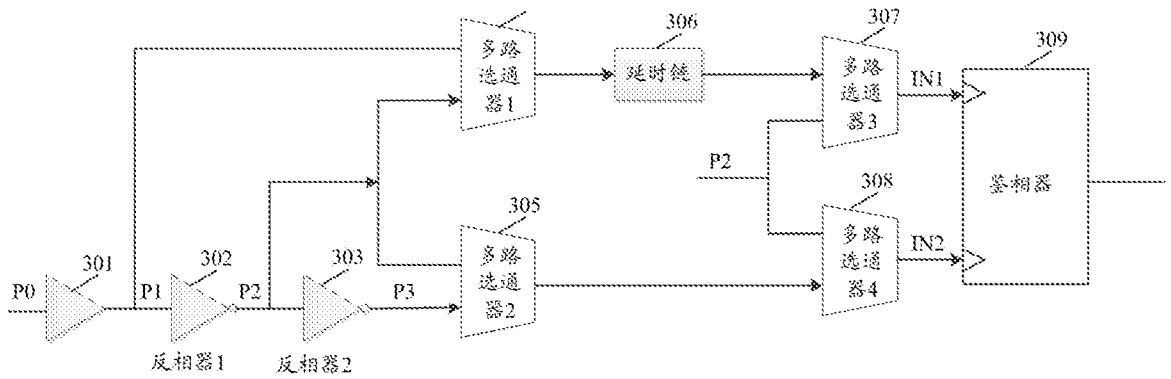


图 3c

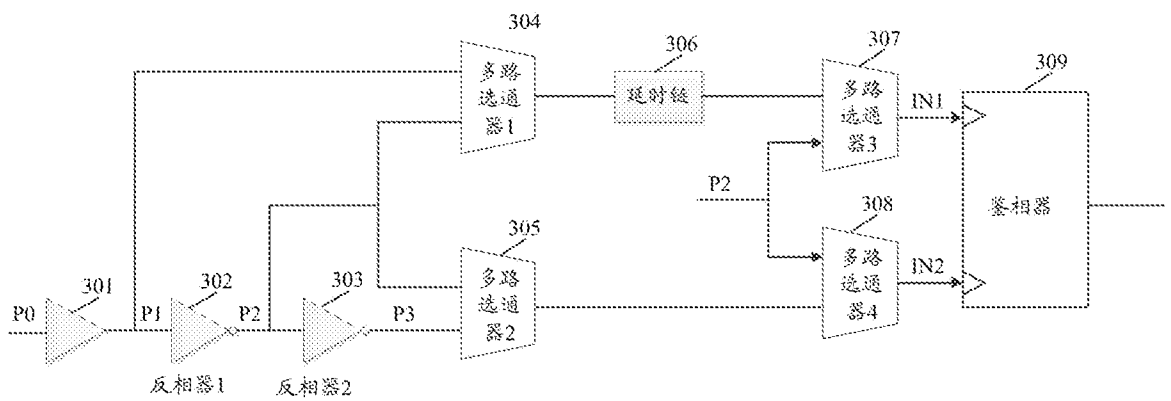


图 3d

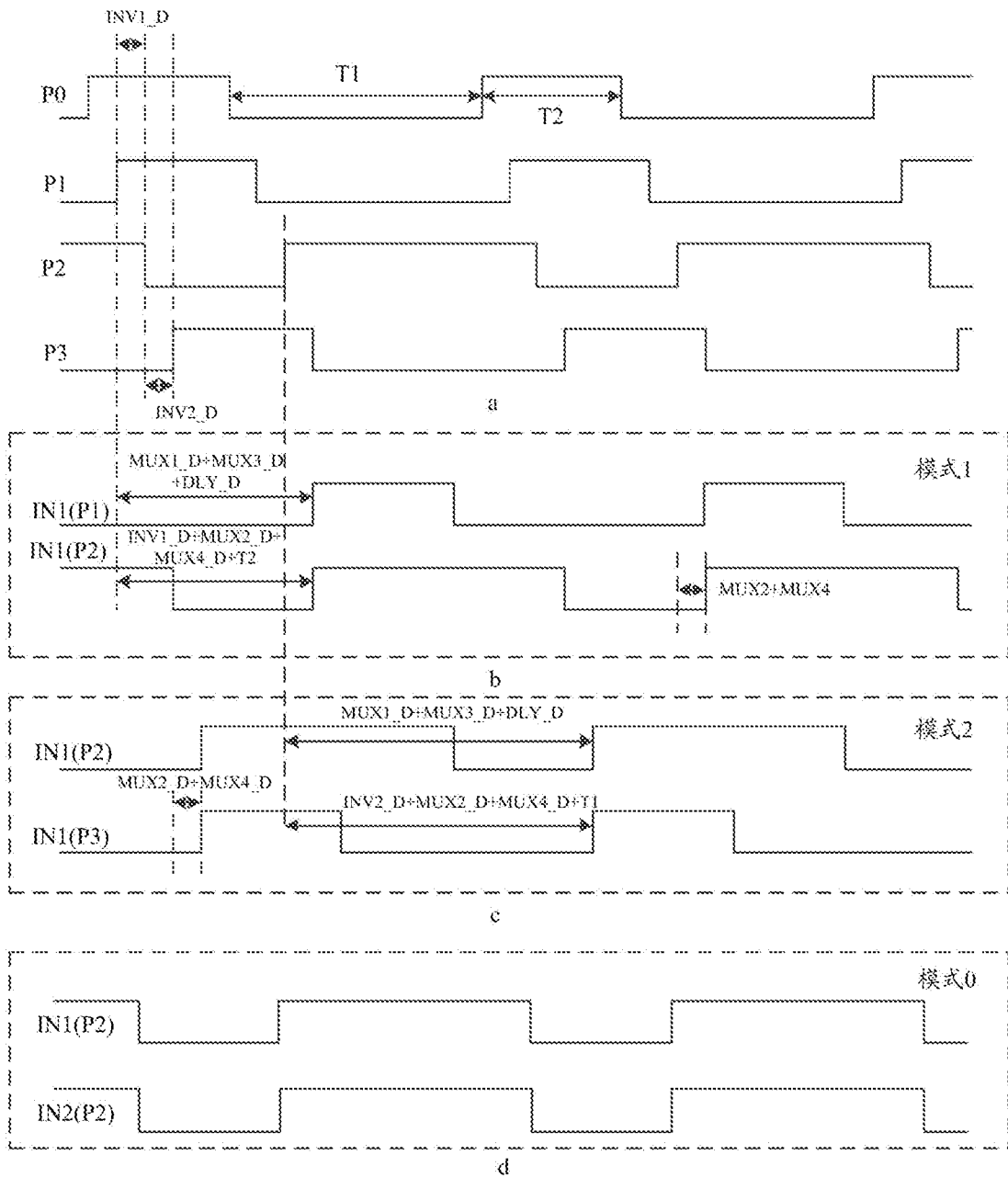


图 4

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2018/091691

A. CLASSIFICATION OF SUBJECT MATTER

H03K 5/156(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03K; H03L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNMED; CPRSABS; FRABS; CNABS; LEXIS; CPEA; TWMED; KRABS; DWPI; JPABS; ILABS; TWABS; HKABS; MOABS; DEABS; SIPOABS; SGABS; AUABS: regulator, stabilizer, detec+, reference clock, duty, sine wave, calibrat+, oscillat+, low noise, adjus+, manostat, 参考时钟, 稳压器, 校准+校正+调整+调节, 检测+监测, 占空比, 低噪, 正弦波, 震荡+振荡,

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2014125390 A1 (MICRON TECHNOLOGY, INC.) 08 May 2014 (2014-05-08) entire description	1-10
A	CN 106961261 A (NO. 24 RESEARCH INSTITUTE OF CETC) 18 July 2017 (2017-07-18) entire description	1-10
A	CN 106656122 A (SAMSUNG ELECTRONICS CO., LTD.) 10 May 2017 (2017-05-10) entire description	1-10
A	US 8471644 B2 (THELEN, R. ET AL.) 25 June 2013 (2013-06-25) entire description	1-10

 Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

06 September 2018

Date of mailing of the international search report

28 September 2018

Name and mailing address of the ISA/CN

State Intellectual Property Office of the P. R. China (ISA/
CN)
No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing
100088
China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2018/091691

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
US	2014125390	A1	08 May 2014	US	9954517	B2	24 April 2018
CN	106961261	A	18 July 2017	None			
CN	106656122	A	10 May 2017	TW	201717546	A	16 May 2017
				KR	20170052449	A	12 May 2017
				US	2017126211	A1	04 May 2017
				US	9762211	B2	12 September 2017
US	8471644	B2	25 June 2013	US	2012183105	A1	19 July 2012

国际检索报告

国际申请号

PCT/CN2018/091691

<p>A. 主题的分类 H03K 5/156(2006.01)i</p> <p>按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类</p>																	
<p>B. 检索领域 检索的最低限度文献(标明分类系统和分类号) H03K; H03L</p> <p>包含在检索领域中的除最低限度文献以外的检索文献</p> <p>在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用)) CNMED; CPRSABS; FRABS; CNABS; LEXIS; CPEA; TWMED; KRABS; DWPI; JPABS; ILABS; TWABS; HKABS; MOABS; DEABS; SIPOABS; SGABS; AUABS: regulator, stabilizer, detec+, reference clock, duty, sine wave, calibrat+, oscillat+, low noise, adjus+, manostat, 参考时钟, 稳压器, 校准+校正+调整+调节, 检测+监测, 占空比, 低噪, 正弦波, 震荡+振荡,</p>																	
<p>C. 相关文件</p> <table border="1"> <thead> <tr> <th>类型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>A</td> <td>US 2014125390 A1 (MICRON TECHNOLOGY INC) 2014年 5月 8日 (2014 - 05 - 08) 说明书全文</td> <td>1-10</td> </tr> <tr> <td>A</td> <td>CN 106961261 A (中国电子科技集团公司第二十四研究所) 2017年 7月 18日 (2017 - 07 - 18) 说明书全文</td> <td>1-10</td> </tr> <tr> <td>A</td> <td>CN 106656122 A (三星电子株式会社) 2017年 5月 10日 (2017 - 05 - 10) 说明书全文</td> <td>1-10</td> </tr> <tr> <td>A</td> <td>US 8471644 B2 (THELEN ROBERT等) 2013年 6月 25日 (2013 - 06 - 25) 说明书全文</td> <td>1-10</td> </tr> </tbody> </table> <p><input type="checkbox"/> 其余文件在C栏的续页中列出。 <input checked="" type="checkbox"/> 见同族专利附件。</p> <p>* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件</p>			类型*	引用文件, 必要时, 指明相关段落	相关的权利要求	A	US 2014125390 A1 (MICRON TECHNOLOGY INC) 2014年 5月 8日 (2014 - 05 - 08) 说明书全文	1-10	A	CN 106961261 A (中国电子科技集团公司第二十四研究所) 2017年 7月 18日 (2017 - 07 - 18) 说明书全文	1-10	A	CN 106656122 A (三星电子株式会社) 2017年 5月 10日 (2017 - 05 - 10) 说明书全文	1-10	A	US 8471644 B2 (THELEN ROBERT等) 2013年 6月 25日 (2013 - 06 - 25) 说明书全文	1-10
类型*	引用文件, 必要时, 指明相关段落	相关的权利要求															
A	US 2014125390 A1 (MICRON TECHNOLOGY INC) 2014年 5月 8日 (2014 - 05 - 08) 说明书全文	1-10															
A	CN 106961261 A (中国电子科技集团公司第二十四研究所) 2017年 7月 18日 (2017 - 07 - 18) 说明书全文	1-10															
A	CN 106656122 A (三星电子株式会社) 2017年 5月 10日 (2017 - 05 - 10) 说明书全文	1-10															
A	US 8471644 B2 (THELEN ROBERT等) 2013年 6月 25日 (2013 - 06 - 25) 说明书全文	1-10															
国际检索实际完成的日期	2018年 9月 6日	国际检索报告邮寄日期 2018年 9月 28日															
ISA/CN的名称和邮寄地址	中华人民共和国国家知识产权局 (ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451	受权官员 黄渊 电话号码 86-010-62411769															

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2018/091691

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
US	2014125390	A1	2014年 5月 8日	US	9954517	B2	2018年 4月 24日
CN	106961261	A	2017年 7月 18日	无			
CN	106656122	A	2017年 5月 10日	TW	201717546	A	2017年 5月 16日
				KR	20170052449	A	2017年 5月 12日
				US	2017126211	A1	2017年 5月 4日
				US	9762211	B2	2017年 9月 12日
US	8471644	B2	2013年 6月 25日	US	2012183105	A1	2012年 7月 19日

表 PCT/ISA/210 (同族专利附件) (2015年1月)